

STM32F334/303 ラインから STM32G431xx/G474xx/G491xx マイクロコントローラへの移行

概要

STM32 マイクロコントローラのアプリケーション設計者にとって、1 つのマイクロコントローラのタイプを同じ製品ファミリの別のタイプに容易に置き換えられることは重要なことです。

製品の要件が大きくなり、メモリサイズの要求が高まったり、I/O の数が増加したりすると、アプリケーションを別のマイクロコントローラに移行することが必要になることがよくあります。また、コスト削減のために、より小型のコンポーネントに切り替えて、プリント基板の面積を縮小することもあります。

このアプリケーション・ノートでは、STM32F303/F334 ラインと STM32G431xx/G474xx/G491xx マイクロコントローラの間で既存の設計を移行するために必要な手順を紹介しします。最も重要な情報がすべてここにまとめられています。移行にあたっては、ハードウェア、ペリフェラル、ファームウェアの 3 つの側面を考慮する必要があります。

本書では、STM32F303/F334 ラインで使用可能なすべての機能と、STM32G431xx/G474xx/G491xx デバイスの同等の機能を掲載します。

このアプリケーション・ノートを最大限に活用するために、ユーザは特に以下の文書を中心として、www.st.com で利用可能になっている STM32 マイクロコントローラの文書に精通している必要があります。

- STM32F3 リファレンスマニュアル：
 - STM32F303xB/C/D/E、STM32F303x6/8、STM32F328x8、STM32F358xC、STM32F398xE advanced Arm[®]-based MCU (RM0316)
 - STM32F334xx advanced Arm[®]-based 32-bit MCU (RM0364)
- STM32F3 データシート：
 - STM32F303xB STM32F303xC データシート
 - STM32F303xD STM32F303xE データシート
 - STM32F303x6/x8 データシート
- STM32G4xx リファレンスマニュアル：
 - STM32G4xx advanced Arm[®]-based 32-bit MCU (RM0440)
- STM32G431xx/G474xx/G491xx データシート

表 1. 対象とする製品

タイプ	製品ラインと製品番号
マイクロコントローラ	STM32F303 ライン STM32F334 ライン
STM32G431xx	STM32G431C6、STM32G431C8、STM32G431CB、STM32G431K6、STM32G431K8、STM32G431KB、STM32G431M6、STM32G431M8、STM32G431MB、STM32G431R6、STM32G431R8、STM32G431RB、STM32G431V6、STM32G431V8、STM32G431VB
STM32G474xx	STM32G474CB、STM32G474CC、STM32G474CE、STM32G474MB、STM32G474MC、STM32G474ME、STM32G474QB、STM32G474QC、STM32G474QE、STM32G474RB、STM32G474RC、STM32G474RE、STM32G474VB、STM32G474VC、STM32G474VE
STM32G491xx	STM32G491CC、STM32G491CE、STM32G491KC、STM32G491KE、STM32G491MC、STM32G491ME、STM32G491RC、STM32G491RE、STM32G491VC、STM32G491VE

1 STM32G431xx/G474xx/G491xx の概要

STM32G431xx/G474xx/G491xx は、高性能な Arm® Cortex® -M4 32 ビット、最大 170 MHz をベースにしており、STM32F303 ラインのものに比べて、以下のような高度な機能を備えたペリフェラルのセットをより多く搭載しています。

- 高度暗号化ハードウェアアクセラレータ(AES)
- シリアルオーディオインタフェース(SAI)
- 低電力 UART(LPUART)
- 低電力タイマ(LPTIM)
- 電圧基準バッファ(VREFBUF)
- Quad SPI インタフェース(QUADSPI)
- USB 用クロックリカバリシステム(CRS)
- SRAM1 のサイズは、STM32G431xx/G474xx/G491xx デバイスによって異なります。
 - STM32G431xx の場合は 16 KB
 - STM32G474xx の場合は 80 KB
 - STM32G491xx の場合は 80 KB
- STANDBY モードでデータを保持する追加 SRAM2:
 - STM32G431xx の場合は 6 KB
 - STM32G474xx の場合は 16 KB
 - STM32G491xx の場合は 16 KB
- CCM SRAM:
 - STM32G431xx の場合は 10 KB
 - STM32G474xx の場合は 32 KB
 - STM32G491xx の場合は 16 KB
- 8ビット ECC 付き FLASH メモリ
- デュアルバンクブート(STM32G474xx のみ)

この移行ガイドでは、STM32F303/F334 ラインから STM32G431xx/G474xx/G491xx デバイスへの移行のみについて説明します。結果として、STM32G431xx/G474xx/G491xx にあって、STM32F303 ラインにはなかった新機能については、説明していません(完全な概要については、STM32G431xx/G474xx/G491xx デバイスのリファレンスマニュアルとデータシートを参照してください)。

本書は、STM32F334/303 ラインおよび STM32G431xx/G474xx/G491xx Arm®ベースのデバイスに適用されます。



注 Arm は、米国内およびその他の地域にある Arm Limited (またはその子会社) の登録商標です。

2 ハードウェアの移行

2.1 利用可能なパッケージ

STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイスは、さまざまなパッケージを取り揃えています。STM32F303/334 ラインでは、32 から 144 ピンまでのパッケージ、STM32G431xx/G474xx/G491xx では、32 から 128 ピンまでのパッケージを各種取り揃えています。

表 2 に、STM32G431xx/G474xx/G491xx で利用可能なパッケージを示します。

表 2. STM32G431xx/G474xx/G491xx デバイスで利用可能なパッケージ

パッケージ ⁽¹⁾	STM32G431xx	STM32G474xx	STM32G491xx	サイズ (mm x mm)
UFQFPN32	X	-	-	(5x5)
LQFP32	X	-	X	(7x7)
UFQFPN48	X	X	X	(7x7)
LQFP48	X	X	X	(7x7)
UFBGA64	X	-	X	(5x5)
LQFP64	X	X	X	(10x10)
WLCSP64	-	-	X	(3.56x3.52 ピッチ 0.4 mm)
LQFP80	X	X	X	(12x12)
LQFP100	X	X	X	(14x14)
LQFP128	-	X	-	(14x14)
WLCSP49	X	-	-	(3.277x3.109 ピッチ 0.4 mm)
WLCSP81	-	X	-	(4.4084x3.7594 ピッチ 0.4 mm)
TFBGA100	-	X	-	(8x8 ピッチ 0.8 mm)

1. x = サポートされているパッケージ。

表 3 に、STM32F303/334 ラインで利用可能なパッケージを示します。

表 3. STM32F303/334 ラインで利用可能なパッケージ

パッケージ ⁽¹⁾	STM32F303/334 ライン		
	STM32F303xB/C	STM32F303xD/E	STM32F303x6/8 STM32F334xx
UFQFPN32	-	-	-
WLCSP49	-	-	X
WLCSP100	X	X	-
LQFP32	-	-	X
LQFP48	X	-	X
LQFP64	X	X	X
LQFP80	-	-	-
LQFP100	X	X	-
LQFP144	-	X	-
UFBGA100	-	X	-

1. X = サポートされているパッケージ。

利用可能なパッケージとパッケージの選択の詳細については、www.st.com にある STM32F303/334 ラインおよび STM32G431xx/G474xx/G491xx マイクロコントローラの文書を参照してください。

両ファミリでは、高レベルのピン互換性があります。ほとんどのペリフェラルは同じピンを共有しています。影響を受けるピンは数個だけなので、2つのファミリ間での移行は容易です。

表 4 に、STM32F303/334 ラインと STM32G431xx/G474xx/G491xx の 48、64、および 100 ピンパッケージについて、ピン配置を比較します。

表 4. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx のピン配置の違い(QFP)

STM32F303/334 ライン				STM32G431xx/G474xx/G491xx			
LQFP48	LQFP64	LQFP100	ピン配置	LQFP48	LQFP64	LQFP100	ピン配置
7	7	14	NRST	7	7	14	PG10-NRST
8	12	20	VSSA/VREF-	19	27	35	VSSA
9	13	22	VDDA ⁽¹⁾ /VREF+	21	29	37	VDDA
-	-	21	VREF+	20	28	36	VREF+
10	14	23	PA0	8	12	20	PA0
11	15	24	PA1	9	13	21	PA1
12	16	25	PA2	10	14	22	PA2
13	17	26	PA3	11	17	25	PA3
14	20	29	PA4	12	18	26	PA4
15	21	30	PA5	13	19	27	PA5
16	22	31	PA6	14	20	28	PA6
17	23	32	PA7	15	21	29	PA7
18	26	35	PB0	16	24	32	PB0
19	27	36	PB1	17	25	33	PB1
20	28	37	PB2	18	26	34	PB2
21	29	47	PB10	22	30	47	PB10
22	30	48	PB11	25	33	50	PB11
25	33	51	PB12	26	34	51	PB12
26	34	52	PB13	27	35	52	PB13
27	35	53	PB14	28	36	53	PB14
28	36	54	PB15	29	37	54	PB15
29	41	67	PA8	30	42	69	PA8
30	42	68	PA9	31	43	70	PA9
31	43	69	PA10	32	44	71	PA10
32	44	70	PA11	33	45	72	PA11
33	45	71	PA12	34	46	73	PA12
34	46	72	PA13	37	49	76	PA13
37	49	76	PA14	38	50	77	PA14
38	50	77	PA15	39	51	78	PA15
39	55	89	PB3	40	56	90	PB3
40	56	90	PB4	41	57	91	PB4
41	57	91	PB5	42	58	92	PB5
42	58	92	PB6	43	59	93	PB6
43	59	93	PB7	44	60	94	PB7

STM32F303/334 ライン				STM32G431xx/G474xx/G491xx			
LQFP48	LQFP64	LQFP100	ピン配置	LQFP48	LQFP64	LQFP100	ピン配置
45	61	95	PB8	45	61	95	PB8-BOOT0
46	62	96	PB9	46	62	96	PB9
44	-	94	BOOT0	-	-	-	-
-	24	33	PC4	-	22	30	PC4
-	25	34	PC5	-	23	31	PC5
-	37	63	PC6	-	38	65	PC6
-	38	64	PC7	-	-	-	-
-	39	65	PC8	-	-	-	-
-	40	66	PC9	-	-	-	-
-	51	78	PC10	-	52	79	PC10
-	52	79	PC11	-	53	80	PC11
-	53	80	PC12	-	54	81	PC12
-	54	83	PD2	-	55	84	PD2
-	-	27	PF4	-	-	-	PF4
-	-	38	PE7	-	-	38	PE7
-	-	39	PE8	-	-	39	PE8
-	-	40	PE9	-	-	40	PE9
-	-	81	PD0	-	-	82	PD0
-	-	82	PD1	-	-	83	PD1
-	-	84	PD3	-	-	85	PD3
-	-	85	PD4	-	-	86	PD4
-	-	86	PD5	-	-	87	PD5
-	-	87	PD6	-	-	88	PD6
-	-	88	PD7	-	-	89	PD7
-	-	97	PE0	-	-	97	PE0
-	-	98	PE1	-	-	98	PE1

1. LQFP100 の場合、VDDA ピンは VREF+ から分離されます。

3 ブートモード選択

STM32F303/334 ラインおよび STM32G431xx/G474xx/G491xx デバイスでは、ブートモードを 3 つのオプション(メイン Flash メモリからのブート、SRAM からのブート、システムメモリからのブート)から選択できます。ただし、ブートモードの選択方法は製品によって異なります。

STM32F303/334 ラインでは、ブートモードは、表 5 に示すように、ピン BOOT0 とユーザ・オプション・バイトにあるオプションビット nBOOT1 によって選択されます。

STM32G431xx/G474xx/G491xx では、ブートは、表 6 に示すように、nBOOT1 オプションビットと、FLASH_OPTR レジスタの nSWBOOT0 オプションビットの値に応じてピン BOOT0 または nBOOT0 オプションビットによって選択されます。

表 5. STM32F303/334 ラインのブートモード

ブートモードの選択 ⁽¹⁾		ブートモード	エイリアシング
BOOT1 ⁽²⁾	BOOT0		
X	0	メイン Flash メモリ	メイン Flash メモリがブート領域として選択されます。
0	1	システムメモリ	システムメモリがブート領域として選択されます。
1	1	内蔵 SRAM	内蔵 SRAM がブート領域として選択されます。

1. X = 0 または 1 と同等
2. BOOT1 の値は、nBOOT1 オプションビットの逆の値です。

表 6. STM32G431xx/G474xx/G491xx デバイスのブートモード

UBE	nBOOT1 Flash_OPT R[23]	nBOOT0 Flash_OPT R[27]	BOOT0 ピン PB8	nSWBOOT0 Flash_OPT R[26]	ブートメモリ空間エイリアス
1	X	X	X	X	メイン Flash メモリ
0	X	X	0	1	メイン Flash メモリがブート領域として選択されます。
0	X	1	X	0	メイン Flash メモリがブート領域として選択されます。
0	0	X	1	1	内蔵 SRAM1 がブート領域として選択されます。
0	0	0	X	0	内蔵 SRAM1 がブート領域として選択されます。
0	1	X	1	1	システムメモリがブート領域として選択されます。
0	1	0	X	0	システムメモリがブート領域として選択されます。

3.1 内蔵ブートローダ

内蔵ブートローダは、システム・メモリに配置され、生産時に ST によってプログラムされています。次のシリアルインタフェースのいずれかを使用して、Flash メモリを再プログラムするために使用します。

表 7. ブートローダ・インタフェース

ペリフェラル	ピン	STM32F303 ライン			STM32G431xx/ 474xx/491xx
		C/B	D/E	6/8	
DFU	USB_DM (PA11) USB_DP (PA12)	x	x		x
USART1	USART1_TX (PA9)。 USART1_RX (PA10)。	x	x	x	x
USART2	USART2_TX (PD5)。 USART2_RX (PD6)。	x	-	-	-
	USART2_TX (PA2)。 USART2_RX (PA3)。	-	x	x	x
USART3	USART3_TX (PC10)。 USART3_RX (PC11)。	-	-	-	x
I2C2	SCL (PC4) SDA (PA8)	-	-	-	x
I2C3	SCL (PC8) SDA (PC9)	-	-	-	x
SPI1	SPI1 (PA4/PA5/PA6/PA7)	-	-	-	x
SPI2	SPI2 (PB12/PB13/PB14/PB15)	-	-	-	x

ブートローダの詳細については、STM32 マイクロコントローラ・システムメモリ・ブートモードのアプリケーション・ノート (AN2606) を参照してください。

小型パッケージでは、ピンとペリフェラルが使用できることを確認してください。

4 ペリフェラルの移行

4.1 STM32 製品の相互互換性

STM32 マイクロコントローラには、以下の 3 つのグループに分類されるペリフェラルのセットが内蔵されています。

- 最初のグループはすべての製品に共通のペリフェラルです。これらのペリフェラルはすべての製品で同じなので、構造、レジスタ、制御ビットも同じです。移行後にアプリケーションレベルで同じ機能を維持するために、ファームウェアを変更する必要はありません。すべての機能と動作は同じです。
- 2 番目のグループは、製品ごとに小さな違い(通常は、新機能のサポートによる違い)があるペリフェラルのグループです。ある製品から別の製品への移行は、非常に簡単で、新たに開発に大規模な労力を費やす必要はありません。
- 3 番目のグループは、製品ごとに大幅に変更されたペリフェラル(新しいアーキテクチャ、新機能など)です。この最後のペリフェラルグループを移行するには、アプリケーションレベルで新たに開発する必要があります。

表 8 に、この分類の一般的な概要を示します。表 8 に記載されている「ソフトウェアの互換性」は、「低レベル」ドライバのレジスタの記述を指しています。

STM32Cube のハードウェア抽象化レイヤ(HAL)は、STM32F303/F334 ラインおよび STM32G431xx/G474xx/G491xx と互換性があります。

表 8. STM32 ペリフェラルの互換性分析 STM32F303/F334 ラインと STM32G431xx/G474xx/G491xx との比較

ペリフェラル	STM32 でのインスタンス数				STM32G431xx/G474xx/G491xx との互換性			
	STM32F303/F334 ライン ⁽¹⁾	STM32G431	STM32G474	STM32G491	ソフトウェア	ピン配置	コメント	
SPI	4	3	4	3	フル	部分	SPI2/SPI3 の場合、一部のオルタネート機能は同じ GPIO にマッピングされません	
I2S (半二重)	2	2	2	2				
WWDG	1	1	1	1	フル	該当なし	-	
IWDG	1	1	1	1			-	
DBGMCU	1	1	1	1			-	
CRC	1	1	1	1			-	
EXTI	1	1	1	1	部分	フル	-	
USB FS	1	1	1	1	部分	部分	-	
DMA	2	2	2	2	部分	該当なし	-	
TIMER	基本	2	2	2	フル	部分	<ul style="list-style-type: none"> 一部のピンは同じ GPIO にマッピングされません 内部接続は異なる場合があります 	
	汎用	6	6	7				6
	高機能制御	3	2	3				3
	低電力	0	1	1				1
	HRTIM	1	0	1				0
PWR	1	1	1	1	部分	該当なし	-	
RCC	1	1	1	1	部分	該当なし	-	
USART	3	3	3	3	完全 (LPUART の場合は該当せず)	完全 (LPUART の場合は該当せず)	-	
UART	2	1 ⁽²⁾	2 ⁽²⁾	2 ⁽²⁾				
LPUART	0	1	1	1				
I2C	3	3	4	3	フル	部分	<ul style="list-style-type: none"> 追加機能 	
ADC	4	2	5	2	部分	部分	<ul style="list-style-type: none"> 追加機能 一部の A/D コンバータ・チャンネルは異なる GPIO にマッピングされます 	
RTC	1	1	1	1	部分	フル	追加機能	
FLASH	1	1	1	1				
GPIO	最大 115 個の IO	最大 86 個の IO	最大 107 個の IO	最大 86 個の IO	フル	フル		
SYSCFG	1	1	1	1	部分	該当なし	-	
CAN	1 x BxCAN	1 x FDCAN	3 x FDCAN	2 x FDCAN				
DAC	3	2	4	2	部分	部分	追加機能	
FMC	1	0	1	0	フル	フル		
COMP	7	4	7	4	なし	部分	一部のピンは異なる GPIO にマッピングされます	
OPAMP:	4	3	6	4	なし	部分	一部のピンは異なる GPIO にマッピングされます	

1. ペリフェラルのインスタンスの最大数は、F303/F334 の全製品を考慮したものです。たとえば、4 つの SPI は STM32F303xD/E のみにあり、HRTIM は STM32F334 のみにあります
2. UART ペリフェラルは、STM32G474Cx、STM32G491Kx、STM32G491Cx、STM32G431Kx、および STM32G431Cx では使用できません

4.2 メモリマッピング

STM32G431xx/G474xx/G491xx では、STM32F303/334 ラインと比較してペリフェラル・アドレスマッピングが変更されています。

表 9 に、STM32F303/334 ラインと STM32G431xx/G474xx/G491xx 間のペリフェラル・アドレスマッピングの対応を示します。

表 9. ペリフェラル・アドレスマッピングの違い

ペリフェラル	STM32F303/F334 ライン		STM32G431xx/G474xx/G491xx	
	バス	ベースアドレス	バス	ベースアドレス
QUADSPI	-	-	-	0xA000 1400 – 0xAFFF FFFF
FSMC 制御レジスタ	AHB4	0xA000 0400 – 0xA000 0FFF	-	0xA000 0000 – 0xA000 03FF
RNG	-	-	AHB2	0x5006 0800 – 0x5006 0BFF
小型 AES	-	-	AHB2	0x5006 0000 – 0x5006 03FF
DAC4	-	-	AHB2	0x5000 1400 – 0x5000 17FF
DAC3	-	-	AHB2	0x5000 1000 – 0x5000 13FF
DAC2	-	0x4000 9800 – 0x4000 9BFF	AHB2	0x5000 0C00 – 0x5000 0FFF
DAC1	-	0x4000 7400 – 0x4000 77FF	AHB2	0x5000 0800 – 0x5000 0BFF
TSC	AHB1	0x4002 4000 – 0x4002 43FF	-	-
FMAC	-	-	AHB1	0x4002 1400 – 0x4002 1FFF
Cordic	-	-	AHB1	0x4002 0C00 – 0x4002 0FFF
DMAMUX	-	-	AHB1	0x4002 0800 – 0x4002 0BFF
DMA2	AHB1	0x4002 0400 – 0x4002 07FF	AHB1	0x4002 0400 – 0x4002 07FF
DMA1	AHB1	0x4002 0000 – 0x4002 03FF	AHB1	0x4002 0000 – 0x4002 03FF
HRTIM	APB2	0x4001 7400 - 0x4001 77FF	APB2	0x4001 6800 – 0x4001 77FF
SAI1	-	-	APB2	0x4001 5400 – 0x4001 57FF
FDCAN メッセージ RAM	-	-	APB1	0x4000 A400 – 0x4000 AFFD
UCPD	-	-	APB1	0x4000 A000 – 0x4000 A3FF
LPUART1	-	-	APB1	0x4000 8000 – 0x4000 83FF
LPTIM1	-	-	APB1	0x4000 7C00 – 0x4000 7FFF
FDCAN3	-	-	APB1	0x4000 6C00 – 0x4000 6FFF
FDCAN2	-	-	APB1	0x4000 6800 – 0x4000 6BFF
FDCAN1/CAN1	APB1	0x4000 6400 – 0x4000 67FF	APB1	0x4000 6400 – 0x4000 67FF
I2S2ext	APB1	0x4000 3400 – 0x4000 37FF	-	-
TAMP	-	-	APB1	0x4000 2400 – 0x4000 27FF
CRS	-	-	APB1	0x4000 2000 – 0x4000 23FF
TIM5	-	-	APB1	0x4000 0C00 - 0x4000 0FFF

表 10. STM32F303 ラインと STM32G431xx/G474xx/G491xx での SRAM の違い

	STM32F303x6/ 8	STM32F303xB/ C	STM32F303xD/ E	STM32G431xx	STM32G474xx	STM32G491xx
SRAM1	12 K	40 K	64 K	16 K	80 K	80 K
SRAM2 ⁽¹⁾	該当なし	該当なし	該当なし	6 K	16 K	16 K
CCM SRAM	4 K	8 K	16 K	10 K	32 K	16 K

1. SRAM2 の内容は、STANDBY モードで保持できます (PWR_CR3 レジスタの RRS ビットをセット)。

4.3

ダイレクトメモリアクセス (DMA) コントローラ

STM32F303/334 デバイスは、STM32G431xx/G474xx/G491xx デバイスと同様の「汎用」DMA を実装しています。表 11 に、主な違いを示します。

STM32G431xx/G474xx/G491xx では、各 DMA リクエストラインは、DMAMUX リクエストラインマルチプレクサのすべてのチャンネルにそれぞれ並列に接続されます。

DMAMUX リクエストマルチプレクサにより、製品のペリフェラルと DMA コントローラの間で DMA リクエストラインをルーティングすることができます。ルーチン機能は、プログラム可能なマルチチャンネル DMA リクエストラインマルチプレクサにより確保されます。各チャンネルは、DMAMUX 同期入力のイベントで無条件に、または同期的に一意の DMA リクエストラインを選択します。

表 11. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の DMA の違い

DMA	STM32F303/334 ライン	STM32G474xx/G491xx	STM32G431xx
アーキテクチャ	<ul style="list-style-type: none"> 2 DMA コントローラ (F303xB/C/D/E) 1 DMA コントローラ (F303x6/8, F334) 	<ul style="list-style-type: none"> 2 DMA コントローラ 	<ul style="list-style-type: none"> 2 DMA コントローラ
チャンネル	<ul style="list-style-type: none"> 12 チャンネル (F3303xB/C/D/E) 7 チャンネル (F303x6/8) チャンネルあたり 8 リクエスト 	<ul style="list-style-type: none"> 16 チャンネル (G474xx/G491xx) DMA コントローラは、DMAMUX ペリフェラルを介して送信される DMA リクエストに接続されます DMAMUX のチャンネル 0 から 7 は、DMA1 のチャンネル 0 から 7 に接続されます。 DMAMUX のチャンネル 8 から 15 は、DMA2 のチャンネル 0 から 7 に接続されます。 	<ul style="list-style-type: none"> 12 チャンネル (G431x) DMA コントローラは、DMAMUX ペリフェラルを介して送信される DMA リクエストに接続されます DMAMUX のチャンネル 0 から 5 は、DMA1 のチャンネル 0 から 5 に接続されます。 DMAMUX のチャンネル 6 から 11 は、DMA2 のチャンネル 0 から 5 に接続されます。

4.4

割込み

表 12 に、STM32F303 ラインの割込みベクタを STM32G431xx/G474xx/G491xx デバイスと比較して示します。

表 12. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の割込みベクタの違い

位置	STM32F303 ライン	STM32G431xx/G474xx/G491xx
2	TAMP_STAMP	RTC_TAMP_STAMP / CSS_LSE
19	USB_HP/CAN1_TX	USB_HP
20	USB_LP/CAN1_RX0	USB_LP
21	CAN1_RX1	FDCAN1_INTR1_IT
22	CAN1_SCE	FDCAN1_INTR0_IT
26	TIM1_TRG_COM / TIM17	TIM1_TRG_COM / TIM17 TIM1_DIR/TIM1_IDX
43	TIM8_BRK	TIM8_BRK/TIM8_TERR/TIM8_IERR
45	TIM8_TRG_COM	TIM8_TRG_COM/TIM8_DIR/TIM8_IDX
49	該当なし	LPTIM1
50		TIM5
62	該当なし	ADC5
63		UCPD グローバル割込み
72	F303xD/3 での I2C3_EV F334 での HRTIM_TIME_IRQN	HRTIM_TIME_IRQN
73	F303xD/E での I2C3_ER F334 での HRTIM_TIME_IRQN	HRTIM_TIMB_FLT_IRQN
74	USB_HP	HRTIM_TIMF_IRQN
75	USB_LP	CRS
76	USB_Wakeup_RMP	SAI
77	TIM20BRK	TIM20_BRK/TIM20_TERR/TIM20_IERR
79	TIM20_TRG_COM	TIM20_TRG_COM/TIM20_DIR/TIM20_IDX
82	該当なし	I2C4_EV
83		I2C4_ER
85	該当なし	AES
86		FDCAN2_INTR0
87		FDCAN2_INTR1
88		FDCAN3_INTR0
89		FDCAN3_INTR1
90		RNG
91		LPUART
92		I2C3_EV
93		I2C3_ER
94		DMAMUX_OVR
95		QUADSPI
96		DMA1_CH8
97		DMA2_CH6
98		DMA2_CH7
99		DMA2_CH8
100		CORDIC
101		FMAC

4.5 リセットおよびクロック制御(RCC)

STM32G431xx/G474xx/G491xx デバイスと STM32F303/334 ライン間の RCC に関連する主な違いを、表 13 に示します。

表 13. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の RCC の違い

RCC	STM32F303/334 ライン	STM32G431xx/G474xx/G491xx
HSI	8 MHz RC 出荷時およびユーザトリミング	16 MHz RC 出荷時およびユーザトリミング
LSI	40 kHz 付近 (30~50 kHz)	<ul style="list-style-type: none"> 32 KHz RC 低消費電力、高精度 (製品データシートを参照)
HSE	4 から 32 MHz	4 から 48 MHz
LSE	<ul style="list-style-type: none"> 32.768 KHz 設定可能な駆動/消費電力 バックアップドメイン (VBAT) で使用可能 	
HSI48	該当なし	<ul style="list-style-type: none"> 48 MHz RC USB フルスピードおよび RNG を駆動可能
PLL	<ul style="list-style-type: none"> 内部 PLL は、HSI または HSE の出力クロック周波数を逡倍するために使用できます PLL ソースは HSI および HSE です 	<ul style="list-style-type: none"> 内部 PLL は、HSI16 または HSE の出力クロック周波数を逡倍するために使用できません PLL ソースは HSI16 および HSE です PLL 逡倍数/分周比が STM32F3 ラインと異なります
システムクロックソース	HSI、HSE、または PLL	HSI16、HSE、または PLL
システムクロックの周波数	<ul style="list-style-type: none"> 最大 72 MHz HSI を使用したリセット後 8 MHz 	<ul style="list-style-type: none"> 最大 150 MHz HSI16 を使用したリセット後 16 MHz
AHB 周波数	最大 72 MHz	最大 150 MHz
APB1 周波数	最大 36 MHz	最大 150 MHz
APB2 周波数	最大 72 MHz	最大 150 MHz
RTC クロックソース	LSI、LSE、または HSE/32	LSI、LSE、または HSE/32
クロック信号出力	<ul style="list-style-type: none"> MCO ピン (PA8) : LSI、LSE、SYSCLK、HSI、PLLCLK/2 	<ul style="list-style-type: none"> MCO ピン (PA8) : LSI、LSE、SYSCLK、HSI16、HSI48、HSE、PLLCLK LSCO ピン (PA2) : LSI、LSE。この出力は、STOP モード (STOP 0 および STOP 1) および STANDBY モードでも維持されません。
CSS	<ul style="list-style-type: none"> HSE の CSS (クロックセキュリティシステム) 	<ul style="list-style-type: none"> HSE の CSS (クロックセキュリティシステム) LSE の CSS
内部/外部クロックの測定	<ul style="list-style-type: none"> TIM16 による 	<ul style="list-style-type: none"> TIM5/TIM15/TIM16/TIM17 による
割込み	<ul style="list-style-type: none"> CSS (NMI IRQ にリンク) PLLRDY、HSERDY、HSIRDY、LSERDY、LSIRDY (RCC グローバル IRQ にリンク) 	<ul style="list-style-type: none"> CSS (NMI IRQ にリンク) LSECSS、LSIRDY、LSERDY、HSIRDY、HSERDY、PLLRDY (RCC グローバル IRQ にリンク)

表 13 で説明されている違いに加えて、移行のためには、セクション 4.5.1 Vcore のレンジにおける性能、セクション 4.5.2 ペリフェラルのアクセス設定、および セクション 4.5.3 ペリフェラルのクロック設定 で説明されている追加の適合ステップが必要な場合があります。

4.5.1 Vcore のレンジにおける性能

STM32G431xx/G474xx/G491xx デバイスでは、最大 CPU クロック周波数と Flash メモリのウェイトステート数は、選択した電圧レンジ V_{core} に依存します。

表 14. STM32G431xx/G474xx/G491xx デバイスの Vcore レンジにおける性能

CPU 性能	電源性能	Vcore レンジ	標準値 (V)	最大周波数 (MHz)				
				4 WS	3 WS	2 WS	1 WS	0 WS
高	中	1 ブーストモード	1.28	170	136	102	68	34
		1 ノーマルモード	1.2	150	120	90	60	30
中	高	2	1.0	-	-	26	24	12

注 WS = ウェイトステート

STM32F303 ラインでは、最大 CPU クロック周波数と Flash メモリのウェイトステート数は、以下の条件によって関連付けられています。

- $0 < HCLK \leq 24 \text{ MHz}$ の場合、0 ウェイトステート
- $24 \text{ MHz} < HCLK \leq 48 \text{ MHz}$ の場合、1 ウェイトステート
- $48 \text{ MHz} < HCLK \leq 72 \text{ MHz}$ の場合、2 ウェイトステート。

4.5.2 ペリフェラルのアクセス設定

STM32G431xx/G474xx/G491xx デバイスでは STM32F303/334 ラインと比較して一部のペリフェラルのアドレスマッピングが変更されたので、ペリフェラル [クロック] の [有効化/無効化] もしくは [移行/終了] または [リセットモードからの] それらには異なるレジスタを使用する必要があります(表 15 を参照)。

表 15. ペリフェラルアクセス設定に使用される RCC レジスタ

バス	レジスタ STM32F303 ライン	レジスタ STM32G431xx/ G474xx/G491xx	コメント
AHB	RCC_AHBRSTR	RCC_AHB1RSTR (AHB1)。 RCC_AHB2RSTR (AHB2)。 RCC_AHB3RSTR (AHB3)。	リセットから AHB ペリフェラルを [移行/終了] するために使用します
	RCC_AHBENR	RCC_AHB1ENR(AHB1)。 RCC_AHB2ENR(AHB2)。 RCC_AHB3ENR(AHB3)。	AHB ペリフェラルクロックの [有効化/無効化] に使用します
	該当なし	RCC_AHB1SMENR (AHB1)。 RCC_AHB2SMEUR (AHB2)。 RCC_AHB3SMEUR (AHB3)。	SLEEP モードおよび STOP モードで AHB ペリフェラルクロックを [有効化/無効化] するために使用します
APB1	RCC_APB1RSTR	RCC_APB1RSTR1 RCC_APB1RSTR2	APB1 ペリフェラルをリセットから [移行/終了] するために使用します
	RCC_APB1ENR	RCC_APB1ENR1 RCC_APB1ENR2	APB1 ペリフェラルクロックの [有効化/無効化] に使用します
	該当なし	RCC_APB1SMENR1 RCC_APB1SMEUR2	SLEEP モードおよび STOP モードで APB1 ペリフェラルクロックを [有効化/無効化] するために使用します
APB2	RCC_APB2STR	APB2 ペリフェラルをリセットから [有効化/無効化] するために使用します	
	RCC_APB2ENR		APB2 ペリフェラルクロックを [有効化/無効化] するために使用します
	該当なし	APB2	SLEEP モードおよび STOP モードで APB2 ペリフェラルクロックを [有効化/無効化] するために使用します

4.5.3 ペリフェラルのクロック設定

ペリフェラルの中には、動作に必要なクロックの生成に使用される、システムクロックから独立した専用のクロックソースを備えているものがあります。

- USB:
 - STM32F303 ライン: USB 48 MHz クロックは PLL VCO から生成されます。
 - STM32G431xx/G474xx/G491xx デバイス: USB 48 MHz クロックは、次のいずれかのソースから生成されます。
 - メイン PLL (PLLQCLK)
 - HSI48 内部オシレータ

- A/D コンバータ:
 - STM32F303 ライン: ADC 非同期クロックは PLL 出力から生成されます。最大 72 MHz のクロックを生成でき、その後 1、2、4、6、8、10、12、16、32、64、128、または 256 分周が可能です。
 - STM32G431xx/G474xx/G491xx デバイス: 非同期 ADC クロックは、次の 2 つのソースのいずれかから生成できます。
 - システムクロック (SYSCLK)
 - メイン PLL (PLLCLK)

STM32G431xx/G474xx/G491xx デバイスでは、A/D コンバータ・クロック周波数は最大 60 MHz です (製品データシートの A/D コンバータ 特性表を参照)。したがって、ADC クロックソースの値が指定された最大 ADC クロック周波数より大きい場合は、プリスケアラを使用する必要があります。

ADC クロックソースは、1、2、4、6、8、10、12、16、32、64、128、または 256 分周が可能です。

- D/A コンバータ:
 - STM32G431xx/G474xx/G491xx デバイス: PCLK1 クロックに加え、LSI クロックがサンプリングおよびホールド動作に使用されます。

4.6 電源制御(PWR)

STM32G431xx/G474xx/G491xx デバイスでは、STM32F303 ラインと比較した場合、PWR コントローラにいくつかの違いがあります。これらの違いを [表 16](#) に示します。

表 16. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の PWR の違い

PWR	STM32F303 ライン	STM32G431xx/G474xx/G491xx
電源	<ul style="list-style-type: none"> • VDD = 2.0~3.6 V: I/O、Flash メモリ、および内部レギュレータの外部電源 • VDD ピンを通して外部から供給されます 	<ul style="list-style-type: none"> • VDD = 1.71~3.6 V: I/O、Flash メモリ、および内部レギュレータの外部電源 • VDD ピンを通して外部から供給されます
	<ul style="list-style-type: none"> • VDD18 = 1.65~1.95 V • VDD18 は、デジタルコア、SRAM、および Flash メモリの電源です • VDD18 は内部電圧レギュレータを通じて内部生成されます 	<ul style="list-style-type: none"> • Vcore = 1.0~1.28V • Vcore は、デジタルペリフェラル、SRAM、および Flash メモリの電源です • 内部電圧レギュレータによって生成されます • ターゲット周波数に応じて 2 つの Vcore レンジをソフトウェアで選択できます。
	VBAT = 1.65~3.6 V: VDD が存在しない場合、RTC、外部クロック、32 kHz オシレータ、およびバックアップレジスタ (電源スイッチ経由) の電源です	VBAT = 1.55~3.6 V: VDD が存在しない場合、RTC、外部クロック、32 kHz オシレータ、およびバックアップレジスタ (電源スイッチ経由) の電源です
	VDD は、常に VDDA 以下に保たれる必要があります	
	<ul style="list-style-type: none"> • VSSA、VDDA STM32F303x6/8/B/C/D/E = 2.0~3.6 V • ADC、DAC、コンパレータ、オペアンプ、温度センサ、PLL、HSI 8 MHz オシレータ、LSI 40 kHz オシレータ、およびリセットブロックの外部電源 • OPAMP および DAC が使用されているときには、VDDA は 2.4~3.6 V の範囲でなければなりません • VDDA < VDD - 0.4 V にすることは禁じられています • この条件を満たすようにするには、VDD と VDDA の間に外部ショットキーダイオードを配置する必要があります 	<ul style="list-style-type: none"> • VSSA、VDDA = <ul style="list-style-type: none"> – 1.62 V (ADC/COMP) ~ 3.6 V – 1.8 V (DAC/OPAMP) ~ 3.6 V – 2.4 V (VREFBUF) ~ 3.6 V • VDDA は、A/D コンバータ、D/A コンバータ、電圧リファレンスパッファ、オペアンプ、およびコンパレータの外部アナログ電源です • VDDA の電圧レベルは、VDD 電圧から独立しています
バッテリーバックアップドメイン	<ul style="list-style-type: none"> • バックアップレジスタ (B/C で 64 バイト、6/8 で 20 バイト) 付き RTC • LSE • PC13 から PC15 の I/O 	<ul style="list-style-type: none"> • バックアップレジスタ (128 バイト) 付き RTC • LSE • PC13 から PC15 の I/O
電源供給スーパーバイザ	<ul style="list-style-type: none"> • 統合 POR/PDR 回路 • プログラム可能な電圧検出器 (PVD) 	<ul style="list-style-type: none"> • 該当なし • ブラウンアウトリセット (BOR)

PWR	STM32F303 ライン	STM32G431xx/G474xx/G491xx
電源供給スーパバイザ	<ul style="list-style-type: none"> 該当なし 	<ul style="list-style-type: none"> BOR は、SHUTDOWN モードの場合を除き、常に有効です PVM
低電力モード	<ul style="list-style-type: none"> 該当なし 	<ul style="list-style-type: none"> 低電力 RUN モード システムクロックは 2 MHz に制限されます LP レギュレータの使用により、低周波数での電力消費を低減
	<ul style="list-style-type: none"> STOP モード (全クロック停止) 	<ul style="list-style-type: none"> STOP0、STOP1 モード 一部の追加機能ペリフェラル(ウェイクアップソースを参照)
	<ul style="list-style-type: none"> STANDBY モード (VDD18 ドメイン電源オフ) 	<ul style="list-style-type: none"> STANDBY モード (Vcore ドメイン電源オフ) オプションの SRAM2 保持 オプションの I/O プルアップまたはプルダウン設定
	<ul style="list-style-type: none"> 該当なし 	<ul style="list-style-type: none"> SHUTDOWN モード (Vcore ドメインの電源オフおよび電源監視オフ)
ウェイクアップソース	<ul style="list-style-type: none"> SLEEP モード 任意のペリフェラル割込み/ウェイクアップイベント 	<ul style="list-style-type: none"> SLEEP モード 任意のペリフェラル割込み/ウェイクアップイベント
	<ul style="list-style-type: none"> STOP モード 任意の EXTI ライン/割込み PVD、USB ウェイクアップ、RTC、COMPx I2Cx、U(S)ARTx 	<ul style="list-style-type: none"> STOP 0、STOP 1 モード 任意の EXTI ライン/割込み BOR、PVD、PVM、COMP、RTC、USB、IWDG U(S)ART、LPUART、I2C、LPTIM
	<ul style="list-style-type: none"> STANDBY モード NRST 外部リセット IWDG リセット 3 WKUP ピン RTC イベント 	<ul style="list-style-type: none"> STANDBY モード 5 つの WKUP ピンの立ち上がりまたは立ち下がりエッジ RTC イベント NRST ピンでの外部リセット IWDG リセット
	<ul style="list-style-type: none"> 該当なし 	<ul style="list-style-type: none"> SHUTDOWN モード 5 つの WKUP ピンの立ち上がりまたは立ち下がりエッジ RTC イベント NRST ピンでの外部リセット
ウェイクアップクロック	<ul style="list-style-type: none"> STOP からのウェイクアップ HSI RC クロック 	<ul style="list-style-type: none"> STOP からのウェイクアップ HSI16 16MHz により、PLL 起動時間を待たずにハイスピードでのウェイクアップが可能
	<ul style="list-style-type: none"> STANDBY からのウェイクアップ HSI RC クロック 	<ul style="list-style-type: none"> STANDBY からのウェイクアップ HSI RC クロック
	<ul style="list-style-type: none"> 該当なし 	<ul style="list-style-type: none"> SHUTDOWN からのウェイクアップ HSI RC クロック

4.7 リアルタイムクロック(RTC)

STM32G431xx/G474xx/G491xx デバイスおよび STM32F303 ラインでは、RTC に関してほとんど同じ機能を実装しています。

表 17 に、若干の違いを示します。

表 17. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の RTC の違い

RTC	STM32F303 ライン	STM32G431xx/G474xx/G491xx
機能	高精度較正が利用可能	高精度較正が利用可能
	3 つのタンパピン(VBAT で使用可能)	3 つのタンパピン(VBAT で使用可能)
	<ul style="list-style-type: none"> STM32F303xB/C/D/E の場合: 64 バイトのバックアップレジスタ STM32F303x6/8 の場合: 20 バイトのバックアップレジスタ 	128 バイトのバックアップレジスタ

詳細については、STM32G4xx デバイスのリファレンスマニュアルの RTC セクションを参照してください。

4.8 システム設定コントローラ(SYSCFG)

STM32G431xx/G474xx/G491xx デバイスでは、STM32F303 ラインに比べて、追加の機能が実装されています。表 18 に、その違いを示します。

表 18. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の SYSCFG の違い

SYSCFG	STM32F303 ライン	STM32G431xx/G474xx/G491xx
機能	<ul style="list-style-type: none"> メモリ領域の再配置 外部入力ラインの GPIO への接続の管理 CCM SRAM 書込み保護およびソフトウェア消去の設定 いくつかの I/O に割り当てられた I2C 高速モードプラス駆動機能の有効化/無効化 ADC トリガの再配置 DAC トリガの再配置 	<ul style="list-style-type: none"> メモリ領域の再配置 外部入力ラインの GPIO への接続の管理 堅牢性の管理機能 CCM SRAM 書込み保護およびソフトウェア消去の設定 FPU 割込みの設定 I/O アナログスイッチの電圧ブースタおよびいくつかの I/O に割り当てられた I2C 高速モードプラス駆動機能の有効化/無効化
設定	-	<ul style="list-style-type: none"> いくつかのビットが異なっており、EXTI の設定が異なる場合があります (GPIO の数は製品によって異なります)

4.9 汎用 I/O インタフェース(GPIO)

STM32G431xx/G474xx/G491xx デバイスの GPIO ペリフェラルには、STM32F303/334 ラインと同じ機能がいくつか内蔵されています。

STM32F303/334 デバイス用に記述された GPIO コードは、STM32G431xx/G474xx/G491xx デバイス用に多少の変更が必要な場合があります。これは、特定の機能が、異なる GPIO にマッピングされているためです(ピン配置の相違点については、[セクション 2.1 利用可能なパッケージ](#)を参照し、オルタナート機能マッピングの相違点の詳細については製品データシートを参照してください)。

リセット時、STM32F303/334 の GPIO は入力フローティングモードに設定されますが、STM32G431xx/G474xx/G491xx デバイスの GPIO はアナログモードに設定されます (IO シュミットトリガによる消費電力を避けるため)。

STM32G431xx/G474xx/G491xx では、プルダウンの有効/無効が可能になるので、PUPD = 10 の組み合わせは予約済みではなくなります。プルアップはハードウェアによって無効のままとなります。

STM32G431xx/G474xx/G491xx デバイスの GPIO のプログラミングと使用方法の詳細については、STM32G431xx/G474xx/G491xx デバイスのリファレンスマニュアルの GPIO セクションにある「I/O ピンマルチプレクサとマッピング」セクションを参照してください。また、ピン配置とオルタナート機能マッピングの詳細説明については、製品データシートを参照してください。

4.10 Flash メモリ

表 19 では、STM32F303/334 と STM32G431xx/G474xx/G491xx デバイスの Flash メモリ・インタフェースの違いを示します。

STM32G431xx/G474xx/G491xx デバイスの Flash メモリのプログラミング、消去、保護の詳細については、STM32G4xx リファレンスマニュアルを参照してください。

表 19. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の Flash の違い

Flash	STM32F303/334	STM32G431xx/G474xx/G491xx
メイン/プログラムメモリ	0x0800 0000 ~ (最大)0x0807 FFFF	0x0800 0000 ~ 0x0807 FFFF
	<ul style="list-style-type: none"> 最大 512 KB 1 バンク 2 KB × 最大 256 ページ プログラミングの粒度: 64 ビット 読出しの粒度: 128 ビット 	STM32G431xx <ul style="list-style-type: none"> 128 KB シングルバンク メモリには 2 KB × 64 ページがあり、各ページは: 256 バイトの 8 行 64 ビットの読出し幅。
		STM32G474xx <ul style="list-style-type: none"> 512 KB 2 つのバンクに分割 <ul style="list-style-type: none"> デュアルバンクが有効な場合、各バンクは: 2 KB × 128 ページ、各ページ: 256 バイトの 8 行 デュアルバンクが無効の場合: メモリブロックには、4 KB × 128 ページが含まれ、各ページは: 512 バイトの 8 行 シングルバンクモードでは 128 ビットの読出し幅、デュアルバンクモードでは 64 ビットの読出し幅
		STM32G491xx <ul style="list-style-type: none"> 512 KB シングルバンク メモリには 2 KB × 256 ページがあり、各ページは: 256 バイトの 8 行 64 ビットの読出し幅。
機能	該当なし	<ul style="list-style-type: none"> 書込み中読出し (RWW) デュアルバンクブート (STM32G474xx のみ)
ウェイトステート	最大 2 (周波数による)	最大 4 (周波数による)
ART アクセラレータ	該当なし	<ul style="list-style-type: none"> 命令キャッシュ、データキャッシュ、およびプリフェッチバッファにより、周波数に対してリニアな性能を実現
一度だけプログラム可能		1 KB の OTP バイト
消去の粒度	ページ消去と全体消去	ページ消去、バンク消去、および全体消去
読出し保護 (RDP)	<ul style="list-style-type: none"> レベル 0 保護なし RDP = 0xAA 	<ul style="list-style-type: none"> レベル 0 保護なし RDP = 0xAA
	<ul style="list-style-type: none"> レベル 1 メモリ保護 RDP ≠ {0xAA, 0xCC} 	<ul style="list-style-type: none"> レベル 1 メモリ保護 RDP ≠ {0xAA, 0xCC}
	レベル 2 RDP = 0xCC ⁽¹⁾	レベル 2 RDP = 0xCC(1)
商用コード読出し保護 (Proprietary code readout protection: PCROP)	該当なし	はい
ECC	該当なし	<ul style="list-style-type: none"> 64 ビットダブルワードで 8 ビット シングルエラーの検出および訂正

Flash	STM32F303/334	STM32G431xx/G474xx/G491xx	
		<ul style="list-style-type: none"> ダブルエラーの検出 	
セキュリティ保護可能な領域	該当なし	はい	
ユーザオプションバイト	nRST_STOP	nRST_STOP	
	nRST_STDBY	nRST_STDBY	
	SRAM_PE	SRAM_PE	
	VDDA_MONITOR	該当なし	
	RDP	RDP	
	nRDP	該当なし	
	USER		
	nUSER		
	該当なし	nRST_SHDW	
	WDG_SW	IWDG_SW	
	nBOOT1	nBOOT1	
	該当なし		BOR_LEV[2:0]s
			IWDG_STOP、IWDG_STDBY
			WWDG_SW
			BFB2
		DBANK	
		CCMSRAM_RST	
		nSWBOOT0	
		nBOOT0	
	PG10_Mode		
	IRH_EN		

- メモリ読出し保護レベル 2 は、不可逆操作です。レベル 2 がアクティブになると、保護レベルをレベル 0 やレベル 1 に下げることはできません

4.11 U(S)ART (Universal synchronous asynchronous receiver transmitter)

STM32G431xx/G474xx/G491xx デバイスでは、STM32F303/334 と比較して、U(S)ART にいくつかの新機能が実装されています。表 20、表 21、および表 22 に、その違いを示します。

表 20. STM32F303/F334 と STM32G431xx/G474xx/G491xx デバイス間の U(S)ART の違い

U(S)ART	STM32F303/334	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> 最大 3 x USART 最大 2 x UART 	<ul style="list-style-type: none"> 3 x USART G474xx/G491xx では 2 x UART、G431xx では 1 x UART
ポーレート	最大 9 Mbit/s	<ul style="list-style-type: none"> 最大 18.75 Mbit/s

表 21. STM32F303/334 の USART 機能

USART のモード/機能 ⁽¹⁾	STM32F303xB/C			STM32F303xD/E			STM32F303x6/8 STM32F334	
	USART1/ USART2/ USART3	UART4	UART5	USART1/ USART2/ USART3	UART4	UART5	USART1	USART2/ USART3
モデムのハードウェアフロー制御	X	-	-	X	-	-	X	X
DMA を使用した連続通信	X	X	-	X	X	-	X	X
マルチプロセッサ通信	X	X	X	X	X	X	X	X
同期モード	X	-	-	X	-	-	X	X
スマートカードモード	X	-	-	X	-	-	X	-
単線半二重通信	X	X	X	X	X	X	X	X
IrDA SIR ENDEC ブロック	X	X	X	X	X	X	X	-
LIN モード	X	X	X	X	X	X	X	-
デュアルクロックドメインと STOP モードからのウェイクアップ	X	X	X	X	X	X	X	-
レシーバタイムアウト割込み	X	X	X	X	X	X	X	-
Modbus 通信	X	X	X	X	X	X	X	-
自動ボーレート検出	X	-	-	X	-	-	X	-
ドライバインエーブル	X	-	-	X	-	-	X	X
USART データ長	8 および 9 ビット			7、8、および 9 ビット			7、8、および 9 ビット	

1. X = サポートされています。

表 22. STM32G431xx/G474xx/G491xx の USART/LPUART 機能

USART のモード/機能 ⁽¹⁾	USART1/2/3	UART4/5 ⁽²⁾	LPUART
モデムのハードウェアフロー制御	X	X	X
DMA を使用した連続通信	X	X	X
マルチプロセッサ通信	X	X	X
同期モード(マスタ/スレーブ)	X	-	-
スマートカードモード	X	-	-
単線半二重通信	X	X	X
Ir SIR ENDEC ブロック	X	X	-
LIN モード	X	X	-
デュアルクロックドメインと低電力モードからのウェイクアップ	X	X	X
レシーバタイムアウト割込み	X	X	-
Modbus 通信	X	X	-
自動ボーレート検出	X	X	-
ドライバインネーブル	X	X	X
USART データ長		7、8、および 9 ビット	
Tx/Rx FIFO	X	X	X
Tx/Rx FIFO サイズ		8	

1. X = サポートされています
2. UART5 は G431xx では使用できません。

4.12 シリアルペリフェラルインタフェース(SPI)/IC ツー IC サウンド(I2S)

表 23 に違いを示します。

表 23. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の SPI の違い

SPI	STM32F303 ライン	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> • x3 (STM32F303xB/C) • x4 (STM32F303xD/E) • x1 (STM32F303x6/8) 	<ul style="list-style-type: none"> • x4 (STM32G474xx) • x3 (STM32G431xx/G491xx)
機能	<ul style="list-style-type: none"> • STM32F303xB/C = 3 x SPI + 2 x I2S (全二重) • STM32F303xD/E = 4 x SPI + 2 x I2S (全二重) • STM32F303x6/8 = 1 x SPI + 0 x I2S 	<ul style="list-style-type: none"> • STM32G474xx = 4 x SPI + 2 x I2S (半二重) • STM32G431xx/G491xx = 3 x SPI + 2 x I2S (半二重)
速度	最大 18 Mbit/s	最大 41 Mbit/s

4.13 USB フルスピード(USB FS)

主な違いを表 24 に示します。

表 24. STM32F303 と STM32G431xx/G474xx/G491xx デバイス間の USB の違い

USB FS	STM32F303	STM32G431xx/G474xx/G491xx
機能	<ul style="list-style-type: none"> Universal Serial Bus Revision 2.0 STM32F404xD/E は LPM をサポートする USB を内蔵しています 	<ul style="list-style-type: none"> リンク電源管理(LPM)をサポートする Universal Serial Bus Revision 2.0 USB クロック用の CRS
	<ul style="list-style-type: none"> 1 から 8 まで設定可能なエンドポイント数 巡回冗長検査(CRC)の生成/チェック、NRZI(Non-return-to-zero Inverted)方式のエンコード/デコード、およびビットスタッフィング アイソクロナス転送サポート ダブルバッファパルク/アイソクロナスエンドポイントサポート USB サスペンド/レジューム操作 フレームロッククロックパルス生成 	<ul style="list-style-type: none"> 接続検出プロトコル(ADP) バッテリー充電検出(BCD) USB 接続/切断機能(USB_DP ライン上の制御可能な組み込みブルアップ抵抗)
	該当なし	
配置	APB1	
バッファメモリ	<ul style="list-style-type: none"> STM32F303xB/C: 512 バイトの専用パケットバッファメモリ SRAM STM32F303xD/E: 1024 バイトの専用パケットバッファメモリ SRAM RCC_APB1ENR レジスタで CAN ペリフェラルクロックが有効なときには、最初の 768 バイトのみが USB で使用可能であり、残りの 256 バイトは CAN によって使用されます	1024 バイトの専用パケットバッファメモリ SRAM
低消費電力モード	<ul style="list-style-type: none"> USB のサスペンドとレジューム STM32F303xD/E: リンク電源管理(LPM)のサポート 	<ul style="list-style-type: none"> USB のサスペンドとレジューム リンク電源管理(LPM)のサポート

4.14 A/D コンバータ(ADC)

表 25 に、STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の ADC ペリフェラルの違いを示します。

表 25. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の ADC の違い

ADC	STM32F303/334		STM32G431/G474/G491xx	
ADC タイプ	SAR の構造		SAR の構造	
個数	<ul style="list-style-type: none"> 4 個 (STM32F303xB/C/D/E) 2 個 (STM32F303x6/8 および STM32F334) 		<ul style="list-style-type: none"> STM32G474xx では 5 個 STM32G491xx では 3 個 STM32G431xx では 2 個 	
最大サンプリング周波数	<ul style="list-style-type: none"> 5.1 Msps (高速チャネル) 4.8 Msps (低速チャネル) 		<ul style="list-style-type: none"> 4 Msps 	
最大 ADC クロック周波数	72 MHz		最大 ADC クロック周波数は、ADC の設定 (シングルまたはマルチ、およびシングルエンドまたは差動) に依存します。詳細については、デバイス・データシートを参照してください。	
チャンネル数	ADC ごとに最大 19 チャンネル		<ul style="list-style-type: none"> STM32G474xx では最大 42 チャンネル STM32G491xxx では最大 36 チャンネル STM32G431xxx では最大 18 チャンネル 	
分解能	12 ビット		12 ビット	
DMA	可能		はい	
外部トリガ	レギュラグループの外部イベント: ADC1/2 TIM1_CC1 TIM1_CC2 TIM1_CC3 TIM2_CC2 TIM3_TRGO TIM4_CC4 EXTI ライン 11 TIM8_TRGO TIM8_TRGO2 TIM1_TRGO TIM1_TRGO2 TIM2_TRGO TIM4_TRGO TIM6_TRGO TIM15_TRGO TIM3_CC4	インジェクトグループの外部イベント: ADC1/2 TIM1_TRGO TIM1_CC4 TIM2_TRGO TIM2_CC1 TIM3_CC4 TIM4_TRGO EXTI ライン 15 TIM8_CC4 TIM1_TRGO2 TIM8_TRGO TIM8_TRGO2 TIM3_CC3 TIM3_TRGO TIM3_CC1 TIM6_TRGO TIM15_TRGO	レギュラグループの外部イベント: ADC1/2 TIM1_CC1 TIM1_CC2 TIM1_CC3 TIM2_CC2 TIM3_TRGO TIM4_CC4 EXTI ライン 11 TIM8_TRGO TIM8_TRGO2 TIM1_TRGO TIM1_TRGO2 TIM2_TRGO TIM4_TRGO TIM6_TRGO TIM15_TRGO TIM3_CC4 TIM20_TRGO TIM20_TRGO2 TIM20_CC1 TIM20_CC2 TIM20_CC3 HRTIM_ADCTRIG1 HRTIM_ADCTRIG3 HRTIM_ADCTRIG5 HRTIM_ADCTRIG6 HRTIM_ADCTRIG7 HRTIM_ADCTRIG8 HRTIM_ADCTRIG9 HRTIM_ADCTRIG10 LPTIMOUT TIM7_TRGO	インジェクトグループの外部イベント: ADC1/2 TIM1_TRGO TIM1_CC4 TIM2_TRGO TIM2_CC1 TIM3_CC4 TIM4_TRGO EXTI ライン 15 TIM8_CC4 TIM1_TRGO2 TIM8_TRGO TIM8_TRGO2 TIM3_CC3 TIM3_TRGO TIM3_CC1 TIM6_TRGO TIM15_TRGO TIM20_TRGO TIM20_TRGO2 TIM20_CC4 HRTIM_ADCTRIG2 HRTIM_ADCTRIG4 HRTIM_ADCTRIG5 HRTIM_ADCTRIG6 HRTIM_ADCTRIG7 HRTIM_ADCTRIG8 HRTIM_ADCTRIG9 HRTIM_ADCTRIG10 TIM16_CC1 LPTIMOUT TIM7_TRGO
外部トリガ	レギュラグループの外部イベント:	インジェクトグループの外部イベント:	レギュラグループの外部イベント: ADC3/4/5	インジェクトグループの外部イベント:

ADC	STM32F303/334		STM32G431/G474/G491xx	
	ADC3/4 TIM3_CC1 TIM2_CC3 TIM1_CC3 TIM8_CC1 TIM8_TRGO EXTI ライン 2 TIM4_CC1 TIM2_TRGO TIM8_TRGO2 TIM1_TRGO TIM1_TRGO2 TIM3_TRGO TIM4_TRGO TIM7_TRGO TIM15_TRGO TIM2_CC1	ADC3/4 TIM1_TRGO TIM1_CC4 TIM4_CC3 TIM8_CC2 TIM8_CC4 TIM4_CC3 TIM4_CC4 TIM4_TRGO TIM1_TRGO2 TIM8_TRGO TIM8_TRGO2 TIM1_CC3 TIM3_TRGO TIM2_TRGO TIM7_TRGO TIM15_TRGO	TIM3_CC1 TIM2_CC3 TIM1_CC3 TIM8_CC1 TIM3_TRGO EXTI ライン 2 TIM4_CC1 TIM8_TRGO TIM8_TRGO2 TIM1_TRGO TIM1_TRGO2 TIM2_TRGO TIM4_TRGO TIM6_TRGO TIM15_TRGO TIM2_CC1 TIM20_TRGO TIM20_TRGO2 TIM20_CC1 HRTIM_ADCTRG2 HRTIM_ADCTRG4 HRTIM_ADCTRG1 HRTIM_ADCTRG3 HRTIM_ADCTRG5 HRTIM_ADCTRG6 HRTIM_ADCTRG7 HRTIM_ADCTRG8 HRTIM_ADCTRG9 HRTIM_ADCTRG10 LPTIMOUT TIM7_TRGO	ADC3/4/5 TIM1_TRGO TIM1_CC4 TIM2_TRGO TIM8_CC2 TIM4_CC3 TIM4_TRGO TIM4_CC4 TIM8_CC4 TIM1_TRGO2 TIM8_TRGO TIM8_TRGO2 TIM1_CC3 TIM3_TRGO EXTI ライン 3 TIM6_TRGO TIM15_TRGO TIM20_TRGO TIM20_TRGO2 TIM20_CC2 HRTIM_ADCTRG2 HRTIM_ADCTRG4 HRTIM_ADCTRG5 HRTIM_ADCTRG6 HRTIM_ADCTRG7 HRTIM_ADCTRG8 HRTIM_ADCTRG9 HRTIM_ADCTRG10 HRTIM_ADCTRG1 HRTIM_ADCTRG3 LPTIMOUT TIM7_TRGO
電源要件	2.0~3.6 V		- 1.62~3.6 V - 独立電源(VDDA)	
基準電圧	<ul style="list-style-type: none"> 外部 $2.0\text{ V} \leq \text{VREF+} \leq \text{VDDA}$ 		STM32G431xx/G474xx/G491xx の基準電圧(1.62 V ~ VDDA)または内部基準電圧(2.048 V、2.5 V、2.9 V)	
機能	STM32G431xx/G474xx/G491xx の ADC には、STM32F303/334 の ADC と比較して、次のような追加機能があります。16 ビット・オーバーサンプリング、ゲイン/オフセット補正など		-	
入力範囲	$\text{VREF-} \leq \text{VIN} \leq \text{VREF+}$		$\text{VREF-} \leq \text{VIN} \leq \text{VREF+}$	

4.15 D/A コンバータ(DAC)

STM32G431xx/G474xx/G491xx には、STM32F303/334 ラインの機能と比較して、いくつかの追加機能が実装されています。表 26 に違いを示します。

表 26. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の DAC の違い

DAC	STM32F303/334	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> STM32F303xB/C/D/E の場合: <ul style="list-style-type: none"> 出力バッファ付き 2 x 12 ビット D/A コンバータ・チャンネル STM32F303x/6/8 および STM32F334 の場合: <ul style="list-style-type: none"> 3 x 12 ビット D/A コンバータ・チャンネル 出力バッファは DAC1 ch1 のみ 	<ul style="list-style-type: none"> STM32G474xx の場合: <ul style="list-style-type: none"> 7 つの D/A コンバータ・チャンネル(3 つの外部 1MSPS(出力バッファあり)および 4 つの内部 15MSPS(出力バッファなし)) STM32G431xx/G491xx の場合: <ul style="list-style-type: none"> 4 つの D/A コンバータ・チャンネル(出力バッファありの外部 1MSPS が 2 つ、出力バッファなしの内部 15MSPS が 2 つ) D/A コンバータごとに最大 2 つの出力チャンネル
分解能	12 ビット	12 ビット
機能	<ul style="list-style-type: none"> 12 ビットモードでのデータの左詰めまたは右詰め ノイズ波および三角波生成(DAC1 のみ) デュアル DAC チャンネルの独立または同時変換 オンチップペリフェラルへの DAC 出力接続 	<ul style="list-style-type: none"> 12 ビットモードでのデータの左詰めまたは右詰め ノイズ波、三角波、およびのこぎり波生成 デュアル DAC チャンネルの独立または同時変換 オンチップペリフェラルへの DAC 出力接続 STOP モードの低電力動作でのサンプルおよびホールドモード バス活動を軽減するダブルデータ DMA 機能
DMA	可能	はい
外部トリガ	<u>DAC1</u> TIM6_TRGO TIM3_TRGO または TIM8_TRGO TIM7_TRGO TIM15_TRGO TIM2_TRGO TIM4_TRGO 外部割込みライン 9(EXTI ライン 9) SWTRIG <u>DAC2</u> TIM6_TRGO TIM3_TRGO TIM7_TRGO TIM15_TRGO TIM2_TRGO 外部割込みライン 9(EXTI ライン 9) SWTRIG	<u>DAC1/2/4</u> TIM8_TRGO TIM7_TRGO TIM15_TRGO TIM2_TRGO TIM4_TRGO EXTI10 TIM6_TRGO TIM3_TRGO HRTIM_step_trig_1 HRTIM_step_trig_2 HRTIM_step_trig_3 HRTIM_step_trig_4 HRTIM_step_trig_5 HRTIM_step_trig_6 SWTRIG <u>DAC3</u> TIM1_TRGO TIM7_TRGO TIM15_TRGO TIM2_TRGO TIM4_TRG EXTI10 TIM6_TRGO TIM3_TRGO HRTIM_rst_trig_1 HRTIM_rst_trig_2 HRTIM_rst_trig_3 HRTIM_rst_trig_4

DAC	STM32F303/334	STM32G431xx/G474xx/G491xx
		HRTIM_rst_trig_5 HRTIM_rst_trig_6 SWTRIG
電源要件	2.4~3.6 V	- 1.71~3.6 V - 独立電源 (VDDA)
基準電圧	外部 $2.4\text{ V} \leq VREF+ \leq VDDA$	外部 (1.71 V ~ VDDA) または内部 (2.048 V、2.5 V、または 2.9 V)

4.16 コンパレータ (COMP)

表 27 に、STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の COMP インタフェースの違いを示します。

表 27. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の COMP の違い

COMP	STM32F303/334	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> COMP1/2/3/4/5/6/7 (STM32F303xB/C/D/E) COMP2、COMP4、COMP6 (STM32F303x6/8 および STM32F334) 	<ul style="list-style-type: none"> COMP1/2/3/4/5/6/7 (STM32G474xx) COMP1/2/3/4 (STM32G431xx/G491xx)
入力	<ul style="list-style-type: none"> COMP1/2/3/4/5/6/7: <ul style="list-style-type: none"> 反転: <ul style="list-style-type: none"> 7 (DAC1_CH1、DAC1_CH2、DAC2_CH1、Vrefint、3/4 Vrefint、1/2 Vrefint、1/4 Vrefint) COMP1: 非反転: 2 (PA1、PA0) COMP2: 非反転: 3 (PA3、PA7、PA2) COMP3: 非反転: 4 (PB12、PD15、PB14、PD14) COMP4: 非反転: 4 (PB0、PE7、PB2、PE8) COMP5: 非反転: 4 (PB10、PD13、PB13、PD12) COMP6: 非反転: 4 (PB11、PD11、PB15、PD10) COMP7: 非反転: 3 (PC1、PA0、PC0) 	<ul style="list-style-type: none"> COMP1/2/3/4/5/6/7: 反転: (Vrefint、3/4 Vrefint、1/2 Vrefint、1/4 Vrefint) COMP1/3: 反転 (DAC3_CH1、DAC1_CH1) COMP2/4: 反転 (DAC1_CH1、DAC3_CH2) COMP5/7: 反転 (DAC4_CH1、DAC1_CH2) COMP6: 反転 (DAC4_CH2、DAC2_CH1) COMP1: 非反転 (PA1、PB1) COMP2: 非反転 (PA3、PA7) COMP3: 非反転 (PC1、PA0) COMP4: 非反転 (PB0、PE7) COMP5: 非反転 (PB13、PD12) COMP6: 非反転 (PB11、PD11) COMP7: 非反転 (PB14、PD14)
出力	<ul style="list-style-type: none"> GPIO、タイマ、HRTIM、ウェイクアップへの出力接続 	<ul style="list-style-type: none"> GPIO、タイマ、HRTIM、ウェイクアップへの出力接続
伝搬遅延	25 ns	16.7 ns
機能	ウィンドウ・コンパレータ (STM32F303xB/C のみ): COMP1/2、COMP3/4、および COMP5/6 <ul style="list-style-type: none"> ブランキングソースとともに出力 プログラム可能なヒステリシスは STM32F303xB/C のみ プログラム可能なスピード/消費電力 (STM32F303xB/C のみ)	<ul style="list-style-type: none"> ブランキングソースとともに出力 プログラム可能なヒステリシス
電源要件	2.0~3.6 V	1.62~3.6 V
入力範囲	$V_{REF-} \leq V_{IN} \leq V_{REF+}$	

4.17 オペアンプ(OPAMP)

STM32G431xx/G474xx/G491xx デバイスは、STM32F303/334 デバイスと比較して、いくつかの拡張された OPAMP を実装しています。表 28 に違いを示します。

表 28. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の OPAMP の違い

OPAMP :	STM32F303/334	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> 最大 4 つ 	<ul style="list-style-type: none"> 6 (STM32G474xx) 4 (STM32G491xx) 3 (STM32G431xx)
機能	<ul style="list-style-type: none"> レールツーレール入出力電圧範囲 低入力バイアス電流 低入力オフセット電圧 低電力モード 高速ウェイクアップ時間 	<ul style="list-style-type: none"> プログラム可能なゲインアンプ (PGA) は次のとおりです。2、4、8、16、32、64、-1、-3、-7、-15、-31、-63
	プログラム可能なゲインアンプ (PGA) は 2、4、8、および 16 です。	
	<ul style="list-style-type: none"> 8 MHz のゲイン周波数 	
タイマによって制御されたマルチプレクサモード	<ul style="list-style-type: none"> スイッチは、TIM1_CC6 信号によってのみトリガされます。 	<ul style="list-style-type: none"> スイッチは、TIM1_CC6、TIM8_CC6、または TIM20_CC6 信号によってトリガされます。
設定	-	<ul style="list-style-type: none"> レジスタマッピングが異なります 詳細は、STM32G4xx のリファレンスマニュアルを参照してください

4.18 GPTimer(汎用タイマ)

STM32G431xx/G474xx/G491xx デバイスでは、STM32F303/334 デバイスと比較して、GPTimer にいくつかの新機能が実装されています。表 29 に違いを示します。

表 29. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の GPTimer の違い

GPTimer	STM32F303/334	STM32G431xx/G474xx/G491xx
個数	<ul style="list-style-type: none"> STM32F303xD/E: TIM1/TIM8、TIM20、TIM2、TIM3、TIM4、TIM15、TIM16、TIM17、TIM6、TIM7 STM32F303xB/xC: TIM1、TIM8、TIM2、TIM3、TIM15/16/17、TIM6、TIM7 STM32F303x6/8: TIM1、TIM2、TIM3、TIM15/16/17、TIM6、TIM7 	<ul style="list-style-type: none"> STM32G474xx: TIM1、TIM8、TIM20、TIM2、TIM5、TIM3、TIM4、TIM15/16/17、TIM6、TIM7 STM32G431xx: TIM1、TIM8、TIM2、TIM3、TIM4、TIM15/16/17、TIM6、TIM7 STM32G491xx: TIM1、TIM2、TIM3、TIM4、TIM6、TIM7、TIM8、TIM15/16/17、TIM20
機能	<ul style="list-style-type: none"> 入力キャプチャ 出力比較 PWM の生成 ワンパルスモード ブレーク入力 相補出力 エンコーダとホールセンサ 	<ul style="list-style-type: none"> ゲートモードとリセットモードの組み合わせ 新しいエンコードモード エンコーダインデックス 遷移エラー エンコーダクロック出力 非対称デッドタイム ディザリング 比較によるパルス 方向変更割込み 方向の出力
設定	-	<ul style="list-style-type: none"> レジスタマッピングが異なります 詳細は、STM32G4xx のリファレンスマニュアルを参照してください

4.19 HRTIM(高分解能タイマ)

表 30 に、STM32F334 ラインと STM32G474xx デバイス間の HRTIM の違いを示します。

表 30. STM32F334 ラインと STM32G474xx デバイス間の HRTIM の違い

HRTIM	STM32F334	STM32G474xx
個数	HRTIM1	
機能	<ul style="list-style-type: none"> • 6つのタイマ:1 マスタ + 5 スレーブ • 10 個の高分解能出力 • 保護用のフォールト入力 × 5 • デジタルカーネルクロックは 144 MHz • 217 ps の分解能 • 高分解能のデッドタイム挿入(最小 868 ps まで) • 7 つの割込みベクトル、それぞれ最大 14 ソース • 14 のソースで 6 DMA リクエスト 	<ul style="list-style-type: none"> • 7つのタイマ:1 マスタ + 6 スレーブ • 12 個の高分解能出力 • 保護用のフォールト入力 × 6 • デジタルカーネルクロックは 170 MHz • 184 ps の分解能 • 高分解能のデッドタイム挿入(最小 735 ps まで) • 8 つの割込みベクトル、それぞれ最大 14 ソース • 最大 14 のソースで 7 DMA リクエスト
設定	-	<ul style="list-style-type: none"> • レジスタマッピングが異なります • 詳細は、STM32G4xx のリファレンスマニュアルを参照してください

改版履歴

表 31. 文書改版履歴

日付	版	変更内容
2019年4月1日	1	初版発行
2020年4月28日	2	機密レベルを ST 限定から公開に変更。
2020年7月8日	3	更新: <ul style="list-style-type: none"> 表 14. STM32G431xx/G474xx/G491xx デバイスの Vcore レンジにおける性能、表 11. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の DMA の違い、表 19. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の Flash の違い、表 25. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の ADC の違い、表 26. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の DAC の違い、表 27. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の COMP の違い、表 28. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の OPAMP の違い セクション 4.5.3 ペリフェラルのクロック設定
2021年9月8日	4	文書全体で置換: STM32G474xx/G431xx を STM32G431xx/G474xx/G491xx で置換 更新: <ul style="list-style-type: none"> セクション 1 STM32G431xx/G474xx/G491xx の概要、セクション 4.5.3 ペリフェラルのクロック設定を更新。 表 2. STM32G431xx/G474xx/G491xx デバイスで利用可能なパッケージ、表 8. STM32 ペリフェラルの互換性分析 STM32F303/F334 ラインと STM32G431xx/G474xx/G491xx との比較、表 9. ペリフェラル・アドレスマッピングの違い、表 10. STM32F303 ラインと STM32G431xx/G474xx/G491xx での SRAM の違い、表 11. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の DMA の違い、表 14. STM32G431xx/G474xx/G491xx デバイスの Vcore レンジにおける性能、表 19. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の Flash の違い、表 20. STM32F303/F334 と STM32G431xx/G474xx/G491xx デバイス間の U(S)ART の違い、表 23. STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の SPI の違い、表 25. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の ADC の違い、表 26. STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の DAC の違い、表 27. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の COMP の違い、表 28. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の OPAMP の違い、表 29. STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の GPTimer の違いを更新。

目次

1	STM32G431xx/G474xx/G491xx の概要	2
2	ハードウェアの移行	3
2.1	利用可能なパッケージ	3
3	ブートモード選択	6
3.1	内蔵ブートローダ	7
4	ペリフェラルの移行	8
4.1	STM32 製品の相互互換性	8
4.2	メモリマッピング	10
4.3	ダイレクトメモリアクセス(DMA)コントローラ	11
4.4	割込み	11
4.5	リセットおよびクロック制御(RCC)	13
4.5.1	Vcore のレンジにおける性能	14
4.5.2	ペリフェラルのアクセス設定	15
4.5.3	ペリフェラルのクロック設定	15
4.6	電源制御(PWR)	16
4.7	リアルタイムクロック(RTC)	18
4.8	システム設定コントローラ(SYSCFG)	18
4.9	汎用 I/O インタフェース(GPIO)	18
4.10	Flash メモリ	19
4.11	U(S)ART(Universal synchronous asynchronous receiver transmitter)	20
4.12	シリアルペリフェラルインタフェース(SPI)/IC ツー IC サウンド(I2S)	23
4.13	USB フルスピード(USB FS)	24
4.14	A/D コンバータ(ADC)	25
4.15	D/A コンバータ(DAC)	26
4.16	コンパレータ(COMP)	29
4.17	オペアンプ(OPAMP)	30
4.18	GPTimer(汎用タイマ)	31
4.19	HRTIM(高分解能タイマ)	32
	改版履歴	33

表一覧

表 1.	対象とする製品	1
表 2.	STM32G431xx/G474xx/G491xx デバイスで利用可能なパッケージ	3
表 3.	STM32F303/334 ラインで利用可能なパッケージ	3
表 4.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx のピン配置の違い(QFP)	4
表 5.	STM32F303/334 ラインのブートモード	6
表 6.	STM32G431xx/G474xx/G491xx デバイスのブートモード	6
表 7.	ブートローダ・インタフェース	7
表 8.	STM32 ペリフェラルの互換性分析 STM32F303/F334 ラインと STM32G431xx/G474xx/G491xx との比較	9
表 9.	ペリフェラル・アドレスマッピングの違い	10
表 10.	STM32F303 ラインと STM32G431xx/G474xx/G491xx での SRAM の違い	11
表 11.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の DMA の違い	11
表 12.	STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の割込みベクタの違い	12
表 13.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の RCC の違い	13
表 14.	STM32G431xx/G474xx/G491xx デバイスの Vcore レンジにおける性能	14
表 15.	ペリフェラルアクセス設定に使用される RCC レジスタ	15
表 16.	STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の PWR の違い	16
表 17.	STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の RTC の違い	18
表 18.	STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の SYSCFG の違い	18
表 19.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の Flash の違い	19
表 20.	STM32F303/F334 と STM32G431xx/G474xx/G491xx デバイス間の U(S)ART の違い	20
表 21.	STM32F303/334 の USART 機能	21
表 22.	STM32G431xx/G474xx/G491xx の USART/LPUART 機能	22
表 23.	STM32F303 ラインと STM32G431xx/G474xx/G491xx デバイス間の SPI の違い	23
表 24.	STM32F303 と STM32G431xx/G474xx/G491xx デバイス間の USB の違い	24
表 25.	STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の ADC の違い	25
表 26.	STM32F303/334 デバイスと STM32G431xx/G474xx/G491xx デバイス間の DAC の違い	27
表 27.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の COMP の違い	29
表 28.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の OPAMP の違い	30
表 29.	STM32F303/334 ラインと STM32G431xx/G474xx/G491xx デバイス間の GPTimer の違い	31
表 30.	STM32F334 ラインと STM32G474xx デバイス間の HRTIM の違い	32
表 31.	文書改版履歴	33

重要なお知らせ(よくお読み下さい)

STMicroelectronics NV およびその子会社(以下、ST)は、ST 製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前に ST 製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請書発行時点で有効な ST の販売条件に従って販売されます。

ST 製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関して ST は一切の責任を負いません。

明示又は黙示を問わず、ST は本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件で ST 製品が再販された場合、その製品について ST が与えたいかなる保証も無効となります。

ST および ST ロゴは STMicroelectronics の商標です。ST の登録商標については ST ウェブサイトをご覧ください。www.st.com/trademarks。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

© 2021 STMicroelectronics – All rights reserved