

STM32WL シリーズ用に最適化された RF ボードのレイアウト

概要

STM32WL シリーズ・マイクロコントローラは LPWAN (低消費電力広域ネットワーク) 用 RF トランシーバを内蔵していて、周波数範囲 150 ~ 960 MHz で LoRa[®]、GFSK、DBPSK、および MSK に対応します。

STM32WL シリーズ・デバイス (以下、STM32WL) は、2 つの出力電力を備えています。

- HP (ハイパワー RFO_HP)、最大 22 dBm に最適化
- LP (ローパワー RFO_LP)、最大 15 dBm に最適化

このデバイスは、Rx 低ノイズ・アンプ (LNA) 用の差動 RF 入力 (RFI、最大 0dBm) も備えています。

RF 出力および RF 入力信号に対して適切な性能を得るには、ボード設計に関していくつかの推奨に従う必要があります。RF ボードは、従回路と比較してレイアウトに注意が必要です。

このドキュメントでは、効率的なアプリケーションで、バッテリー寿命を長持ちさせ、STM32WL の最高の RF 性能を実現するために取るべき注意事項について説明します。説明は、UFPGA73 (5 x 5 mm) のリファレンス 4 層ボードに基づいています。

1 基本ルールの概要

RF PCB を配線するときの一般的なガイドラインを以下に示します。

- RF トレースは、短く直線的なものにする必要があります。
反射の回避、電力の節約、および高周波の問題の低減のために、送信ラインは短く直線的なものにします。
- 最初に、デカップリング・コンデンサと RF コンポーネントの配置および配線を行います。
最初に RF パーツを配置することを強く推奨します。高周波の問題を回避して電力の完全性を維持するためには、デカップリング・コンデンサは不可欠です。必要に応じて、デカップリング・コンデンサを追加してください。
- 重要な信号を配置および配線します。
- 高周波信号はボードの輪郭線上に配線しないでください。
ボードの輪郭線上の高周波信号は、高周波電磁界のエッジ効果により、放射しやすい傾向があります。
- 特性インピーダンス (50 Ω) が一定に保たれるようにします。
送信ライン上に配置されたパッドのサイズの違い、バンド、T 字型接合、ラインに沿った RF トレース幅の変化などの不連続性が生じないようにしてください。
- 重要な信号を RF から遠ざけてください。
高周波信号は、重要信号に電気的結合や磁気結合などの望ましくない効果を及ぼすことがあります。
- 高周波アプリケーションには、2 層より 4 層の PCB の方が適しています。
- RF 信号のあるビアは避けるようにしてください。
RF パスにビアがあると、反射や放射が発生し、その結果、損失が発生することがあります。
- RF リターン電流パスには、障害物や不連続がないようにする必要があります。
- インダクタ間に空間を空けたり、磁気シールドを使用したり、インダクタ同士が直角になるように配置したりすることによって、インダクタ間の望ましくない磁気結合を回避します。
- 回路レイアウトに関連する望ましくない寄生キャパシタンスと寄生インダクタンスをできるだけ小さくするようにしてください。
- SMPS チョークなどのフィルタ・インダクタには、シールドされたインダクタを使用してノイズを最小化し、LNA のトレースやその他の RF トレースに対して直角になるように配置します。
- 望ましくない電磁放射を低減するため、RF コンポーネントの上に金属シールドを追加できます。

このアプリケーション・ノートは、Arm® Cortex®-M プロセッサをベースとした STM32WL シリーズ・マイクロコントローラに適用されます。

注 Arm は、米国内およびその他の地域にある Arm Limited (またはその子会社) の登録商標です。



2 特性および制御インピーダンス

マイクロ波周波数未満のすべての送信ラインには、少なくとも2つの導体があります。

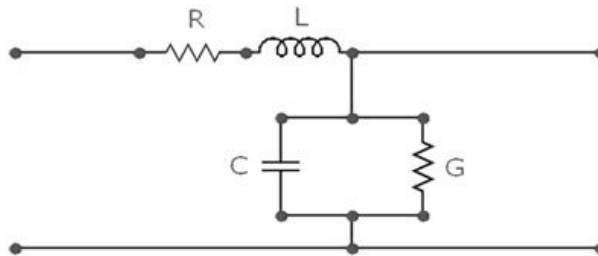
- 一方の導体では、RF 電流がアンテナに向かって流れます。
- もう一方の導体では、RF 電流が RF ソースに戻ります。

アンテナに給電するために、特性インピーダンスを考慮して設計された PCB 上の送信ラインが使用されます。

送信ラインの特性インピーダンス (Z_C または Z_0 で表されることもあります) は、ラインに沿った電圧波形と電流波形の一定の比として定義されます。 Z_C は、次の式に示すように、極短セグメントの送信ラインモデルを表す R、L、G、C パラメータで定義できます。

$$Z_C = \sqrt{\frac{R + j\omega L}{G + j\omega C}} = \sqrt{\frac{Z_{series}}{Y_{shunt}}}$$

図 1. 送信ラインの等価回路



ここで、

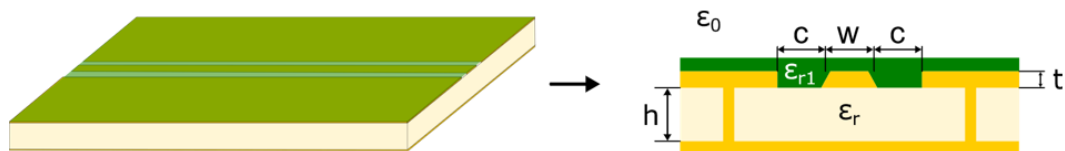
- R = 2つの導体の単位長さあたりの全直列抵抗 (Ω)
- L = 2つの導体の単位長さあたりの全直列インダクタンス (ヘンリー)
- G = 単位長さあたりの2つの導体間の分路コンダクタンス (ジーメンズ)
- C = 導体間の単位長さあたりの分路キャパシタンス (ファラッド)
- j = 虚数
- ω = 角周波数 (rad/s 単位)

PCB トレースとそれに関連する基準面によって形成されるインピーダンスが、PCB 上の送信ラインの特性インピーダンスを構成します。PCB 上のこの特性インピーダンスは、制御インピーダンスとも呼ばれます。

より簡単にするために、PCB の制御インピーダンスは、R、L、G、および C のパラメータを定義する物理的寸法です。誘電率の浸透性などの材料の特性は、制御されるインピーダンスの値に影響します。PCB には磁性材料が使用されていないので、比透磁率は 1 と考えます ($\mu_r = 1$)。

下側グラウンド・プレーンを持つ共平面シングルエンド導波路ラインの例では (接地共平面導波路の場合は GCPW)、 t (厚さ)、 w (幅)、 c (クリアランス)、 h (高さ)、および誘電率定数のような誘電体材料の物理的寸法により、PCB 上の送信ラインの特性インピーダンスが決まります。

図 2. 2層 PCB の GCPW の例

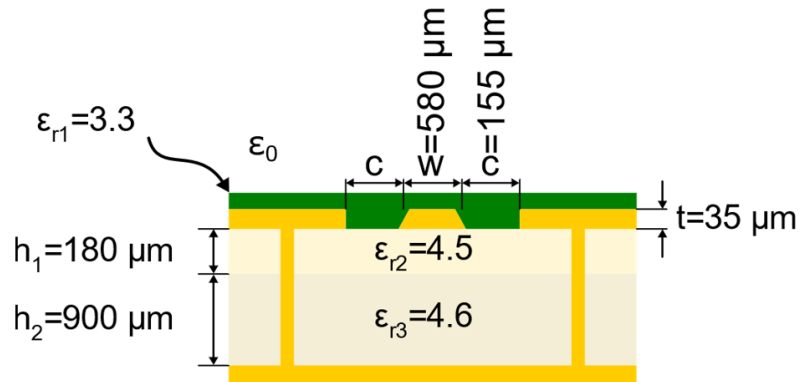


PCB 上の送信ラインは、マイクロストリップやストリップ・ラインなどで構成することもできます。

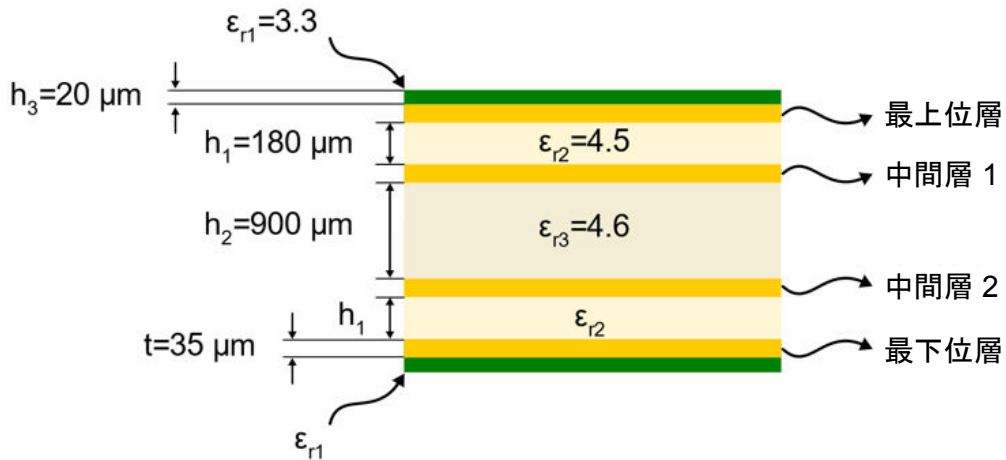
最大で数 GHz の GCPW を選択することで、フリッジ領域による放射が低減され、これにより EM (電磁) 放射の発生が減少し、さらに干渉が減少することがよくあります。STM32WL リファレンス・ボードでは、GCPW が標準送信ライン構造として使用されます。

GCPW は、マイクロストリップ・ラインよりも PCB 製造時のばらつきの影響を受けやすくなっています。GCPW の物理的寸法 (t , w , c , h など) は、 50Ω にできるだけ近いインピーダンスを維持するために、低い許容誤差内に保つ必要があります。

製造プロセスが PCB 上の GCPW 送信ラインの特性インピーダンスにどのように影響するかを理解するために、1 GHz での特性インピーダンスが約 50Ω の、物理的寸法が 20% の許容誤差で変動する 4 層 PCB の例を考えてみましょう。その場合の公称値のスタックアップを下の図に示します。

図 3. PCB 上の送信ラインタイプ GCPW の例


この例の PCB スタックアップ全体を下の図に示します。

図 4. 4 層 PCB のスタックアップ例


注 機械的な制約により、PCB は対称的なスタックアップで構成されることがよくあります。

送信の幅は製造プロセス中に 20% の許容誤差内で変動するため、期待される結果を下の図に示します。

図 5. 特性インピーダンスと幅の変動

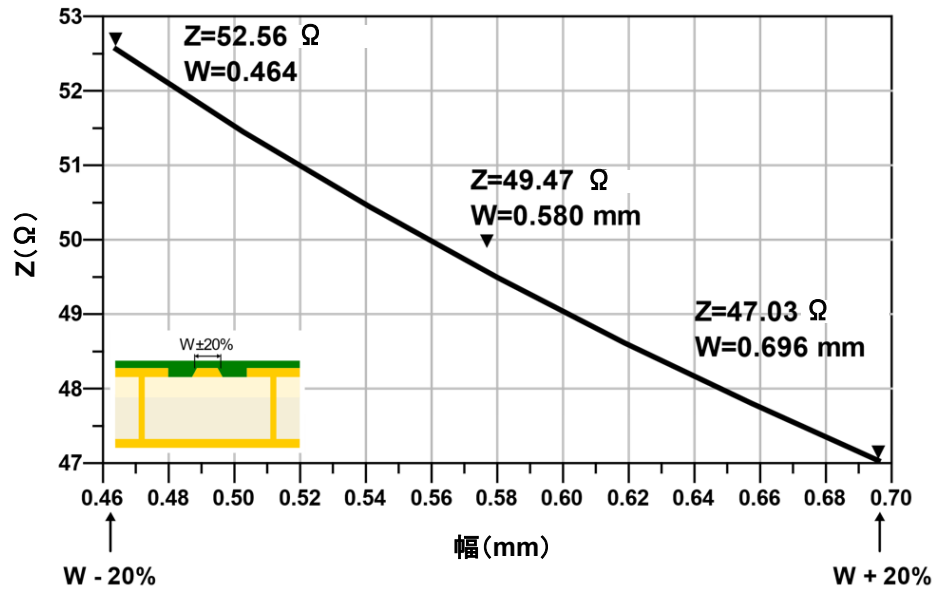
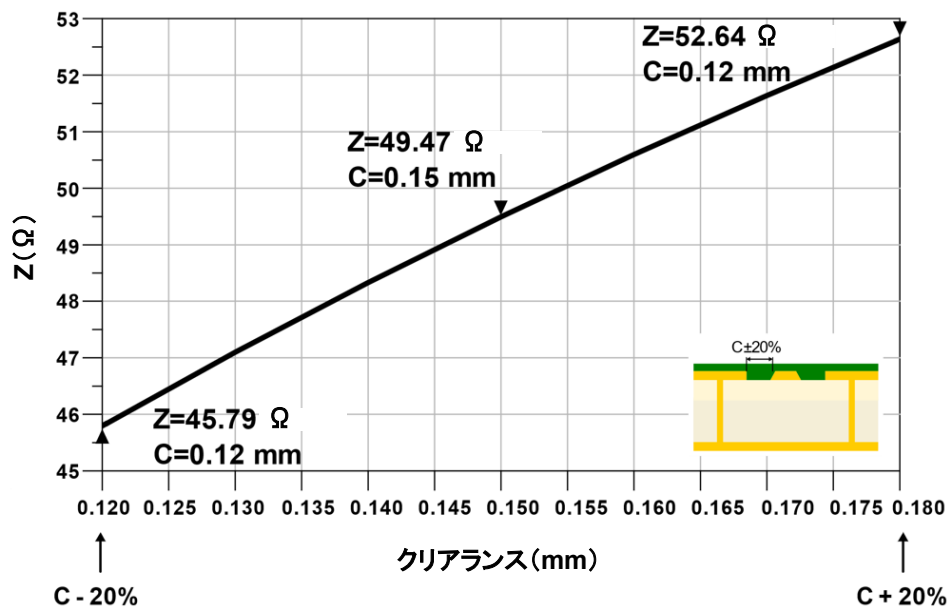
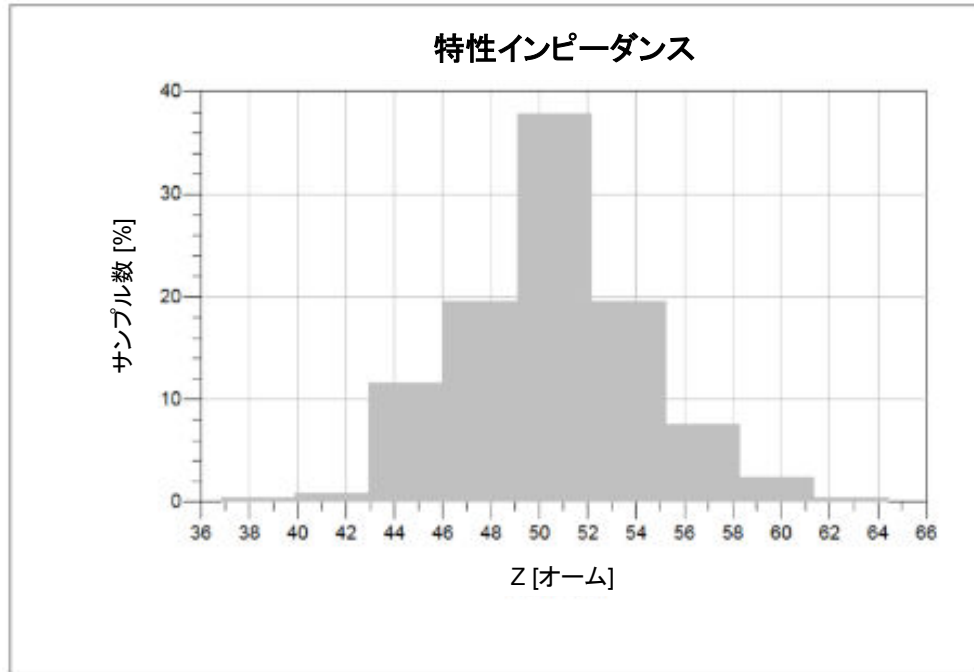


図 6. 特性インピーダンスとクリアランスの変動



前述のように、製造プロセスが原因で、PCB には、誘電率定数、トラック幅、コア、プリプレグの寸法など、多くのパラメータが変化する可能性があります。ヒストグラムにより、製造プロセスにおける PCB ユニットあたりのインピーダンス変動が概観できます。

図 7. ADS の寸法変数 (n = 1000) の $\pm 10\%$ のプロセス変動に対する統計分析によるヒストグラム



この図は PCB ユニット 1000 個のヒストグラムを示したもので、次のようになっています。

- 380 個のインピーダンスは 49 ~ 52 Ω です。
- 200 個のインピーダンスは 46 ~ 49 Ω です。
- 200 個のインピーダンスは 52 ~ 55 Ω です。
- 60 個のインピーダンスは 55 ~ 58 Ω です。
- 20 個のインピーダンスは 58 ~ 61 Ω です。
- その他

目標は、理論的には、ラインの最初に送り込まれた電力の 100% をアンテナに供給できる送信ラインを設計することです。50 Ω 以外の特性インピーダンスに起因する不一致の影響をよりよく理解するため、下の表を参照してください。

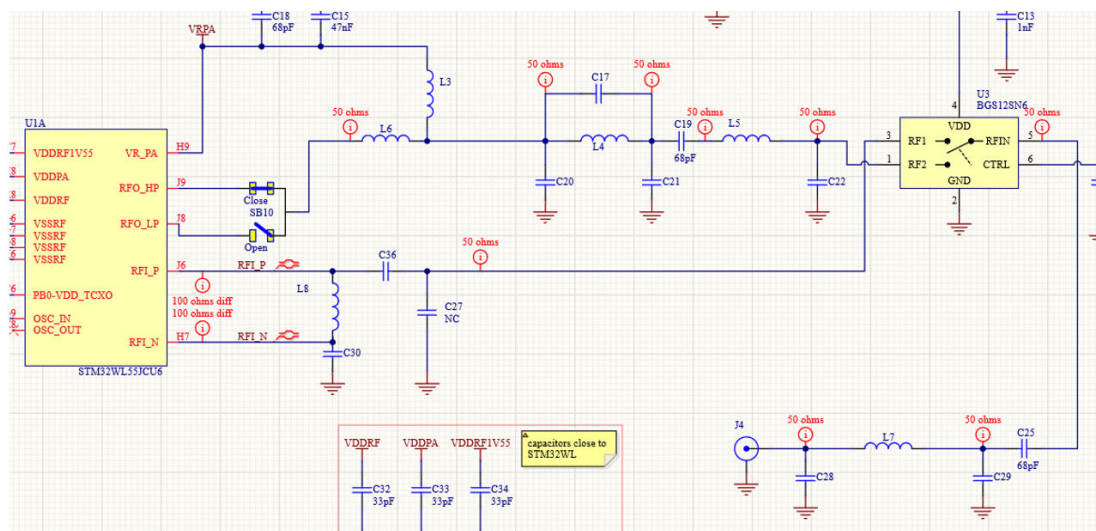
表 1. 特性インピーダンスと RF 測定への影響(負荷インピーダンス = 50 Ω)

| 特性インピーダンス(Ω) | 反射係数 | リターン・ロス(dB) | 不一致ロス(dB) | VSWR ⁽¹⁾ | 反射波電力(%) | 送信電力(%) |
|--------------|--------|-------------|-----------|---------------------|----------|---------|
| 55 | -0.048 | 0.010 | 26.444 | 1.100 | 0.23 | 99.77 |
| 54 | -0.038 | 0.006 | 28.299 | 1.080 | 0.15 | 99.85 |
| 53 | -0.029 | 0.004 | 30.714 | 1.060 | 0.08 | 99.92 |
| 52 | -0.020 | 0.002 | 34.151 | 1.040 | 0.04 | 99.96 |
| 51 | -0.010 | 0.000 | 40.086 | 1.020 | 0.01 | 99.99 |
| 50 | 0.000 | 0.000 | - | 1.000 | 0.00 | 100.00 |
| 49 | 0.010 | 0.000 | 39.913 | 1.020 | 0.01 | 99.99 |
| 48 | 0.020 | 0.002 | 33.804 | 1.042 | 0.04 | 99.96 |
| 47 | 0.031 | 0.004 | 30.193 | 1.064 | 0.10 | 99.90 |
| 46 | 0.042 | 0.008 | 27.604 | 1.087 | 0.17 | 99.83 |
| 45 | 0.053 | 0.012 | 25.575 | 1.111 | 0.28 | 99.72 |

1. 電圧定在波比。

適切な方法として、下の図に示すように、常に回路図で制御インピーダンスを確認します。

図 8. 制御されたインピーダンスを示した回路図の例



3 RF 送信ライン

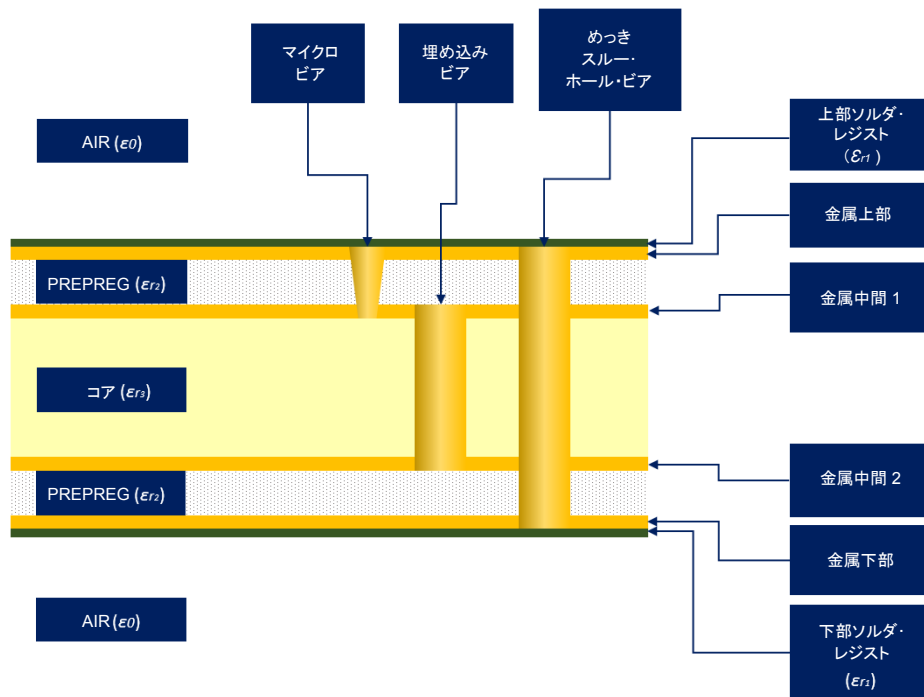
送信ラインの形状は、ラインがアンテナとして機能し、自身で放射する傾向が最小になるように定義されるのに対し、アンテナの形状は、放射する傾向が最大になるように選択されます。

前述のように、PCB 上の RF 送信ラインは、その形状と PCB スタックアップによって定義されます。このセクションでは、PCB スタックアップの説明と、Tx および Rx パスに正しいインピーダンスを得るためにコピーできるスタックアップの一部を示します。

3.1 スタックアップ・ボード

3 種類のビアを備えた標準的な 4 層 PCB を下の図に示します。トレース幅、トレースとグラウンド基準の間の距離、および材料特性によって、RF トレースのインピーダンスが決まります。マイクロビアは、高密度相互接続 (HDI) という特性があるため、BGA パッケージでよく使用されます。

図 9.3 種類のビアを持つ標準的な 4 層 PCB スタックアップ



3.2 Tx 50 Ω および Rx 100 Ω のスタックアップ

最も困難なタスクの 1 つは、所定のスタックアップから RF トラックの幅とクリアランスを正しく決定することです。困難さは、所定の回路基板に対する有効誘電率定数 (ϵ_{r_eff}) の計算にも関連しています。

ϵ_{r_eff} を求めるために、2.5/3D フィールドソルバ・ソフトウェアがよく使用されます。このタスクについては、PCB メーカーに支援を求めることができます。50 Ω シングルエンドおよび 100 Ω 差動を得るために RF ラインで使用する設計ルール (寸法) については、可能な限り PCB メーカーに問い合わせてください。問い合わせができない場合は、事前に定義されたボードのスタックアップとその特性をコピーして貼り付け、推奨の設計ルールを使用して、目的のインピーダンスを得ることができます。

付録 A スタックアップの例に、Tx ラインの場合は 50 Ω 、Rx ラインの場合は 100 Ω を得るための、アプリケーションにコピーできるスタックアップ・ボードの詳細が記載されています。選択したスタックアップでの値が保証できるかどうかについては、PCB メーカーに確認してください。

4 RF 信号を備えた表面実装部品

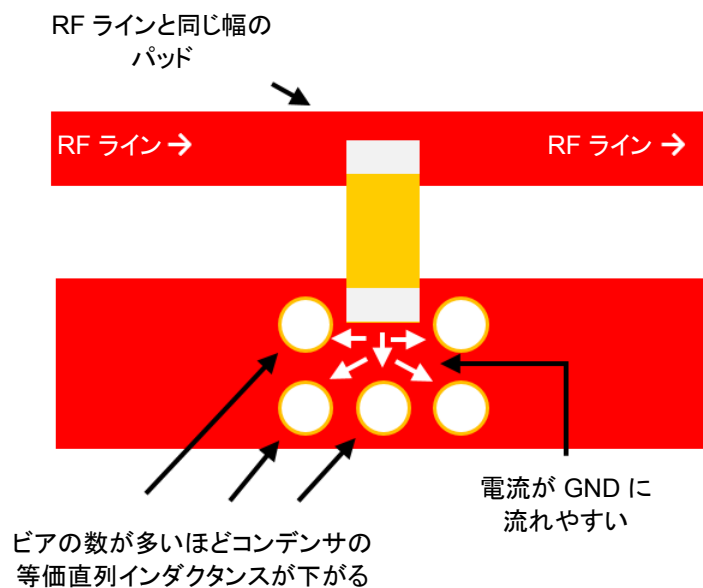
4.1 コンデンサ

下の表に、SMD(表面実装コンポーネント)の配線に関する推奨を示します。

表 2. ルーティング・コンデンサの寄生インダクタンスの低減

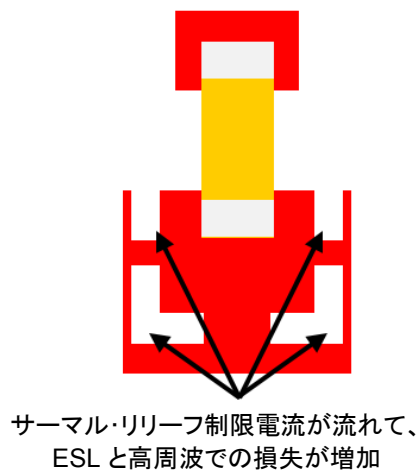
| パフォーマンス | コンデンサ・パッド・タイプ | コメント |
|---------|---|-------------------------------------|
| 推奨 |  | 複数のビアを備えた短いトレースによってリターン電流インピーダンスを低減 |
| より良い |  | 短いトレース |
| より良い |  | |
| 悪い |  | コンデンサ間のトレースが長く、直列インダクタンスが増加 |
| 良くない |  | アクセス・トラックが薄く、コンデンサの等価直列インダクタンスが増加 |

図 10. RF ライン上のコンデンサの例



RF ラインでのサーマル・リリーフは、コンデンサの等価直列インダクタンス (ESL) を増加させ、損失の増加だけでなくコンデンサの周波数応答も変化させるため、可能な限り避ける必要があります。



図 11. サーマル・リリーフ



4.2 インダクタ

下の表に、インダクタに関するいくつかの推奨を示します。

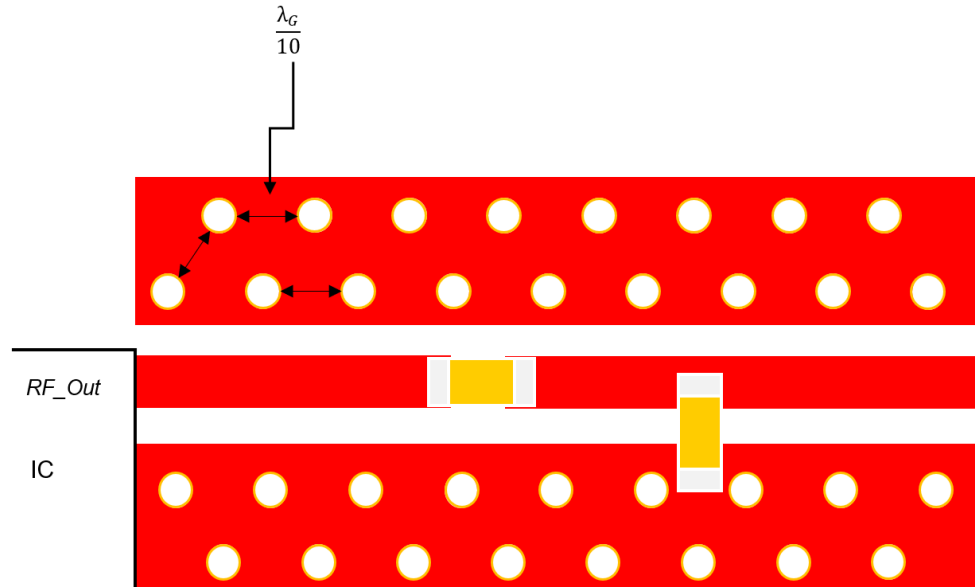
表 3. RF 信号ありのインダクタ・パッド

| パフォーマンス | インダクタ・パッド・タイプ | コメント |
|---------|---|--|
| 推奨 |  | <p>短くて同じパッド幅のアクセス・トレース(インダクタンスと Q 係数の元の値を維持)</p> |
| 良くない |  | <p>このようなトリックには注意してください。 この細いトレースによりインダクタンスは増加しますが、インダクタの等価 Q 値を下げる可能性があります。RF インダクタは、高い Q 係数を持つように慎重に構成されています。これを無駄にしないでください。</p> |

5 ビアのステッチングとシールド

高周波の問題を低減するために、下の図に示すように、RF ラインの周りにいくつかのビアを配置することを推奨します。

図 12. GCPW 周辺のビアの間隔



D 値を求めるための式は、次のとおりです。

$$\frac{\lambda_G}{20} \leq D \leq \frac{\lambda_G}{10}$$

λ_G はガイド波長として、次の式によって定義されます。

$$\lambda_G = \frac{3 \times 10^8}{f \times \sqrt{\epsilon_{r_eff}}}$$

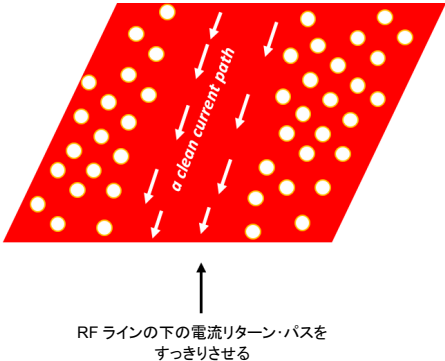
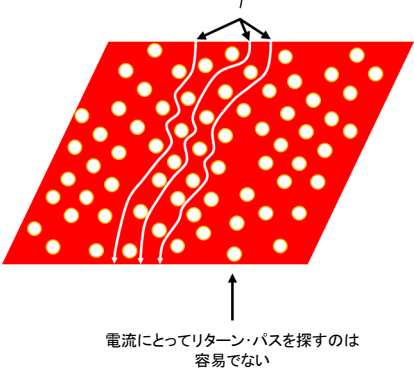
ここで、

- f = RF 回路動作の最高周波数
- ϵ_{r_eff} = PCB の有効誘電率定数

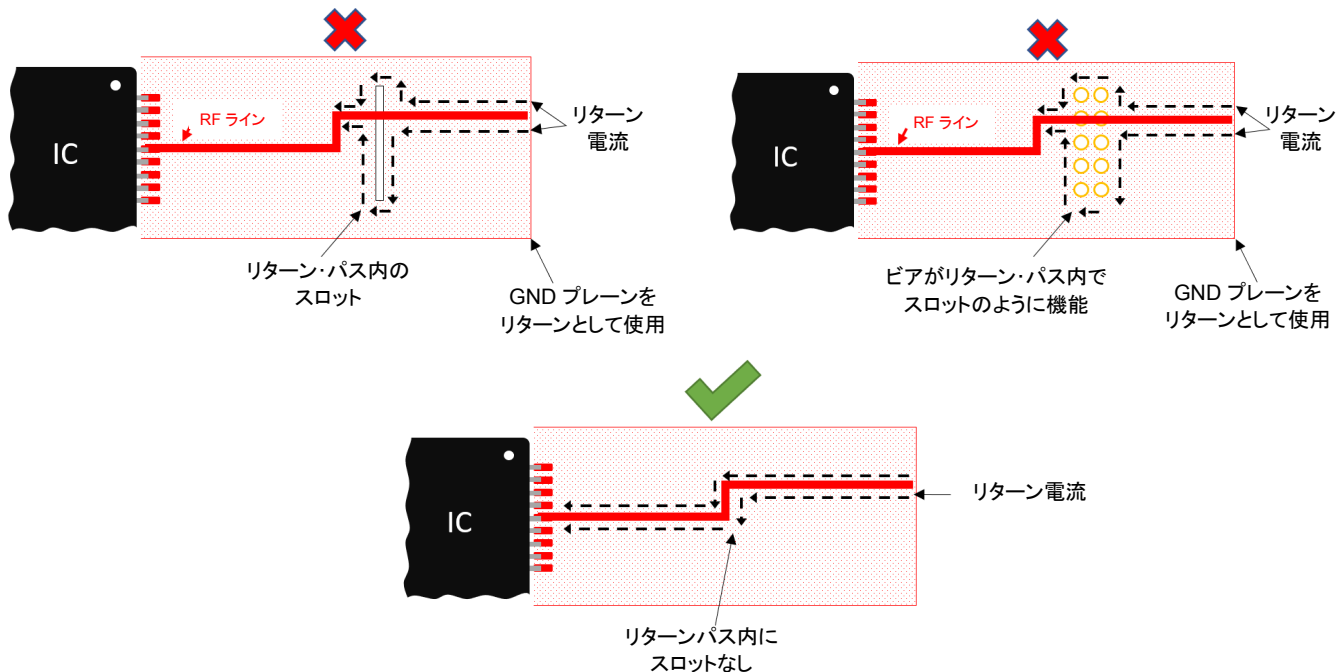
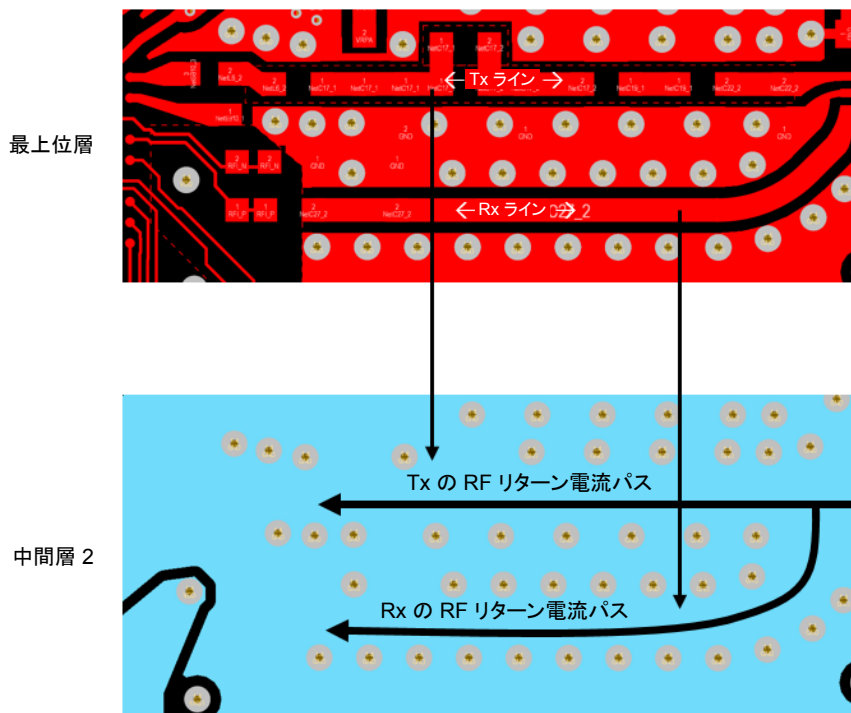
6 RF リターン電流パス

アンテナに向かって流れた RF 電流は、チップ内でソースに戻り、閉ループを形成する必要があります。これを行うのが、リターンパスです。そのため、供給媒体がエネルギー・ソースに戻るためのリターンパスを用意する必要があります。リターンパスは、負荷からソースに戻る電流が通る導電パスとして定義されます。一般に、このリターンパスは、グラウンド・プレーン上に形成されます。

表 4. リターンパス

| パフォーマンス | リターンパス・タイプ | コメント |
|---------|--|------------------------------------|
| 推奨 |  | RF リターンパスにビアなし |
| 良くない |  | ビアにより大きな RF リターンパスが形成され、損失と不連続性が増加 |

リターンパスの-slotによりインピーダンスと損失が増加し、アンテナとして機能することがあります。リターンパス上でslotは使用できません。

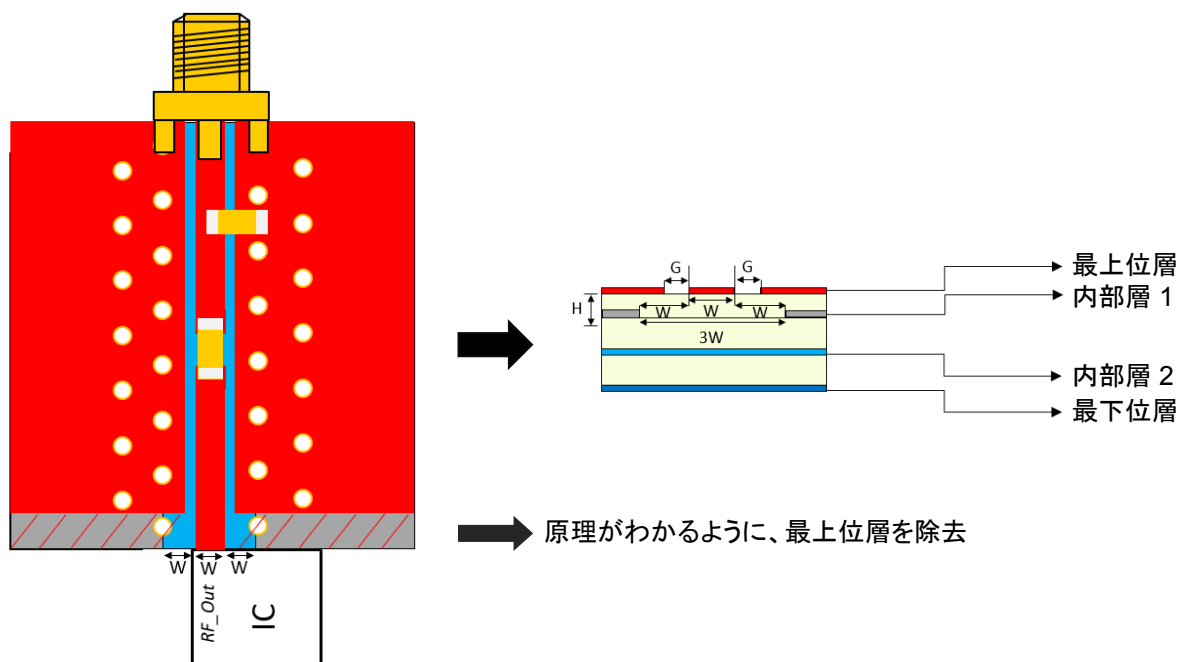
図 13. リターンパス上のslot

図 14. RF 電流に対するクリーンなリターンパスの例


7 カットアウト

RF ラインで $50\ \Omega$ インピーダンスを得るために金属のカットアウトが必要になることがあります。必要に応じて、内部層で GND に $3W$ (W : RFトラック幅) のカットを入れます。

設計によっては、1 つ以上の層にカットアウトが必要になることがあります。カットアウトが必要かどうかを確認するには、PCB サプライヤに連絡するか、RF シミュレーションソフトウェアを使用します。

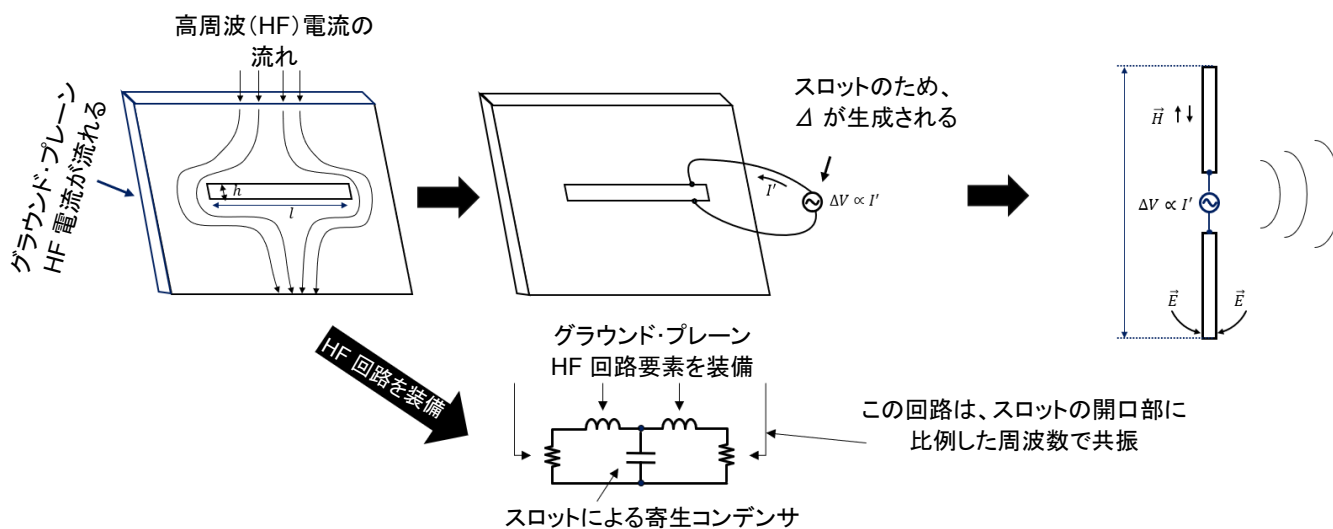
図 15. $50\ \Omega$ インピーダンスの PCB カットアウト



8 スロットと高周波電流

RF 電流の時間依存性により、スロットはアンテナのように機能することがあります。

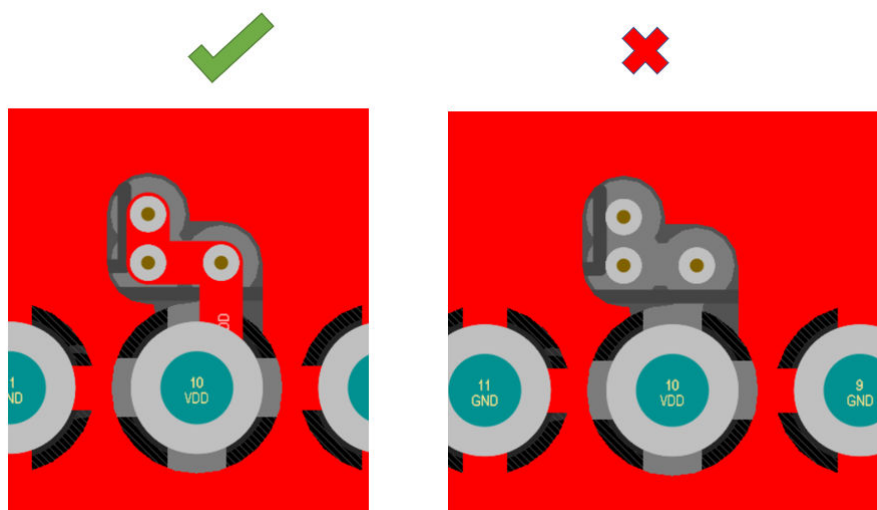
図 16. スロットと高周波電流



設計内にスロットができないようにするためのヒントをいくつか示します。

- スロットはできるだけ避けてください。避けられない場合は、いくつかのビアをトレースに接続してスロットを最小限に抑えます。

図 17. トラックによるスロット削減



- ギャップができないように、ビアはグループ化するようにしてください。

図 18. ビアの間隔を開けることによるスロット削減

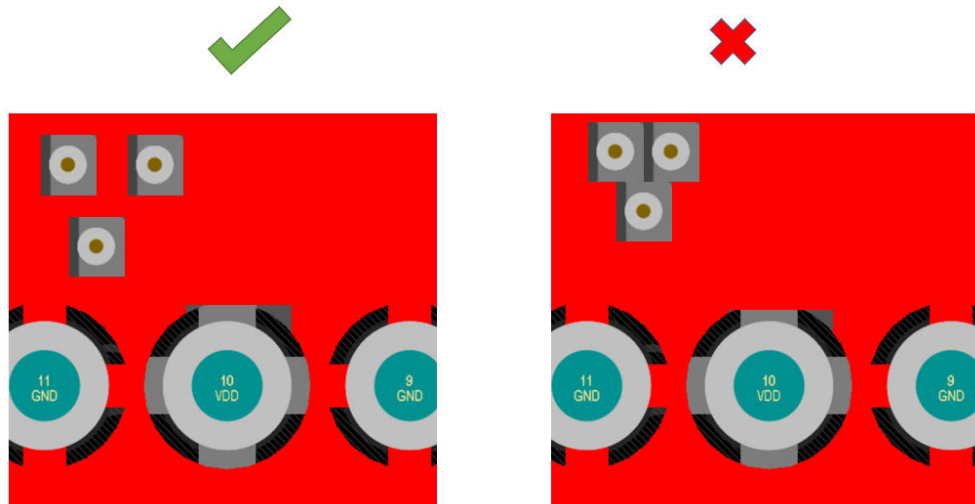
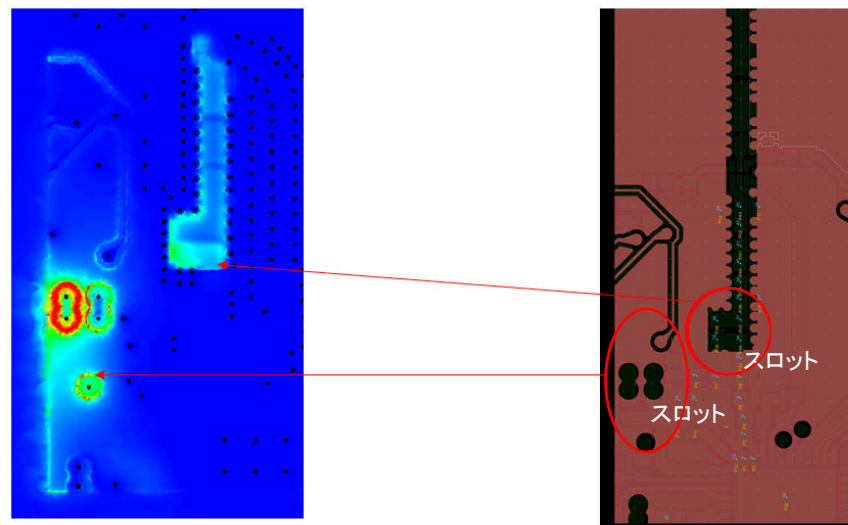


図 19. 電磁シミュレーションによる PCB でのスロットの影響



9 送信ラインで避けるべき不連続

制御されたインピーダンス (50 Ω) で PCB 上の送信ラインを設計する場合の目的は、システム全体で同じインピーダンスを維持することにより、できるだけ多くのエネルギーをアンテナに転送し、送信ラインでの意図しないエネルギーの損失を最小限に抑えることです。

表 5. レイアウトの不連続

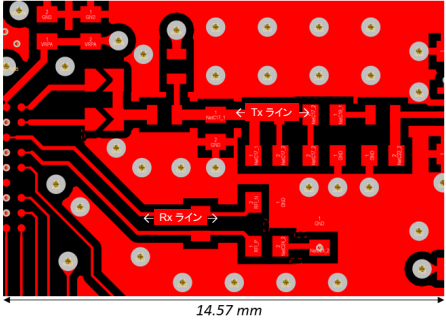
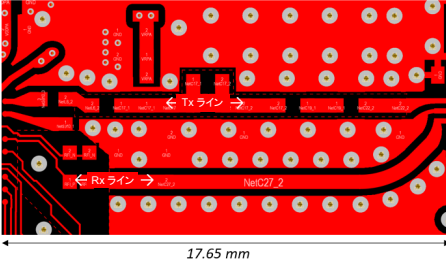
| パフォーマンス | レイアウト | コメント |
|--|--|---|
| 悪い |  <p style="text-align: center;">14.57 mm</p> | <p>部品パッド幅と RF ライン幅の差、サーマル・リリーフ、部品の配置により、寄生効果を生成</p> |
| <p>上記の配線によりレイアウト寸法の多少の増加により、 下に示すように、不連続を生じさせることなく RF ラインを配線することが可能です。</p> | | |
| 推奨 |  <p style="text-align: center;">17.65 mm</p> | <p>パッド部品を RF ラインと同じ幅にし、パッド部品を RF ライン上に配置して、RF ラインをすっきりさせます。</p> |

表 6. トラックの遷移

| パフォーマンス | 遷移タイプ | コメント |
|---------|-------|------------|
| 推奨 | | スムーズな遷移 |
| 悪い | | マルチステップ遷移 |
| 良くない | | シングルステップ遷移 |

表 7. テスト・ポイント

| パフォーマンス | テスト・ポイントのタイプ | コメント |
|---------|--|-----------------|
| 推奨 | <p>RF ライン内部の テスト・ポイント (スタブを回避)</p> | スタブのないテスト・ポイント |
| 良くない | <p>スタブとして機能する テスト・ポイント</p> | スタブとしてのテスト・ポイント |

可能な限り、RFラインとパッドの間で幅を揃えます（遷移は不要）。RFトレースの幅を一定に維持するために必要であれば、パッド部品を減らしてください。

表 8. パッド部品の幅



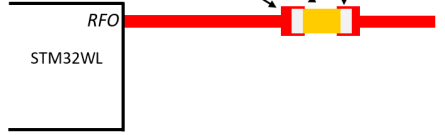
| パフォーマンス | パッド部品のタイプ | コメント |
|---------|---|------------|
| 推奨 | RFラインとパッドで同じ幅  | 遷移は不要 |
| より良い | テーパー遷移  | スムーズな遷移 |
| 良くない | 急激な遷移 幅の異なるパッド部品  | シングルステップ遷移 |

表 9. RF スイッチの遷移




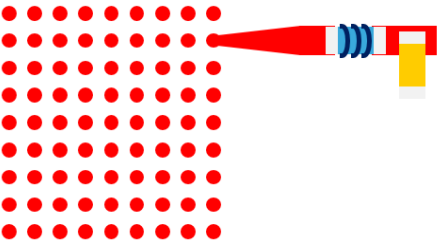
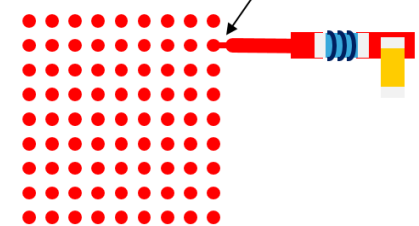
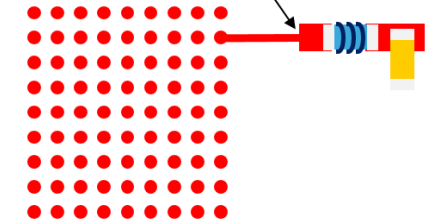
| パフォーマンス | RF スイッチ遷移のタイプ | コメント |
|---------|--|------------|
| 推奨 |  | スムーズな遷移 |
| より良い |  | テーパー遷移 |
| 良くない |  | シングルステップ遷移 |

表 10. パッケージ・パッドから RF ラインへの遷移

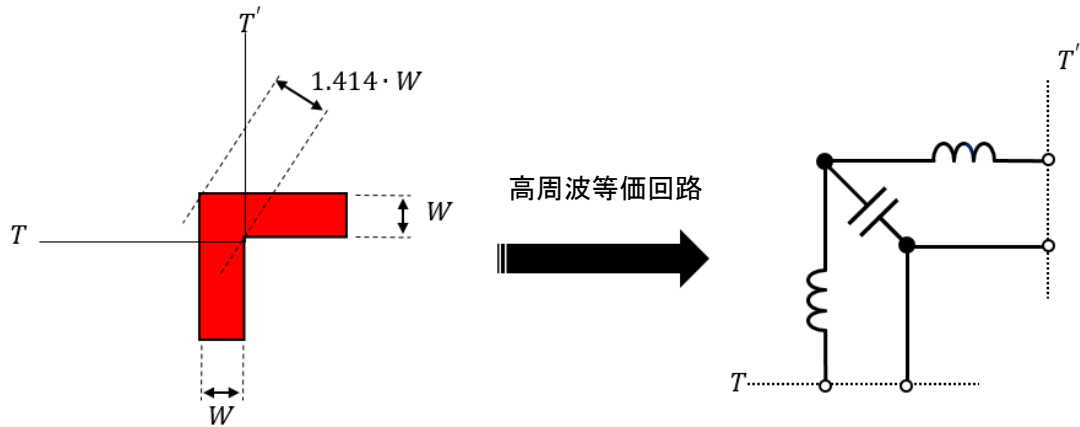
| パフォーマンス | パッドから RF ラインへの遷移のタイプ | コメント |
|---------|--|---------------------|
| 推奨 |  | ポリゴンでのスムーズな遷移 |
| 良くない | <p>高周波で損失の原因となる薄いトレース</p>  | シングルステップ遷移による薄いトレース |
| | <p>シングルステップ遷移</p>  | シングルステップ遷移 |

10 RF ラインの曲げ

RF ラインの方向を変更する場合、曲げが必要です。RF ラインの曲げは、反射や電力損失の原因となることがあります。このセクションでは、高周波送信ラインの曲げに伴う問題を回避するためのガイドラインについて説明します。曲げを設計するときの主な考え方は、角で同じトレース幅を維持することです。

下の図に示した 90°の曲げのワースト・ケースを検討します。

図 20. 90°の曲げの例



理想のケースは、下に示すような一定幅の直線です。

図 21. 理想のケース: 直線



表 11. RF ラインの曲げのガイドライン

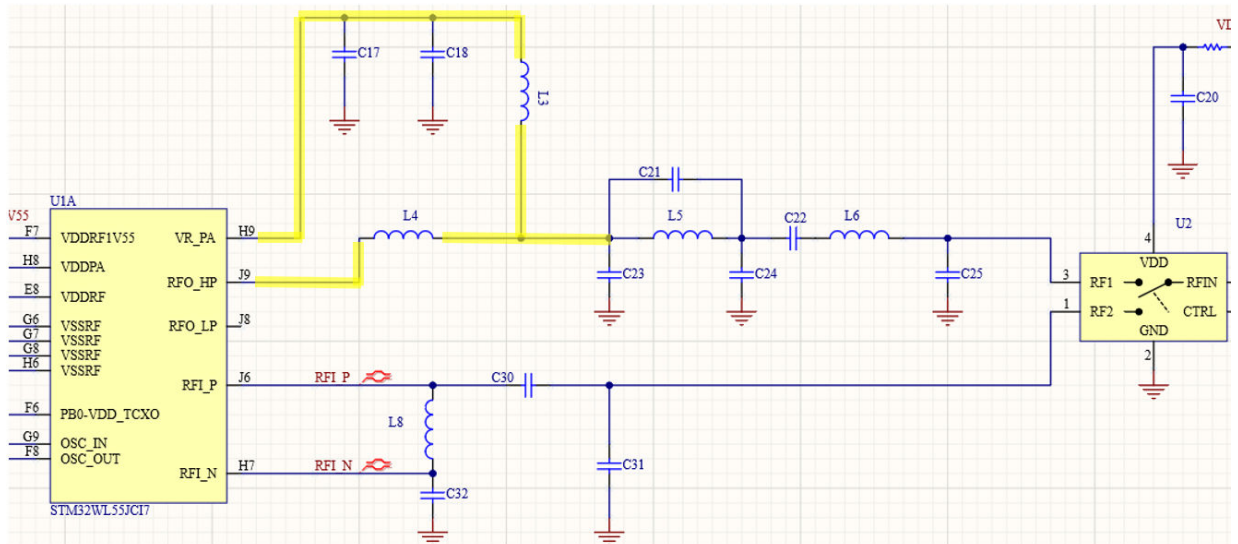
| パフォーマンス | 曲げのタイプ |
|---------|--|
| 推奨 |  <p>連続幅あり</p> |
| より良い |  |
| より良い |  |
| 良くない |  |

11 意図しない放射の最小化

11.1 RFO 高調波

STM32WL のための標準的な RFO アプリケーション回路を下の図に示します。

図 22. RFO 高調波のための標準的な回路



STM32WL は、RFO ピン(PA 出力)に接続された線形の高効率 RF PA(パワー・アンプ)を備えています。RFO(500 MHz から始まる動作周波数の場合は GHz 以上)で生成される高周波高調波成分のため、フィルタ・ステージ前(回路図の L5、C21、C24、C22、L6、および C25 の前)の RF トラックにより、意図しない電磁(EM)エネルギーが放射されることがあります。特定の条件下で $\lambda/4$ となる金属片は、アンテナとして機能し、EM エネルギーを放射する可能性があります。

注 長さ L の線形アンテナから放射される電力は、 $P = (L/\lambda)^2$ に比例することを忘れないでください。これは、意図しないアンテナが大きくなるほど、放射するエネルギーも大きくなるということを意味します。次の式を使用して、PCB 上で EM エネルギーを放射しないためのトラックの最大長を決定できます。

$$L < \frac{3 \times 10^8}{4 \times h \times f \times \sqrt{\epsilon_{r_eff}}}$$

ここで、

- h は最大トラック長をユーザが決定して回避する必要がある高調波です。
- f は RF 信号の動作周波数です。
- ϵ_{r_eff} は PCB スタックアップ層の有効誘電率定数です。

例

動作周波数が 915 MHz の場合、9 次高調波(h_9)は 8.235 GHz(9×915 MHz)に等しくなります。 $\epsilon_{r_eff} = 3$ の PCB の場合、最大トラック長は次のようになります。

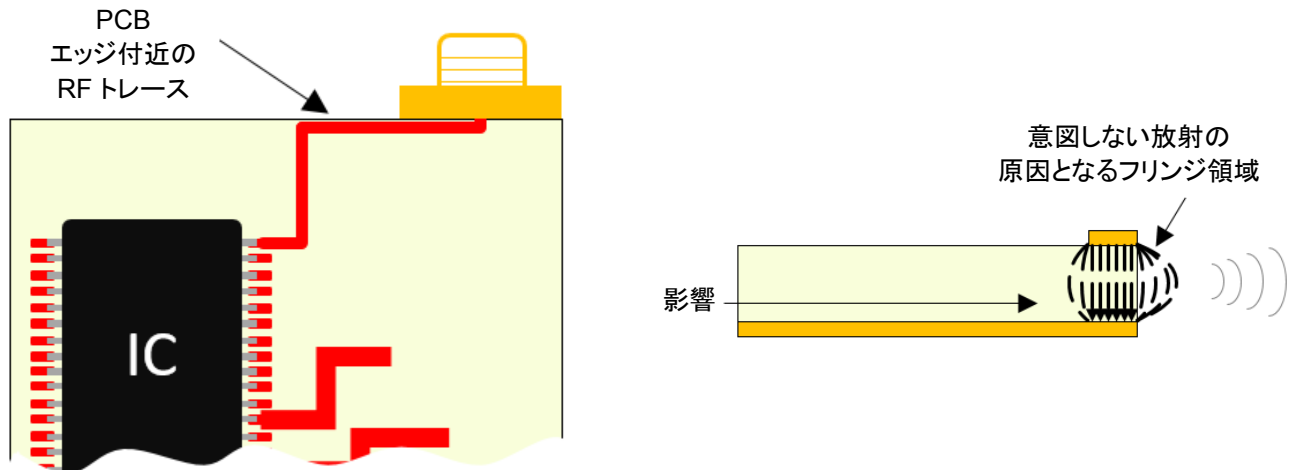
$$L < \frac{3 \times 10^8}{4 \times 9 \times 9.15 \times 10^6 \times \sqrt{3}}$$

動作周波数が 915 MHz で意図しない高調波放射を避けるための最大トラック長は、第 9 高調波を取る場合、5.258 mm です。

11.2 ボードの輪郭線上の高周波信号

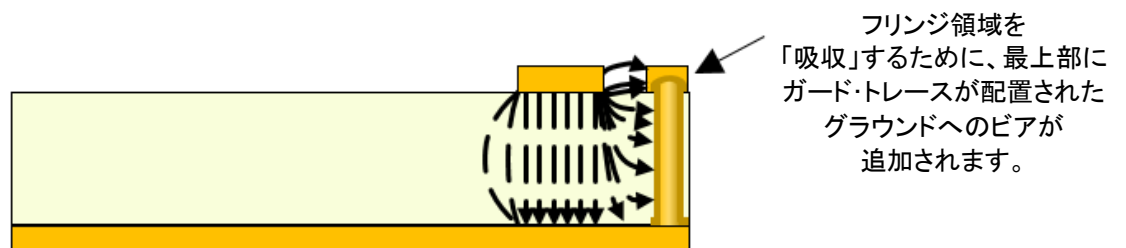
ボードの輪郭線上に高周波信号を配線すると、意図しない EM 放射の原因となることがあります。

図 23. HF 信号によって生成される EM 放射



EM を放射するトラックの問題を軽減するための 1 つの解決策は、グラウンド・プレーンの間(下と上)にトラックを配置することです。

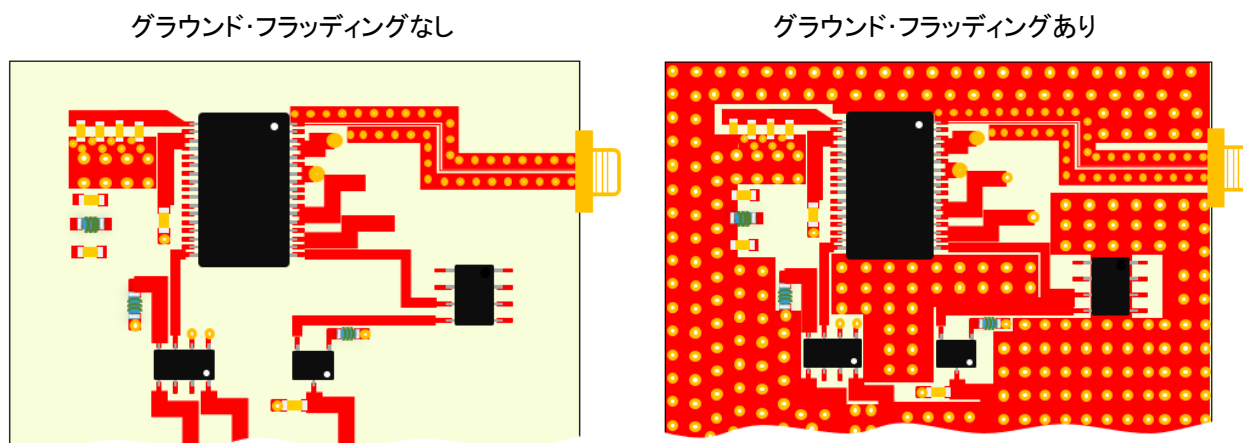
図 24. 意図しない EM 放射を軽減する方法



11.3 グラウンド・フラッディング

PCB の未使用領域を GND と複数のビアでフラッディングすると、GND インピーダンスを低く保ち、EMC の問題を低減することができます。

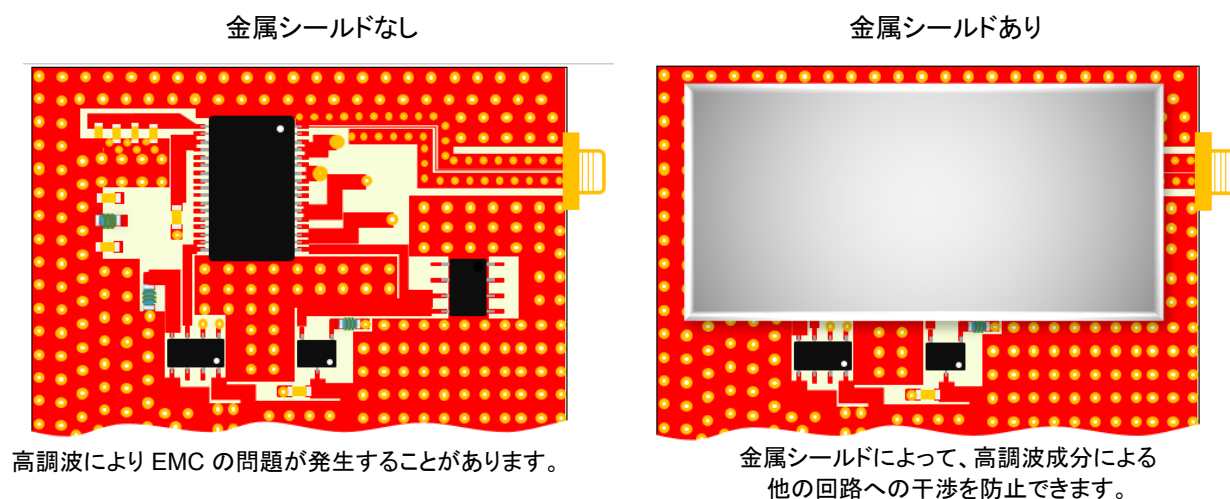
図 25. グラウンド・フラッディングがある場合とない場合の PCB の例



11.4 金属シールド

高調波の意図しない放射に起因する問題を防止するため、金属シールドを配置してボード上の RF 部分を覆うことを強く推奨します。

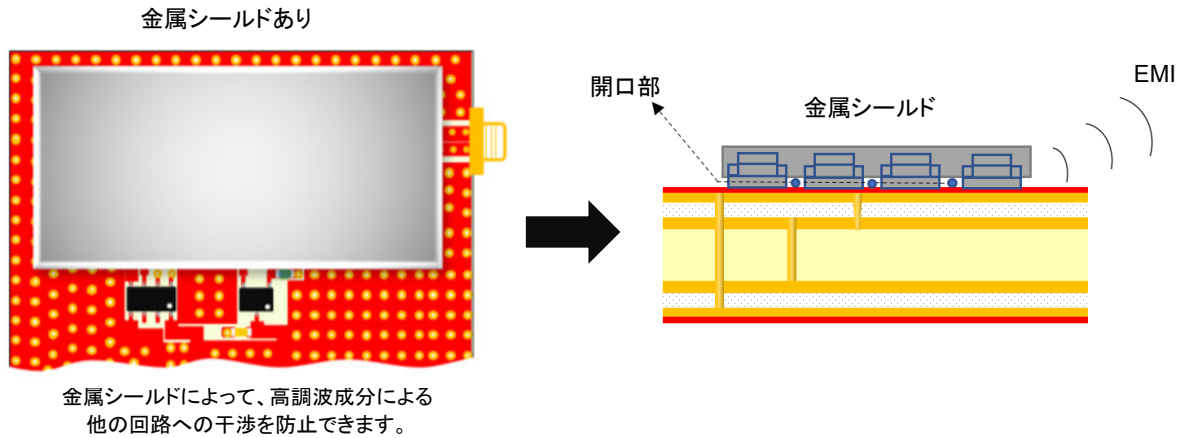
図 26. 金属シールドありの場合となしの場合の PCB の例



11.5 シールド開口部

金属シールドを使用する場合は、使用するシールドの種類に注意してください。シールドの接続部分に開口部があるものでは、開口部が放射漏れを引き起こしたり、最悪の場合はアンテナとして機能したりすることがあります。

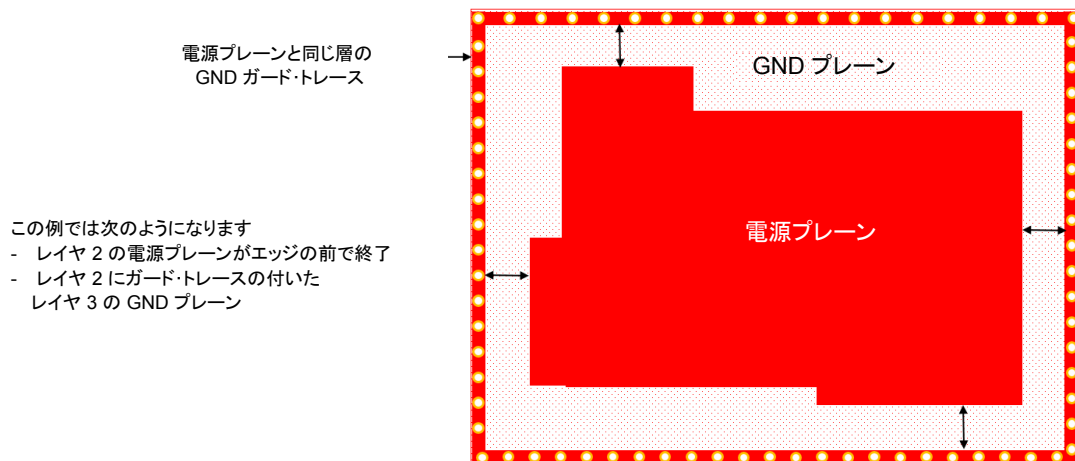
図 27. 電磁放射に対する開口部シールド効果



11.6 電源プレーンと配線

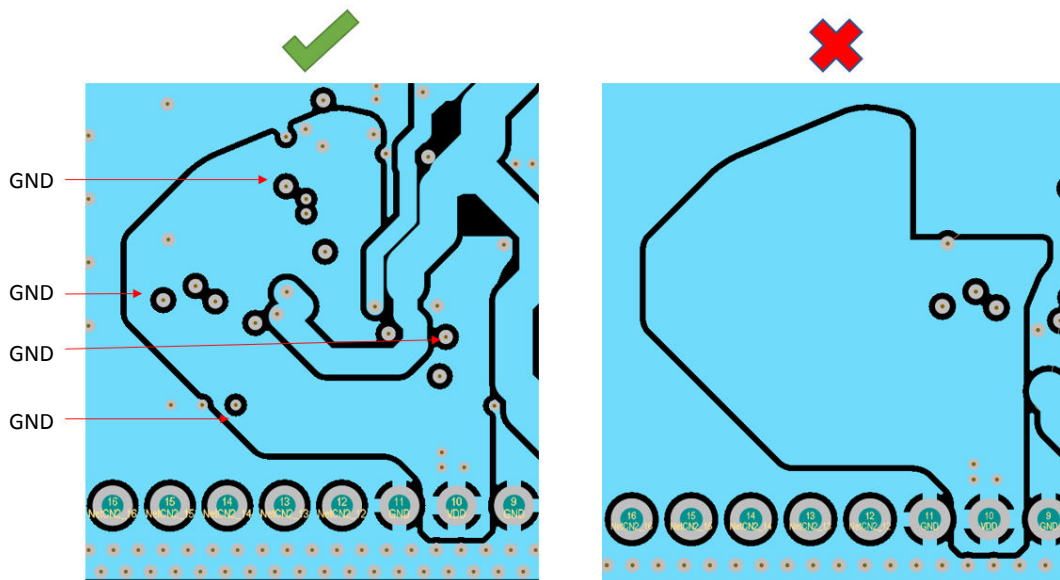
GND プレーンと電源プレーンの間で意図しない EM 放射を防止するため、電源プレーンをボードのエッジで配線しないようにする必要があります。そうしないと、フリンジ領域により、これらの電源プレーンから意図しない EM が放射される可能性があります。ボード周辺のすべての層で GND プレーンを配置し、接続する必要があります。

図 28. GND プレーンと電源プレーン



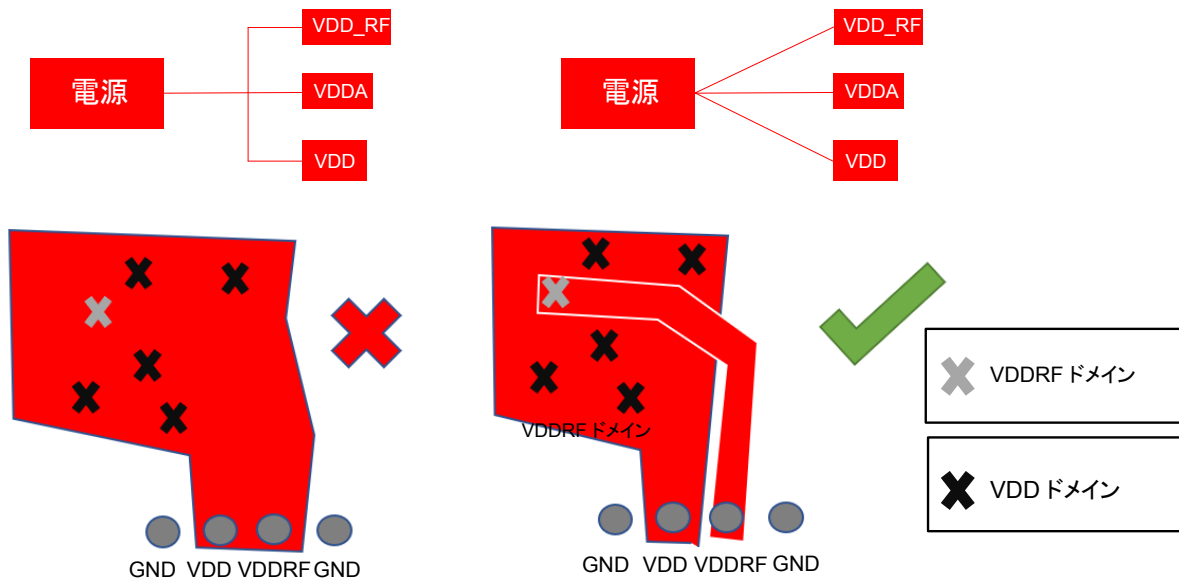
設計の内部層に電源プレーンがある場合は、ビアをいくつか配置して、グラウンド・プレーンの上下の GND をフロート状態にしないようにします。これらのビアは、電源プレーン内に配置する必要があります。

図 29. 電源プレーンに GND ビアを配置することで GND のフロート状態を回避



電源トレースを配線する場合、メイン・ドメインをスター型構成で分離するようにしてください。これはノイズ・カップリングを回避し、ドメインの正しい電流を測定するのに有用です。

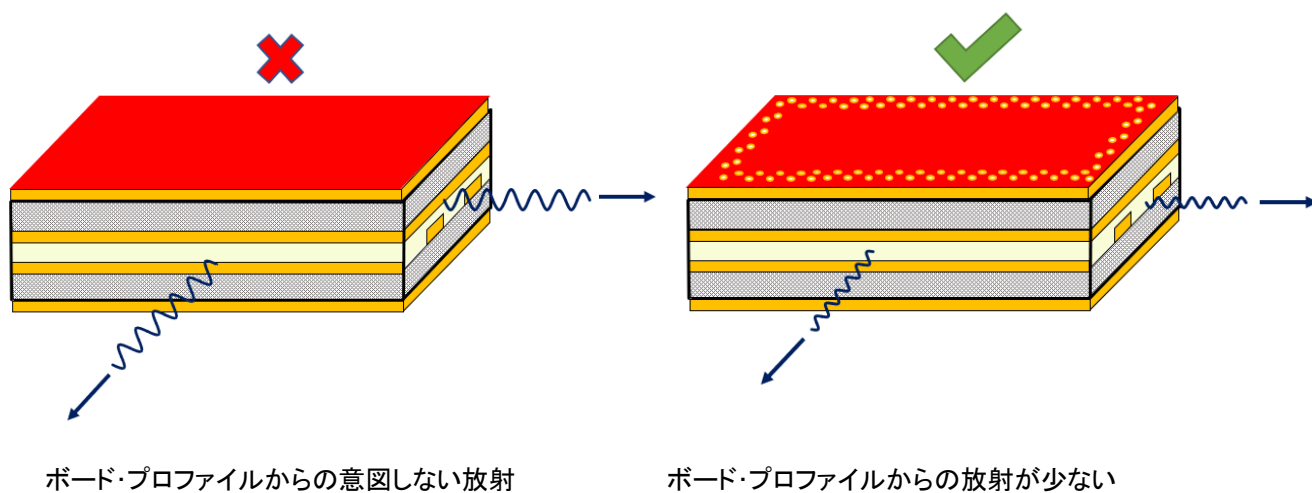
図 30. 異なる電源ドメインを配線することでノイズの問題を回避



11.7 ビア・フェンシング

PCB の EMI の主な発生源の 1 つはエッジです。この部分には不連続性があるため、PCB の銅と基板の間を伝播する電磁波は、ボードのこの部分から放出されます。エッジにいくつかのステッチング・ビアを配置すると、EMI を最小化するのに役立ちます。ビア間の距離は $\lambda G/10$ 以下にする必要があります。セクション 14 にある実際のアプリケーションのリファレンス・レイアウトを参照してください。

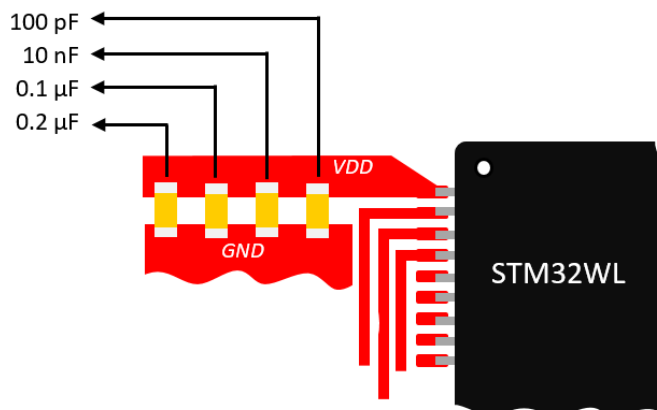
図 31. PCB エッジのステッチング・ビアによる放射低減の効果



12 デカップリング・コンデンサ

下の図に示すように、容量の小さいコンデンサは、容量の大きいコンデンサよりもチップの近くに配置する必要があります。

図 32. デカップリング・コンデンサの配置例



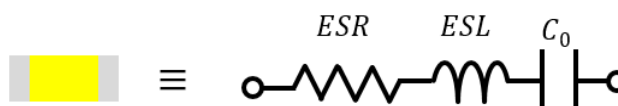
デカップリング・コンデンサを配線する場合、電流ループをできるだけ小さく保つ必要があります。大きな電流ループでは誘導性動作が発生します。デカップリング・コンデンサの詳細については、AN5457 を参照してください。

表 12. デカップリング・コンデンサのリターン電流

| パフォーマンス | デカップリング・コンデンサの電流ループ | コメント |
|---------|---------------------|----------|
| 推奨 | | 低減電流ループ |
| 悪い | | 大きな電流ループ |

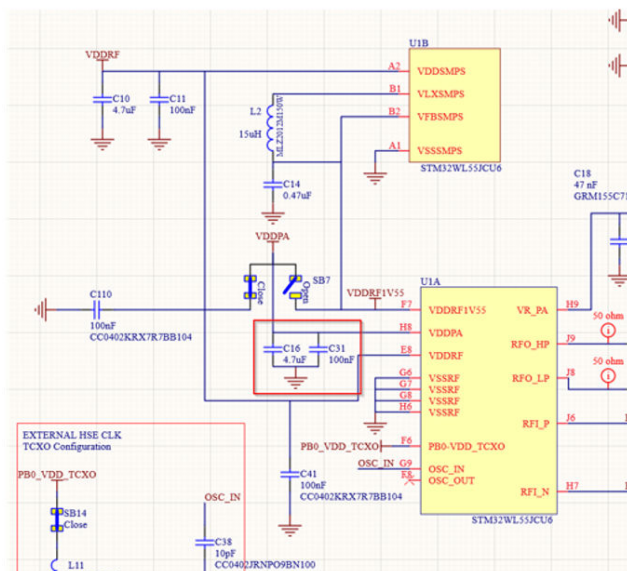
コンデンサの等価直列インダクタンス(ESL、下の図を参照)は、電流ループの影響を受けます。

図 33. コンデンサの高周波等価モデル



STM32WL での VDDSMPS の使用時、VDDPA で大きなデカップリング・コンデンサを使用することは推奨されません。これは、SMPS 動作中の電圧ピークを避けるためです。この問題に対処するには、下の図に示すように、4.7 μ F コンデンサを外してください。

図 34. VDDPA のデカップリング・コンデンサ



13 STM32WL を使用した PCB 実装での TCXO および XO の考慮事項

RF 出力電力によっては、クリスタルの選択に特に注意が必要です。

STM32WL の場合、次の 3 種類の出力電力を使用できます。

- 22 dBm
- 17 dBm
- 14 dBm

温度補償オシレータ(TCXO)と XO クリスタルは、HSE(高速外部)クロックとして使用されます。これらは、RF 回路が良好に機能するために不可欠です。

回路がオンになると、RF 出力電力によって生成された熱が PCB 内を伝わり、クリスタルの精度に影響します。これにより、特定の時間に RF 信号に周波数ドリフトが生成されます。この影響を回避するには、TCXO クリスタルの使用を推奨します。

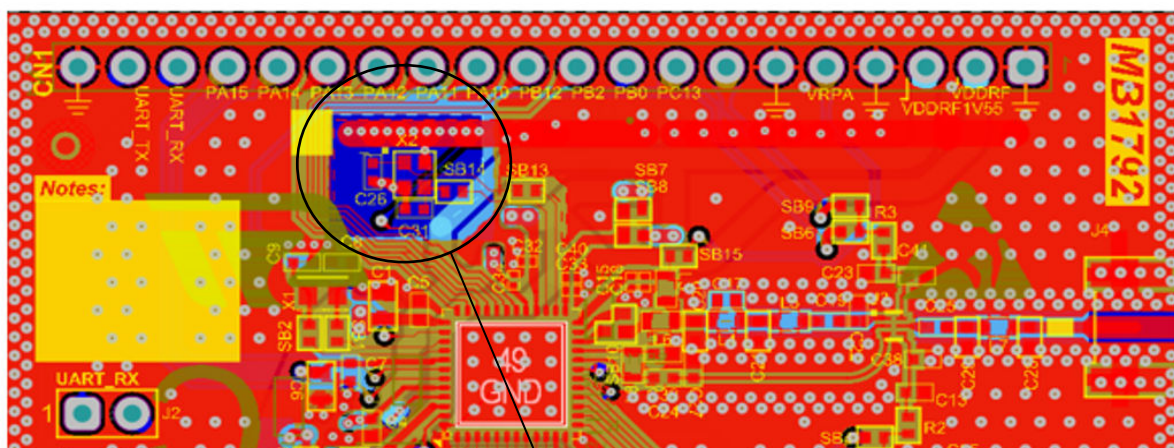
22 dBm の設計の場合、出力電力 TCXO が必要です。

17 dBm および 14 dBm の出力電力設計の場合、TCXO を推奨します。それが使用できない場合は、熱バリアを備えたレイアウトにより、周波数ドリフトを最小限に抑える必要があります。

警告 スロットがアンテナとして機能しないようにします。

次の例を参照してください。

図 35. 熱バリアの例

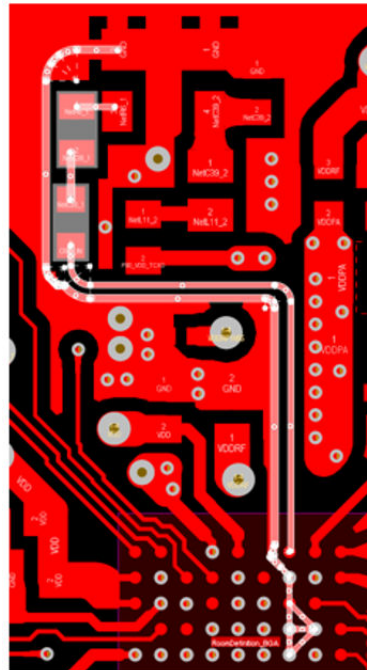


熱バリアのカットアウト

クリスタル部品を配線するときは、良好なパフォーマンスを得るために、閉ループを作り、クリスタルを STM32WL のできるだけ近くに配置することを推奨します。

次の例を参照してください。

図 36. クリスタルの配線例



14 STM32WL のリファレンス・レイアウト

下の図に、BGA パッケージの PCB 4 層のリファレンス・レイアウトの詳細を示します。

図 37. BGA の STM32WL リファレンス・レイアウトの全層

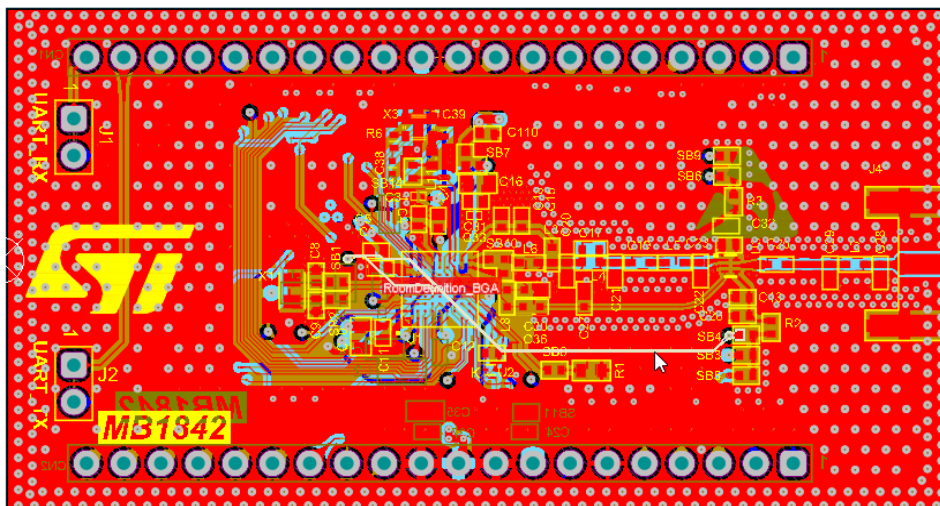


図 38. BGA の STM32WL リファレンス・レイアウトの最上位層

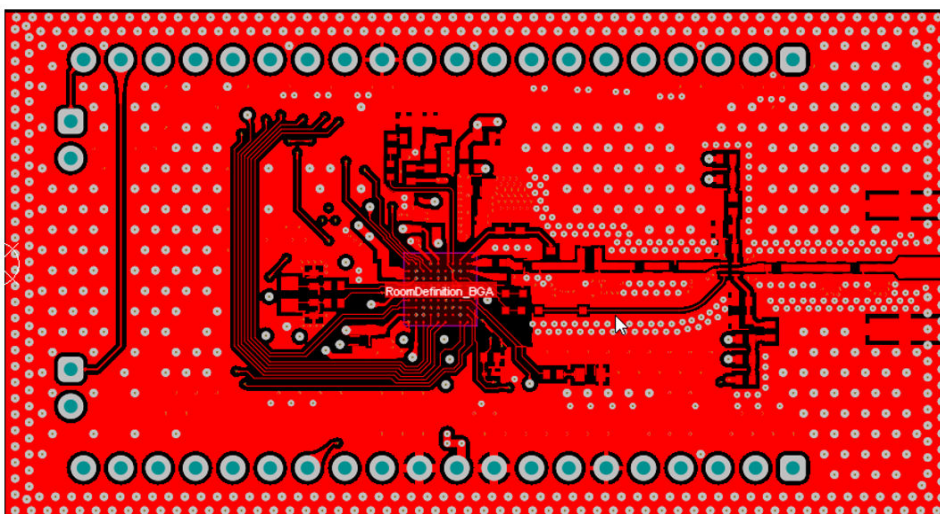


図 39. BGA の STM32WL リファレンス・レイアウトの中間層 1

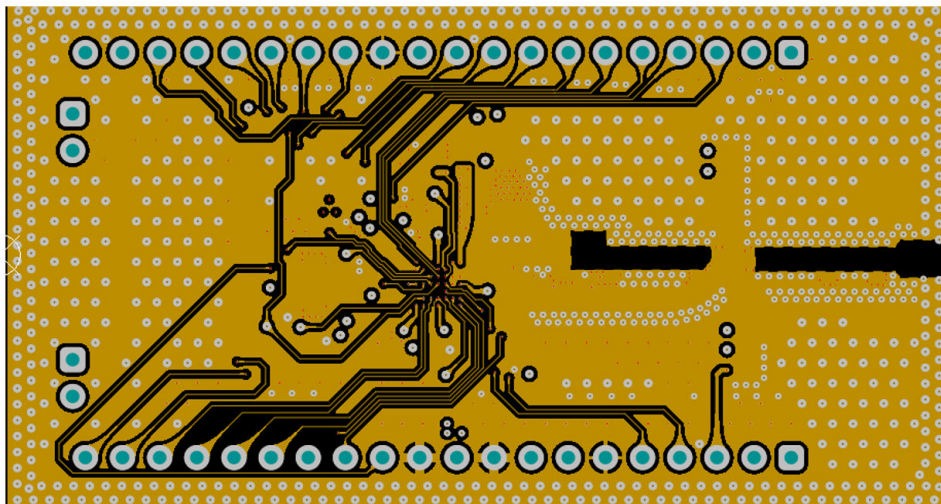


図 40. BGA の STM32WL リファレンス・レイアウトの中間層 2

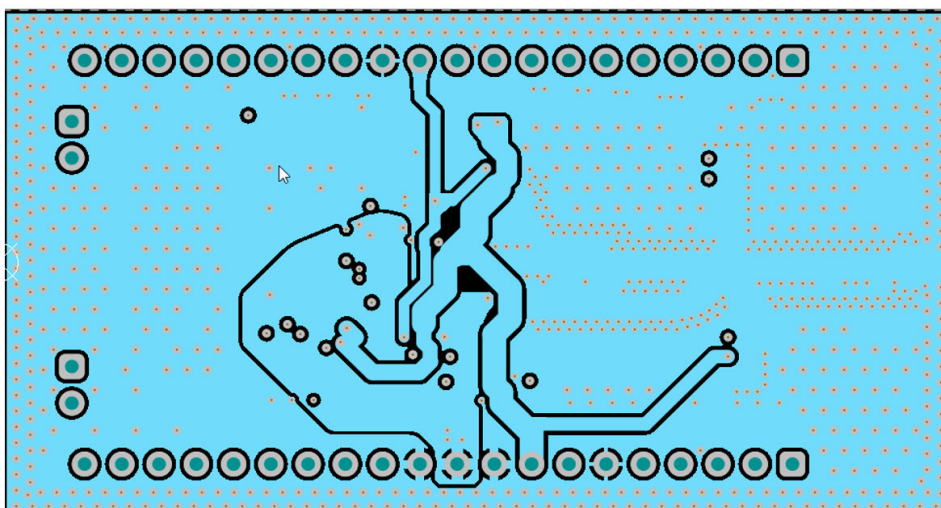
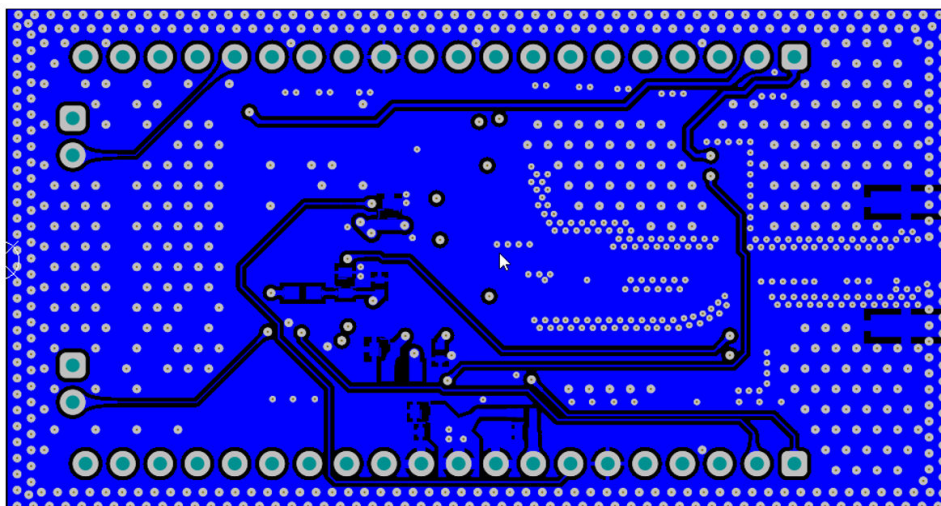


図 41. BGA の STM32WL リファレンス・レイアウトの最下層



下の図に、QFN パッケージの PCB 4 層のリファレンス・レイアウトの詳細を示します。

図 42. QFN の STM32WL リファレンス・レイアウトの全層

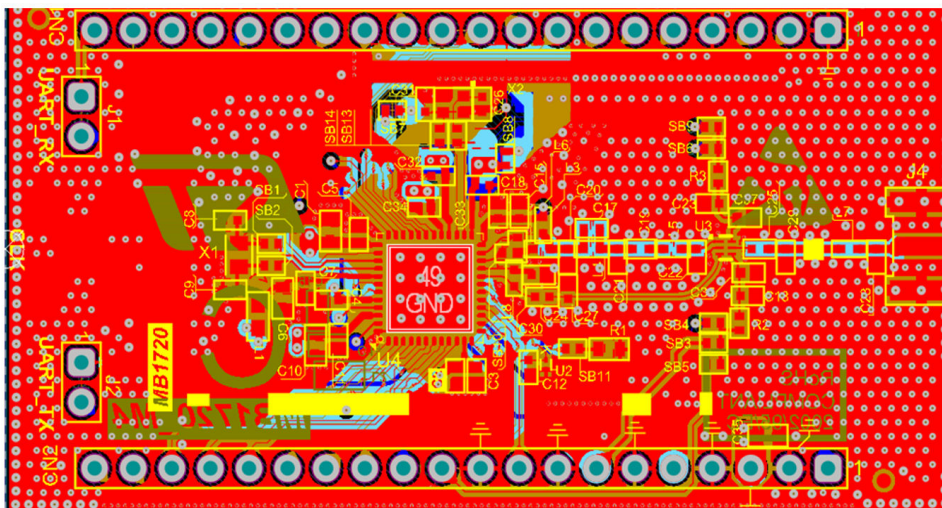


図 43. QFN の STM32WL リファレンス・レイアウトの最上位層

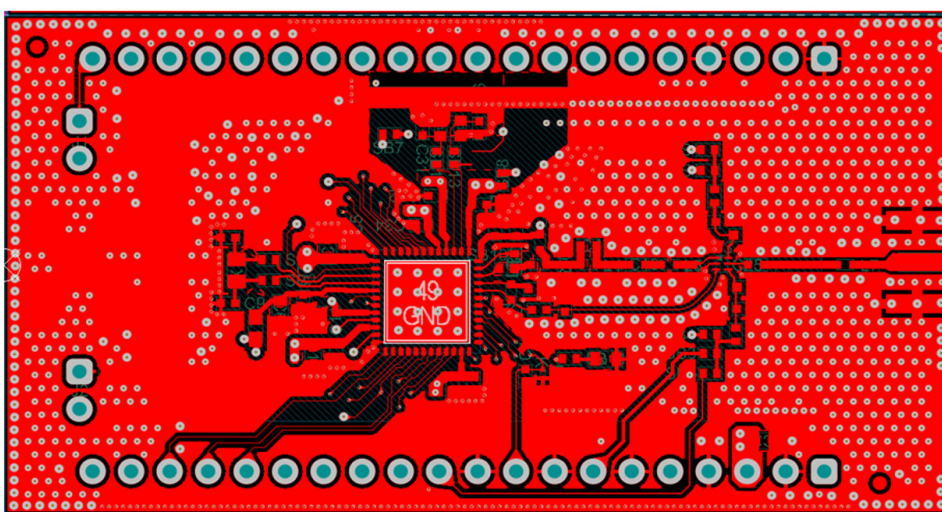


図 44. QFN の STM32WL リファレンス・レイアウトの中間層 1

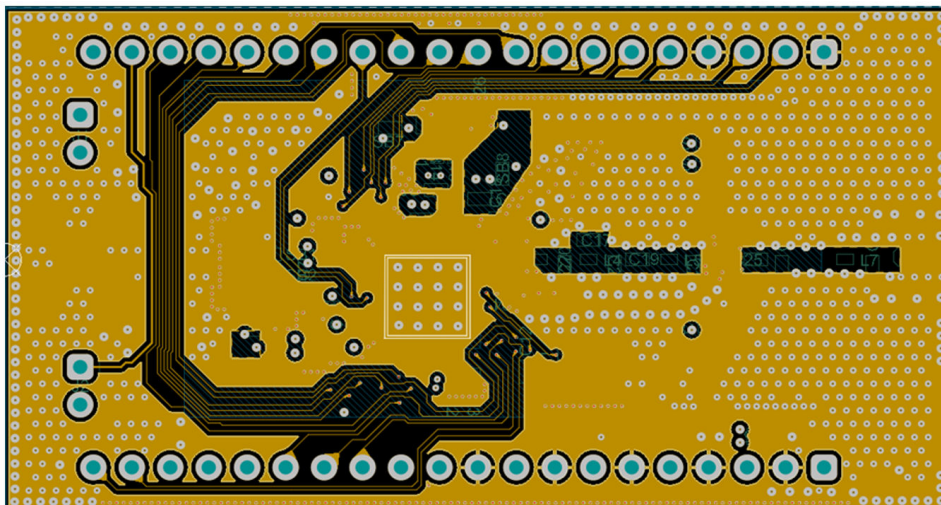


図 45. QFN の STM32WL リファレンス・レイアウトの中間層 2

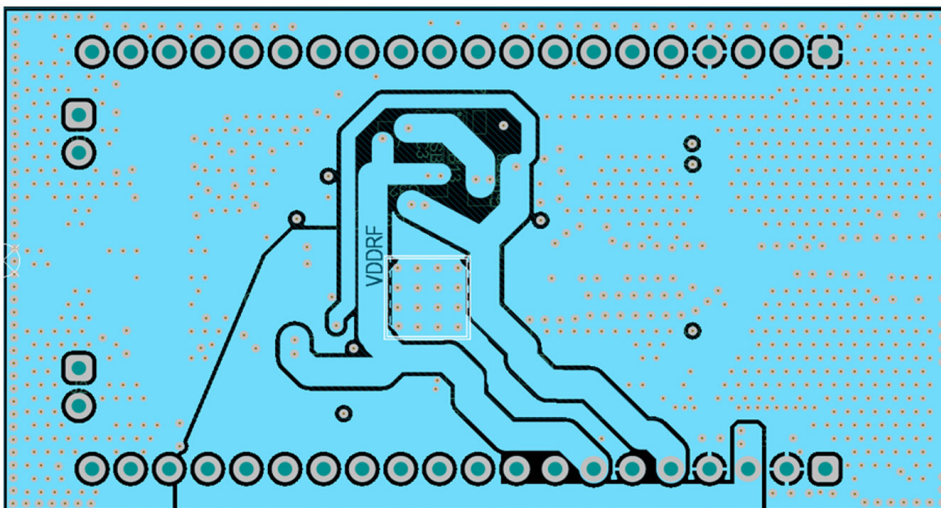
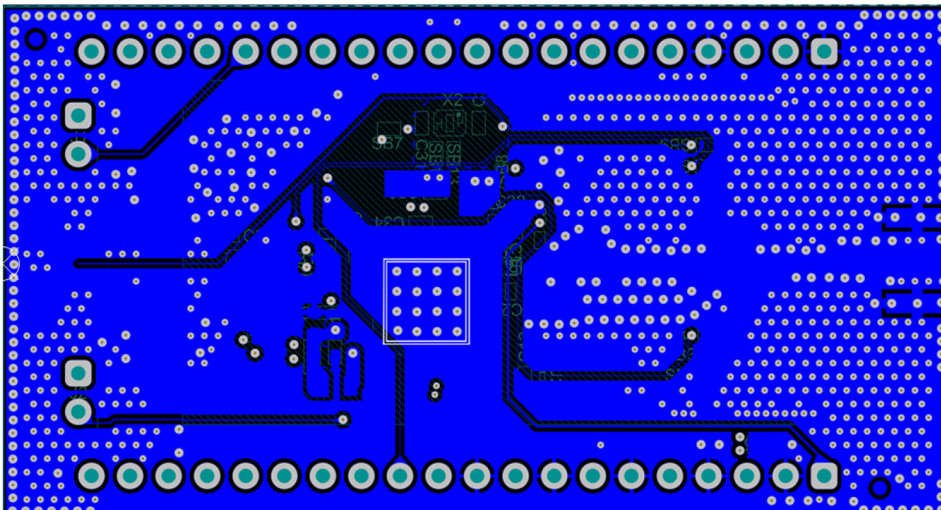


図 46. QFN の STM32WL リファレンス・レイアウトの最下層



15 參考資料

- Carr, Joseph J., and George Hippisley. Practical antenna handbook. New York, NY: McGraw-Hill/TAB Electronics, 2012. Print.
- Thierauf, Stephen C. High-speed circuit board signal integrity. Norwood, MA: Artech House, 2017.
- Hart, Bryan. Digital Signal Transmission: Line Circuit Technology. Boston, MA: Springer US, 1987.
- Parise, Brendon. A Practical Guide to RF and Mixed Technology Printed Circuit Board. Pleasanton, CA (USA). Optimum Design Associates, 2017, pp. 181-182.
- Li, Richard C. RF circuit design. Hoboken, New Jersey: John Wiley & Sons, Inc, 2012, pp. 328.
- Thierauf, Stephen C. High-speed circuit board signal integrity. Boston: Artech House, 2004.
- R.N. Simons: Coplanar Waveguide Circuits, Components, and Systems, Wiley-IEEE Press, 2001.
- Li Zhi, Wang Qiang and Shi Changsheng, "Application of guard traces with vias in the RF PCB layout," 2002 3rd International Symposium on Electromagnetic Compatibility, Beijing, China, 2002, pp. 771-774.
- Montrose, Mark I. Printed circuit board design techniques for EMC compliance: a handbook for designers. New York: IEEE Press, 2000.
- A. A. Oliner, "Equivalent Circuits for Discontinuities in Balanced Strip Transmission Line," in IRE Transactions on Microwave Theory and Techniques, vol. 3, no. 2, pp. 134-143, March 1955.
- R. Mehran, "Calculation of Microstrip Bends and Y-Junctions with Arbitrary Angle," in IEEE Transactions on Microwave Theory and Techniques, vol. 26, no. 6, pp. 400-405, Jun. 1978.
- I. Wolff, G. Kompa and R. Mehran, "Calculation method for microstrip discontinuities and T junctions," in Electronics Letters, vol. 8, no. 7, pp. 177-179, 6 April 1972.
- R. J. P. Douville and D. S. James, "Experimental study of symmetric microstrip bends and their compensation," IEEE Trans. Microwave Theory Tech., vol. MTT-26. pp. 175-182, Mar. 1978.
- R. Horton, "The Electrical Characterization of a Right-Angled Bend in Microstrip Line (Short Papers)," in IEEE Transactions on Microwave Theory and Techniques, vol. 21, no. 6, pp. 427-429, Jun. 1973.
- B. Easter, A. Gopinath and I. M. Stephenson, "Theoretical and experimental methods for evaluating discontinuities in microstrip," in Radio and Electronic Engineer, vol. 48, no. 1.2, pp. 73-84, January-February 1978.
- Shinichi Ikami and Akihisa Sakurai, "Practical analysis on 20H rule for PCB," 2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, Singapore, 2008, pp. 180-183.
- Xiaoning Ye et al., "EMI mitigation with multilayer power-bus stacks and via stitching of reference planes," in IEEE Transactions on Electromagnetic Compatibility, vol. 43, no. 4, pp. 538-548, Nov. 2001.
- M. I. Montrose, "Radiated emission far-field propagation with multiple ground stitch locations within a printed circuit board," 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, Beijing, 2010, pp. 297-300.
- A. Jaze, B. Archambeault and S. Connor, "EMI noise reduction between planes due to a signal via with a ground via at various distances," 2011 IEEE International Symposium on Electromagnetic Compatibility, Long Beach, CA, USA, 2011, pp. 167-172.
- C. L. Holloway and E. F. Kuester, "Closed-form expressions for the current density on the ground plane of a microstrip line, with application to ground plane loss," in IEEE Transactions on Microwave Theory and Techniques, vol. 43, no. 5, pp. 1204-1207, May 1995.
- Jun So Pak, Hyungsoo Kim, Joungho Kim and Heejae Lee, "PCB power/ground plane edge radiation excited by high-frequency clock," 2004 International Symposium on Electromagnetic Compatibility (IEEE Cat. No.04CH37559), Silicon Valley, CA, USA, 2004, pp. 197-202 vol.1.
- F. Gisin and Z. Pantic-Tanner, "Radiation from printed circuit board edge structures," 2001 IEEE EMC International Symposium. Symposium Record. International Symposium on Electromagnetic Compatibility (Cat.No.01CH37161), Montreal, Que., Canada, 2001, pp. 881-883 vol.2.
- Joungho Kim, Junso Pak, Jongbae Park and Hyungsoo Kim, "Noise generation, coupling, isolation, and EM radiation in high-speed package and PCB," 2005 IEEE International Symposium on Circuits and Systems, Kobe, 2005, pp. 5766-5769 Vol. 6.
- Mariscotti, Andrea. RF and Microwave Measurements: Device Characterization, Signal Integrity and Spectrum Analysis. Chiasso (Switzerland: ASTM Analysis, Simulation, Test and Measurement Sagl, 2015, pp. 299-392. Print.
- Advanced Design System 2020, Keysight Technologies.

16 結論

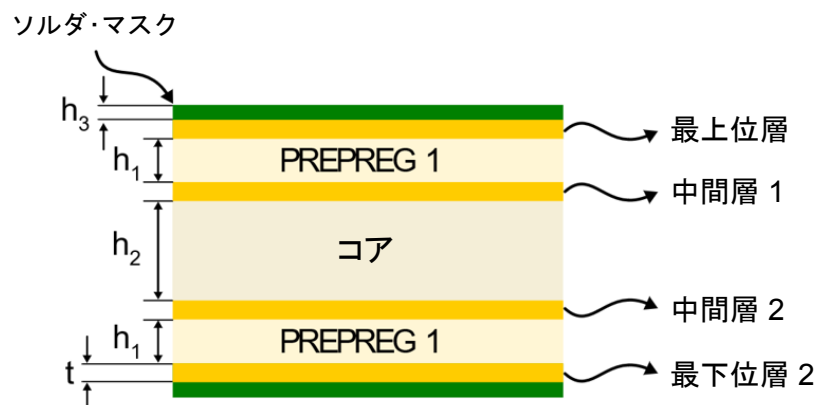
RF ボードの設計には、いくつかの注意が必要です。このアプリケーション・ノートでは、デカップリング・コンデンサ、RF の一般的ルール、EMC の問題の低減、事前に定義された PCB スタックアップ層による制御されたインピーダンスに関するガイドラインを示します。ユーザは、これらのガイドラインをアプリケーションに合わせる必要があります。

アプリケーションを正しく動作させ、STM32WL ボードの RF 部分の性能を高めるには、これらのガイドラインに従う必要があります。

付録 A スタックアップの例

下の図に示すような BGA パッケージの標準的なスタックアップから Tx ラインの場合は $50\ \Omega$ 、Rx ラインの場合は $100\ \Omega$ を得るためのスタックアップの例をいくつか示します。

図 47. BGA パッケージの標準的なスタックアップ

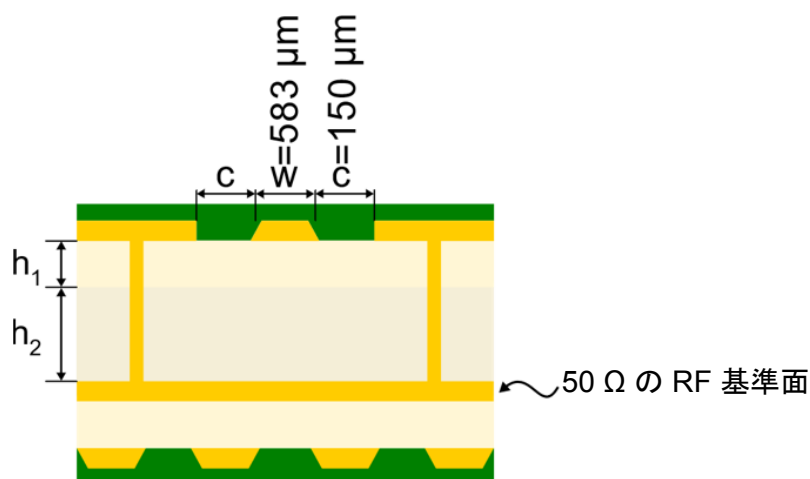
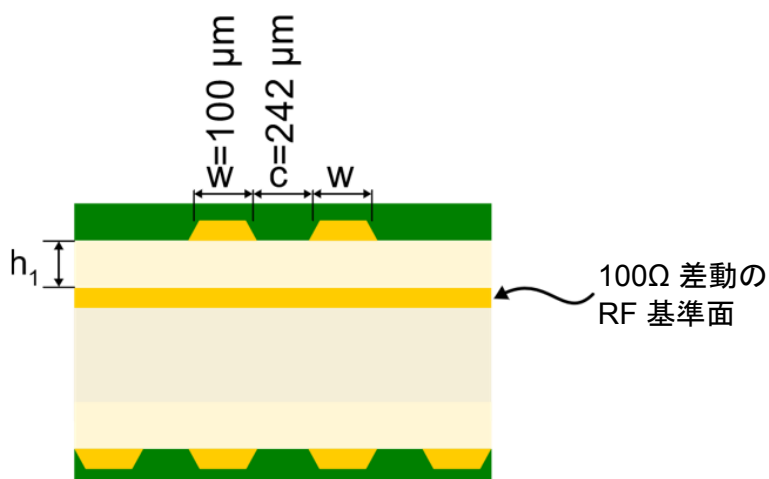


- ケース 1: PCB の総厚 = 1.04 mm の BGA パッケージの標準的なスタックアップ
 次の表に示す設定を検討してください。

表 13. ケース 1: PCB の総厚 = 1.04 mm

| 誘電体材料 | | | | 金属層 | |
|-------------------|----------|------------------------------|--------------|--------------|----------------------------|
| 要素 | 材質 | 公称厚さ h_x (μm) | ϵ_r | レイヤ | 公称厚さ t (μm) |
| ソルダ・マスク (h_3) | ソルダ・レジスト | 20 | 3.7 | 最上位層 | 35 |
| プリプレグ 1 (h_1) | 1 x 2116 | 70 | 3.5 | 中間 1 および中間 2 | 35 |
| コア (h_2) | FR4 | 710 | 5.0 | 最下層 | 35 |

次の図に詳細を示している Tx および Rx ラインをこの設定から構築できます。

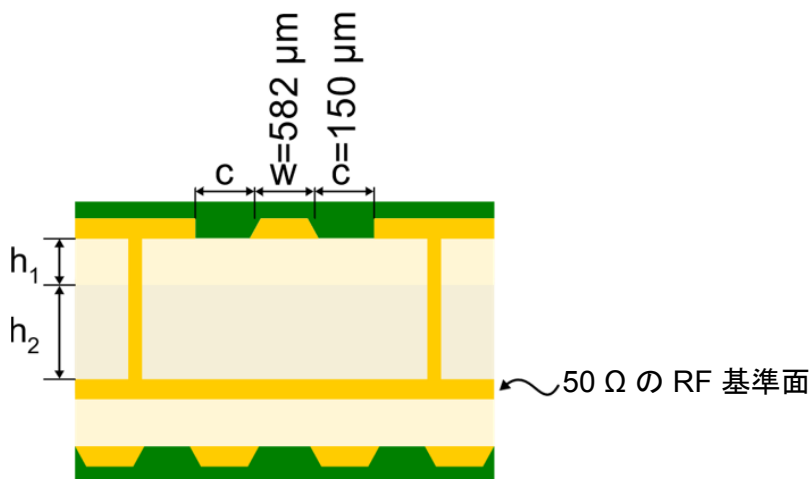
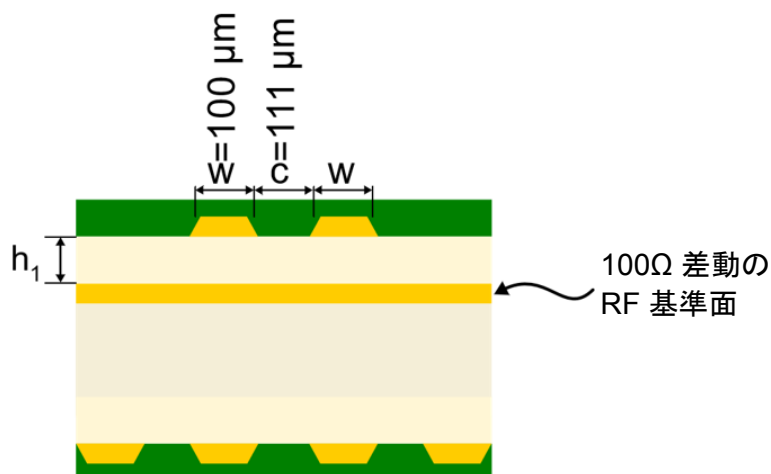
図 48. Tx 50 Ω RFトラック(ケース 1、PCB 合計 = 1.04mm)

図 49. Rx 100 Ω 差動ペア(ケース 1、PCB 合計 = 1.04mm)


- ケース 2: PCB の総厚 = 1.10 mm の BGA パッケージの標準的なスタックアップ
 次の表に示す設定を検討してください。

表 14. ケース 2: PCB の総厚 = 1.10 mm

| 誘電体材料 | | | | 金属層 | |
|-------------------|----------|------------------------------|--------------|--------------|----------------------------|
| 要素 | 材質 | 公称厚さ h_x (μm) | ϵ_r | レイヤ | 公称厚さ t (μm) |
| ソルダ・マスク (h_3) | ソルダ・レジスト | 20 | 3.3 | 最上位層 | 35 |
| プリプレグ 1 (h_1) | 1 x 2116 | 108 | 3.8 | 中間 1 および中間 2 | 35 |
| コア (h_2) | FR4 | 710 | 5.0 | 最下層 | 35 |

次の図に詳細を示している Tx および Rx ラインをこの設定から構築できます。

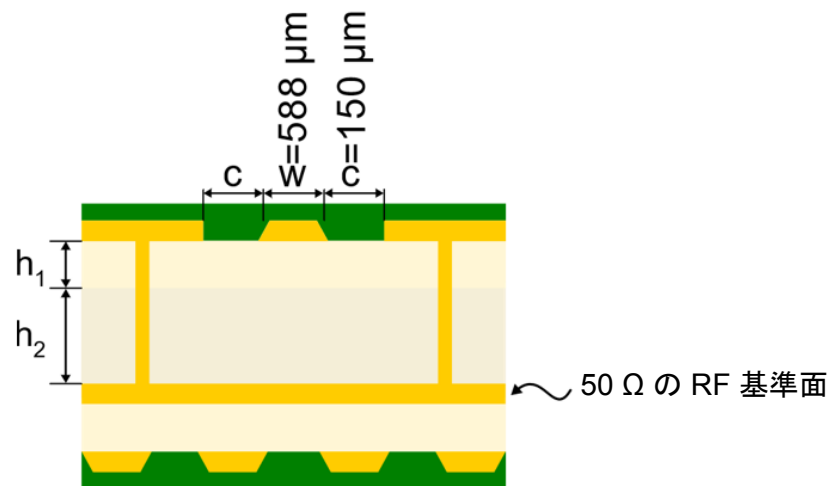
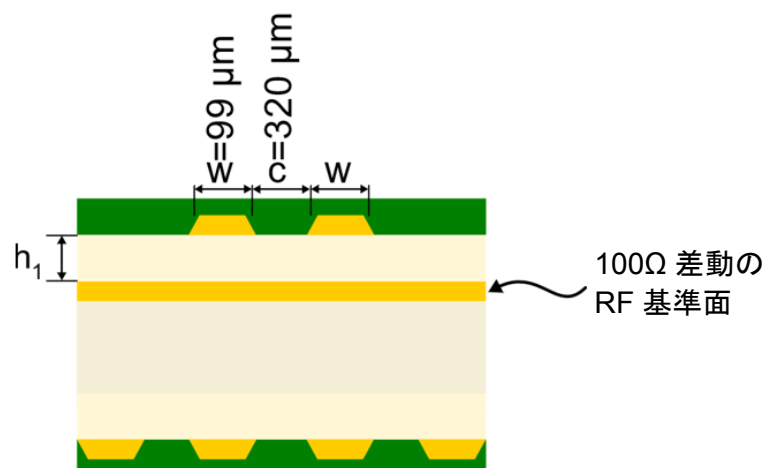
図 50. Tx 50 Ω RFトラック(ケース 2、PCB 合計 = 1.10 mm)

図 51. Rx 100 Ω 差動ペア(ケース 2、PCB 合計 = 1.10 mm)


- ケース 3: PCB の総厚 = 1.60 mm の BGA パッケージの標準的なスタックアップ
 次の表に示す設定を検討してください。

表 15. ケース 3: PCB の総厚 = 1.60 mm

| 誘電体材料 | | | | 金属層 | |
|-------------------|----------|------------------------------|--------------|------------|----------------------------|
| 要素 | 材質 | 公称厚さ h_x (μm) | ϵ_r | レイヤ | 公称厚さ t (μm) |
| ソルダ・マスク (h_3) | ソルダ・レジスト | 20 | 3.5 | 最上位層 | 35 |
| プリプレグ 1 (h_1) | 1 x 1080 | 76 | 4.18 | 中間 1 および 2 | 35 |
| コア (h_2) | 7 x 7628 | 1268 | 4.74 | 最下層 | 35 |

次の図に詳細を示している Tx および Rx ラインをこの設定から構築できます。

図 52. Tx 50 Ω RFトラック(ケース 3、PCB 合計 = 1.60 mm)

図 53. Rx 100 Ω 差動ペア(ケース 3、PCB 合計 = 1.60 mm)

重要

ソースとアンテナの間の距離が長いほど、RF 送信ラインでのエネルギー損失の可能性が大きくなります。設計ルールとして、RF 送信ラインは不連続がないようにし、できるだけ短くする必要があります。

改版履歴

表 16. 文書改版履歴

| 日付 | 版 | 変更内容 |
|-----------------|---|---|
| 2020 年 3 月 6 日 | 1 | 初版発行 |
| 2020 年 7 月 10 日 | 2 | セクション 3.3「インピーダンス制御用の金属カットアウト」を削除。 |
| 2022 年 4 月 15 日 | 3 | 更新: <ul style="list-style-type: none"> • セクション 2 特性および制御インピーダンス • セクション 4.1 コンデンサ • セクション 5 ビアのスティーピングとシールド • セクション 6 RF リターン電流パス • セクション 12 デカップリング・コンデンサ • セクション 14 STM32WL のリファレンス・レイアウト 追加: <ul style="list-style-type: none"> • セクション 7 カットアウト • セクション 8 スロットと高周波電流 • セクション 11.5 シールド開口部 • セクション 11.7 ビア・フェンシング • セクション 13 STM32WL を使用した PCB 実装での TCXO および XO の考慮事項 |

目次

| | | |
|------|--|----|
| 1 | 基本ルールの概要 | 2 |
| 2 | 特性および制御インピーダンス | 3 |
| 3 | RF 送信ライン | 8 |
| 3.1 | スタックアップ・ボード | 8 |
| 3.2 | Tx 50 Ω および Rx 100 Ω のスタックアップ | 8 |
| 4 | RF 信号を備えた表面実装部品 | 9 |
| 4.1 | コンデンサ | 9 |
| 4.2 | インダクタ | 11 |
| 5 | ビアのスティッチングとシールド | 12 |
| 6 | RF リターン電流パス | 13 |
| 7 | カットアウト | 15 |
| 8 | スロットと高周波電流 | 16 |
| 9 | 送信ラインで避けるべき不連続 | 18 |
| 10 | RF ラインの曲げ | 22 |
| 11 | 意図しない放射の最小化 | 24 |
| 11.1 | RFO 高調波 | 24 |
| 11.2 | ボードの輪郭線上の高周波信号 | 25 |
| 11.3 | グラウンド・フラッディング | 26 |
| 11.4 | 金属シールド | 26 |
| 11.5 | シールド開口部 | 27 |
| 11.6 | 電源プレーンと配線 | 27 |
| 11.7 | ビア・フェンシング | 29 |
| 12 | デカップリング・コンデンサ | 30 |
| 13 | STM32WL を使用した PCB 実装での TCXO および XO の考慮事項 | 32 |
| 14 | STM32WL のリファレンス・レイアウト | 34 |
| 15 | 参考資料 | 38 |
| 16 | 結論 | 39 |
| 付 録 | Aスタックアップの例 | 40 |
| 改版履歴 | | 44 |
| 表一覧 | | 46 |
| 図一覧 | | 47 |

表一覧

| | | |
|-------|--|----|
| 表 1. | 特性インピーダンスと RF 測定への影響(負荷インピーダンス = 50 Ω) | 7 |
| 表 2. | ルーティング・コンデンサの寄生インダクタンスの低減 | 9 |
| 表 3. | RF 信号ありのインダクタ・パッド | 11 |
| 表 4. | リターン・パス | 13 |
| 表 5. | レイアウトの不連続 | 18 |
| 表 6. | トラックの遷移 | 19 |
| 表 7. | テスト・ポイント | 19 |
| 表 8. | パッド部品の幅 | 20 |
| 表 9. | RF スwitchの遷移 | 20 |
| 表 10. | パッケージ・パッドから RF ラインへの遷移 | 21 |
| 表 11. | RF ラインの曲げのガイドライン | 23 |
| 表 12. | デカップリング・コンデンサのリターン電流 | 30 |
| 表 13. | ケース 1:PCB の総厚 = 1.04 mm | 41 |
| 表 14. | ケース 2:PCB の総厚 = 1.10 mm | 42 |
| 表 15. | ケース 3:PCB の総厚 = 1.60 mm | 43 |
| 表 16. | 文書改版履歴 | 44 |

図一覧

| | | |
|-------|--|----|
| 図 1. | 送信ラインの等価回路 | 3 |
| 図 2. | 2 層 PCB の GCPW の例 | 3 |
| 図 3. | PCB 上の送信ライン・タイプ GCPW の例 | 4 |
| 図 4. | 4 層 PCB のスタックアップ例 | 4 |
| 図 5. | 特性インピーダンスと幅の変動 | 5 |
| 図 6. | 特性インピーダンスとクリアランスの変動 | 5 |
| 図 7. | ADS の寸法変数 ($n = 1000$) の $\pm 10\%$ のプロセス変動に対する統計分析によるヒストグラム | 6 |
| 図 8. | 制御されたインピーダンスを示した回路図の例 | 7 |
| 図 9. | 3 種類のビアを持つ標準的な 4 層 PCB スタックアップ | 8 |
| 図 10. | RF ライン上のコンデンサの例 | 10 |
| 図 11. | サーマル・リリーフ | 10 |
| 図 12. | GCPW 周辺のビアの間隔 | 12 |
| 図 13. | リターン・パス上のスロット | 14 |
| 図 14. | RF 電流に対するクリーンなリターン・パスの例 | 14 |
| 図 15. | 50 Ω インピーダンスの PCB カットアウト | 15 |
| 図 16. | スロットと高周波電流 | 16 |
| 図 17. | トラックによるスロット削減 | 16 |
| 図 18. | ビアの間隔を開けることによるスロット削減 | 17 |
| 図 19. | 電磁シミュレーションによる PCB でのスロットの影響 | 17 |
| 図 20. | 90°の曲げの例 | 22 |
| 図 21. | 理想のケース: 直線 | 22 |
| 図 22. | RFO 高調波のための標準的な回路 | 24 |
| 図 23. | HF 信号によって生成される EM 放射 | 25 |
| 図 24. | 意図しない EM 放射を軽減する方法 | 25 |
| 図 25. | グラウンド・フラッディングがある場合とない場合の PCB の例 | 26 |
| 図 26. | 金属シールドありの場合となしの場合の PCB の例 | 26 |
| 図 27. | 電磁放射に対する開口部シールド効果 | 27 |
| 図 28. | GND プレーンと電源プレーン | 27 |
| 図 29. | 電源プレーンに GND ビアを配置することで GND のフロート状態を回避 | 28 |
| 図 30. | 異なる電源ドメインを配線することでノイズの問題を回避 | 28 |
| 図 31. | PCB エッジのステッチング・ビアによる放射低減の効果 | 29 |
| 図 32. | デカップリング・コンデンサの配置例 | 30 |
| 図 33. | コンデンサの高周波等価モデル | 30 |
| 図 34. | VDDPA のデカップリング・コンデンサ | 31 |
| 図 35. | 熱バリアの例 | 32 |
| 図 36. | クリスタルの配線例 | 33 |
| 図 37. | BGA の STM32WL リファレンス・レイアウトの全層 | 34 |
| 図 38. | BGA の STM32WL リファレンス・レイアウトの最上位層 | 34 |
| 図 39. | BGA の STM32WL リファレンス・レイアウトの中間層 1 | 35 |
| 図 40. | BGA の STM32WL リファレンス・レイアウトの中間層 2 | 35 |
| 図 41. | BGA の STM32WL リファレンス・レイアウトの最下層 | 35 |
| 図 42. | QFN の STM32WL リファレンス・レイアウトの全層 | 36 |
| 図 43. | QFN の STM32WL リファレンス・レイアウトの最上位層 | 36 |
| 図 44. | QFN の STM32WL リファレンス・レイアウトの中間層 1 | 37 |
| 図 45. | QFN の STM32WL リファレンス・レイアウトの中間層 2 | 37 |
| 図 46. | QFN の STM32WL リファレンス・レイアウトの最下層 | 37 |
| 図 47. | BGA パッケージの標準的なスタックアップ | 40 |
| 図 48. | Tx 50 Ω RF トラック (ケース 1、PCB 合計 = 1.04mm) | 41 |
| 図 49. | Rx 100 Ω 差動ペア (ケース 1、PCB 合計 = 1.04mm) | 41 |
| 図 50. | Tx 50 Ω RF トラック (ケース 2、PCB 合計 = 1.10 mm) | 42 |
| 図 51. | Rx 100 Ω 差動ペア (ケース 2、PCB 合計 = 1.10 mm) | 42 |
| 図 52. | Tx 50 Ω RF トラック (ケース 3、PCB 合計 = 1.60 mm) | 43 |
| 図 53. | Rx 100 Ω 差動ペア (ケース 3、PCB 合計 = 1.60 mm) | 43 |

重要なお知らせ(よくお読み下さい)

STMicroelectronics NV およびその子会社(以下、ST)は、ST 製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前に ST 製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請書発行時点で有効な ST の販売条件に従って販売されます。

ST 製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関して ST は一切の責任を負いません。

明示又は黙示を問わず、ST は本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件で ST 製品が再販された場合、その製品について ST が与えたいかなる保証も無効となります。

ST および ST ロゴは STMicroelectronics の商標です。ST の登録商標については ST ウェブサイトをご覧ください。www.st.com/trademarks その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

© 2022 STMicroelectronics – All rights reserved