

概要

STM32 マイクロコントローラには、高度な 12 ビットまたは 16 ビットの ADC が組み込まれています (デバイスによって異なります)。環境条件の変化に対する ADC の精度を高めるために、自動較正機能が用意されています。

アナログ/デジタル変換を伴うアプリケーションでは、ADC の精度がシステム全体の品質と効率に影響を与えます。この精度を向上させるには、ADC に関連する誤差とその誤差に影響を与えるパラメータを把握する必要があります。

ADC の精度は、ADC の性能や機能だけではなく、ADC を中心としたアプリケーション全体の設計にも左右されます。

このアプリケーション・ノートの目的は、ADC の誤差を理解し、ADC の精度を高める方法を説明することです。内容は、大きく以下の 3 つのパートに分かれています。

- ADC の動作および関連する ADC パラメータを理解するのに役立つ ADC の内部構造の簡単な説明
- ADC 設計および外部の ADC パラメータ (外部ハードウェア設計など) に関連する ADC の誤差の種類と原因の説明
- ハードウェアとソフトウェアの方法に焦点を当てた、これらの誤差を最小化する方法に関する推奨事項

目次

1	一般情報	6
2	ADC 内部原理	6
	2.1 SAR ADC 内部構造	6
3	ADC の誤差	10
	3.1 ADC 自体による誤差	10
	3.1.1 オフセット誤差	10
	3.1.2 ゲイン誤差	12
	3.1.3 微分直線性誤差	13
	3.1.4 積分直線性誤差	14
	3.1.5 総未調整誤差	16
	3.2 ADC 環境による誤差	17
	3.2.1 基準電圧ノイズ	17
	3.2.2 基準電圧 / 電源レギュレーション	17
	3.2.3 基準電圧のデカップリングとインピーダンス	18
	3.2.4 外部基準電圧パラメータ	18
	3.2.5 アナログ入力信号ノイズ	18
	3.2.6 最大入力信号振幅に対する ADC ダイナミック・レンジの不一致	18
	3.2.7 アナログ信号ソースの抵抗の影響	19
	3.2.8 PCB のソース静電容量と寄生容量の影響	20
	3.2.9 注入電流の影響	20
	3.2.10 温度の影響	21
	3.2.11 I/O ピンのクロストーク	21
	3.2.12 EMI 誘導ノイズ	21
4	最高の ADC 精度を実現する方法	22
	4.1 ADC に関連する ADC 誤差の影響の低減	22
	4.2 ADC の外部環境に関連する ADC 誤差の最小化	22
	4.2.1 基準電圧 / 電源ノイズの最小化	22
	4.2.2 基準電圧 / 電源レギュレーション	24
	4.2.3 アナログ入力信号ノイズ除去	24
	4.2.4 分解能を向上させるためのホワイトノイズまたは三角掃引の追加	25
	4.2.5 ADC ダイナミック・レンジの最大信号振幅への適合	26

4.2.6	SAR ADC サンプリング時間の要件	27
4.2.7	外部アナログ・バッファの使用	36
4.2.8	ソース周波数条件 vs ソースコンデンサおよび寄生コンデンサ	36
4.2.9	温度の影響の補正	37
4.2.10	注入電流の最小化	37
4.2.11	I/O ピンのクロストークの最小化	38
4.2.12	EMI 誘導ノイズの低減	38
4.2.13	PCB レイアウトの推奨事項	39
4.2.14	部品の配置と配線	41
4.3	ソフトウェアで精度を向上させる方法	41
4.3.1	サンプルの平均化	41
4.3.2	デジタル信号のフィルタリング	42
4.3.3	AC 測定用の FFT	43
4.3.4	ADC の較正	44
4.3.5	CPU 内部のノイズの最小化	44
4.4	インピーダンスが高いソースの測定	45
4.4.1	ADC 入カステージの問題	45
4.4.2	動作の説明	46
4.4.3	追加の誤差の最小化	47
4.4.4	記載されている問題の原因 - ADC 設計	51
5	まとめ	53
6	改版履歴	54

表の一覧

表 1.	STM32H7 シリーズのデバイスの最小サンプリング時間 (ns)31
表 2.	ADC SMP 選択 vs STM32 シリーズ (ADC クロック・サイクル数で表示)32
表 3.	おおよその最小サンプリング時間 vs 分解能および最大誤差 (ADC クロック・サイクル数で表示)33
表 4.	最小 SMP 値 vs 分解能および最大誤差 (ADC クロック・サイクル数で表示)33
表 5.	SMP による追加の ADC クロック・サイクル数 vs 分解能および最大誤差33
表 6.	最小 ADC 変換時間 (TSMPL + TSAR) vs 分解能および最大誤差 (ADC クロック・サイクル数で表示)34
表 7.	最大 ADC 出力サンプリング・レート (MSPS) vs 分解能および最大誤差34
表 8.	文書改版履歴54
表 9.	日本語版文書改版履歴55

図の一覧

図 1.	SAR スイッチド・キャパシタ ADC の基本回路図 (10 ビット ADC の例)	6
図 2.	サンプル状態	7
図 3.	ホールド状態	7
図 4.	ステップ 1: VREF/2 と比較	8
図 5.	ステップ 2: MSB = 0 の場合、 $\frac{1}{4}$ VREF と比較	8
図 6.	ステップ 2: MSB = 1 の場合、 $\frac{3}{4}$ VREF と比較	9
図 7.	正のオフセット誤差の説明	11
図 8.	負のオフセット誤差の説明	11
図 9.	正のゲイン誤差の説明	12
図 10.	負のゲイン誤差の説明	13
図 11.	微分直線性誤差の説明	14
図 12.	積分直線性誤差の説明	15
図 13.	総未調整誤差	16
図 14.	入力信号の振幅 vs. ADC のダイナミック・レンジ (VREF+ = 3.3 V)	19
図 15.	アナログ信号ソースの抵抗の影響	19
図 16.	R_{AIN} 、 C_{AIN} および C_p を使用したアナログ入力	20
図 17.	注入電流の影響	20
図 18.	I/O ピン間のクロストーク	21
図 19.	EMI ソース	21
図 20.	100 ピンおよび 144 ピンのパッケージ用の電源および基準デカップリング	23
図 21.	36 ピン、48 ピン、および 64 ピンのパッケージ用の電源デカップリング	23
図 22.	マイクロコントローラ出力を使用した単純な準三角波ソース	25
図 23.	基準電圧の選択	26
図 24.	プリアンプ	27
図 25.	SAR ADC サンプル変換プロセス	27
図 26.	簡略化された外部 / 内部の SAR ADC サンプリング図	29
図 27.	SAR ADC 入力サンプリング時間 vs ADC 分解能の例	30
図 28.	SAR ADC 入力サンプリング時間 vs 精度の例	31
図 29.	SMP クロック・サイクル数 vs STM32 シリーズ	32
図 30.	TSMPL 推奨値 vs ADC 周波数および最小 TSMPL 時間の比較 (同じ RAIN/CAIN を持つ低速および高速のチャンネルの場合)	35
図 31.	TSMPL 推奨値 vs ADC 周波数および最小 TSMPL 時間の比較 (RAIN/CAIN = 51 Ω /10 pf および 100 Ω /33 pF の高速チャンネルの場合)	35
図 32.	R_{AIN} と C_{AIN} の推奨値 vs ソース周波数 F_{AIN}	37
図 33.	I/O ピン間のクロストーク	38
図 34.	シールド手法	38
図 35.	アナログ・レイアウトとデジタル・レイアウトの分離	39
図 36.	アナログ電源とデジタル電源の分離	40
図 37.	ADC 入力への一般的な電圧源接続	45
図 38.	ADC 変換時に ADC 入力ピンで観測されるノイズ	45
図 39.	ADC の入カステージの簡略化された回路図 (サンプルホールド回路)	46
図 40.	サンプリング・プロセス時における内部電荷からの ADC 入力ピンのノイズ・スパイク	46
図 41.	サンプリング時間延長の効果	47
図 42.	変換間の時間が短すぎる外部コンデンサの充電	48
図 43.	サンプリング・スイッチの実装	51
図 44.	サンプリング・スイッチの寄生静電容量	52
図 45.	ADC 構造内の寄生電流の例	52

1 一般情報

このアプリケーション・ノートは、Arm[®](a) ベースのSTM32マイクロコントローラに適用されます。



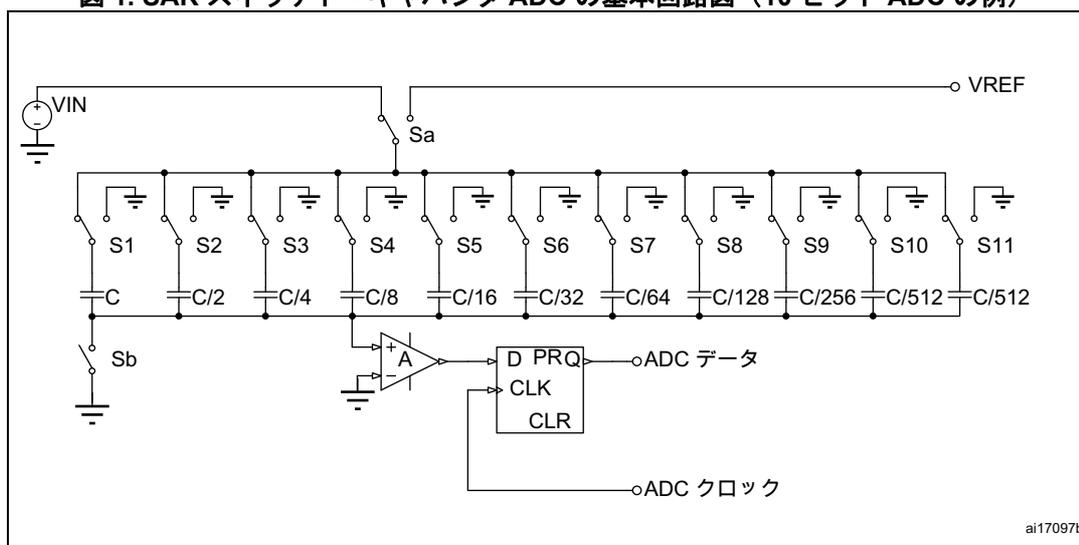
2 ADC 内部原理

2.1 SAR ADC 内部構造

STM32 マイクロコントローラに組み込まれている ADC は、変換が複数のステップで実行される SAR (逐次比較型) の原理を使用しています。変換ステップ数は、ADC コンバータのビット数と同じです。各ステップは ADC クロックによって駆動されます。ADC クロックごとに、結果から出力までの 1 ビットを生成します。ADC の内部設計は、スイッチド・キャパシタ技術に基づいています。

次の図 (図 1 ~ 図 6) は、ADC の動作原理を説明しています。以下の例は、近似の最初のステップのみを示していますが、このプロセスは LSB に到達するまで続きます。

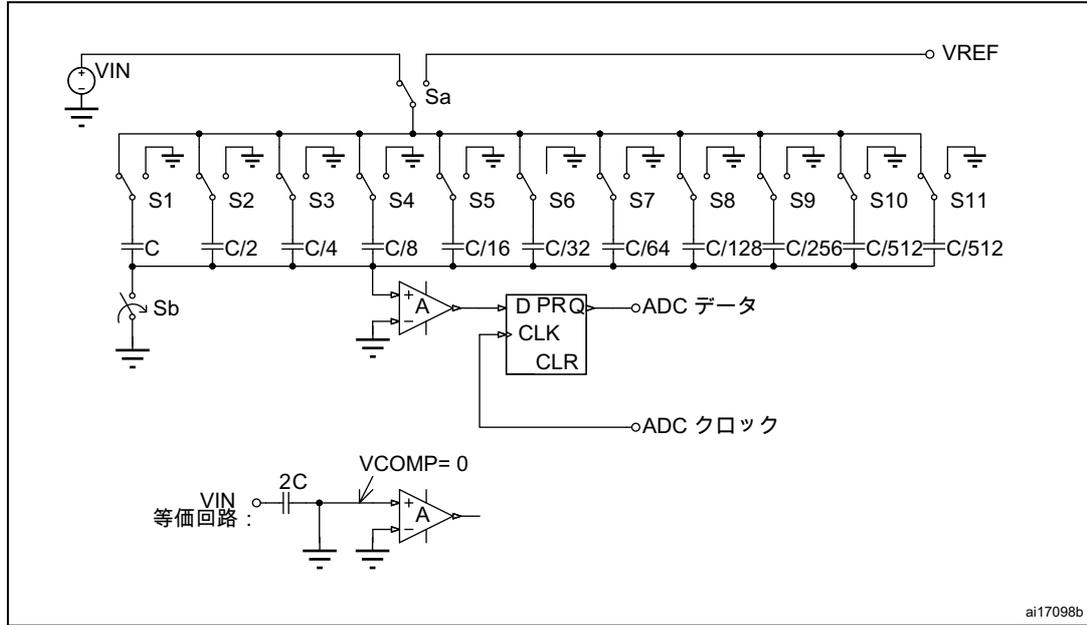
図 1. SAR スイッチド・キャパシタ ADC の基本回路図 (10 ビット ADC の例)



1. デジタル出力を備えた基本的な ADC 回路図。

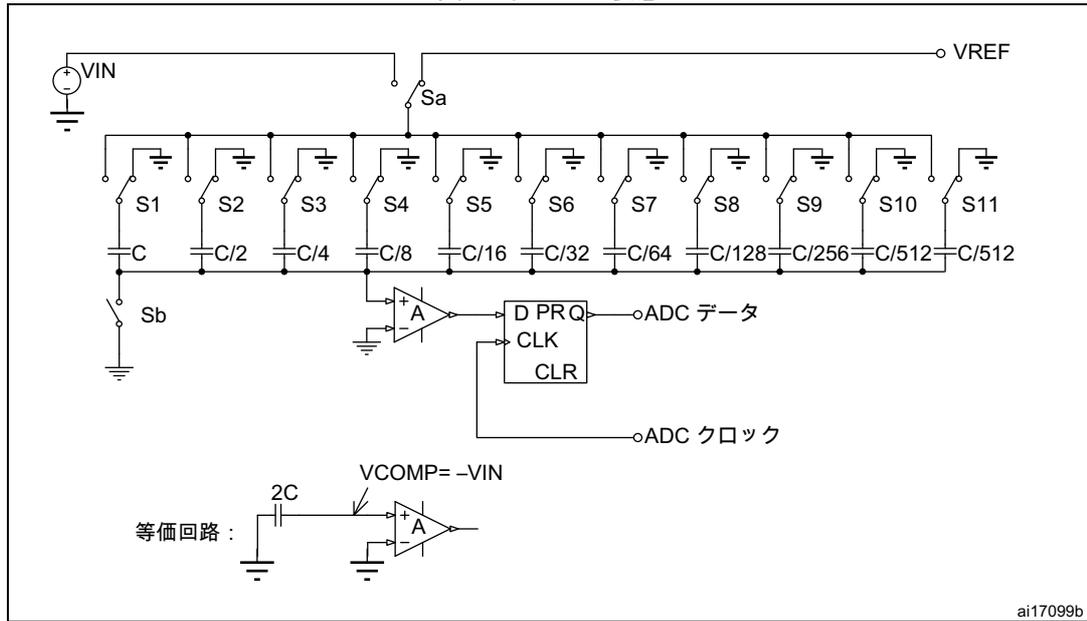
a. Arm は、米国内およびその他の地域にある Arm Limited 社 (またはその子会社) の登録商標です。

図 2. サンプル状態



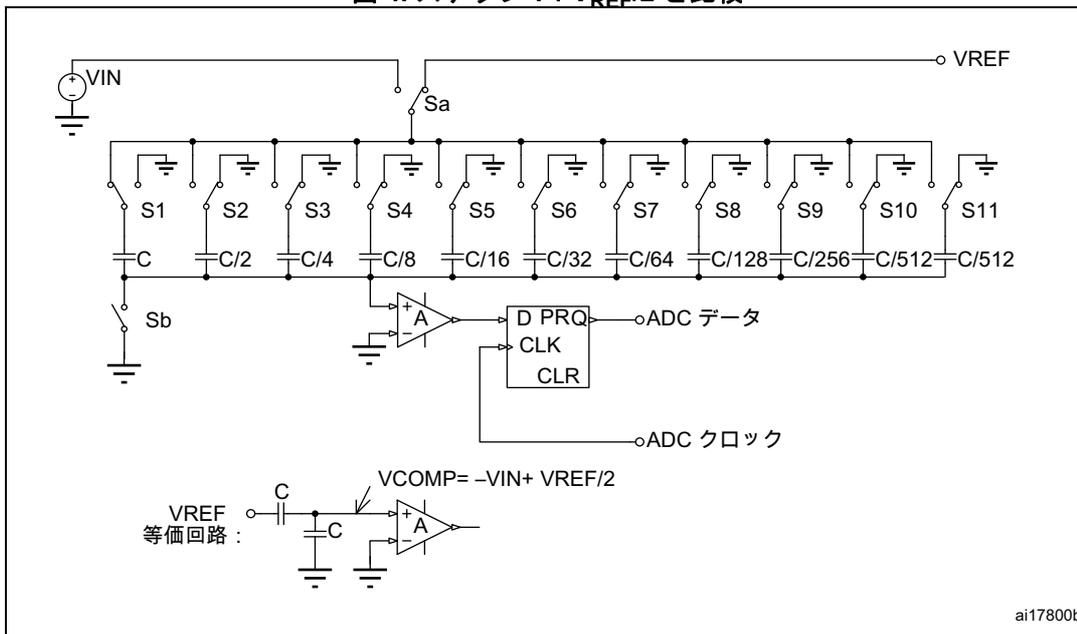
1. サンプル状態：コンデンサが V_{IN} 電圧まで充電されます。サンプリング時間中、 S_a は V_{IN} に切り替わり、 S_b スイッチは閉じています。

図 3. ホールド状態



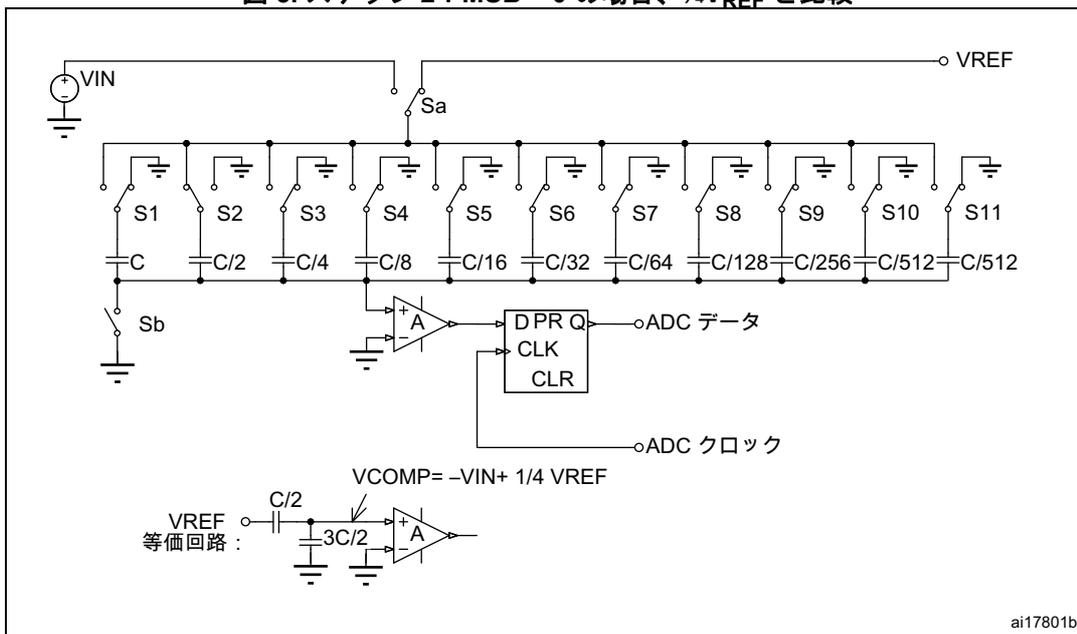
1. ホールド状態：入力が切断され、コンデンサが入力電圧を保持します。 S_b スイッチが開いてから、 S_1 - S_{11} がグラウンドに切り替わり、 S_a が V_{REF} に切り替わります。

図 4. ステップ 1 : $V_{REF}/2$ と比較



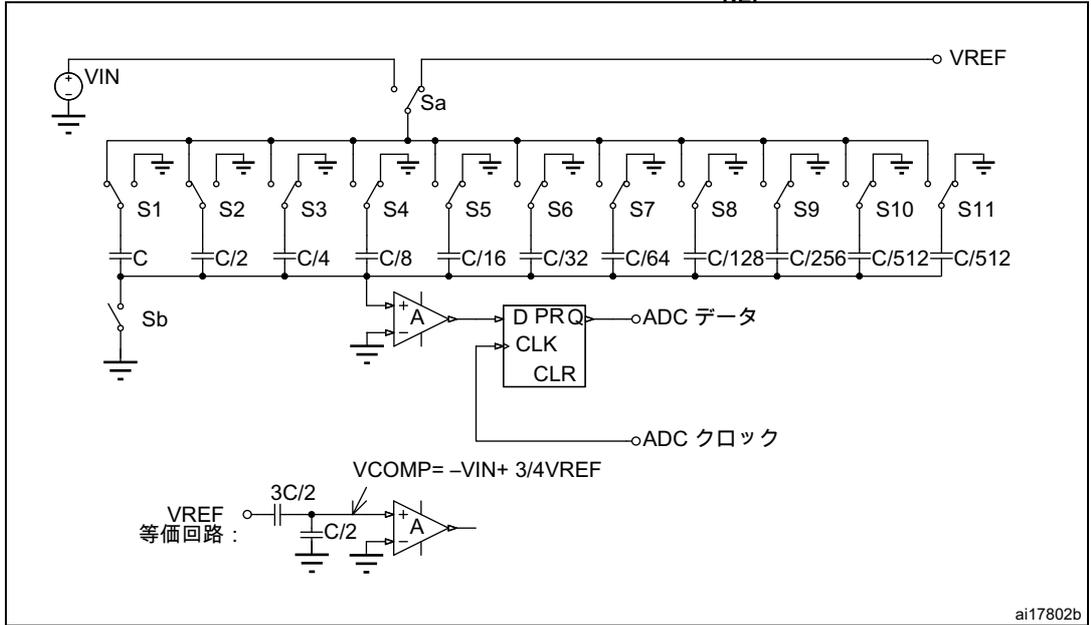
1. 最初の近似ステップ。S1 が V_{REF} に切り替わります。

図 5. ステップ 2 : MSB = 0 の場合、 $1/4 V_{REF}$ と比較



1. $1/4 V_{REF}$ と比較 (MSB = 1 の場合)。S1 はグラウンドに戻ります。S2 が V_{REF} に切り替わります。

図 6. ステップ 2 : MSB = 1 の場合、 $\frac{3}{4}V_{REF}$ と比較



1. $\frac{3}{4}V_{REF}$ と比較 (MSB = 0 の場合)。S1 はグラウンドに切り替えられたままです。S2 が V_{REF} に切り替わります。

3 ADC の誤差

このセクションでは、ADC の変換精度に影響を与える主な誤差を示します。これらのタイプの誤差はすべての ADC で発生し、変換品質はこれらの誤差の除去にかかっています。これらの誤差値は、STM32 マイクロコントローラ・データシートの ADC 特性のセクションに記載されています。

STM32 の ADC のさまざまな精度誤差のタイプが記載されています。参照しやすいように、精度誤差は 1 LSB の倍数で表されています。電圧に関する分解能は、基準電圧に依存します。電圧に関する誤差は、LSB の数に 1 LSB に対応する電圧を掛けることによって計算されます ($1 \text{ LSB} = V_{\text{REF+}}/2^{12}$ または $V_{\text{DDA}}/2^{12}$)。

3.1 ADC 自体による誤差

3.1.1 オフセット誤差

オフセット誤差は、最初の実際の遷移と最初の理想的な遷移の間の偏差です。最初の遷移は、デジタル ADC 出力が 0 から 1 に変化したときに発生します。理想的には、アナログ入力の範囲が 0.5 LSB ~ 1.5 LSB の場合、デジタル出力は 1 である必要があります。さらに、0.5 LSB で最初の遷移が発生することが理想的です。オフセット誤差は E_0 で示されます。オフセット誤差は、アプリケーション・ファームウェアによって簡単に較正できます。

例

STM32 ADC の場合、電圧の検出可能な最小の増分変化は LSB 単位で表されます。

$$1 \text{ LSB} = V_{\text{REF+}}/4096 \quad (\text{一部のパッケージでは、} V_{\text{REF+}} = V_{\text{DDA}})$$

理想的には、 $V_{\text{REF+}} = 3.3 \text{ V}$ の場合、 $402.8 \mu\text{V}$ ($0.5 \text{ LSB} = 0.5 \times 805.6 \mu\text{V}$) の入力により 1 のデジタル出力が得られます。しかし実際には、ADC の読み取り値が 0 になる場合があります。550 μV のアナログ入力から 1 のデジタル出力が得られる場合、次のようになります。

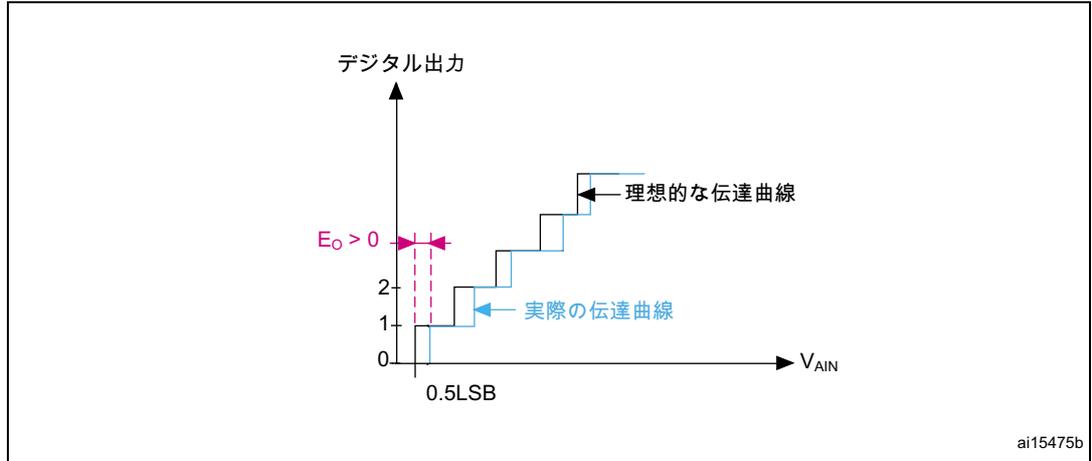
$$\text{オフセット誤差} = \text{実際の変移} - \text{理想的な変移}$$

$$E_0 = 550 \mu\text{V} - 402.8 \mu\text{V} = 141.2 \mu\text{V}$$

$$E_0 = 141.2 \mu\text{V} / 805.6 \mu\text{V} = 0.17 \text{ LSB}$$

0.5 LSB より大きいアナログ入力電圧によって最初の遷移が発生する場合、オフセット誤差は正になります (正のオフセット誤差の例については、[図 7](#)を参照してください)。

図 7. 正のオフセット誤差の説明

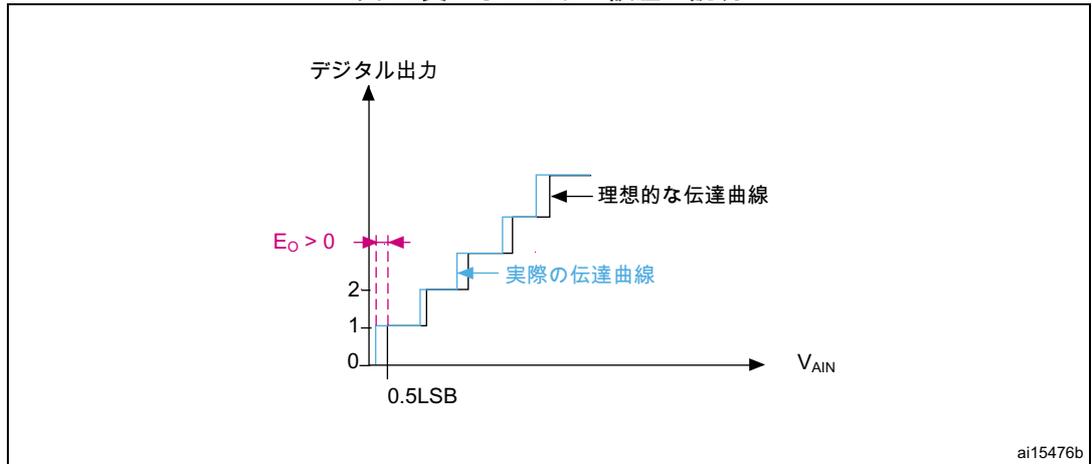


1. オフセット誤差 E_o はマゼンタで示されます。

0.5 LSB より小さいアナログ入力電圧によって最初の遷移が発生する場合、オフセット誤差は負になります（負のオフセット誤差の例については、[図 8](#)を参照してください）。

アナログ入力電圧 (V_{AIN}) が V_{SSA} に等しく、ADC がゼロ以外のデジタル出力を生成する場合、オフセット誤差は負になります。これは、負の電圧によって最初の遷移が発生することを意味します。

図 8. 負のオフセット誤差の説明



1. オフセット誤差 E_o はマゼンタで示されます。

3.1.2 ゲイン誤差

ゲイン誤差は、最後の実際の遷移と最後の理想的な遷移の間の偏差です。E_G で示されます。

最後の実際の遷移は、0xFFE から 0xFFF への遷移です。理想的には、アナログ入力 V_{REF+} - 0.5 LSB に等しい場合、0xFFE から 0xFFF への遷移が生じます。つまり、V_{REF+} = 3.3 V の場合、最後の理想的な遷移は 3.299597 V で発生します。

V_{AIN} < V_{REF+} - 0.5 LSB に対して ADC の読み取り値が 0xFFF になる場合、負のゲイン誤差が得られます。

例

ゲイン誤差は次の式で得られます。

$$E_G = \text{最後の実際の遷移} - \text{理想的な遷移}$$

V_{REF+} = 3.3 V および V_{AIN} = 3.298435 V によって、0xFFE から 0xFFF への遷移が発生する場合、次のようになります。

$$E_G = 3.298435 \text{ V} - 3.299597 \text{ V}$$

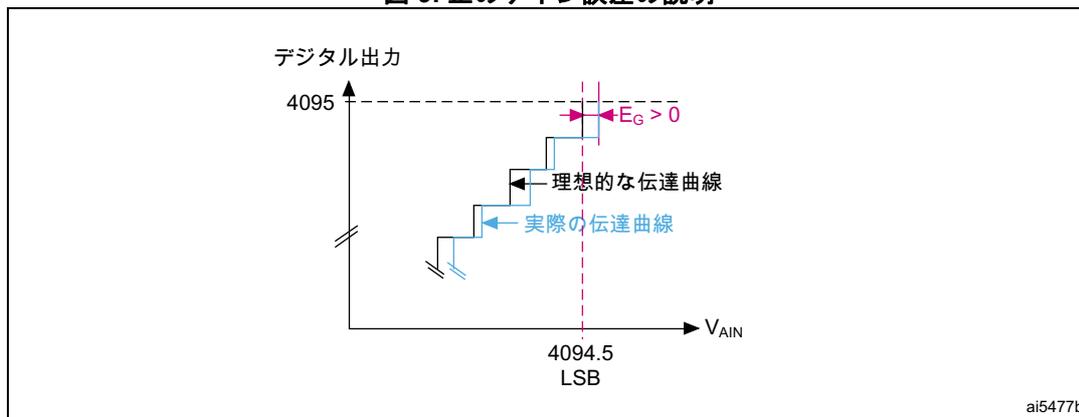
$$E_G = -1162 \text{ } \mu\text{V}$$

$$E_G = (-1162 \text{ } \mu\text{V} / 805.6 \text{ V}) \text{ LSB} = -1.44 \text{ LSB}$$

V_{REF+} に等しい V_{AIN} に対してフルスケールの読み取り値 (0xFFF) が得られない場合、ゲイン誤差は正となります。これは、V_{REF+} より大きい電圧によって最後の遷移が発生することを意味します。

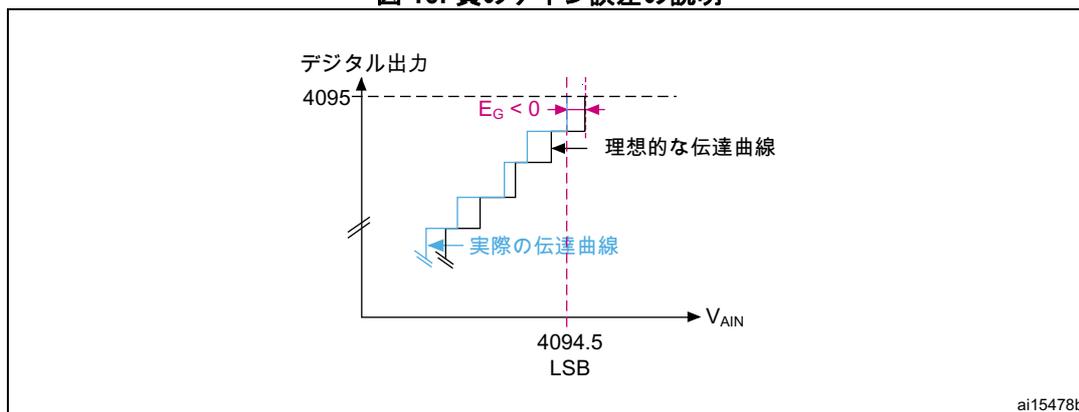
図 9 は正のゲイン誤差を示し、図 10 は負のゲイン誤差を示しています。

図 9. 正のゲイン誤差の説明



1. ゲイン誤差 E_G はマゼンタで示されます。

図 10. 負のゲイン誤差の説明



1. ゲイン誤差 E_G はマゼンタで示されます。

3.1.3 微分直線性誤差

微分直線性誤差 (DLE) は、実際のステップと理想的なステップの間の最大偏差です。ここで「理想的」とは、理想的な変換曲線ではなく、ADC 分解能を指します。DLE は E_D で示されます。図 11 で説明されています。

$$E_D = \text{実際のステップ幅} - 1 \text{ LSB}$$

1 LSB のアナログ入力電圧の変化によって、デジタル・コードの変化が生じるのが理想的です。デジタル・コードの変化に 1 LSB より大きいアナログ入力電圧が必要な場合、微分直線性誤差が観測されます。したがって、DLE は、あるデジタル・コードから次のデジタル・コードに変化するために必要な最大追加電圧に相当します。

DLE は、微分非直線性 (DNL) 誤差とも呼ばれます。

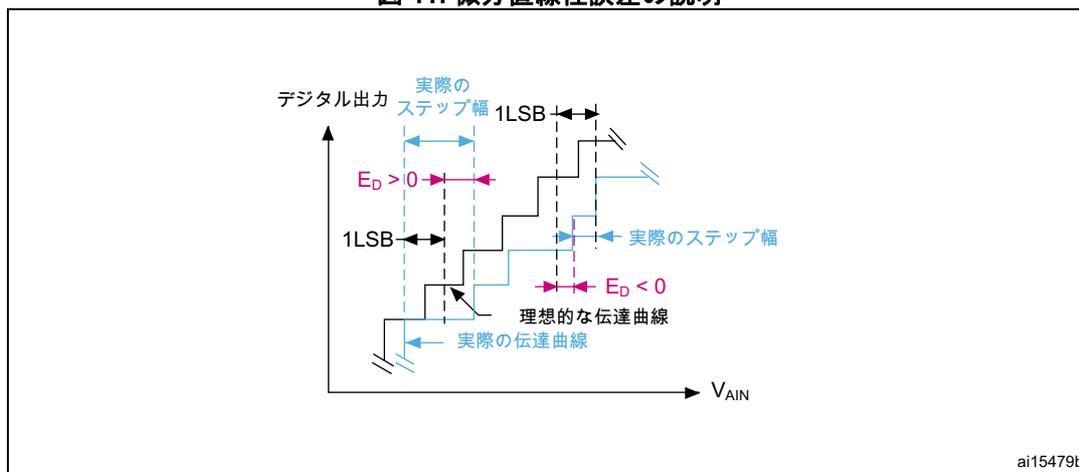
例

特定のデジタル出力は、アナログ入力範囲に対応する必要があります。ステップ幅は 1 LSB が理想的です。デジタル出力が、1.9998 V ~ 2.0014 V のアナログ入力電圧範囲で同じであると仮定すると、ステップ幅は次のようになります。

$$2.0014 \text{ V} - 1.9998 \text{ V} = 1.6 \text{ mV}$$

したがって、 E_D は、高い方のアナログ電圧 (2.0014 V) と低い方のアナログ電圧 (1.9998 V) の電圧差から、1 LSB に相当する電圧を差し引いたものになります。

図 11. 微分直線性誤差の説明



1. 微分直線性誤差 E_D はマゼンタで示されます。

$V_{REF+} = 3.3\text{ V}$ の場合、 1.9998 V ($0x9B2$) のアナログ入力によって、 $0x9B1 \sim 0x9B3$ の範囲で変化する結果が得られます。同様に、入力が 2.0014 V ($0x9B4$) の場合、結果は $0x9B3 \sim 0x9B5$ の間で変化する可能性があります。

その結果、 $0x9B3$ ステップに対応する総電圧変動は次のようになります。

$$0x9B4 - 0x9B2, \text{つまり, } 2.0014\text{ V} - 1.9998\text{ V} = 1.6\text{ mV} (1660\text{ }\mu\text{V})$$

$$E_D = 1660\text{ }\mu\text{V} - 805.6\text{ }\mu\text{V}$$

$$E_D = 854.4\text{ }\mu\text{V}$$

$$E_D = (854.4\text{ }\mu\text{V}/805.6\text{ }\mu\text{V})\text{ LSB}$$

$$E_D = 1.06\text{ LSB}$$

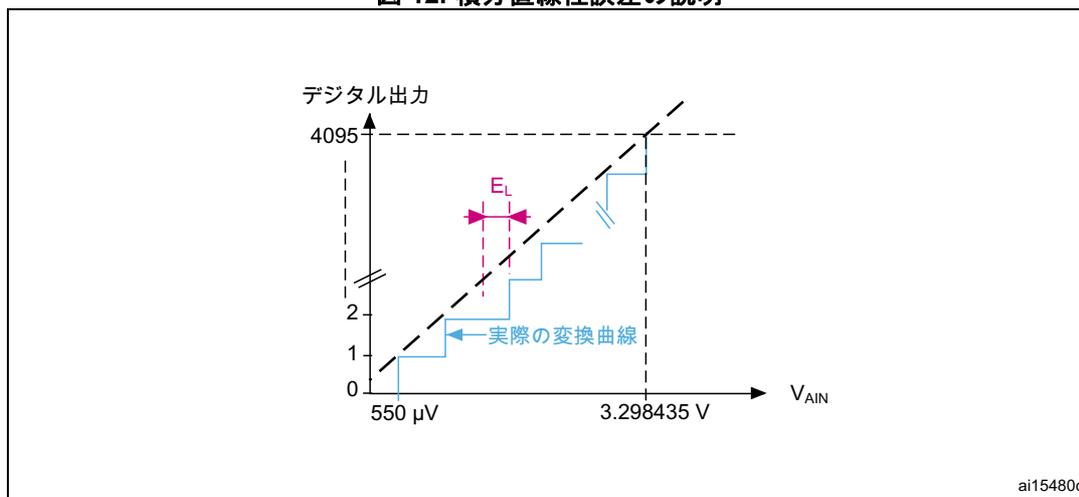
3.1.4 積分直線性誤差

積分直線性誤差は、実際の遷移と終点相関線との最大偏差です。ILE は E_L で示されます。図 12 で説明されています。

終点相関線は、AD 変換曲線上の最初の実際の遷移と最後の実際の遷移を結ぶ線として定義できます。 E_L は、各遷移のこの線からの偏差です。したがって、終点相関線は実際の変換曲線に対応し、理想的な変換曲線とは関係がありません。

ILE は、積分非直線性誤差 (INL) とも呼ばれます。ILE は、全範囲にわたる DLE の積分です。

図 12. 積分直線性誤差の説明



1. 積分直線性誤差 E_L はマゼンタで示されます。

例

0 から 1 への最初の遷移が $550 \mu\text{V}$ で発生し、最後の遷移 (0xFFE から 0xFFFF) が 3.298435 V で発生する場合 (ゲイン誤差)、変換曲線上で実際のデジタル・コード 0x1 と 0xFFFF を結んだ線が終点相関線となります。

3.1.5 総未調整誤差

総未調整誤差 (TUE) は、実際の変換曲線と理想的な変換曲線との最大偏差です。このパラメータは、発生する可能性のある総誤差を指定します。これにより、理想的なデジタル出力と実際のデジタル出力との間の最大偏差が生じます。TUE は、任意の入力電圧に対する、理想的な期待値と ADC から得られた実際の値との間の記録された最大偏差です。

TUE は E_T で示されます。図 13 で説明されています。

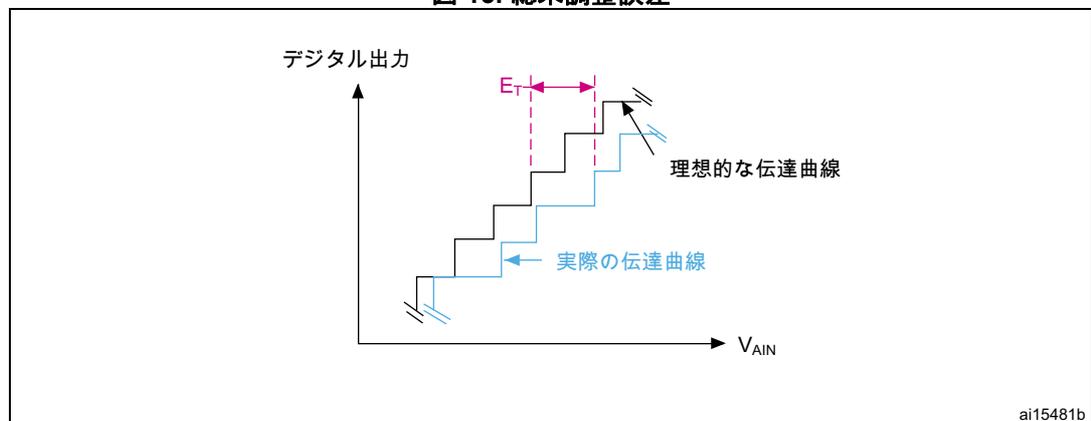
TUE は、 E_O 、 E_G 、 E_L 、 E_D の合計ではありません。オフセット誤差は低電圧でのデジタル結果に影響し、ゲイン誤差は高電圧でのデジタル結果に影響します。

例

$V_{REF+} = 3.3\text{ V}$ および $V_{AIN} = 2\text{ V}$ の場合、理想的な結果は $0x9B2$ です。

$$TUE = \text{absolute (実際の値} - \text{理想的なケースの値)} = 0x9B4 - 0x9B2 = 0x2 = 2\text{ LSB}$$

図 13. 総未調整誤差



1. 総未調整誤差 E_T はマゼンタで示されます。

3.2 ADC 環境による誤差

3.2.1 基準電圧ノイズ

ADC 出力はアナログ信号電圧と基準電圧の比率であるため、アナログ基準にノイズがあると、変換されたデジタル値に変化が生じます。一部のパッケージでは、アナログ電源 V_{DDA} が基準電圧 (V_{REF+}) として使用されているため、 V_{DDA} 電源の品質が ADC 誤差に影響を与えます。

たとえば、アナログ基準が 3.3 V ($V_{REF+} = V_{DDA}$) で信号入力 が 1 V の場合、変換された結果は次のようになります。

$$(1/3.3) \times 4096 = 0x4D9$$

ただし、アナログ基準に 40 mV のピークツーピーク・リップルがある場合、変換された値は次のようになります。

$$(1/3.34) \times 4096 = 0x4CA \quad (V_{REF+} \text{ がピークの場合})。$$

$$\text{誤差} = 0x4D9 - 0x4CA = 15 \text{ LSB}$$

SMPS (スイッチモード電源) は通常、高速スイッチング・パワー・トランジスタを内蔵しています。これにより、出力に高周波ノイズが発生します。スイッチング・ノイズの範囲は 15 kHz ~ 1 MHz です。

3.2.2 基準電圧/電源レギュレーション

変換結果はアナログ入力電圧と V_{REF+} 値の比率であるため、ADC の精度にとって電源レギュレーションは非常に重要です。

V_{DDA} または V_{REF+} に接続したときに、これらの入力の負荷や出力インピーダンスの影響で電源の出力が低下すると、変換結果に誤差が生じます。

$$\text{デジタル・コード} = \frac{V_{AIN}(2^N)}{V_{REF+}}, \text{ ここで } N \text{ は ADC の分解能です (この場合は、} N = 12, \text{ デジタル・}$$

コードの範囲 = $[0 \sim (2^N - 1)]$ とされています)。

基準電圧が変化すると、デジタル結果も変化します。

例 :

使用する電源の基準電圧が 3.3 V で $V_{AIN} = 1 \text{ V}$ の場合、デジタル出力は次のようになります。

$$\text{Digital}_{\text{output}} = \frac{1 \times (2^{12})}{3.3} = 0x4D9$$

電圧源が 3.292 V に等しい電圧を供給する場合 (V_{REF+} への出力接続後)、次のようになります。

$$\text{Digital}_{\text{output}} = \frac{1 \times (2^{12})}{3.292} = 0x4DC$$

電圧降下によって生じる誤差は次のようになります : $0x4DC - 0x4D9 = 3 \text{ LSB}$

3.2.3 基準電圧のデカップリングとインピーダンス

基準電圧源の出カインピーダンスは、さまざまな負荷条件下で公称電圧を供給するために、低くする必要があります。出カインピーダンスの抵抗部分と誘導部分の両方が重要です。ADC の変換中、基準電圧はスイッチド・キャパシタ・ネットワークに接続されます (図 4 および 図 5 を参照)。このネットワークのコンデンサは、連続した近似の間に、非常に短い時間で基準電圧に対して充放電されます (1 つの近似サイクルは 1 つの ADC クロック期間に対応します)。基準電圧は、コンデンサに高電流のピークを提供する必要があります。コンデンサの電圧は、各近似サイクルの終了時に安定している必要があります (基準電圧からの電流がゼロ)。したがって、低インダクタンスを含む基準電圧の出カインピーダンスは非常に低くする必要があります (非常に短い時間で高電流ピークを提供するため)。寄生インダクタンスが近似サイクルの最後に充電プロセスが完全に終了することを妨げたり、LC 回路 (キャパシタ・ネットワークに付随する寄生インダクタンス) に振動が現れることがあります。この場合、近似サイクルの結果が不正確になります。ピンの非常に近くにある基準電圧の正しいデカップリング・コンデンサは、低いソース・インピーダンスを提供します。

3.2.4 外部基準電圧パラメータ

基準電圧 (V_{REF+} ピン) に外部ソースを使用する場合、この外部基準ソースに関する重要なパラメータがあります。温度ドリフト、電圧ノイズ、長期安定性という 3 つの基準電圧の仕様を考慮する必要があります。

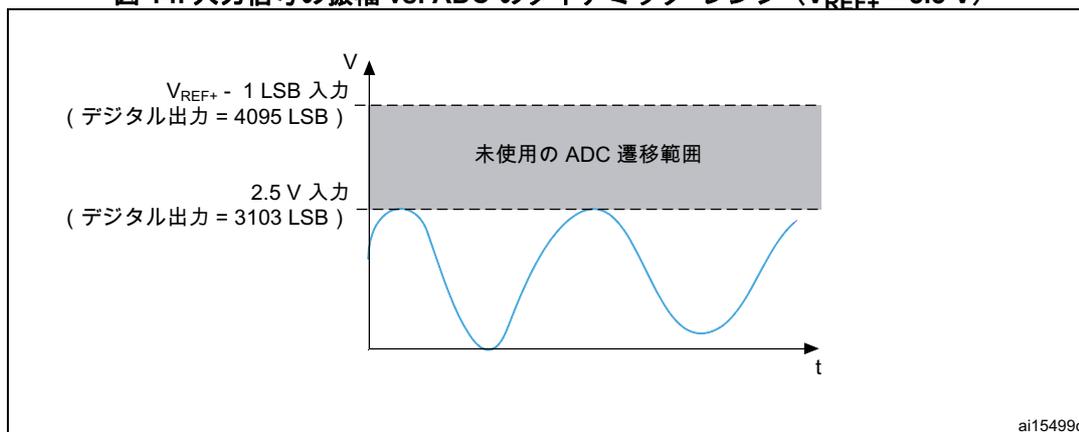
3.2.5 アナログ入力信号ノイズ

高周波の信号変動は小さくても、サンプリング時間中に大きな変換誤差が生じる可能性があります。このノイズは、モータ、エンジンの点火、電力ラインなどの電気機器から発生します。不要な信号が加わることにより、ソース信号 (センサなど) に影響を与えます。結果として、ADC の変換結果が正確でなくなります。

3.2.6 最大入力信号振幅に対する ADC ダイナミック・レンジの不一致

最大限の ADC 変換精度を得るには、ADC のダイナミック・レンジが、変換対象となる信号の最大振幅と一致することが非常に重要です。ここでは、変換する信号が $0\text{ V} \sim 2.5\text{ V}$ の間で変化し、 V_{REF+} が 3.3 V に等しいと仮定します。ADC によって変換される最大信号値は、図 14 に示すように 3103 (2.5 V) となります。この場合、992 個の未使用の遷移があります ($4095 - 3103 = 992$)。これは、変換された信号の精度の低下を意味します。

ADC ダイナミック・レンジを最大入力信号振幅に一致させる方法の詳細については、[26 ページのセクション 4.2.5 : ADC ダイナミック・レンジの最大信号振幅への適合](#) を参照してください。

図 14. 入力信号の振幅 vs. ADC のダイナミック・レンジ ($V_{REF+} = 3.3\text{ V}$)

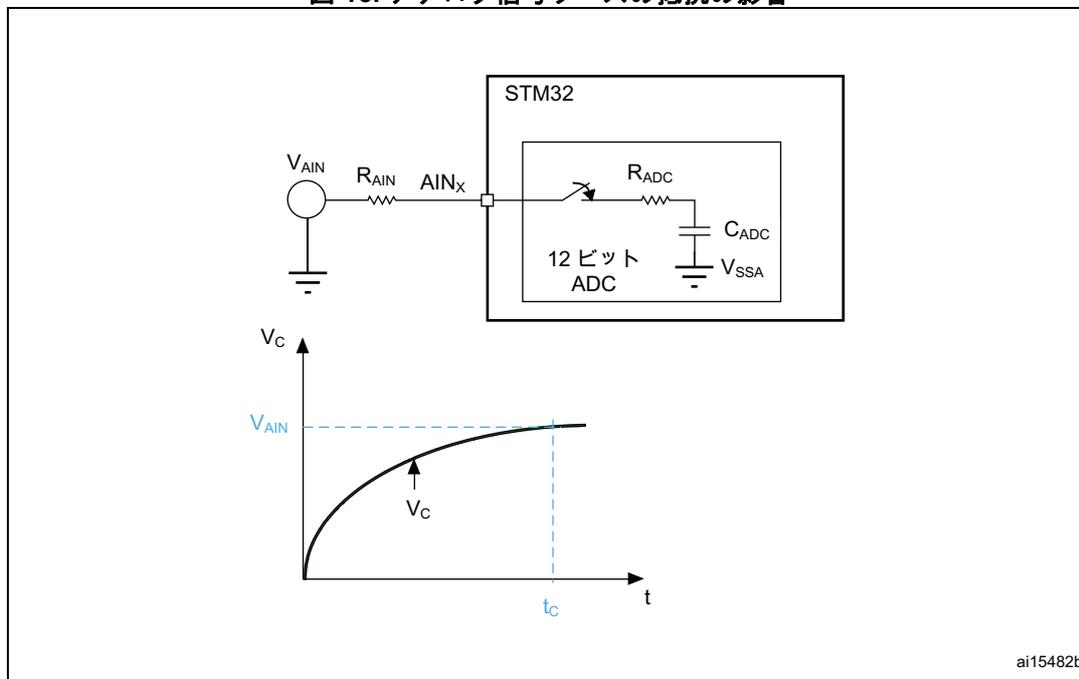
3.2.7 アナログ信号ソースの抵抗の影響

アナログ信号ソースのインピーダンス、つまりソースとピンとの間の直列抵抗 (R_{AIN}) は、ピンに電流が流れることで、その間に電圧降下が生じます。内部のサンプリング・コンデンサ (C_{ADC}) の充電は、抵抗 R_{ADC} を持つスイッチによって制御されます。

ソース抵抗 (R_{ADC} を持つ) を追加すると、ホールド・コンデンサのフル充電に要する時間が長くなります。図 15 は、アナログ信号ソースの抵抗の影響を示しています。

C_{ADC} の実効充電は $R_{ADC} + R_{AIN}$ によって制御されるため、充電時定数は $t_c = (R_{ADC} + R_{AIN}) \times C_{ADC}$ になります。サンプリング時間が、 $R_{ADC} + R_{AIN}$ ($t_s < t_c$) を介した C_{ADC} のフル充電に要する時間よりも短い場合、ADC によって変換されるデジタル値は実際の値よりも小さくなります。

図 15. アナログ信号ソースの抵抗の影響



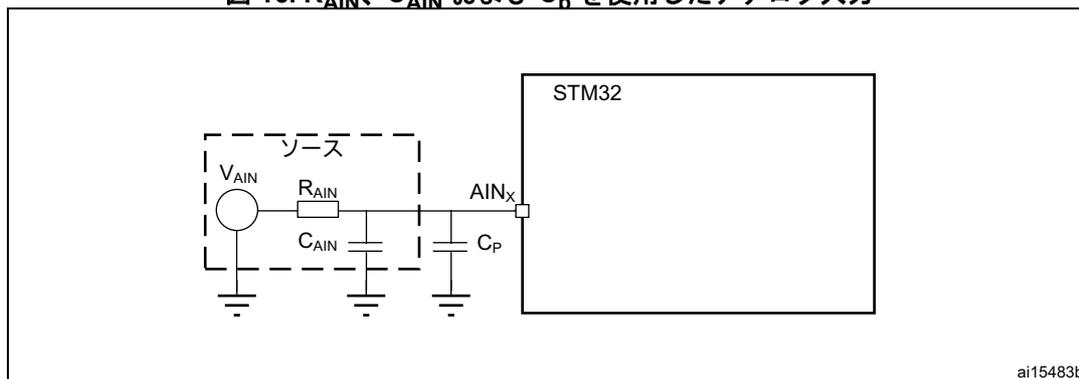
1. t_c は、 C_{ADC} コンデンサがフル充電にかかる時間です。 $V_c = V_{AIN}$ (最大 1/2 LSB の誤差あり)
 V_c : コンデンサ (C_{ADC}) 電圧
 $t_c = (R_{ADC} + R_{AIN}) \times C_{ADC}$

3.2.8 PCB のソース静電容量と寄生容量の影響

アナログ信号を変換する際には、ソース側の静電容量とアナログ入力ピンで観測される寄生容量を考慮する必要があります (図 16を参照)。ソースの抵抗と静電容量は、RCネットワークを形成しています。また、外部コンデンサ ($C_{AIN} + C_p$) が入力電圧のレベルまでフル充電されていないと、ADC 変換の結果が正確に出ない場合があります。($C_{AIN} + C_p$) の値が大きいほど、ソース周波数が制限されます。

ソースの外部静電容量と寄生静電容量は、それぞれ C_{AIN} と C_p で表されます。

図 16. R_{AIN} 、 C_{AIN} および C_p を使用したアナログ入力

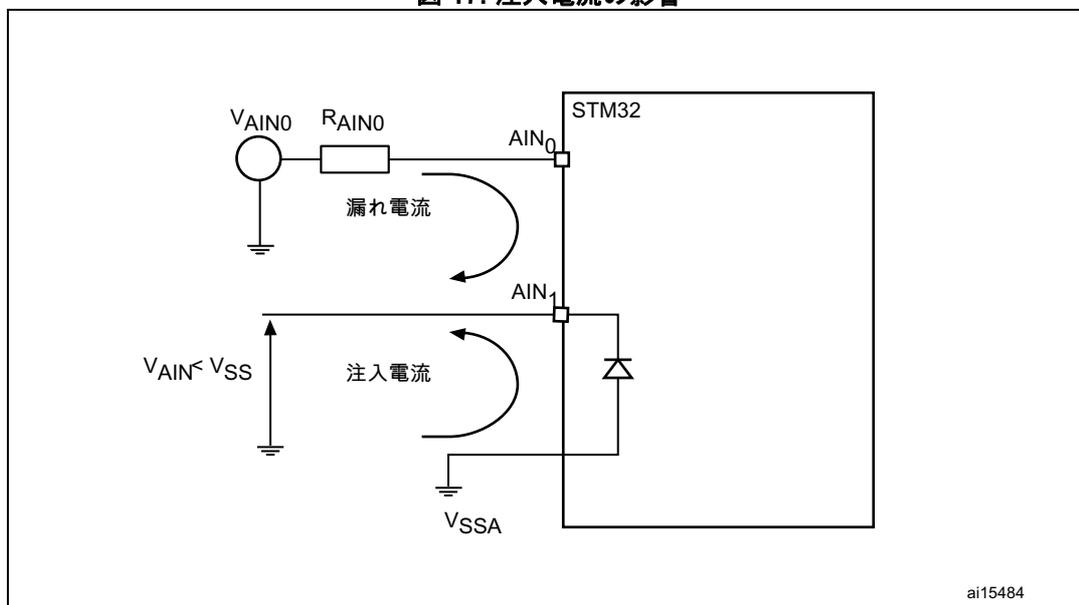


ai15483b

3.2.9 注入電流の影響

アナログ・ピン (または近接して配置されたデジタル入力ピン) に負の注入電流が流れると、ADC 入力にリーク電流が流れる可能性があります。最悪のケースは、隣接するアナログ・チャネルです。 $V_{AIN} < V_{SS}$ の場合、負の注入電流が発生し、I/O ピンから電流が流れ出します。これを図 17に示します。

図 17. 注入電流の影響



ai15484

3.2.10 温度の影響

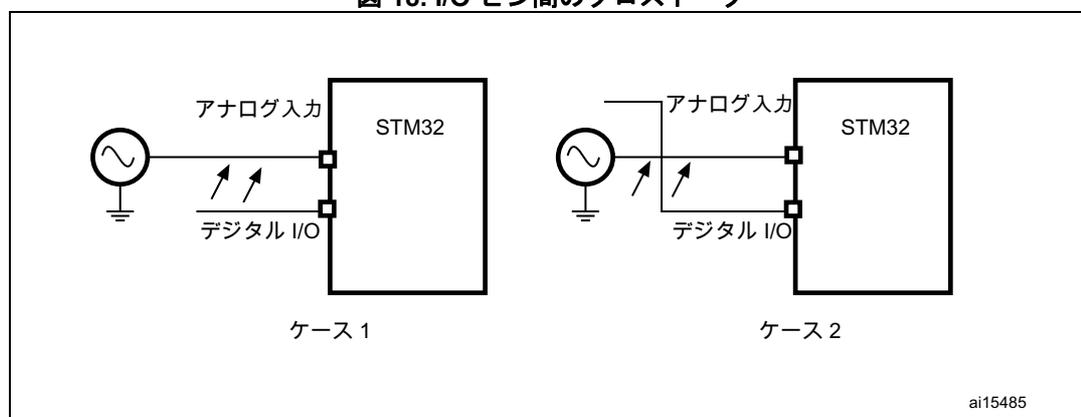
温度は ADC の精度に大きく影響します。主に、オフセット誤差ドリフトとゲイン誤差ドリフトという 2 つの大きな誤差につながります。これらの誤差は、マイクロコントローラのファームウェアで補正できます（温度補正方法については、[セクション 4.2.9](#)を参照してください）。

3.2.11 I/O ピンのクロストーク

I/O を切り替えると、I/O 間の容量結合により、ADC のアナログ入力にノイズが発生する場合があります。クロストークは、PCB トラックが互いに近接して設けられていたり、互いに交差していたりする場合に発生します。

デジタル信号や I/O を内部で切り替えると、高周波ノイズが発生します。大電流シンの I/O を切り替えると、過電流によって電源に電圧降下が発生する可能性があります。PCB のアナログ入力トラックと交差するデジタル・トラックは、アナログ信号に影響を与えることがあります（[図 18](#)を参照）。

図 18. I/O ピン間のクロストーク

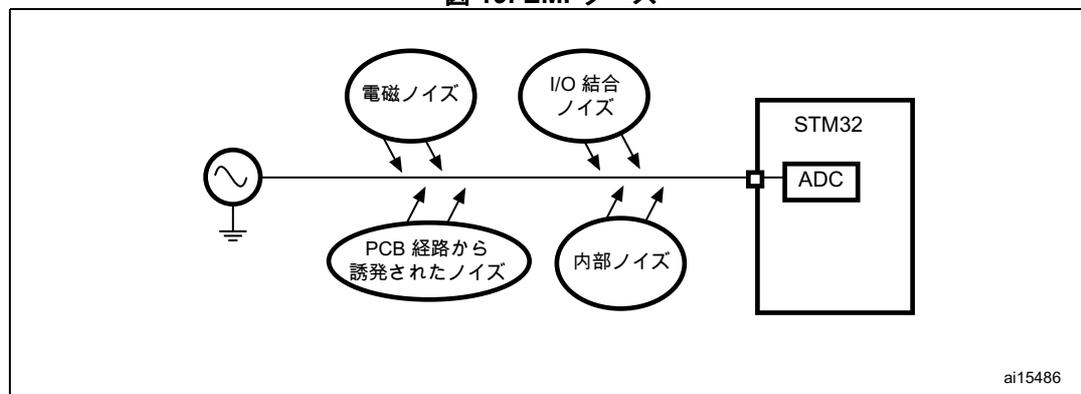


1. ケース 1：互いに近接して通過するデジタルおよびアナログの信号トラック。
2. ケース 2：異なる PCB 側で互いに交差するデジタルおよびアナログの信号トラック。

3.2.12 EMI 誘導ノイズ

隣接する回路からの電磁放射は、PCB トラックがアンテナのように機能する可能性があるため、アナログ信号に高周波ノイズをもたらす可能性があります（[図 19](#)を参照）。

図 19. EMI ソース



4 最高の ADC 精度を実現する方法

4.1 ADC に関連する ADC 誤差の影響の低減

TUE は、 E_O 、 E_G 、 E_L 、 E_D のすべての誤差の合計ではありません。理想的なデジタル値と実際のデジタル値の間に発生する可能性のある最大偏差です。これは、同時に発生する 1 つ以上の誤差が原因で生じる可能性があります。

ILE は DLE の積分であるため、最大誤差の指標と見なすことができます。DLE と ILE を合計して、デジタル・ステップで発生する可能性のある最大誤差を計算しないでください。

デバイスのデータシートで指定されている最大誤差値は、特定の電圧および温度範囲においてラボ・テスト環境で測定された最悪の誤差値です（デバイスのデータシートを参照してください）。

ILE と DLE は ADC の設計に依存します。これらを較正することは困難です。これらは、マイクロコントローラのメモリに保存されている測定された ADC 曲線によって較正できますが、これには、最終的なアプリケーションでの個々のデバイスの較正が必要になります。

オフセット誤差およびゲイン誤差は、STM32 ADC 自動較正機能またはマイクロコントローラのファームウェアを使用して簡単に補正できます。

4.2 ADC の外部環境に関連する ADC 誤差の最小化

4.2.1 基準電圧/電源ノイズの最小化

電源側

リニア・レギュレータは、ノイズの点で出力が優れています。主電源は、降圧、整流、フィルタリングしてから、リニア・レギュレータに供給する必要があります。フィルタ・コンデンサを整流器出力に接続することを強くお勧めします。使用するリニア・レギュレータのデータシートを参照してください。

スイッチング電源を使用している場合は、アナログ・ステージを供給するリニア・レギュレータを用意することをお勧めします。

電源供給ラインとグランド・ラインの間に良好な高周波特性を持つコンデンサを接続することをお勧めします。つまり、 $0.1 \mu\text{F}$ および $1 \sim 10 \mu\text{F}$ のコンデンサを電源の近くに配置する必要があります。

これらのコンデンサを使用すれば、AC 信号がコンデンサを通過することができます。小さい値のコンデンサは高周波ノイズを除去し、高い値のコンデンサは低周波ノイズを除去します。セラミック・コンデンサは一般的に、値が小さく（ $1 \text{ pF} \sim 0.1 \mu\text{F}$ ）電圧定格が小さい（ $16 \text{ V} \sim 50 \text{ V}$ ）もの入手できます。これを、主電源（ V_{DD} および V_{SS} ）ピンとアナログ電源（ V_{DDA} および V_{SSA} ）ピンの近くに配置することをお勧めします。このコンデンサは、PCB トラックで誘発されたノイズを除去します。小さいコンデンサは、過電流に素早く反応し、高速電流要件に応じて迅速に放電することができます。

タンタル・コンデンサをセラミック・コンデンサと組み合わせて使用することもできます。低周波ノイズを除去するには、高い値のコンデンサ（ $10 \mu\text{F} \sim 100 \mu\text{F}$ ）を使用します。通常は、電解コンデンサが使用されます。これを、電源の近くに配置することをお勧めします。

高周波ノイズを除去するには、電源と直列にフェライト・インダクタンスを使用します。この解決策では、ワイヤの直列抵抗が非常に低いため、電流が高くない限り、DC 損失は非常に低くなります（無視できます）。ただし、高周波ではインピーダンスが高くなります。

インダクタンスは、電源ピンからの高電流ピーク要件を制限しないように十分に小さくする必要があります。インダクタンスとデカップリング・コンデンサの組み合わせは LC 回路となっており、（ V_{DDA} 、 V_{DD} 、 V_{REF+} における）消費量の変化によってデカップリング・コンデンサに急速な電圧降下が発生す

ると、振動し始める可能性があります。この振動は時間がかかり、ADC の測定（変換中の V_{REF+} における振動）に影響を与える可能性があります。この振動を抑えるために、小さいインダクタンスとフェライト・コアを使用することをお勧めします。フェライト・コアには、高周波での損失（インピーダンスの抵抗特性）があります。

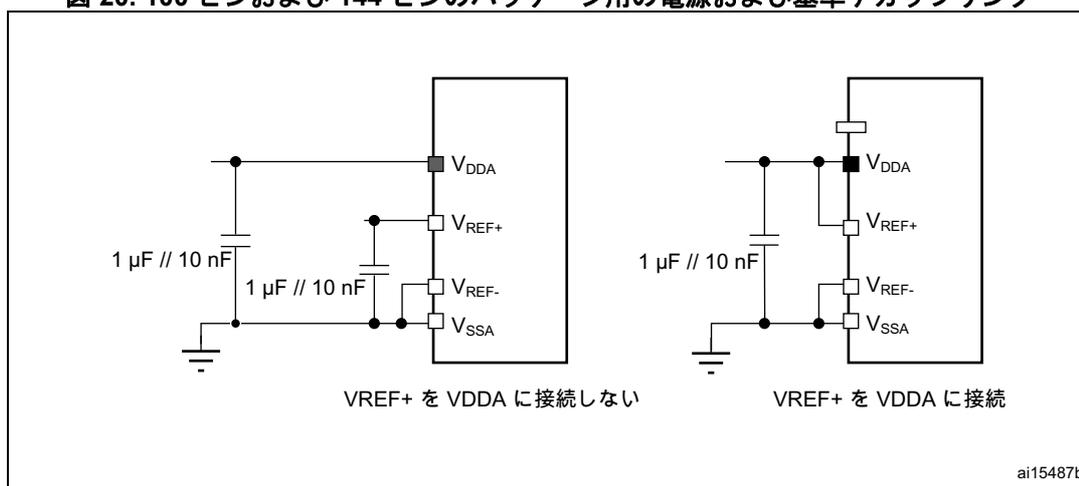
STM32 マイクロコントローラ側

ほとんどの STM32 マイクロコントローラでは、 V_{DD} ピンと V_{SS} ピンは互いに近接して配置されています。 V_{REF+} ピンと V_{SSA} ピンも同様です。したがってコンデンサは、非常に短いリード線でマイクロコントローラの非常に近くに接続できます。 V_{DD} ピン、 V_{SS} ピンが複数ある場合は、別々のデカップリング・コンデンサを使用してください。

V_{DDA} ピンには、デカップリング用の外部コンデンサを 2 つ（10 nF セラミック + 1 μ F タンタルまたはセラミック）接続する必要があります。デカップリングの例については、[図 20](#)および[図 21](#)を参照してください。

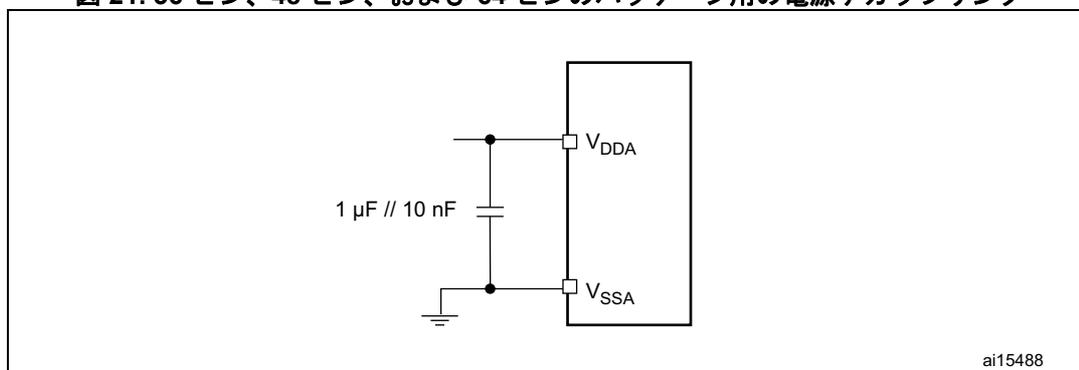
100/144 ピンのパッケージで提供される STM32 マイクロコントローラの場合、 V_{REF+} に独立した外部 ADC 基準電圧入力を接続することにより、低電圧入力の精度を向上させることができます（[セクション 4.2.5](#)を参照）。 V_{REF+} の電圧は、2.4 V から V_{DDA} の範囲にすることができます。独立した外部基準電圧が V_{REF+} に印加されている場合は、10 nF と 1 μ F の 2 つのコンデンサをこのピンに接続する必要があります。いずれの場合も、 V_{REF+} は 2.4 V と V_{DDA} の間に保持する必要があります。

図 20. 100 ピンおよび 144 ピンのパッケージ用の電源および基準デカップリング



ai15487b

図 21. 36 ピン、48 ピン、および 64 ピンのパッケージ用の電源デカップリング



ai15488

4.2.2 基準電圧/電源レギュレーション

電源は適切なラインおよび負荷レギュレーションを備えている必要があります。これは、ADC がアナログ基準として V_{REF+} または V_{DDA} を使用し、デジタル値がこの電圧基準に対するアナログ入力信号の比率であるためです。したがって、 V_{REF+} はさまざまな負荷に対して安定している必要があります。

回路の一部をオンにして負荷を増やしたとき、電流の増加によって電圧が低下してはなりません。広い電流範囲で電圧が安定していれば、その電源は負荷レギュレーションが良いと言えます。

たとえば、LD1086D2M33 電圧レギュレータの場合、 V_{IN} が 2.8 V から 16.5 V まで変化するとき ($I_{load} = 10 \text{ mA}$ の場合) のラインレギュレーションは 0.035% (標準) であり、 I_{load} が 0 から 1.5 A まで変化するときの負荷レギュレーションは 0.2% です (詳細は LD1086 シリーズのデータシートを参照してください)。

ラインレギュレーション値が低いほど、レギュレーションは良好です。同様に、負荷レギュレーション値が低いほど、電圧出力のレギュレーションと安定性が向上します。

V_{REF+} の基準電圧を使用することもできます。たとえば、2.5 V の電圧基準ダイオードである LM236 を使用できます (詳細については、LM236 のデータシートを参照してください)。

基準電圧源の設計では、低出力インピーダンス (静的および動的) を実現する必要があります。寄生直列抵抗とインダクタンスを最小限に抑える必要があります。ピンの非常に近くにある基準電圧の正しいデカップリングコンデンサは、低い基準電圧源インピーダンスを提供します。

4.2.3 アナログ入力信号ノイズ除去

平均化法

平均化は、アナログ入力を数回サンプリングし、ソフトウェアでその結果の平均を取るといった単純な手法です。この手法は、アナログ電圧が頻繁に変化しない場合に、アナログ入力に対するノイズの影響を排除するのに役立ちます。

平均化は、すべて同じアナログ入力電圧に対応する複数の読み取り値で行う必要があります。変換が行われている期間中、アナログ入力が同じ電圧のままであることを確認してください。そうでない場合、異なるアナログ入力に対応するデジタル値を合計することになり、エラーが発生します。

ADC のオーバーサンプリング機能を備えた STM32 マイクロコントローラでは、ADC ハードウェアのオーバーサンプリング機能を使用して平均化できます。この機能は、特定の数の ADC の生サンプルを合計して 1 つの最終サンプルにするだけです。次に、この最終サンプルを右シフトして、複数の ADC サンプルの蓄積によって生ずるビット幅を減らすことができます。これらの操作 (累積および右ビットシフト) はすべてハードウェアによって実行されます。ADC ハードウェアのオーバーサンプリング機能は、最大 1024 の入力サンプルを処理するように設定できます (デバイスによって異なります)。

外部フィルタの追加

外部 RC フィルタを追加すると、高周波が除去されます。対象の周波数範囲を超える周波数成分を持つ信号を処理するために、高価なフィルタは必要ありません。この場合、ノイズやエイリアシングを抑えるには、対象となる周波数帯のすぐ上にカットオフ周波数 f_C を持つ、比較的単純なローパスフィルタで十分です。対象となる最高周波数と一致するサンプリングレートで十分であり、通常は f_C の 2~5 倍です。

注: 外部フィルタを形成する R と C は、[セクション 4.2.4](#) と [セクション 4.2.8](#) で説明されている条件に一致する値を持つ必要があります。

4.2.4 分解能を向上させるためのホワイトノイズまたは三角掃引の追加

この方法は、ハードウェアとソフトウェアの手法を組み合わせることで精度を向上させます。ソフトウェアの観点からすると、この方法は平均化（オーバーサンプリング）を使用し、ハードウェアの観点からすると、信号の変更/拡散/ディザリングを使用します。

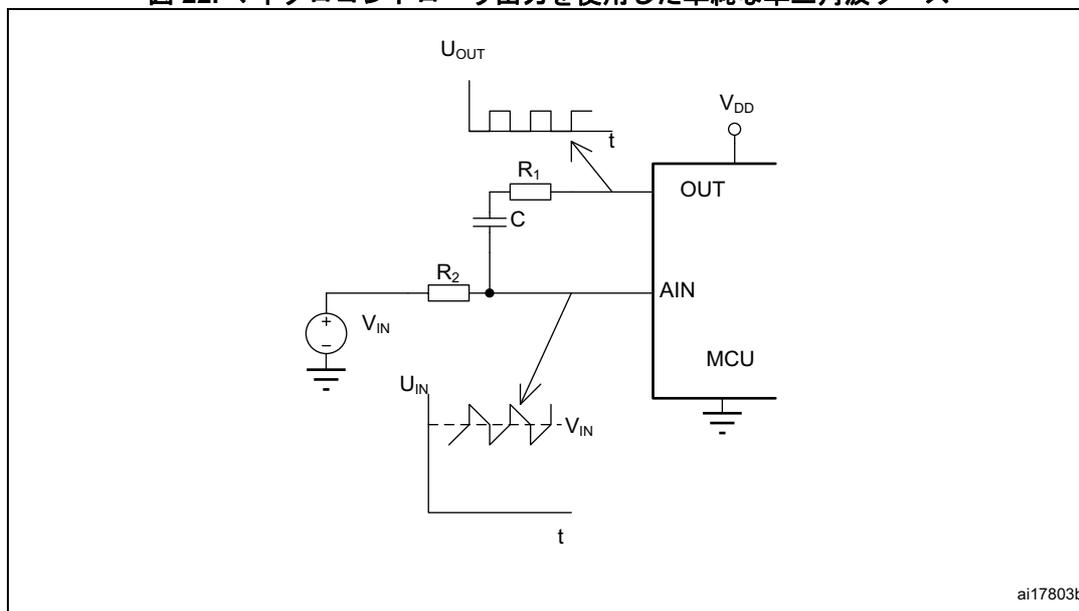
平均化は、入力信号にノイズがあり（平均を計算するために何らかの信号の変化が必要）、信号の平均値を求める必要がある場合に使用できます。入力信号がノイズのない非常に安定した電圧である場合、問題が発生します。この場合、入力信号を測定すると、各データ・サンプルは同じになります。これは、入力信号レベルが2つのADCワード・レベルの間（たとえば、0x14Aと0x14Bの間）にあるためです。したがって、入力電圧レベルを正確に決定することはできません（たとえば、レベルが0x14Aに近い、または0x14Bレベルに近い場合など）。

解決策としては、入力信号にノイズや何らかの信号変化（三角掃引などの均一な信号分布を使用）を加えることで、1ビットのADCレベルにわたってそのレベルを押し上げる（これにより信号レベルが0x14A未満および0x14Bレベルを超えるように変化する）ことが挙げられます。これにより、ADCの結果が変化します。異なるADCの結果にソフトウェアの平均化を適用すると、元の入力信号の平均値が得られます。STM32マイクロコントローラの中には、ハードウェアのオーバーサンプリングをサポートしているものがあり、ソフトウェアのオーバーサンプリングの代わりに使用することができます。

一例として、入力信号にRC結合した三角波ジェネレータを用いることで、この方法を実装できます（ホワイトノイズの生成はもっと複雑です）。元の入力信号の平均値を変更しないように注意する必要があります（そのため、容量結合を使用する必要があります）。

STM32マイクロコントローラによって直接生成される準三角波ソースの非常に単純な実装を、[図 22](#)に示します。

図 22. マイクロコントローラ出力を使用した単純な準三角波ソース



4.2.5 ADC ダイナミック・レンジの最大信号振幅への適合

この方法では、基準電圧を適切に選択するか、プリアンプステージを使用して ADC 出力範囲全体で可能な限り最大の分解能を得ることで、精度が向上します。

基準電圧の選択（専用の V_{REF+} ピンを備えたパッケージで提供されるデバイスの方法）

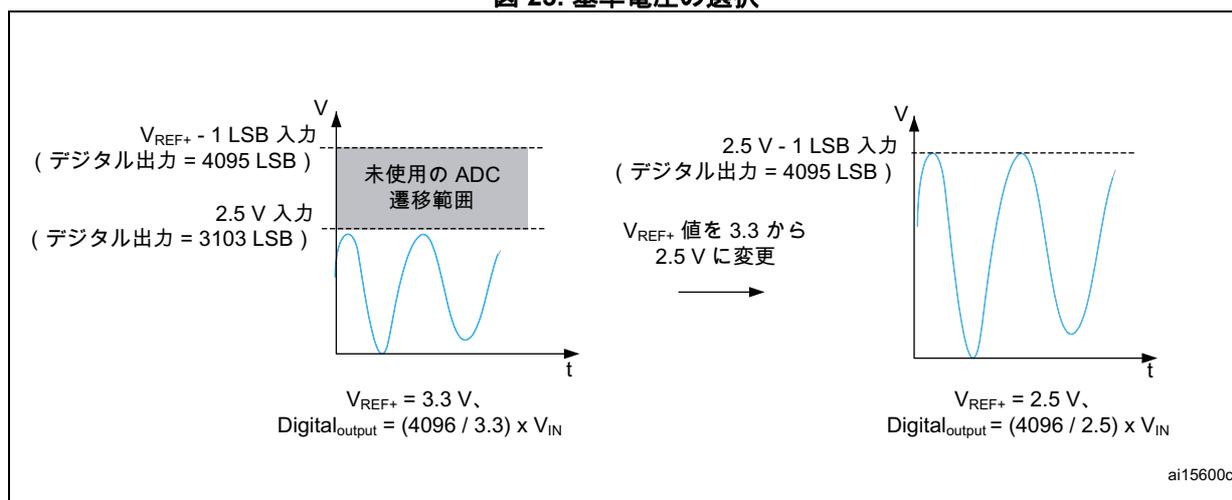
基準電圧は、測定する信号の予想される範囲内で選択されます。測定信号にオフセットがある場合、基準電圧にも同様のオフセットがあることが考えられます。測定信号の最大振幅が定義されている場合、基準電圧も同様の最大値を持っている必要があります。この基準電圧を測定信号範囲に一致させることにより、ADC 出力範囲全体で可能な最大の分解能が得られます。

専用の V_{REF+} ピンを備えたパッケージで提供される STM32 マイクロコントローラでは、ADC 基準電圧は外部の V_{REF+} ピンと V_{REF-} ピンに接続されます。これらのピンはグラウンドに接続する必要があります。これにより、基準電圧と測定信号範囲を一致させることができます。

たとえば、測定信号が 0 V と 2.5 V の間で変化する場合は、可能であれば LM235 などの基準電圧を使用して 2.5 V の V_{REF+} を選択することをお勧めします（詳細については、LM235 データシートを参照してください）。図 23 はこれらの条件を示しています。

注： V_{REF+} の電圧は、2.4 V と V_{DDA} の間の範囲にすることができます。

図 23. 基準電圧の選択



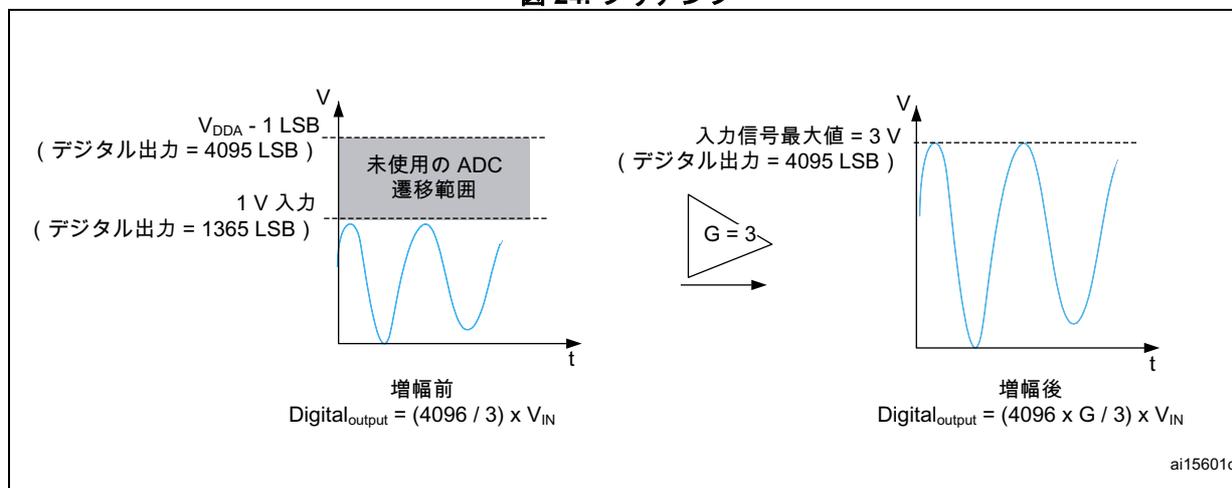
プリアンプの使用

測定信号が（ADC の範囲と比較して）小さすぎる場合は、外部のプリアンプが役立つ場合があります。この方法は、どのような STM32 パッケージでも、具体的には V_{REF+} 入力のないパッケージでも実装可能です。

たとえば、測定信号が 0 V から 1 V の間で変化する、 V_{DDA} が 3 V に設定されている場合、信号を増幅して、ピークツーピーク振幅が V_{DDA} 値と同様になるようにすることができます。この場合、ゲインは 3 になります（例については図 24 を参照してください）。

このアンプは、入力信号範囲を ADC 範囲に適合させることができます。また、入力信号と ADC 入力の間にはオフセットを挿入することもできます。プリアンプを設計するには、追加の誤差（追加のオフセット、アンプのゲインの安定性や直線性、周波数応答など）が発生しないように注意する必要があります。

図 24. プリアンプ



4.2.6 SAR ADC サンプルング時間の要件

SAR ADC サンプル変換プロセス

SAR ADC サンプル変換プロセスは、サンプルングとビット変換の 2 つの連続した動作で構成されます。これらの動作が完了すると、サンプル変換の結果が ADC データレジスタ (ADC_DR) で利用可能になります。ADC 変換が開始されると、 T_{CONV} のサンプル変換時間後に、新しい変換データが利用可能になります。連続取得を行うと、 T_{CONV} ごとに新しいデータが利用可能になり、ADC サンプルングレートに変換できます。1 秒間に取得されるサンプル数は、次の式を使用して計算できます。

$$ADC \text{ サンプルング・レート} = 1 / (\text{サンプル変換時間}) = 1 / T_{CONV}$$

図 25. SAR ADC サンプル変換プロセス



次の段落では、サンプル変換に必要な 2 つの連続した動作について説明します。

1. サンプリング

この動作では、内部 ADC サンプリング・コンデンサ (C_{ADC}) を充電することにより、アナログ入力信号をサンプリングします。

この動作の継続時間は T_{SMPL} です。この時間は SMP パラメータに依存します。SMP パラメータは、サンプリング時間を選択するために、ADC 設定レジスタで設定されます。

2. ビット変換

この動作により、 C_{ADC} サンプリング・コンデンサに保存されているアナログ値がデジタル値に変換されます。

この動作の継続時間は T_{SAR} です。この時間は RES パラメータに依存します。RES パラメータは、ADC のビット分解能を選択するために、ADC 設定レジスタで設定されます。

$$\text{ADC サンプル変換時間 } (T_{CONV}) = \text{S サンプリング時間 } (T_{SMPL}) + \text{ビット変換時間 } (T_{SAR})$$

$$\text{ADC サンプルレート} = 1/T_{CONV} = 1/(T_{SMPL} + T_{SAR})$$

T_{SMPL} と T_{SAR} の継続時間はともに、ADC クロック・サイクルの倍数に関連しています。

- T_{SMPL} 継続時間：
この継続時間は、SMP パラメータ (ADC サンプリング時間) に依存します。例として、STM32L5 シリーズの SMP 値は、2.5、6.5、12.5、24.5、47.5、92.5、247.5、または 640.5 ADC クロック・サイクルにすることができます。
- T_{SAR} 継続時間：
この継続時間は、RES パラメータ (ADC ビット分解能) に依存します。例として、STM32L5 シリーズの RES 値は、6、8、10 および 12 ビット分解能に対して、6.5、8.5、10.5 および 12.5 ADC クロック・サイクルにすることができます。

ADC サンプリング・レートまたはサンプル変換時間 (T_{CONV}) は、次の式を使用して計算できます。

$$\begin{aligned} T_{CONV} &= T_{SMPL} + T_{SAR} = 2.5 \times T_{ADC_CLK} + 12.5 \times T_{ADC_CLK} = 15 \times T_{ADC_CLK} \\ &= 15 \times 1/F_{ADC_CLK} = 15 \times 20 \text{ ns} = 300 \text{ ns} \end{aligned}$$

$$\text{ADC サンプルレート} = 1/T_{CONV} = 3.33^6 \text{ サンプル/秒または } 3.33 \text{ MSPS}$$

ここで、

$$F_{ADC_CLK} = 50 \text{ MHz}$$

$$T_{SMPL} = 2.5 \text{ クロック・サイクル}$$

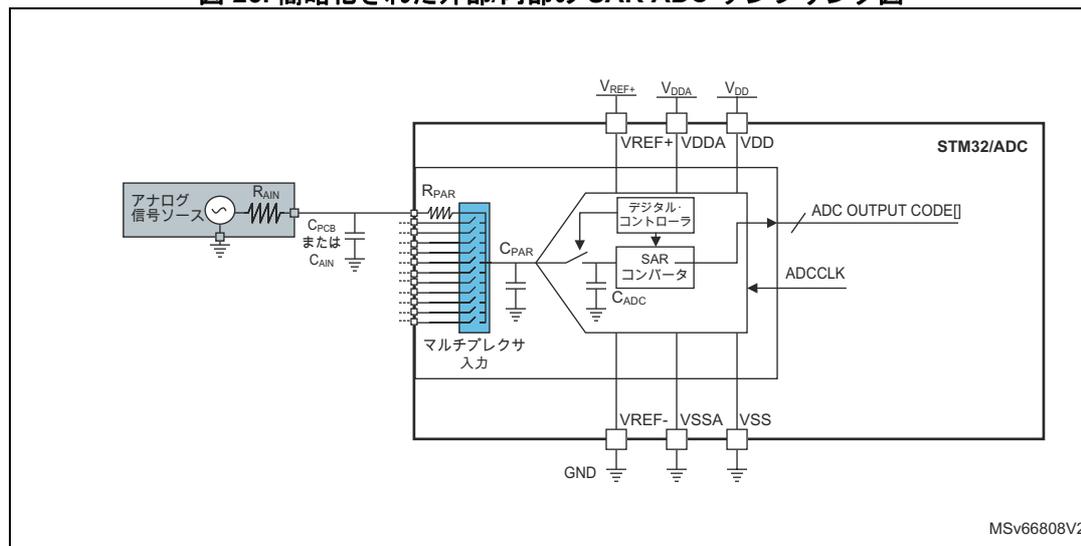
$$T_{SAR} = 12.5 \text{ (ADC 12 ビット分解能)}$$

SAR ADC サンプリング T_{SMPL} および T_{SAR} の制約

T_{SMPL} および T_{SAR} の継続時間は、アプリケーションの適用範囲および環境に応じて選択する必要があります。 T_{SAR} は、選択した ADC のビット分解能（6、8、10 または 12 ビット）のみに依存するため、選択が簡単です。 T_{SMPL} はより複雑で、さまざまなパラメータに依存します。

- T_{SMPL} の最小継続時間は、入力パスの外部電気部品に依存します（[セクション 3.2.7 : アナログ信号ソースの抵抗の影響](#)および[セクション 3.2.8 : PCB のソース静電容量と寄生容量の影響](#)）：
 - R_{AIN} : アナログ・ソース出カインピーダンス
 - C_{PCB} または C_{AIN} : PCB 寄生コンデンサまたはアナログ入力デカップリング/フィルタリング・コンデンサ
- T_{SMPL} は、STM32内部の SAR 回路（ R_{PAR} 、 C_{PAR} および C_{ADC} ）に依存します：
 - SAR ADC チャンネル・タイプ：高速、低速、ダイレクト（デバイスのデータシートを参照してください）
 - 内部回路パラメータは、パッケージの寸法、製造プロセス、温度、および供給電圧レベルによって変わります。
- T_{SMPL} は、アプリケーションの制約や機能によっても変わります。
 - 最大変換誤差： ± 1 LSB 以上
 - ADC 分解能（ビットで表現）
 - 並行して実行される ADC の数

図 26. 簡略化された外部/内部の SAR ADC サンプリング図



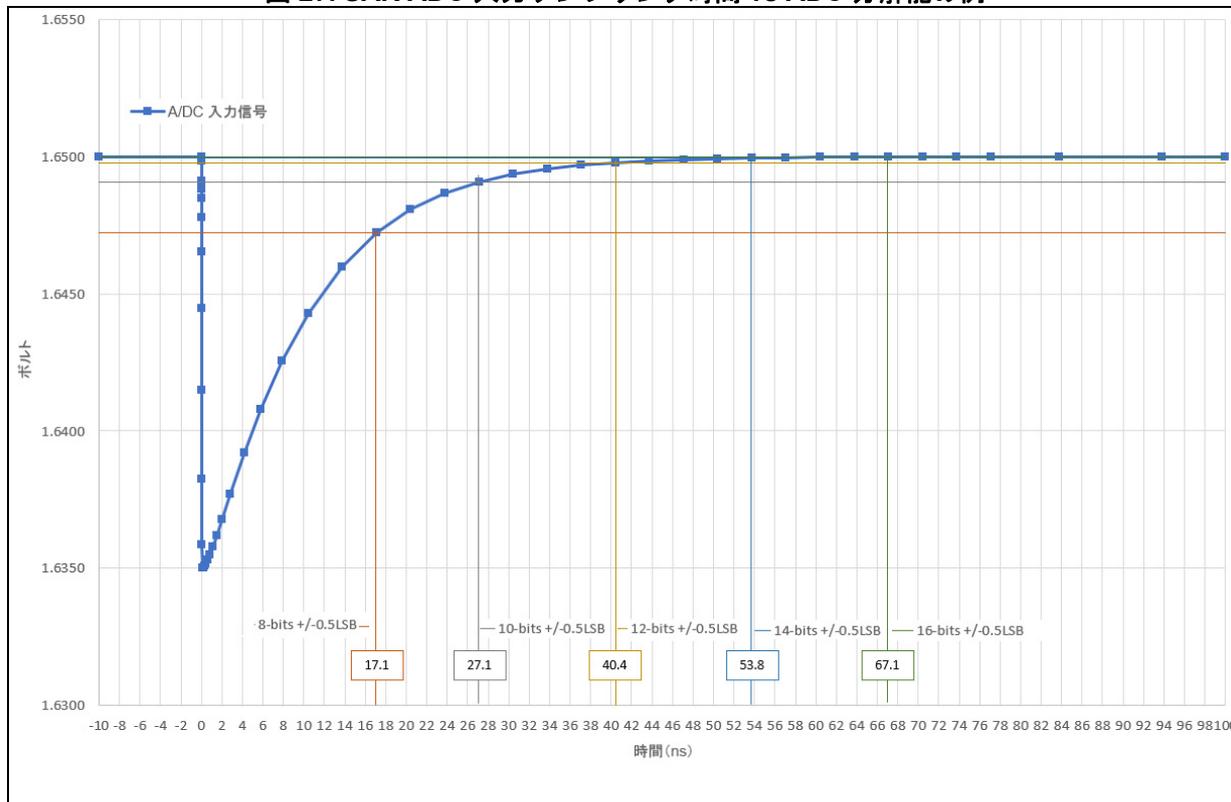
上記の制約に基づいて、最大出力サンプリング・レートを実現するために必要な最小 T_{SMPL} を推定することができます。

デバイスのデータシートには、各チャンネル・タイプ、さまざまな R_{AIN} 値、特定の C_{AIN}/C_{PCB} コンデンサに対して、およびパッケージの寸法、温度、製造プロセス、供給電圧の最悪の条件において、 $\pm 1/2$ LSB の最大精度を得るための T_{SMPL} 値がいくつか記載されています。

図 27 と 図 28 は、電圧精度に到達するための入力信号に対する望ましい精度（ ± 0.5 から ± 3 LSB）と ADC 分解能（LSB で表現）の影響を示しています。分解能が低く誤差精度が高い場合、必要な信号サンプリング時間は短くなり、分解能が高く誤差精度が低い場合、必要な信号サンプリング時間は長くなります。

図 27は、サンプリング時間が ADC 分解能とともに増加することを示しています。また、STM32の ADC アナログ入力ピンの電圧変動も示しています。最初の ADC 変換は 0 ns から開始されます。負のタイミングの場合、この曲線は、最初の ADC 変換前の入力電圧状態を示します。

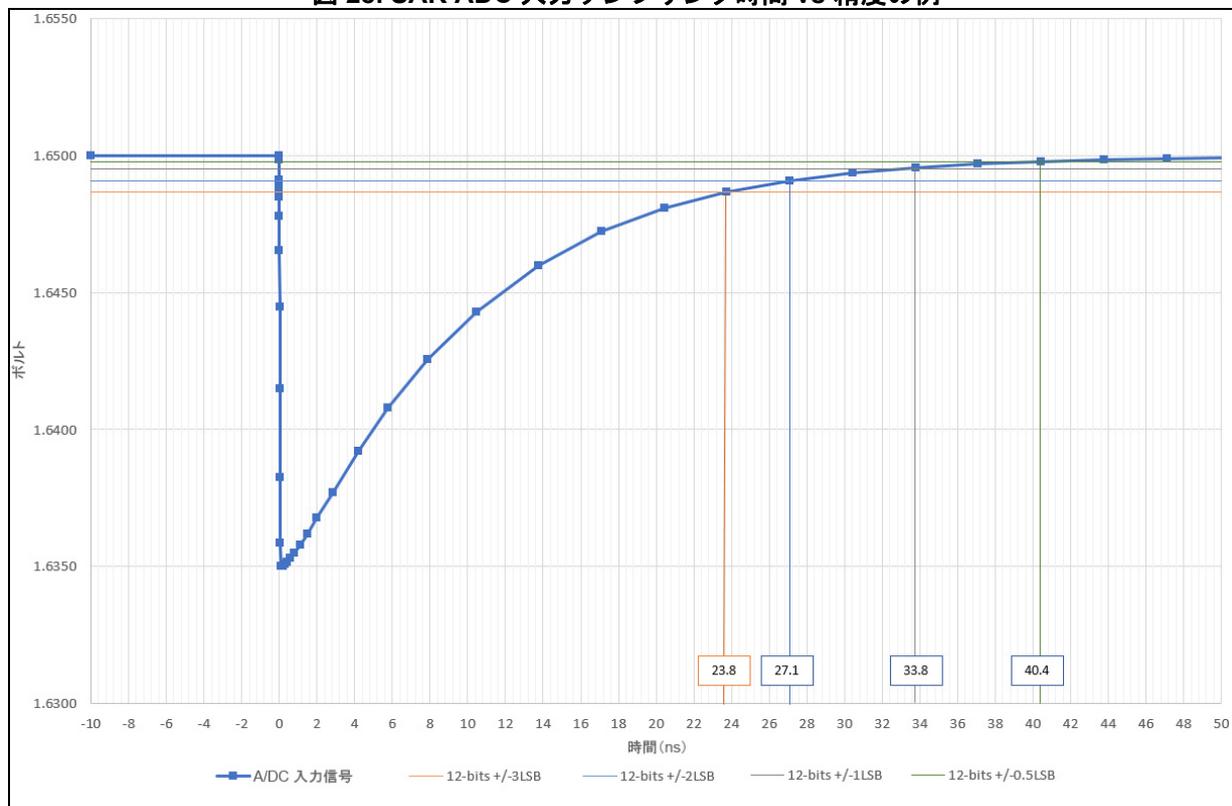
図 27. SAR ADC 入力サンプリング時間 vs ADC 分解能の例



- 上記の結果は、以下の条件で得られます。
 $V_{REF+} = 2V$
 $R_{AIN} = 1k\Omega$
 $C_{AIN}/C_{PCB} = 2nF$
 電圧、温度、プロセス、パッケージ、および実行中の ADC の数の標準的な条件。

図 28は、高い精度を実現するには、サンプリング時間を長くする必要があることを示しています。12 ビットの分解能で ± 3 LSB を実現するには 23.8 ns のサンプリング時間が必要であり、12 ビットで ± 0.5 LSB を実現するには 40.4 ns のサンプリング時間が必要です。

図 28. SAR ADC 入力サンプリング時間 vs 精度の例



1. 上記の結果は、以下の条件で得られます。
 $R_{AIN} = 1 \text{ k}\Omega$
 $C_{AIN}/C_{PCB} = 2 \text{ nF}$
 12 ビット ADC 分解能
 電圧、温度、プロセス、パッケージ、および実行中の ADC の数の標準的な条件。

表 1に、 $R_{AIN} = 1 \text{ k}\Omega$ 、 $C_{AIN}/C_{PCB} = 2 \text{ nF}$ 、 $V_{REF+} = 2 \text{ V}$ および $F_{ADC} = 20 \text{ MHz}$ の場合における、STM32H7 シリーズのサンプリング時間の例を示します。

表 1. STM32H7 シリーズのデバイスの最小サンプリング時間 (ns)

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	17.1	27.1	40.4	53.8	67.1
± 1 LSB	7.9	20.4	33.8	47.1	60.4
± 2 LSB	0.0	17.1	27.1	40.4	53.8
± 3 LSB	0.0	10.4	23.8	37.1	50.4

ADC 分解能が 8 ビットで取得精度が ± 1 LSB を超える場合、 T_{SMPL} は LSB の振幅により数ピコ秒に最小化でき、ADC 分解能が 16 ビットで取得精度が ± 0.5 LSB の場合、 T_{SMPL} の最大値は 67.1 ns となります。

SAR ADC 変換時間およびサンプリング・レート vs SMP

ADC SMP パラメータを使用すると、ADC サンプリング動作の継続時間を特定の ADC クロック・サイクル数にプログラミングできます。SMP は、各 STM32 シリーズに依存する値のリストの中から選択できます（図 29 および表 2 を参照）。広い周波数範囲のアプリケーションの要件に適合させるために、SMP 値はほぼ対数の法則に従います。

図 29. SMP クロック・サイクル数 vs STM32 シリーズ

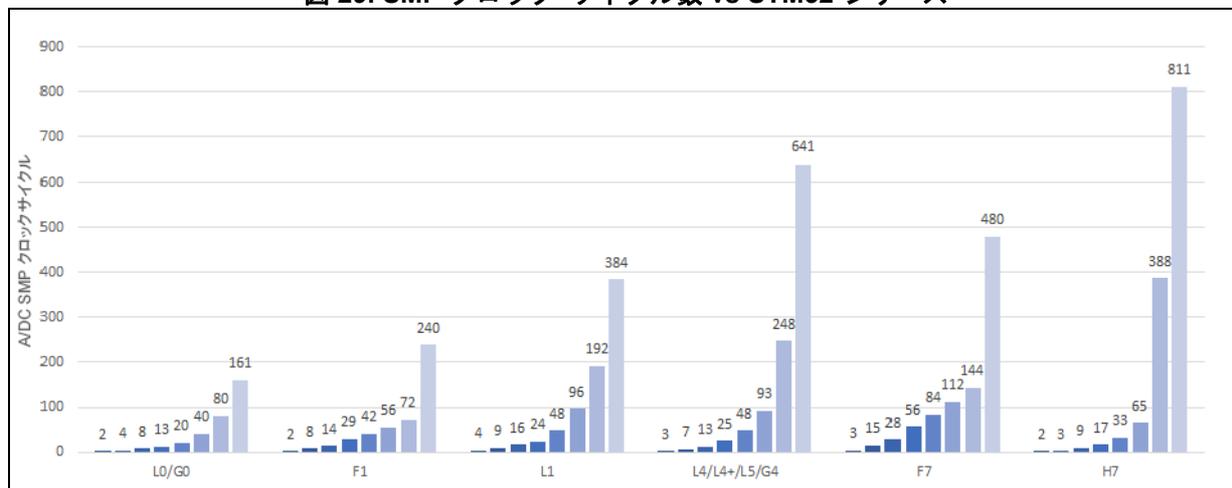


表 2. ADC SMP 選択 vs STM32 シリーズ (ADC クロック・サイクル数で表示)

ADC SMP コード	STM32L0/ STM32G0	STM32F1	STM32L1	STM32L4/ STM32L5/ STM32G4/ STM32WB	STM32F7	STM32H7
0	1.5	1.5	4	2.5	3	1.5
1	3.5	7.5	9	6.5	15	2.5
2	7.5	13.5	16	12.5	28	8.5
3	12.5	28.5	24	24.5	56	16.5
4	19.5	41.5	48	47.5	84	32.5
5	39.5	55.5	96	92.5	112	64.5
6	79.5	71.5	192	247.5	144	387.5
7	160.5	239.5	384	640.5	480	810.5

ADC SMP 値の分布は、ADC サンプリング時間を最適化するための制約です。STM32H7 シリーズに基づく以下の例では、いくつかのアプリケーション条件が最適化されています。

表 3~表 7に、 $R_{AIN} = 1 \text{ k}\Omega$ 、 $C_{AIN}/C_{PCB} = 2 \text{ nF}$ 、 $V_{REF+} = 2 \text{ V}$ および $F_{ADC} = 20 \text{ MHz}$ の場合に取得された STM32H7 シリーズの結果の例を示します。

表 3は、表 1に対応する、ADC クロック・サイクル数（サンプリング時間 / ADC クロック周期）で表される実際の最小サンプリング時間を示しています。

表 3. おおよその最小サンプリング時間 vs 分解能
および最大誤差（ADC クロック・サイクル数で表示）

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	4	6	9	11	14
± 1 LSB	2	5	7	10	13
± 2 LSB	1	4	6	9	11
± 3 LSB	1	3	5	8	11

STM32H7 シリーズの場合、 T_{SMPL} は、SMP パラメータを使用して次の値にプログラムできます：1.5、2.5、8.5、16.5、32.5、64.5、387.5、または 810.5 ADC クロック・サイクル数。表 4は、さまざまな入力サンプリング精度に到達するために必要な最小の SMP 値を示しています。

表 4. 最小 SMP 値 vs 分解能および最大誤差
（ADC クロック・サイクル数で表示）

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	8.5	8.5	16.5	16.5	16.5
± 1 LSB	2.5	8.5	8.5	16.5	16.5
± 2 LSB	1.5	8.5	8.5	16.5	16.5
± 3 LSB	1.5	8.5	8.5	8.5	16.5

表 5は、実際の最小サンプリング時間と対応する最小 SMP 値の間の追加のクロック・サイクル数を示しています。

表 5. SMP による追加の ADC クロック・サイクル数
vs 分解能および最大誤差

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	4.5	2.5	7.5	5.5	2.5
± 1 LSB	0.5	3.5	1.5	6.5	3.5
± 2 LSB	1.5	4.5	2.5	7.5	5.5
± 3 LSB	1.5	5.5	3.5	0.5	5.5

通常のアプリケーション条件では、ADC 分解能が 8 ビットで精度が ±1 LSB を超える場合、最適化されたサンプリング時間が実現されず。一方、ADC 分解能が 12 ビットで精度が ±1 LSB 未満の場合、および分解能が 14 ビットまたは 16 ビットで精度が ±3 LSB 未満の場合、最適化されないサンプリング時間が得られます。

表 6 は、 T_{SAR} 継続時間と計算された ADC 出力サンプリング・レート (T_{SMPL}) を含む合計変換時間を示しています。STM32H7 シリーズの場合、 T_{SAR} は次の値にプログラムできます：4.5、5.5、6.5、7.5 または 8.5 ADC クロック・サイクル数 (ADC 分解能が 8、10、12、14、および 16 ビット分解能の場合)。

表 6. 最小 ADC 変換時間 ($T_{SMPL} + T_{SAR}$) vs 分解能および最大誤差 (ADC クロック・サイクル数で表示)

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	13	14	23	24	25
± 1 LSB	7	14	15	24	25
± 2 LSB	6	14	15	24	25
± 3 LSB	6	14	15	16	25

次に、このアプリケーション条件の最大 ADC 出力サンプリング・レートを計算できます。

表 7. 最大 ADC 出力サンプリング・レート (MSPS) vs 分解能および最大誤差

取得精度	8 ビット	10 ビット	12 ビット	14 ビット	16 ビット
± 0.5 LSB	1.5	1.4	0.9	0.8	0.8
± 1 LSB	2.9	1.4	1.3	0.8	0.8
± 2 LSB	3.3	1.4	1.3	0.8	0.8
± 3 LSB	3.3	1.4	1.3	1.3	0.8

ADC の分解能が 8 ビットで、取得精度が ±2 LSB を超える場合、最大の ADC サンプリング・レート出力 3.3 MSPS は、 $R_{AIN} = 1\text{ k}\Omega$ 、 $C_{AIN}/C_{PCB} = 2\text{ nF}$ 、 $F_{ADC} = 20\text{ MHz}$ 、および電圧、温度、プロセス、パッケージ、実行中の ADC の数が標準的な条件のときに実現されます。

ADC の分解能が 16 ビットの場合、ADC のサンプリング・レートは 0.8 MSPS に低下し、取得精度が ±3 LSB より低くなります。

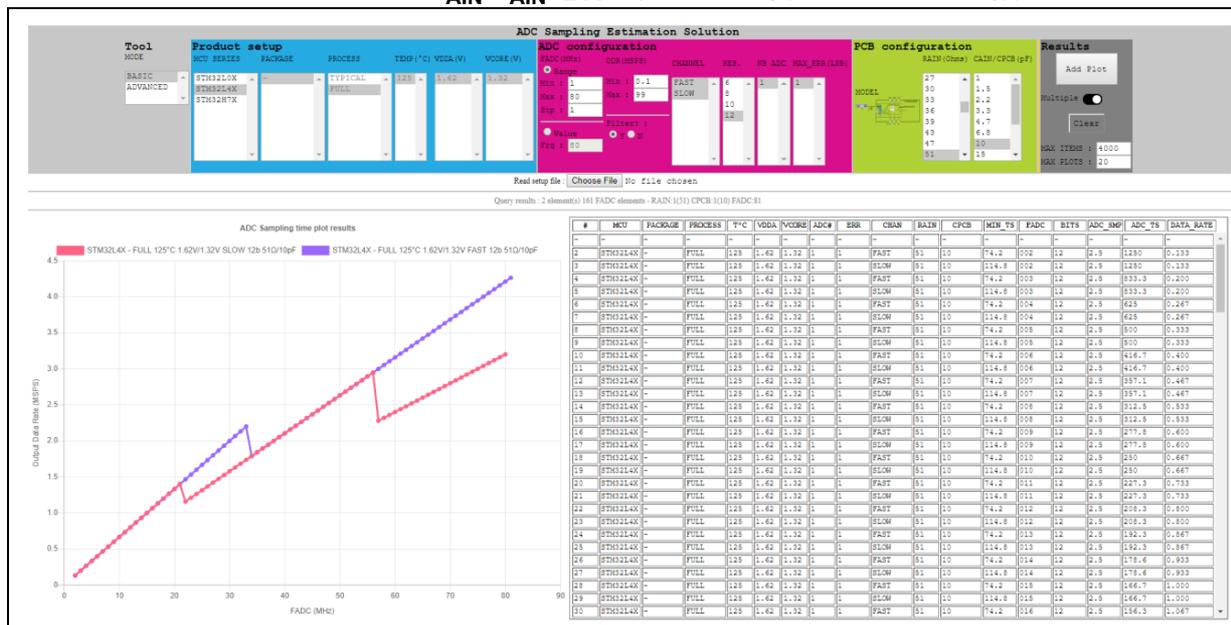
SAR ADC サンプリング・レート (T_{SMPL}) を推定する方法

数学モデルは、パラメータの数とそれらの非線形特性を考えると、十分に正確ではありません。複雑な設計シミュレーションによってのみ、さまざまな条件下で最小 T_{SMPL} 継続時間に対して非常に良好な推定結果が得られます。このような SAR ADC サンプリング推定ツールを、オンデマンドで利用できます。 T_{SMPL} シミュレーション結果は、単純に ADC クロック周波数に基づいて後処理およびレンダリングされます。これにより、目的の ADC 出力データ・レートが実現されます。シミュレーション・ツールは次の機能を実行します。

- T_{SMPL} 推定値 vs ADC 周波数 (図 30 を参照)
- 特定のチャネルに対する T_{SMPL} マージン vs R_{AIN}/C_{AIN} 値または許容誤差の視覚化 (図 31 を参照)

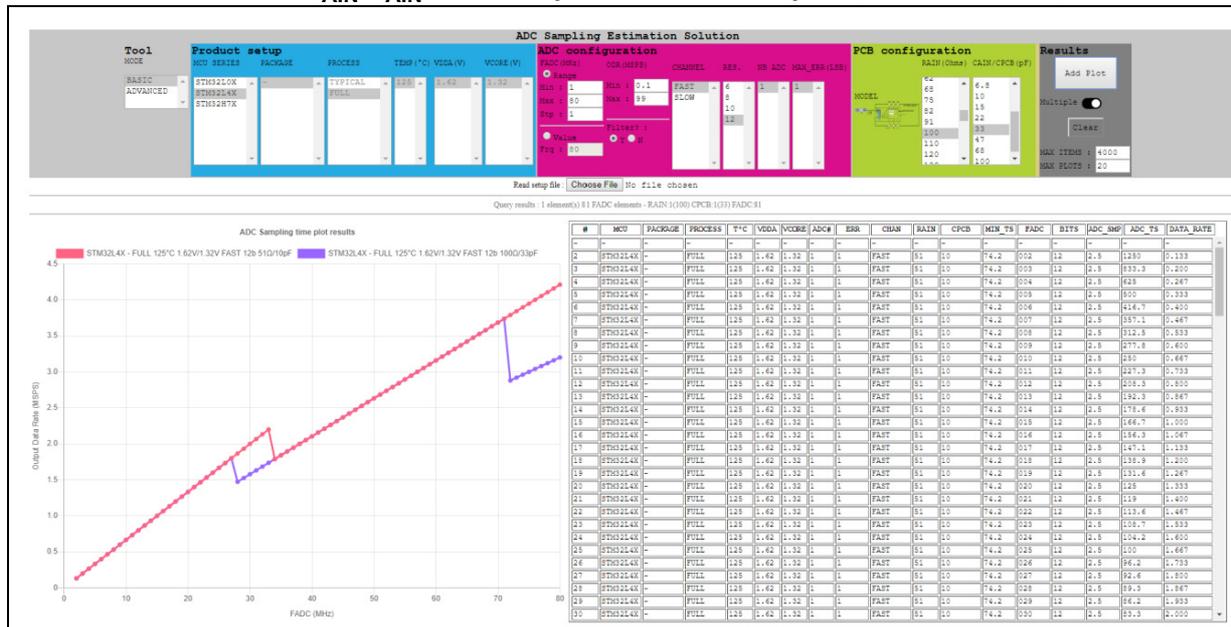
このツールは、任意の ADC 周波数範囲のサンプリング期間を最適化するために正しい SMP 値を選択するのに役立ちます。選択した ADC 分解能で達成可能な出力データ・レートを直接表示します。

図 30. T_{SMPL} 推定値 vs ADC 周波数および最小 T_{SMPL} 時間の比較 (同じ R_{AIN}/C_{AIN} を持つ低速および高速のチャンネルの場合)



1. 上記の結果は、温度、供給電圧、およびプロセスの最悪の条件で得られたものです。

図 31. T_{SMPL} 推定値 vs ADC 周波数および最小 T_{SMPL} 時間の比較 ($R_{AIN}/C_{AIN} = 51 \Omega/10 \text{ pF}$ および $100 \Omega/33 \text{ pF}$ の高速チャンネルの場合)



1. 上記の結果は、温度、供給電圧、およびプロセスの最悪の条件で得られたものです。

4.2.7 外部アナログ・バッファの使用

ADC アナログ入力の前にフォロワー・アンプ（バッファ）を使用すると、ソース・エフェクトの抵抗が減少します。これは、このアンプの入インピーダンスが高く、出力インピーダンスが非常に低いからです。これにより R_{AIN} が R_{ADC} から分離されます。

ただし、アンプではオフセット誤差が発生するため、この誤差を追加の誤差として考慮する必要があります。使用するアンプでは、小さなオフセット誤差が生じます。

アンプ速度（帯域幅とスルー・レート）パラメータは、高速信号データ取得アプリケーションを設計する上で重要です。

フォロワー・モードのアンプは、非常に低い出力インピーダンスを提供します。この場合、ADC は短いサンプリング時間を使用できます。ただし、アンプ速度についても考慮した上で、必要なサンプリング時間を設計する必要があります。アンプは、フィードバック（出力を入力と同じ電圧に駆動する）のために出力インピーダンスが低くなります。このフィードバック応答の速度は制限されています。この速度は、使用されるアンプ速度によって定義されます。ADC がサンプリング動作を開始すると、放電されたサンプリング・コンデンサがアンプ出力に接続されます。アンプは（フィードバックを介して）、この不均衡の補償を開始するために、出力駆動を増やし、サンプリング・コンデンサを充電します。この出力駆動の速度は、アンプ速度（入力変化から出力変化への伝播）に依存します。選択した ADC サンプリング時間は、このアンプの伝搬遅延よりも数倍長くなるように設計する必要があります。

4.2.8 ソース周波数条件 vs ソースコンデンサおよび寄生コンデンサ

コンデンサがアナログ・ソースによって完全に充電されていない場合、外部静電容量 C_{AIN} ではアナログ入力電圧を V_{AIN} とまったく同じにすることはできません（図 16 を参照）。

アナログ入力信号が変化する場合、アナログ信号周波数 (F_{AIN}) は、このアナログ信号の期間が少なくとも次のようにする必要があります： $10 \times R_{AIN} \times (C_{AIN} + C_p)$

$T_{AIN} = \text{アナログ信号の期間} = 1/F_{AIN}$

$T_{AIN} \geq 10 \times R_{AIN} \times (C_{AIN} + C_p)$ です。

よって $F_{AIN} \leq \frac{1}{10 \times R_{AIN} \times (C_{AIN} + C_p)}$ となります。

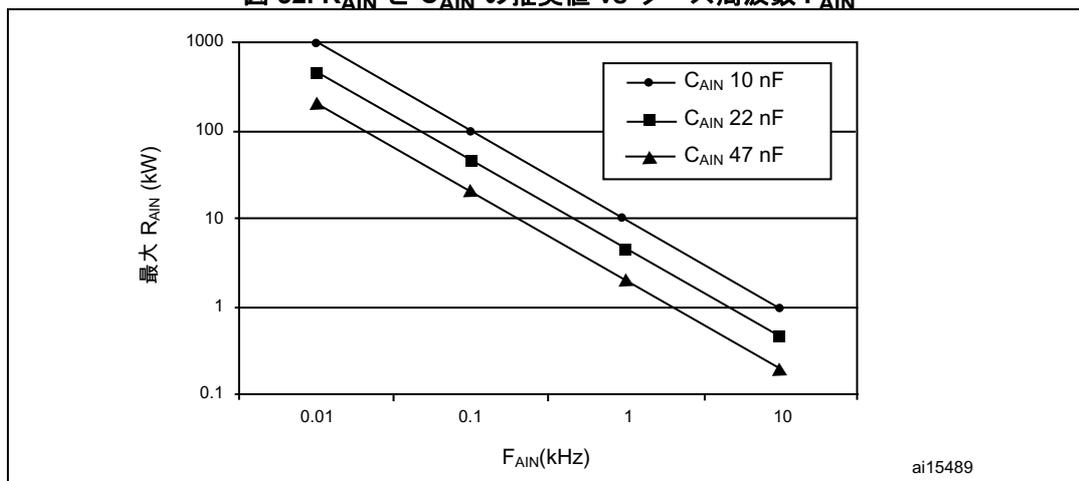
例：

$R_{AIN} = 25 \text{ k}\Omega$ 、 $C_{AIN} = 7 \text{ pF}$ 、 $C_p = 3 \text{ pF}$ の場合、次のようになります。

$$F_{AINmax} = \frac{1}{10 \times 25 \times 10^3 \times (7 + 3) \times 10^{-12}}$$

したがって、ソースの最大周波数は次のようになります： $F_{AINmax} = 400 \text{ kHz}$

そのため、上記で定義されたソース特性（静電容量と抵抗）の場合、ソースの周波数は 400 kHz を超えてはなりません。超えた場合、ADC の変換結果が不正確になります。

図 32. R_{AIN} と C_{AIN} の推奨値 vs ソース周波数 F_{AIN} 

4.2.9 温度の影響の補正

1つの方法は、オフセットとゲイン・ドリフトを完全に特性評価し、温度変化に応じて測定値を補正するためのルックアップ・テーブルをメモリに用意することです。この較正には追加のコストと時間がかかります。

2つ目の方法は、内部の温度センサと ADC ウォッチドッグを使用して、温度変化が所定の値に達したときに ADC を再較正する方法です。

4.2.10 注入電流の最小化

アプリケーションをチェックして、デジタルまたはアナログの入力電圧が V_{SS} または V_{SSA} より低くなる可能性があるかどうかを確認します。その場合、ピンから負の注入電流が流れます。デジタル入力に変換対象のアナログ入力に近い場合、精度への影響が大きくなります。

標準的な（ロバストでない）アナログ入力ピンに負の電流を注入することは、別のアナログ入力で行われる変換の精度を大幅に低下させるため、避ける必要があります。

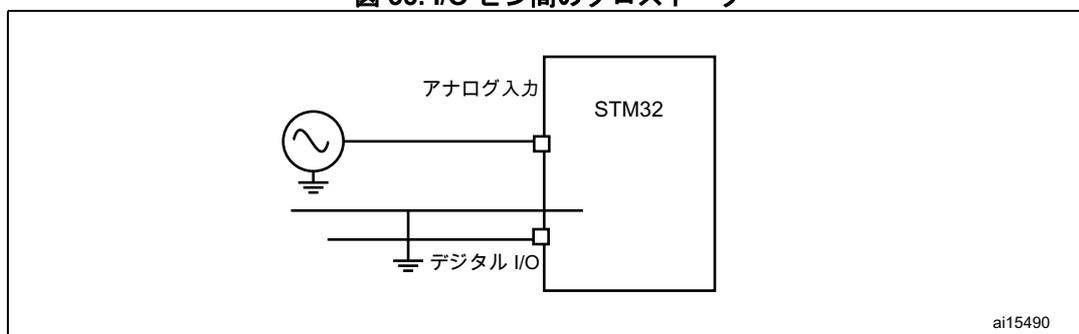
V_{SSA} と I/O ピンの間に、負の注入電流を発生させることができる Schottky ダイオードを接続することをお勧めします。

ADC の精度は、 $I_{INJ(PIN)}$ および $\Sigma I_{INJ(PIN)}$ に指定された制限内にある正の注入電流の影響を受けません（対応する STM32 データシートの I/O ポート特性のセクションを参照してください）。

4.2.11 I/O ピンのクロストークの最小化

クロストークによって生成されるノイズは、グラウンド・トラックを配置してアナログ信号をシールドすることで低減できます。図 33は、信号間の推奨される接地方法を示しています。

図 33. I/O ピン間のクロストーク



4.2.12 EMI 誘導ノイズの低減

EMI ノイズは、適切なシールド手法とレイアウト手法を使用して低減できます。考えられる放出源は、受容器から物理的に分離する必要があります。適切な接地とシールドによって電氣的に分離することができます。

シールド手法

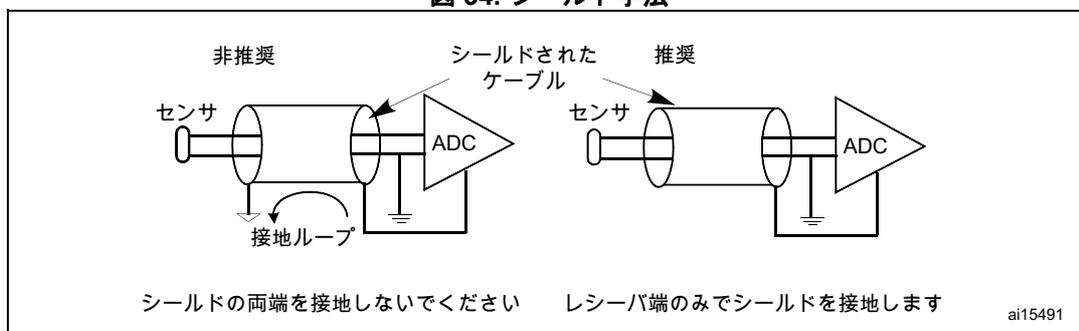
影響を受けやすいアナログ信号のそばにグラウンド・トラックを配置することで、PCB をシールドできます。2 層の PCB の反対側にもグラウンド・プレーンを設ける必要があります。これにより、信号に影響を与える干渉と I/O クロストークが防止されます (図 34を参照)。

離れた場所 (センサなど) から来る信号は、シールドされたケーブルを使用して PCB に接続する必要があります。PCB 上のこれらのタイプの信号のパスの長さを最小限にするように注意してください。

センサやアナログ・ソースからマイクロコントローラへのグラウンド基準の伝送には、シールドを使用しないでください。グラウンドには別のワイヤを使用してください。シールドは、マイクロコントローラのアナログ接地など、レシーバの近くの 1 か所でのみ接地する必要があります。シールドの両端 (ソースとレシーバ) を接地すると、接地ループが発生し、シールドに電流が流れる可能性があります。この場合、シールドはアンテナのように機能し、シールドの目的は失われます。

シールドの考え方は、アプリケーションのシャーシが金属製の場合の接地にも当てはまります。また、EMI や EMC の干渉を除去するのにも役立ちます。この場合、主電源の接地グラウンドは、シャーシをシールドするために使用されます。同様に、接地グラウンドが利用できない場合は、DC グラウンドをシールドに使用できます。

図 34. シールド手法



4.2.13 PCB レイアウトの推奨事項

アナログ・レイアウトとデジタル・レイアウトの分離

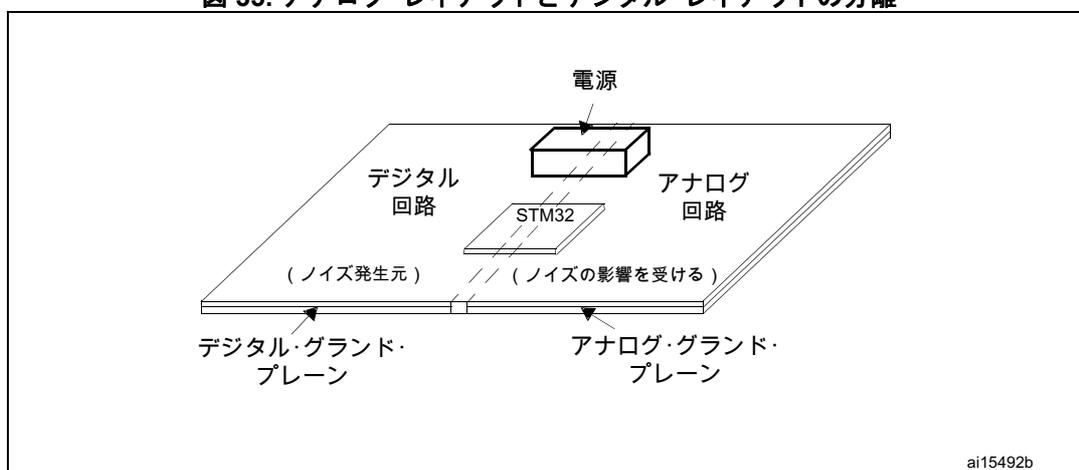
PCB のアナログ回路とデジタル回路を分離することをお勧めします（図 35を参照）。これにより、トラックが互いに交差することも避けられます。デジタル信号を伝送するトラックは、カップリングによりアナログ信号に高周波ノイズを混入させる可能性があります。

デジタル信号は高速で切り替わるため、高周波のノイズを発生します。

容量性のカップリングは、PCB ベース（ガラス、セラミック、またはプラスチック）によって提供される誘電体によって分離された金属接続（トラック）が原因で形成されます。

アナログのグランドとデジタルのグランドには、異なるプレーンを使用することをお勧めします。アナログ回路が多い場合は、アナログのグランド・プレーンをお勧めします。アナログのグランドは、アナログ回路の下に配置する必要があります。

図 35. アナログ・レイアウトとデジタル・レイアウトの分離

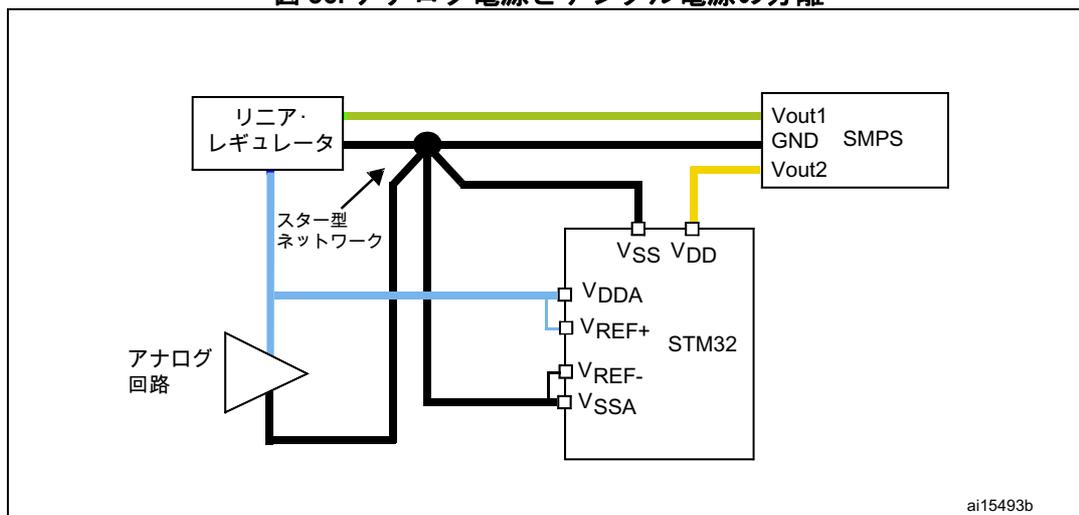


アナログ回路とデジタル回路の電源の分離

マイクロコントローラの外部にアナログ回路とデジタル回路が多数ある場合は、アナログ電源とデジタル電源を別々にすることが望ましいです（図 36を参照）。STM32のパッケージに応じて、アナログ電源とデジタル電源で異なるグランド・ピンが用意されています。V_{DDA}/V_{REF+} ピンと V_{DD} ピンには、別々の電源から電力を供給できます。

デジタル回路にスイッチングタイプの電源を使用する場合は、アナログ回路に別のリニア電源を使用する必要があります。また、I/O スwitchングなどにより DC 電源に大きなノイズが予想される場合は、アナログ回路用に別電源を使用することをお勧めします。

図 36. アナログ電源とデジタル電源の分離



また、アナログとデジタルのグラウンドをスター型ネットワークで接続することをお勧めします。これは、アナログとデジタルのグラウンドを 1 点でのみ接続する必要があることを意味します。これにより、デジタル信号の切り替えによるアナログ電源回路へのノイズの混入を防ぎます。また、過電流がアナログ回路に影響を与えることも防止されます。

電源とグラウンドに別々の PCB 層を使用

- 2 層の PCB

2 層の PCB の場合、グラウンド・プレーン領域を最大限に確保することをお勧めします。電源 (V_{DD} 、 V_{DDA}) は太いトラックを通過する必要があります。2 つの層のグラウンド信号が同じ場合、オーバーラップ領域の複数の接続を介して 2 つの層のグラウンドを短絡させることができます。未使用の PCB 領域は、グラウンド・プレーンとして使用できます。

もう 1 つの慣行は、一方の層の未使用の PCB 領域を正の電源 (V_{DD}) に接続し、もう一方の層の未使用の領域をグラウンドに接続するというものです。その利点は、電源の信号とグラウンドの信号のインダクタンスが減少することです。PCB のグラウンドに最大限のグラウンド領域を確保することによって、良好なシールド効果が得られ、回路の電磁誘導感受性が低減されます。
- 多層 PCB

可能な限り、多層 PCB を使用し、PCB 上で電源とグラウンドに対して別々の層を使用するようにしてください。さまざまなデバイスの V_{DD} ピンと V_{SS} ピンを電源プレーンに直接接続できるため、電源とグラウンドを接続するために必要なトラックの長さが短くなります。長いトラックは誘導効果が大きくなります。アナログのグラウンドは、このグラウンド・プレーンに一点で接続できます。その場合は、電源の近くで接続します。

完全なグラウンド・プレーンはシールド効果が高く、回路の電磁誘導感受性を低減します。
- 単層の PCB

単層の PCB は、コストを節約するために使用されます。接続数が非常に限られている単純なアプリケーションでのみ使用できます。未使用の領域にグラウンドを接地することをお勧めします。PCB の異なる部分を接続するために、ジャンパを使用できます。

4.2.14 部品の配置と配線

アナログ入力をシールドするために、PCB 上に部品を配置し、信号トレースを配線します。

抵抗やコンデンサなどの部品は、非常に短いリード線で接続する必要があります。表面実装デバイス (SMD) の抵抗やコンデンサを使用できます。デカップリングの目的で、SMD コンデンサをマイクロコントローラの近くに配置できます。

電源には幅の広いトラックを使用してください。そうしないと、トラックの直列抵抗によって電圧降下が発生します。実際、狭い電源トラックには無視できない有限の抵抗があるため、そこを流れる高負荷電流によって、電圧降下が発生します。

クオーツ・クリスタルはグラウンド・トラック/プレーンに囲まれている必要があります。クリスタルの下の 2 層の PCB の反対側は、グラウンド・プレーンで覆われていることが望ましいです。ほとんどのクリスタルは、金属製のボディを持っており、それを接地する必要があります。また、クリスタルをマイクロコントローラの近くに配置する必要があります。表面実装クリスタルを使用できます。

4.3 ソフトウェアで精度を向上させる方法

- サンプルの平均化：
 - 平均化すると速度は低下しますが、精度は向上します
- デジタル・フィルタリング (DC 値からの 50/60 Hz 抑制)
 - 適切なサンプリング周波数が設定されます (この場合、タイマからのトリガが役立ちます)。
 - サンプリングされたデータに対して、ソフトウェアによる後処理が実行されます (50 Hz ノイズとその高調波抑制用のくし形フィルタなど)
- AC 測定用の高速フーリエ変換 (FFT)
 - この方法により、測定信号の高調波部分を表示できます。
 - 多くの計算能力を使用するため、速度は遅くなります。
- ADC 較正：オフセット、ゲイン、ビット・ウェイト較正
ADC 較正により、ADC の内部誤差が減ります。ただし、ADC の内部構造を知っておく必要があります。
- CPU によって生成される内部ノイズの最小化
アプリケーションを以下のように設計する必要があります。
 - ADC 変換中のマイクロコントローラからの外乱を最小限に抑える。
 - サンプリングおよび変換中のデジタル信号の変化を最小限に抑える (デジタル・サイレンス)。

4.3.1 サンプルの平均化

この方法の原理は、ADC の精度は上げるが、ADC 変換速度は下げるといえる (オーバーサンプリング)。測定されたアナログ信号が不安定な ADC 値を生成する場合、指定された入力信号の平均値は、一連の値を平均することによって取得できます。信号ノイズまたはマイクロコントローラ自体によって生成されるノイズ (アナログ入力信号に容量結合された高速デジタル信号) によって、変動が生じる可能性があります。

平均化は、平均化の対象となる適切な数のサンプルを選択することによって実行されます。この数値は、必要な精度、最小変換速度、およびその他の ADC 誤差のレベルに依存します (別の誤差が ADC の精度により大きな影響を与える場合、平均値の数を増やしても、全体の測定精度には影響しません)。

一部の STM32 マイクロコントローラでは、ハードウェアのオーバーサンプリング機能を使用して平均化を実行できます。この場合、ADC は、設定可能なパラメータ (平均化するサンプル数と結果の最終的な右ビット・シフト) に従って組み込みのハードウェアによる平均化を実行します。

平均化の利点は、ハードウェアを変更せずに ADC の精度を向上させられることです。欠点は、周波数応答と同様に変換速度が低下することです（有効なサンプリング周波数が低下することと同じです）。

4.3.2 デジタル信号のフィルタリング

この方法では、デジタル信号処理手法を使用します。

原理的に、平均化は特定の周波数応答を持つ単純なデジタル・フィルタでもあります。ただし、ノイズの周波数スペクトルがわかっている場合は、ノイズの影響を最小限に抑え、ADC 周波数応答を最大化するデジタル・フィルタを設計できます。たとえば、測定信号のノイズが 50 Hz の電力ラインから発生している場合、適切なデジタル・フィルタは 50 Hz の周波数のみを抑制し、このノイズを含まないデータ信号を提供します。

この方法の欠点は、適切なマイクロコントローラ処理能力とリソース（CPU 速度とデータ/プログラムのメモリ使用量）が必要になることです。

4.3.3 AC 測定用のFFT

特定のケースでは、アプリケーションは所定の周波数の AC 信号の振幅を認識する必要があります。この場合、AC 信号の実効値は、(測定された信号周波数と比較して) 比較的遅いサンプリング速度を使用して取得することもできます。たとえば、AC の主電源信号 (正弦波に近く、高調波の含有量が比較的少ない) を測定する場合、主電源周波数 (50 Hz) の 32 倍のサンプリング周波数を選択すれば十分です。この場合、最大 15 次の高調波を得ることができます。主電源信号の 15 次高調波の振幅は非常に小さいです (次の次数の高調波は無視できます)。主電源信号の計算された実効値は、次のように高調波の実効値が AC の高調波の合計値に加算されるため、高精度で得られます。

$$U_{\text{ef}} = \sqrt{U_1^2 + U_2^2 + \dots + U_n^2}$$

そのため、15 次高調波の振幅が 1 次高調波 (50 Hz) から 1% (0.01) しかない場合、実効値全体への寄与は 0.01% しかないこととなります (上記の式の 2 乗加算により次のようになるため: $0.01^2 = 0.0001$)。

したがって、この方法の原理は、既知の周波数で AC 信号をサンプリングし、測定期間ごとに FFT の後処理を行うというものです。測定信号期間あたりのサンプリング・ポイントの数が少ないため (たとえば 32 ポイント)、FFT 処理に必要なパフォーマンスはそれほど高くありません (たとえば 32 ポイントの FFT のみ)。

この方法は、歪みの少ない信号の AC 測定に適しています。欠点は、正確な信号のサンプリングが必要なことです。

- 測定信号の周波数は既知である必要があります、ADC サンプリング周波数は測定周波数の 2^n 倍として正確に設定する必要があります。
- 入力信号周波数は別の方法で測定されます。
- ADC サンプリング周波数は、プリスケラと MCU マスタ・クロックの選択をプログラミングすることによって調整されます (サンプリングが不正確なクロックで実行される場合、補間を使用して必要なポイントのサンプルを取得できます)。

4.3.4 ADC の較正

この方法では、ADC の内部構造と、ADC コンバータがマイクロコントローラ内にどのように実装されているかについての知識が必要です。これは、ADC 実装の物理的/数学的なモデルを設計するために必要です。

数学的に記述するための基礎として、適切な物理モデル（通常は回路図）が使用されます。数学モデルから、モデル内の各要素が一連の方程式によって得られます（ビット・ウェイトを表す抵抗/コンデンサの値など）。これらの方程式を解くには、一連の実際の測定を行い、一連の可解な方程式を得る必要があります。

測定値とモデルの数学的計算から、モデルの要素（抵抗、電圧、コンデンサ...）のすべての既知の値を回路図に入れることができます。

その結果、設計値を入れた ADC 回路図ではなく、所定のマイクロコントローラの実際の値を入れた ADC 回路図を得ることができます。

計算されたモデルのパラメータは、較正後にマイクロコントローラのメモリに保存され、ADC 値を修正するために後処理で使用されます。

4.3.5 CPU内部のノイズの最小化

CPU が動作すると、内外で多くの信号変化が発生し、容量結合によって ADC 周辺部に伝達されます。この外乱は ADC の精度に影響します（マイクロコントローラの動作が異なるため、予測できないノイズが発生）。

ADC に対する CPU（およびその他の周辺機能）の影響を最小限に抑えるには、サンプリングおよび変換時間中のデジタル信号の変化を最小限に抑える必要があります（デジタル・サイレンス）。これは、次のいずれかの方法を使用して行われます（サンプリングおよび変換時間中に適用されます）。

- I/O ピンの変化の最小化
- CPU の内部の変化（CPU の停止、待機モード）の最小化
- 不要な周辺機能（タイマ、通信...）のクロックの停止

4.4 インピーダンスが高いソースの測定

このセクションでは、内部インピーダンスの高い信号源を使用した場合の STM32 ADC の ADC 測定動作について説明します。要求された精度に到達するようにアプリケーションを設計する方法を説明し、回避策を示します。

4.4.1 ADC 入力ステージの問題

STM32 デバイスに組み込まれている ADC は、スイッチド・キャパシタ方式の ADC です。スイッチド・キャパシタはサンプリング・コンデンサとしても機能します（詳細な説明については[セクション 2.1](#)を参照してください）。

内部インピーダンスが高い（たとえば 150 k Ω ）電圧源から来る信号の場合、測定結果に追加の誤差が見られることがあります。また、[図 39](#)に示すように、ADC 入力ピンでは誤差信号が観測されています（電圧源の電圧がゼロの場合： $U_{in} = 0\text{ V}$ 、 $R_{in} = 150\text{ k}\Omega$ 、 $C_{ext} = 0\text{ pF}$ ）：

図 37. ADC 入力への一般的な電圧源接続

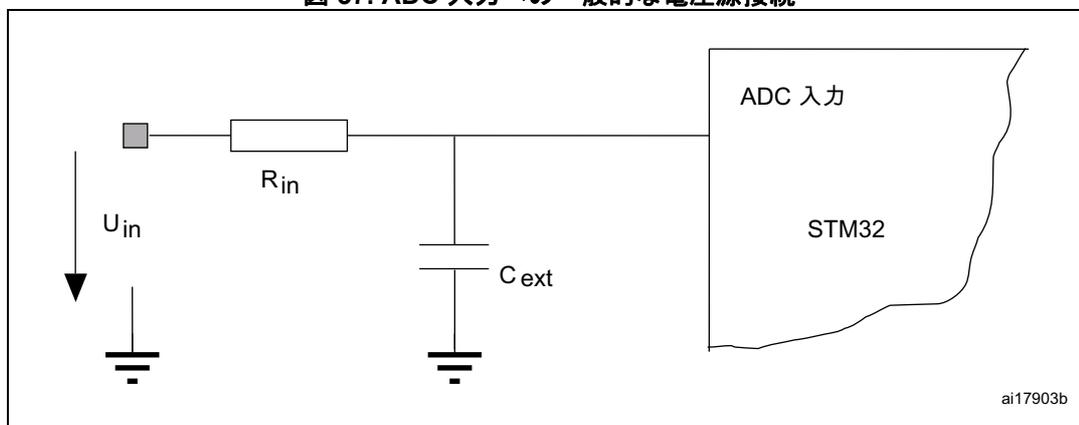
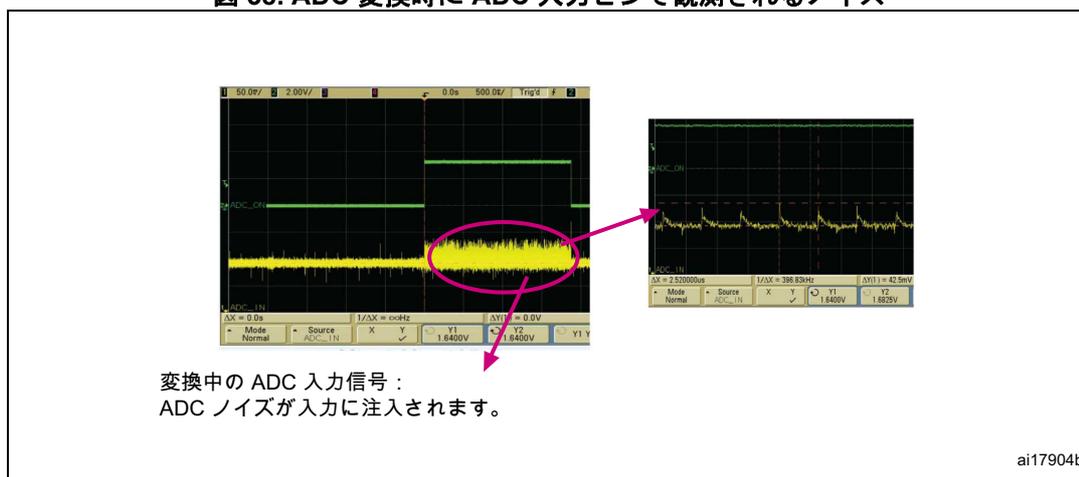


図 38. ADC 変換時に ADC 入力ピンで観測されるノイズ

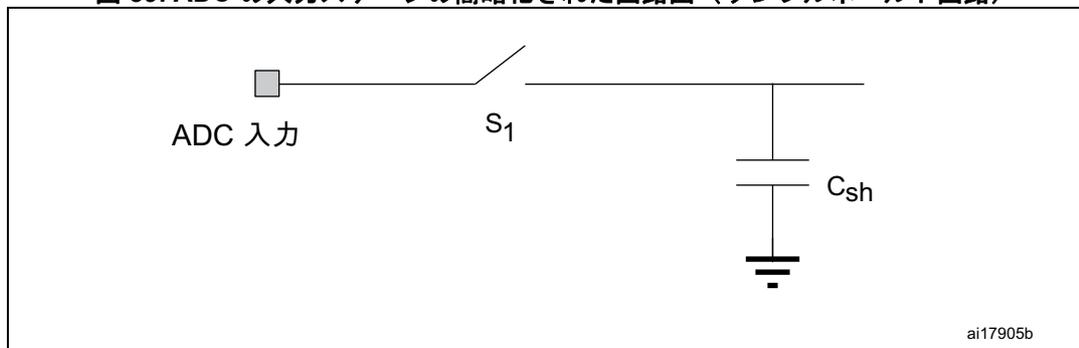


4.4.2 動作の説明

この追加のピン・ノイズと追加の測定誤差（内部インピーダンスの高い信号ソースが使用されている場合）の原因は、ADC の内部構造（入力サンプリング回路）に起因します。

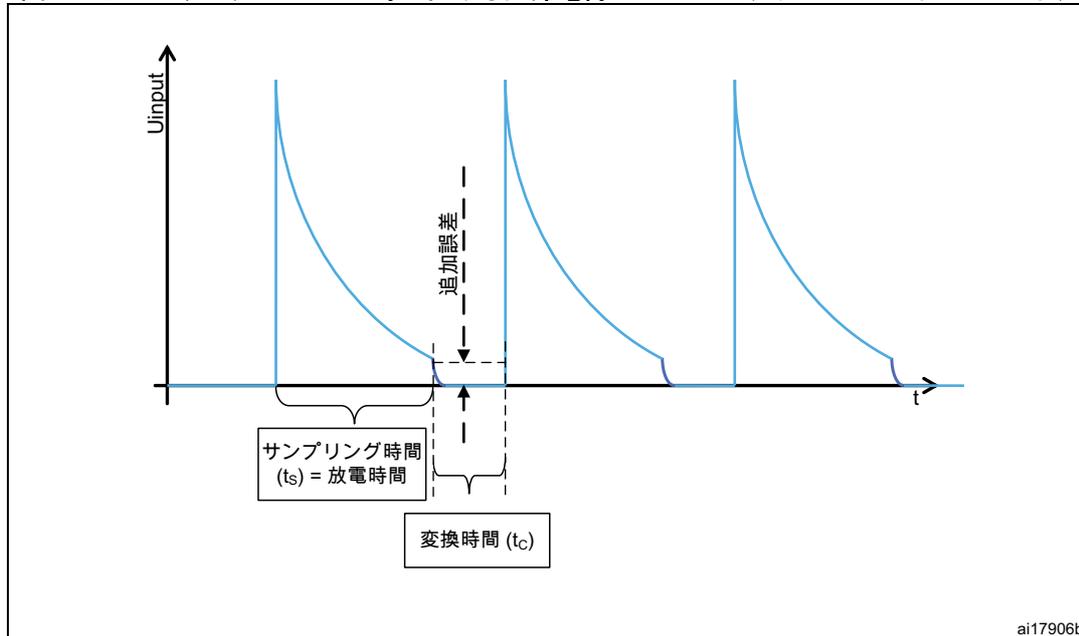
図 39は、入カステージの簡略化された回路図（サンプルホールド回路）を示しています。

図 39. ADC の入カステージの簡略化された回路図（サンプルホールド回路）



変換時に ADC 入力ピンに存在するスパイク（ノイズ）は、サンプリング・スイッチ（ S_1 ）に関連しています。スイッチが閉じている場合、（サンプルホールド・コンデンサ C_{sh} に由来する、または別の効果によって生じる）電荷が、入力ピンに伝達されます。その後、この電荷が、ソース・インピーダンス（ R_{in} ）を介して放電を開始します。放電プロセスは、スイッチ S_1 が開いているサンプリング時間（ t_s ）の終わりに終了します。残りの未放電の電圧はコンデンサ C_{sh} に残り、ADC でこの電圧を測定します。サンプリング時間（ t_s ）が短すぎる場合、残りの電圧は 0.5 LSB 未満に低下せず、ADC 測定では追加の誤差が示されます。図 40はこのプロセスを示しています。

図 40. サンプリング・プロセス時における内部電荷からのADC 入力ピンのノイズ・スパイク



ゼロ以外の外部静電容量 C_{ext} （ピンの寄生静電容量）も存在するため、変換時間中に、ピンの静電容量がソース・インピーダンス R_{in} を介して放電されることに注意してください。

4.4.3 追加の誤差の最小化

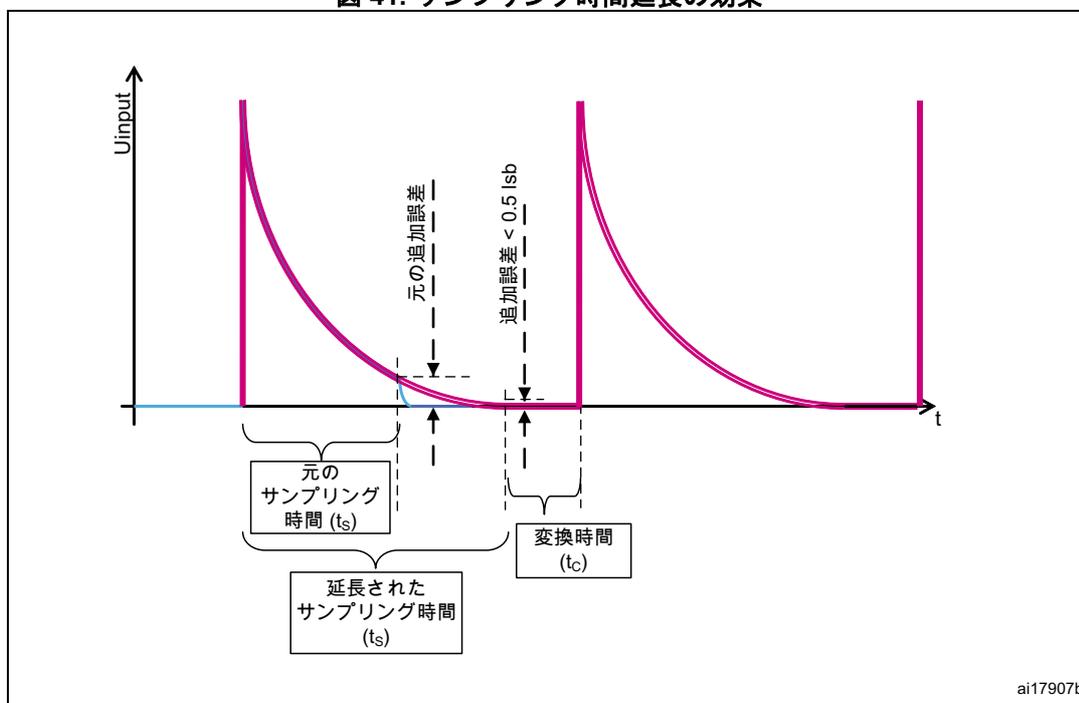
インピーダンスが高いソースの回避策

追加の誤差の問題を解決するために、MCU ファームウェアで ADC の設定を行うことにより、サンプリング時間 (T_S) を増やすことができます。これにより、 C_{sh} 電荷がソース・インピーダンス R_{in} を介して放電されます。時定数 ($R_{in} \times C_{sh}$) は、サンプリング時間を選択する際の基準となります。サンプリング時間のサイクルを計算するには、次の式を使用します (最大誤差 1/2 LSB については、[セクション 4.2.6](#)も参照してください)。

$$T_S \geq f_{ADC} \cdot (R_{in} \cdot C_{sh}) \cdot \ln(2^{N+1}) \quad [\text{cycles}]$$

ADC クロックを遅くするとサンプリング時間が長くなるので、ADC クロック (f_{ADC}) も重要な要素となります。

図 41. サンプリング時間延長の効果



サンプリング時間 (T_S) 設定の最大レジスタ値に達しても問題が解決しない場合は、内部インピーダンスが非常に高いソースの測定にも適用できる、より複雑な解決策が必要となります ([セクション : インピーダンスが非常に高いソースの回避策](#)を参照)。

このアプリケーションでは、内部のサンプリング静電容量だけでなく、ピンの静電容量や PCB パスの静電容量などの (C_{ext} と並列した) 外部の寄生静電容量も考慮する必要があることに注意してください。

上記の回避策を適用する際には、入力ピンに外部コンデンサ (C_{ext}) を追加しないでください。その静電容量によって時定数 ($R_{in} \times C_{sh} \parallel C_{ext}$) が増加するため、問題が残ります。

インピーダンスが非常に高いソースの回避策

この回避策では、ハードウェアとソフトウェアの両方の変更を組み合わせます。

ハードウェアの変更

ハードウェアの変更は、入力ピンへの大きな外部コンデンサ (C_{ext}) の追加からなります。入力ピンに接続された静電容量サイズは、 C_{ext} の電圧を 0.5 LSB より上げることなく、内部サンプリング静電容量 C_{sh} の外部コンデンサ C_{ext} への放電を引き起こす値に到達する必要があります。

例

内部コンデンサ ($C_{sh} = 16 \text{ pF}$) がフルスケール (U_{max} 、4095 LSB に相当) に充電される場合、外部コンデンサ C_{ext} に C_{sh} を放電した後、この外部コンデンサを 0.5 LSB の最大電圧レベル (U_{lsb}) で充電する必要があります。 C_{ext} の静電容量は次のようになります。

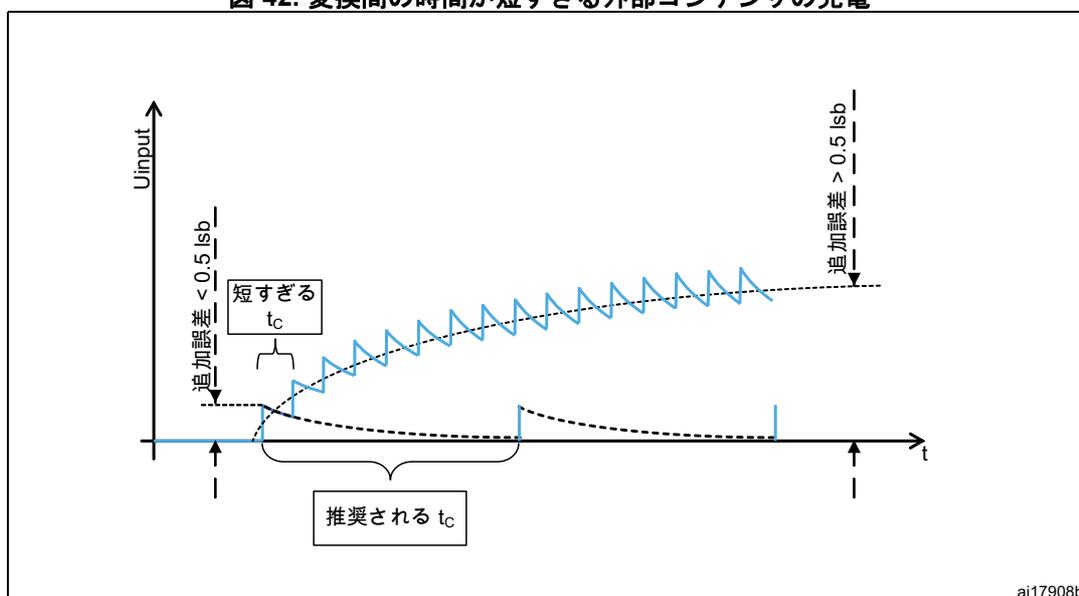
$$C_{ext} \geq C_{sh} \cdot \frac{U_{max}}{U_{lsb}} = 16 \text{ pF} \cdot \frac{4095}{0.5} \approx 131 \text{ nF}$$

ここで選択される最も近い大きい標準値は、 $C_{ext} = 150 \text{ nF}$ となります。

サンプリング前に内部のサンプリング・コンデンサ C_{sh} がフル電圧範囲 (4095 レベル) まで充電されていない場合、 C_{ext} 値は上記の式の「4095」を置き換えることで計算できます。4095 レベルで計算すると、ADC 入力チャネルの切り替えの場合にも正確な測定結果が得られます (C_{sh} は前の測定で異なる ADC 入力から充電されています)。

このハードウェアによる回避策の副作用として、 C_{ext} の周期的な充電が発生することを考慮する必要があります。ADC 変換のたびに、 C_{sh} から C_{ext} に電荷が伝達されます。上記のように、1 回の伝達では、 C_{ext} が 0.5 LSB 未満に充電されますが、2 回の変換の間に放電されなければ、伝達の回数が増えるほど、 C_{ext} が大きな値に充電されます。図 42 は、ADC 測定が高速に実行されるこのシナリオの例を示しています。

図 42. 変換間の時間が短すぎる外部コンデンサの充電



ソフトウェアの変更

上記の副作用はソフトウェアによって解決することができます。この目的は、 R_{in} を通して C_{ext} を放電させるために、(それほど頻繁に測定せず) ADC による変換の間に十分な「放電時間」を与える遅延を確保することです。「放電時間」(t_C) は、 C_{sh} から C_{ext} (充電) および C_{ext} から R_{in} (放電) に伝達された電荷に相当します。 $C_{ext} \gg C_{sh}$ と仮定します。

$$Q_{\text{charging}} = Q_{\text{sh}} = C_{\text{sh}} \cdot U_{\text{max}}$$

$$Q_{\text{discharging}} = \frac{U_{\text{lsb}}}{R_{\text{in}}} \cdot \int_0^{t_C} e^{-\frac{t}{R_{\text{in}} C_{\text{ext}}}} dt$$

ここで、

U_{lsb} 0.5 LSB 電圧レベル

U_{max} 4095 LSB 電圧レベル (最悪ケース)

$$Q_{\text{charging}} = Q_{\text{discharging}}$$

$$C_{\text{sh}} \cdot U_{\text{max}} = \frac{U_{\text{lsb}}}{R_{\text{in}}} \cdot \int_0^{t_C} e^{-\frac{t}{R_{\text{in}} C_{\text{ext}}}} dt$$

上記の式を簡略化すると、変換間に必要な待ち時間の最終的な式が得られます。

$$t_C = -(R_{\text{in}} \cdot C_{\text{ext}}) \cdot \ln \left[1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}} \right]$$

この最終的な式は、 U_{lsb} の精度を必要とする場合、外部コンデンサ C_{ext} と 2 回の変換間に必要な待ち時間との間の依存関係を示しています。

同じ式から、対数の引数は正でなければならないため、 C_{ext} の最小値の条件があることがわかります。

$$\left[1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}} \right] > 0$$

$$1 > \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}}$$

$$C_{\text{ext}} > C_{\text{sh}} \cdot \frac{U_{\text{max}}}{U_{\text{lsb}}}$$

大きな C_{ext} を選択すると、変換間の時間 (t_C) が短くなります。

非常に大きい C_{ext} ($C_{\text{ext}} \gg C_{\text{sh}} \cdot \frac{U_{\text{max}}}{U_{\text{lsb}}}$) を選択すると、より頻繁にサンプリングできます。

ただし、 C_{ext} を増やすと、測定信号の周波数帯域幅が制限されます（「外部」タイミング定数 $R_{\text{in}} \cdot C_{\text{ext}}$ の増加）。

以下の式は、最適な C_{ext} 値を選択する方法（信号帯域幅とサンプル時間の関係）を示しています。信号帯域幅は「外部」タイミング定数によって特徴付けられるので、最適な解決策は t_C の期間中に C_{ext} を充電することになります。

$$(R_{\text{in}} \cdot C_{\text{ext}}) = t_C$$

$$(R_{\text{in}} \cdot C_{\text{ext}}) = -(R_{\text{in}} \cdot C_{\text{ext}}) \cdot \ln \left[1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}} \right]$$

$$-1 = \ln \left[1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}} \right]$$

$$e^{-1} = 1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}}$$

簡略化すると、最適な C_{ext} の最終的な式が次のように得られます。

$$C_{\text{ext}} = \frac{C_{\text{sh}} \frac{U_{\text{max}}}{U_{\text{lsb}}}}{1 - e^{-1}} \approx 1,58 \cdot C_{\text{sh}} \frac{U_{\text{max}}}{U_{\text{lsb}}}$$

変換間の対応する待ち時間は次のようになります。

$$t_C \approx -(R_{\text{in}} \cdot C_{\text{ext}}) \cdot \ln \left[1 - \frac{1}{1,58} \right] \approx (R_{\text{in}} \cdot C_{\text{ext}})$$

実際には、ファームウェアは ADC を連続モードでプログラムするのではなく、単一モードでのみプログラムする必要があり、また、変換間に t_C に等しい期間を持つ時間的間隔が確保されていることを確認する必要があります。この待ち時間の追加がソフトウェアの変更であり、ハードウェアの変更（外部コンデンサ C_{ext} の追加）と合わせて適用する必要があります。

ソフトウェアで t_C 待ち時間を実装しない場合（たとえば、最初の変換の直後に変換を実行する場合）、外部コンデンサ C_{ext} は C_{sh} コンデンサから周期的に充電されます。多くのサイクルの後、 C_{ext} の電圧は（前に図 42 に示したように）非常に高い誤差値に達します。

STM32L1 の ADC の実装例を以下に示します。

$C_{\text{sh}} = 16 \text{ pF}$ADC の特性
$R_{\text{in}} = 150 \text{ k}\Omega$ 信号ソースの特性
$U_{\text{max}} = 4095 \text{ LSB}$ADC の特性
$U_{\text{lsb}} = 0.5 \text{ LSB}$ 必要な精度

$$C_{\text{ext}} = 1,58 \cdot C_{\text{sh}} \frac{U_{\text{max}}}{U_{\text{lsb}}} = 1,58 \cdot 16\text{pF} \cdot \frac{4095}{0.5} \approx 207\text{nF} \Rightarrow 220\text{nF}$$

$$t_{\text{C}} = -(R_{\text{in}} \cdot C_{\text{sh}}) \cdot \ln \left[1 - \frac{C_{\text{sh}} U_{\text{max}}}{C_{\text{ext}} U_{\text{lsb}}} \right] = -(150\text{k}\Omega \cdot 220\text{nF}) \cdot \ln \left[1 - \frac{16\text{pF} \cdot 4095}{220\text{nF} \cdot 0.5} \right] \approx 29879\mu\text{s} \Rightarrow 30\text{ms}$$

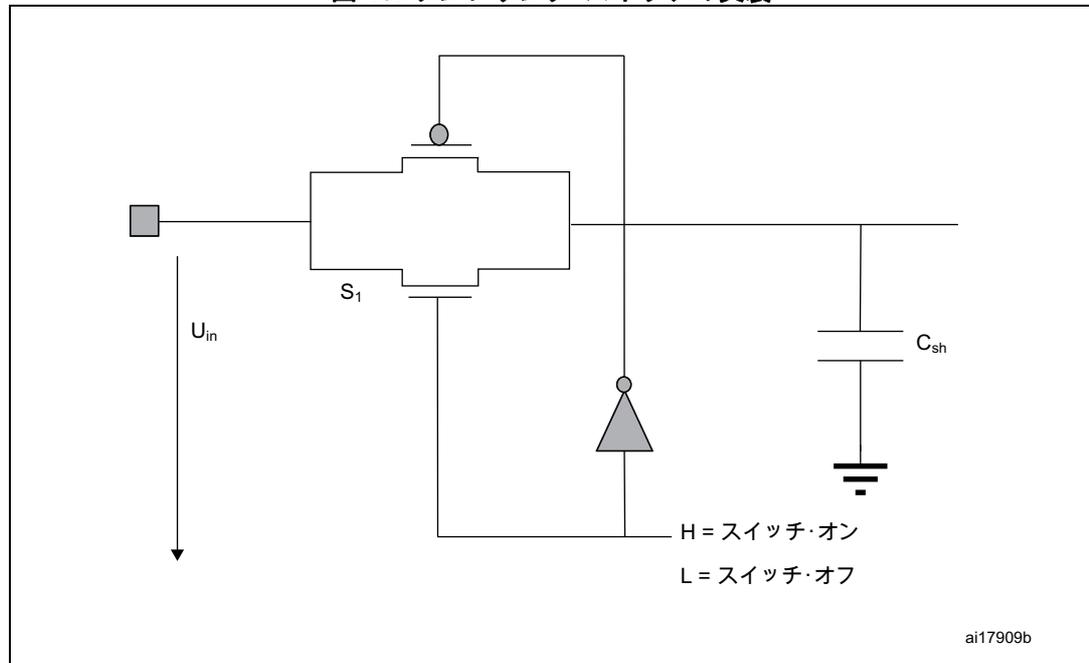
4.4.4 記載されている問題の原因 - ADC 設計

以下のセクションでは、内部のサンプリング・コンデンサ C_{sh} の充電について考えられる原因をいくつか示します。これは完全なリストではありません。ADC の設計について考えられる主な原因についてのみ記載されています。

スイッチの寄生静電容量の影響

ADC サンプル回路内のサンプリング・スイッチ（[図 39](#)を参照）は、理想的ではありません。実際には、サンプルホールド・スイッチ（ S_1 ）は2つのトランジスタ（PMOS と NMOS、[図 43](#)を参照）として設計されています。

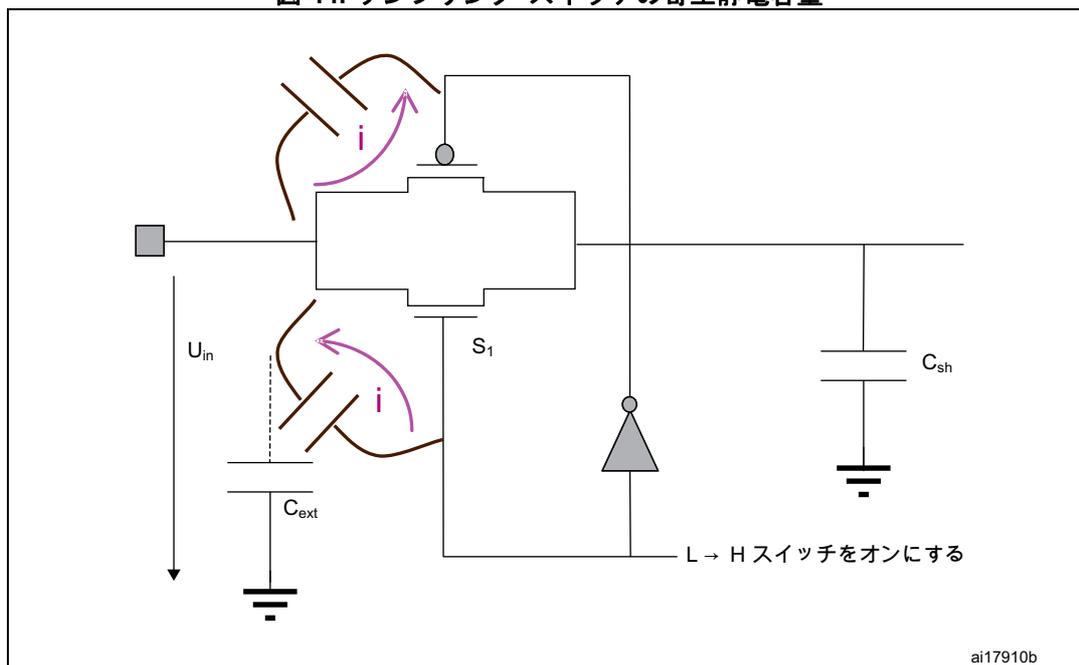
図 43. サンプリング・スイッチの実装



スイッチは、トランジスタのゲート電圧（PMOS トランジスタの反転信号）によって制御されます。この設計は、標準的な双方向スイッチです（入力 U_{in} 電圧のレール間範囲用）。どちらのトランジスタにも、ゲートとソースの間に寄生静電容量があります。

これらの静電容量が（スイッチの近くで）充電されている場合、それらの電荷がサンプリング静電容量に伝達される可能性があります（[図 44](#)を参照）。

図 44. サンプリング・スイッチの寄生静電容量



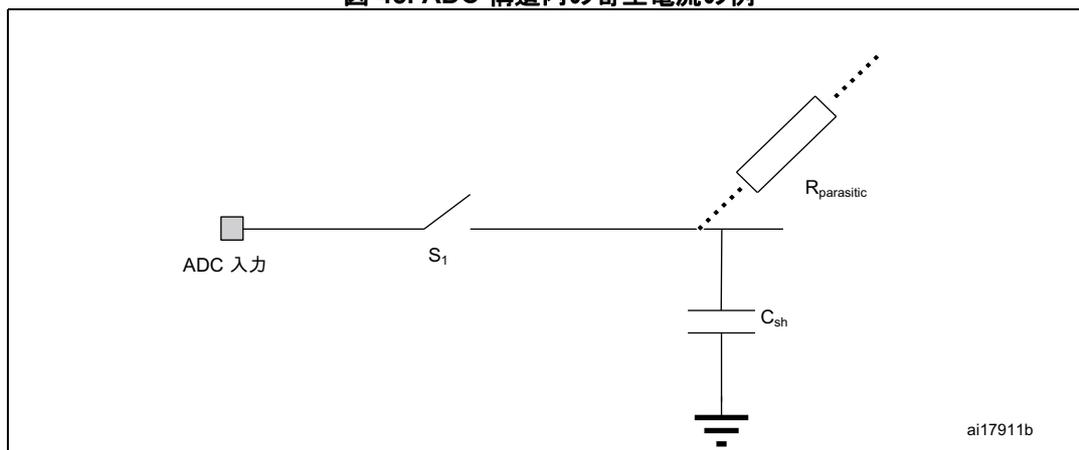
この充電および放電の電流（PMOS および NMOS の非対称静電容量）により、サンプリング静電容量 C_{sh} への電荷の伝達が発生する可能性があります。

サンプリング静電容量の内部充電

変換プロセス（SAR タイプの ADC での連続近似プロセス）の後、サンプルホールド・コンデンサ C_{sh} が特定の電圧まで充電される可能性があります。この理由として以下が考えられます。

- C_{sh} へのリーク電流（ADC 構造内の寄生電流、図 45を参照）
- 次の変換の前に ADC 構造がデフォルト状態に切り替えられたときのスイッチからの残留電荷の伝達
- その他の理由（ADC の内部の寄生構造に関連）

図 45. ADC 構造内の寄生電流の例



5 まとめ

このアプリケーション・ノートでは、主な ADC の誤差について説明し、次に STM32 マイクロコントローラの ADC の誤差を最小限に抑えて最高の ADC 精度を得るための方法とアプリケーションの設計ルールについて説明しています。

どの方法を選択するかは、アプリケーションの要件に依存し、速度、精度、十分な計算能力、設計トポロジの間で常に妥協が必要です。公開されている方法は、精度の向上につながり、SAR（逐次比較型）の原理を使用した ADC コンバータの設計用に最適化されています。

6 改版履歴

表 8. 文書改版履歴

日付	版	変更内容
2008 年 11 月 14 日	1	初版発行
2013 年 9 月 16 日	2	STM32Fx シリーズおよび STM32L1 シリーズのデバイスまで拡大。 セクション 2.1 : SAR ADC 内部構造を追加。 セクション 4.4 : インピーダンスが高いソースの測定を追加。 セクション 4.3 : ソフトウェアで精度を向上させる方法を追加。 テキストの改善と追加。 最終ページの免責条項を変更。
2017 年 2 月 15 日	3	ドキュメントの範囲をすべての STM32 まで拡大。 図 5 : ステップ 2 : MSB = 0 の場合、 $\frac{1}{4}VREF$ と比較 および 図 6 : ステップ 2 : MSB = 1 の場合、 $\frac{1}{4}VREF$ と比較を更新。 セクション 4.3 : ソフトウェアで精度を向上させる方法の概要を更新。 セクション 4.2.3 : アナログ入力信号ノイズ除去、セクション 4.2.4 : 分解能を向上させるためのホワイトノイズまたは三角掃引の追加およびセクション 4.3.1 : サンプルの平均化に STM32L0/L4 ADC ハードウェアのオーバーサンプリングを追加。 16 進表記を「0x」に統一。 最下位ビットの用語を「LSB」に統一。 図のルック・アンド・フィールおよびグラウンドの記号を更新。必要に応じて色の凡例を追加。
2019 年 11 月 07 日	4	概要の内容を修正。 セクション 1 : 一般情報に Arm のロゴと商標表示を追加。 セクション 3.2.3 : 基準電圧のデカップリングとインピーダンスを追加。 セクション 4.2.1 : 基準電圧/電源ノイズの最小化、セクション 4.2.2 : 基準電圧/電源レギュレーション、セクション 4.2.3 : アナログ入力信号ノイズ除去、セクション 4.2.4 : 分解能を向上させるためのホワイトノイズまたは三角掃引の追加 (STM32 デバイスへの参照を変更)、セクション 4.2.5 : ADC ダイナミックレンジの最大信号振幅への適合、セクション 4.2.6 : アナログ・ソース抵抗の計算を更新 セクション 4.2.7 : 外部アナログ・バッファの使用を追加 セクション 4.2.8 : ソース周波数条件 vs ソースコンデンサおよび寄生コンデンサ、セクション 4.3.1 : サンプルの平均化 (STM32 デバイスへの参照を変更) を更新。
2020 年 8 月 25 日	5	セクション 4.2.6 の名前を SAR ADC サンプルング時間の要件に変更しセクションを大幅に改訂。

表 8. 文書改版履歴

日付	版	変更内容
2020 年 12 月 16 日	6	<p>表 2 : ADC SMP 選択 vs STM32 シリーズ (ADC クロック・サイクル数で表示) を更新。</p> <p>セクション 3.1.3 : 微分直線性誤差 および セクション 3.1.5 : 総未調整誤差を更新。</p>
2021 年 5 月 31 日	7	<p>セクション 3.1.3 : 微分直線性誤差の 1.9998 V および 2.0014 V アナログ入力電圧に対応する変換結果を更新。</p> <p>セクション 3.2.1 : 基準電圧ノイズの変換値の計算に使用される式で 4095 を 4096 LSB に置換。</p> <p>セクション 3.2.2 : 基準電圧/電源レギュレーションのデジタル・コードとデジタル出力の計算に使用される式を更新。</p> <p>セクション 3.2.6 : 最大入力信号振幅に対する ADC ダイナミック・レンジの不一致 : ADC によって変換された最大値を 3103 に変更し 図 14 : 入力信号の振幅 vs. ADC のダイナミック・レンジ (VREF+ = 3.3 V) を更新。</p> <p>図 23 : 基準電圧の選択および図 24 : プリアンプを更新。</p> <p>セクション : インピーダンスが非常に高いソースの回避策の 4096 を 4095 LSB に変更</p>

表 9. 日本語版文書改版履歴

日付	版	変更内容
2022 年 3 月 15 日	1	日本語版初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。STの登録商標についてはSTウェブサイトをご覧ください。
www.st.com/trademarks

その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2022 STMicroelectronics - All rights reserved