

Advanced BLDC controller with embedded STM32 MCU

データシート - 生産 データ

**特徴**

- 動作電圧 : 8 V ~ 45 V
- 3相ゲートドライバ
 - 600 mA シンク / ソース
 - 内蔵ブートストラップダイオード
 - 貫通電流防止
- 32-bit ARM[®] Cortex[®]-M0 core :
 - 最大48MHzのクロック周波数
 - 4-kByte SRAM、ハードウェアパリティ機能付き
 - 32-kByteのフラッシュメモリ、書き込み / 読み出し保護用のオプションバイト付き
- 3.3 V DC/DCバック (降圧) コンバータ、過電流・短絡・過熱保護機能付き
- 12 V LDO (リニアレギュレータ)、過熱保護機能付き
- 16チャンネルの汎用I/Oポート (GPIO)
- 5チャンネルの汎用タイマ
- 12-bit ADコンバータ (最大9チャンネル)
- I²C、USARTおよびSPIインターフェース
- 4チャンネルの信号調節用レールtoレールオペアンプ
- 検出しきい値が調整可能な過電流保護コンパレータ
- 3つのホールセンサ入力のデコード結果を出力する3FGオープンドレイン出力
- 低消費電力スタンバイモード

- 各電源に対するUVLO保護
 - V_M 、 V_{DD} 、 V_{REG} 、および V_{BOOTX}
- SWD (シリアル・ワイヤ・デバッグ) によるオンチップデバッグのサポート
- 動作温度 : -40 ~ +125 °C

アプリケーション

- キッチンロボット
- コードレス掃除機
- ハンドドライヤーおよび空気清浄機
- ドローンおよび模型飛行機
- 電動工具
- 産業用および教育用ロボット
- 家庭用電化製品および空調用ファン

目次

| | | |
|----------|--------------------------------|-----------|
| 1 | 概要 | 4 |
| 2 | ブロック図 | 5 |
| 3 | 電気的特性データ | 7 |
| 3.1 | 絶対最大定格 | 7 |
| 3.2 | ESD 保護 | 8 |
| 3.3 | 推奨動作条件 | 8 |
| 3.4 | 温度データ | 8 |
| 4 | 電気的特性 | 9 |
| 5 | 端子説明 | 13 |
| 6 | デバイスの説明 | 19 |
| 6.1 | UVLO および過熱保護 | 19 |
| 6.1.1 | 電源電圧における UVLO | 20 |
| 6.1.2 | 過熱保護 | 20 |
| 6.2 | DC-DC バックコンバータ | 20 |
| | 3.3 V 電圧を外部供給するオプション | 22 |
| 6.3 | リニアレギュレータ | 22 |
| 6.4 | スタンバイモード | 23 |
| 6.5 | ゲートドライバ | 24 |
| 6.6 | マイクロコントローラユニット | 25 |
| 6.6.1 | メモリおよびブートモード | 25 |
| 6.6.2 | 電源管理 | 26 |
| 6.6.3 | 高速の外部クロックソース | 27 |
| 6.6.4 | アドバンスド・コントロール・タイマ (TIM1) | 28 |
| 6.7 | テストモード | 28 |
| 6.8 | オペアンプ | 29 |
| 6.9 | コンパレータ | 29 |
| 6.10 | 3FG_PA7 出力機能 | 31 |
| 6.11 | ESD 保護対策 | 33 |

| | | |
|----|----------------------------------|----|
| 7 | 適用事例 | 34 |
| 8 | パッケージ情報 | 36 |
| | 8.1 VFQFPN48 7 x 7 パッケージ情報 | 37 |
| 9 | 注文情報 | 39 |
| 10 | 改版履歴 | 39 |

1 概要

STSPIN32F0はシステム・イン・パッケージ製品であり、様々な方式による3相BLDCモーターの駆動に適した統合ソリューションを提供します。

本デバイスは3相のハーフブリッジゲートドライバを内蔵し、600 mA（シンク / ソース）の電流能力でパワー MOSFETまたはIGBTを駆動することが可能です。内蔵のインターロック機能により、同一のハーフブリッジにおけるハイサイドおよびローサイドスイッチが同時にHighになることはありません。

内蔵のDC-DCバックコンバータはMCUと外部部品の駆動に適した3.3 Vの電圧を、また同じく内蔵のLDOリニアレギュレータはゲートドライバ用の電源電圧をそれぞれ供給します。

内蔵のオペアンプにより、アナログ・ホールセンサおよびシャント抵抗の信号処理が可能です。

しきい値をプログラム設定できる内部のコンパレータは過電流からの保護を提供します。

内蔵のMCU（STM32F031C6の温度範囲が拡張されたサフィックス7バージョン）により、FOC制御および、センサレス6ステップ制御、速度制御ループを含むその他の先進的駆動アルゴリズムによる制御が可能になっています。意図しない書き込みおよび読み出し動作から内蔵フラッシュメモリを保護するため、MCUには書き込みおよび読み出し保護機能が搭載されています。

STSPIN32F0はまた、過熱および減電圧ロックアウトによる保護機能を有し、消費電力削減のためのスタンバイモード機能も備えています。本デバイスは一部5V入力にも対応した汎用I/Oポート（GPIO）16チャンネル、シングルショットまたはスキャンモードで最大9チャンネルまで変換可能な12ビットのADコンバータ1式、同期可能な汎用タイマ5チャンネルを提供します。また容易に利用可能なデバッグ用シリアルインターフェース（SWD）をサポートしています。

2 ブロック図

図 1. STSPIN32F0 システム・イン・パッケージのブロック図

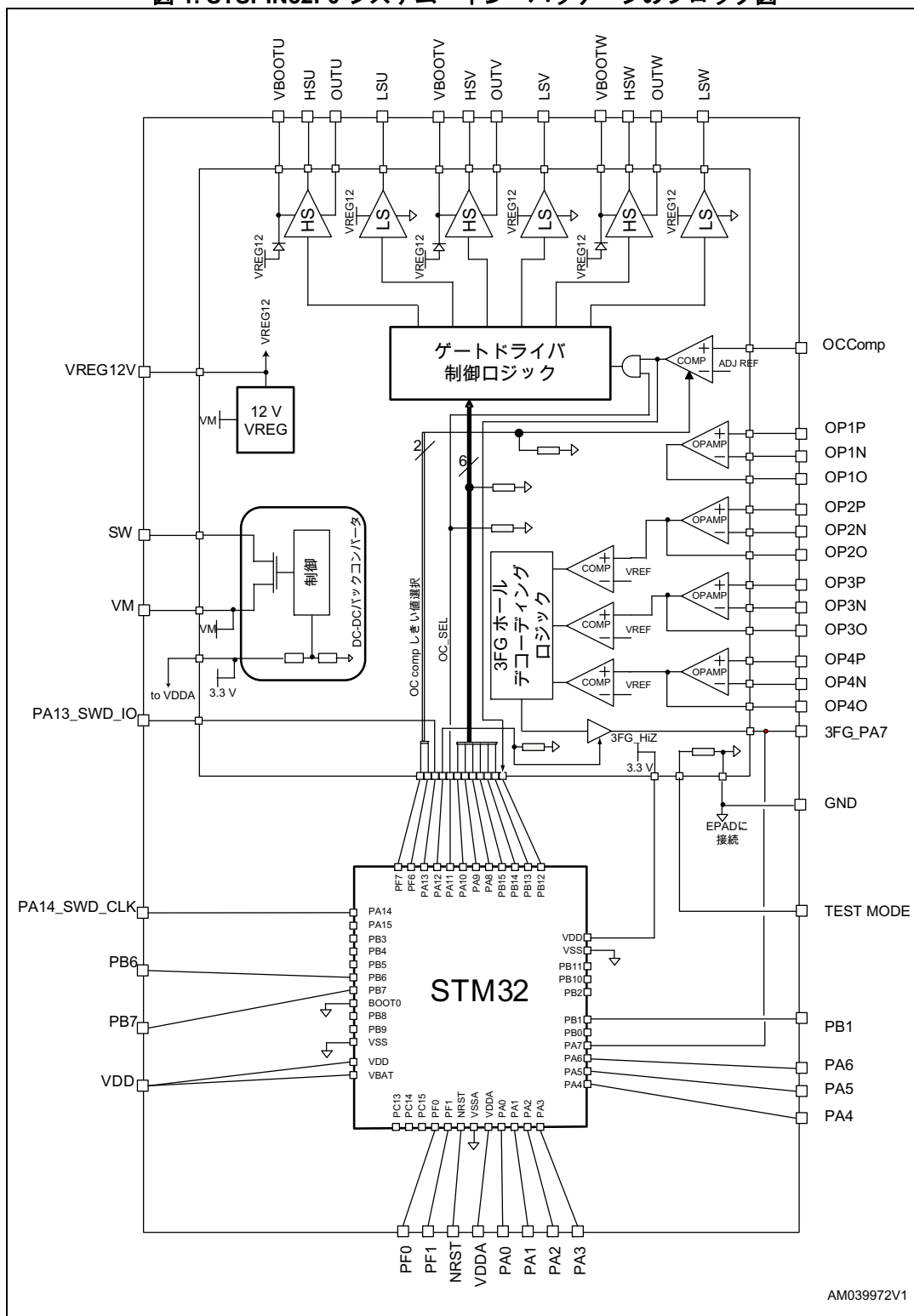
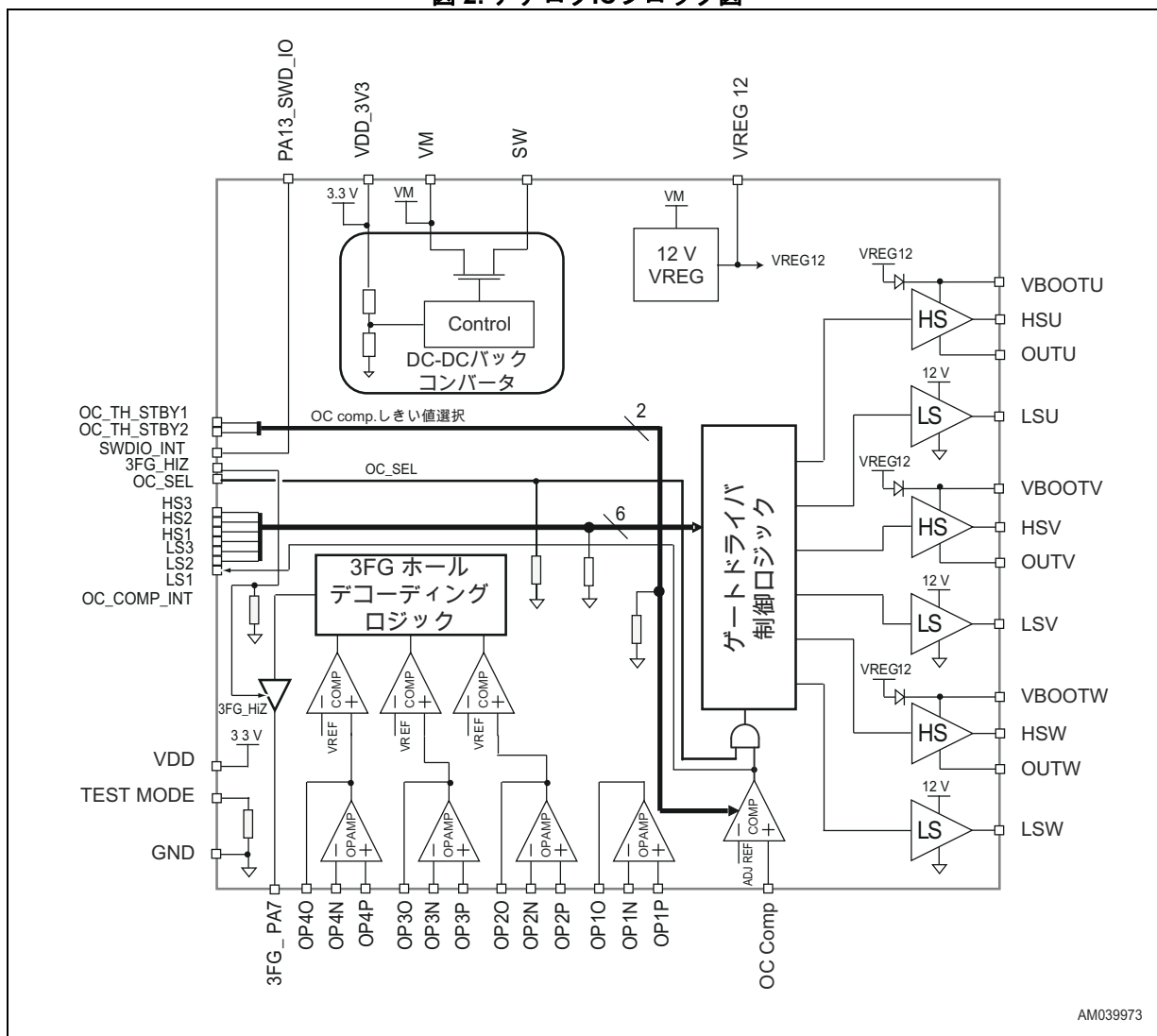


図 2. アナログICブロック図



3 電氣的特性データ

3.1 絶対最大定格

表 1に示した絶対最大定格を超えるストレスを印加すると、デバイスに恒久的なダメージを与える恐れがあります。最大定格の条件にて長期間動作させるとデバイスの信頼性に影響する恐れがあります。

表 1. 絶対最大定格

| 記号 | 項目 | 試験条件 | 値 | 単位 |
|-----------------|---------------------------|----------------|-----------------------------------------------------------------------------|------|
| V_M | 電源電圧 | - | -0.3 ~ 48 | V |
| V_{REG12} | リニアレギュレータ出力およびゲートドライバ電源電圧 | VREG12 をVMに短絡 | 15 | V |
| V_{OPP} | オペアンプのプラス入力電圧 | - | -0.2 ~ $V_{DD} + 0.2$ | V |
| V_{OPN} | オペアンプのマイナス入力電圧 | - | -0.2 ~ $V_{DD} + 0.2$ | V |
| V_{CP} | コンパレータ入力電圧 | - | -2 ~ 2 | V |
| V_{3FG} | 3FG出力電圧 | - | -0.3 ~ $V_{DD} + 0.3$ | V |
| I_{3FG} | 3FG出力シンク電流 | - | 8 | mA |
| V_{HS} | ハイサイドゲート出力電圧 | - | $V_{OUT} - 0.3 \sim V_{BOOT} + 0.3$ | V |
| V_{LS} | ローサイドゲート出力電圧 | - | -0.3 ~ $V_{REG12} + 0.3$ | V |
| V_{BOOT} | ブートストラップ電圧 | - | 最大 ($V_{OUT} - 0.3$ または -0.3) ~ 最小 ($V_{OUT} + V_{REG12} + 0.3$ または60) | V |
| V_{OUT} | 出力電圧 (OUTU, OUTV, OUTW) | - | -2 ~ $V_M + 2$ | V |
| dV_{OUT}/dt | 出力スループレート | - | ± 10 | V/ns |
| V_{IO} | MCU ロジック入力電圧 | (1) TTa タイプ | -0.3 ~ 4 | V |
| | ロジック入力電圧 | (1) FT、FTf タイプ | -0.3 ~ $V_{DD} + 4^{(2)}$ | V |
| I_{IO} | MCU I/O出力電流 | (1) | -25 ~ 25 | mA |
| ΣI_{IO} | MCU I/O 出力電流合計 | (1), (3) | -80 ~ 80 | mA |
| V_{DD} | MCU デジタル電源電圧 | (1) | -0.3 ~ 4 | V |
| V_{DDA} | MCU アナログ電源電圧 | (1) | -0.3 ~ 4 | V |
| T_{stg} | 保管温度 | - | -55 ~ 150 | °C |
| T_j | 動作接合部温度 | - | -40 ~ 150 | °C |

1. 詳細はSTM32F031C6データシート（サフィックス7のバージョン）の表15、電圧特性を参照してください。
2. 内部のプルアップ / プルダウン抵抗が無効化されている場合にのみ有効です。内部のプルアップまたはプルダウン抵抗が有効化されている場合の最大値は4 Vです。
3. MCU電源電圧が内蔵DC-DCバックコンバータから供給されている場合、アプリケーションの消費電流量は $I_{DDA,max}$ の値が最大となります（表 5を参照）。

3.2 ESD保護

表 2. ESD保護定格

| 記号 | 項目 | 試験条件 | クラス | 値 | 単位 |
|-----|-----------|--------------------------------|-----|-----|----|
| HBM | 人体モデル | ANSI/ESDA/JEDEC JS-001-2014に準拠 | H2 | 2 | kV |
| CDM | デバイス帯電モデル | ANSI/ESDA/JEDEC JS-001-2014に準拠 | C2 | 750 | V |

3.3 推奨動作条件

表 3. 推奨動作条件

| 記号 | 項目 | 試験条件 | 最小 | 標準 | 最大 | 単位 |
|-------------|-------------------------------|--------------------------|------------------|-----------------|------|--------------------|
| V_M | 電源電圧 | - | 8 ⁽¹⁾ | - | 45 | V |
| dV_M/dt | 電源電圧スロープ | $V_M = 45\text{ V}$ | - | - | 0.75 | V/ μs |
| V_{DDA} | DC-DCバックコンバータ出力電圧 | - | - | 3.3 | - | V |
| L_{SW} | 出カインダクタンス | - | - | 22 | - | μH |
| C_{DDA} | 出力容量 | - | 47 | - | - | μF |
| ESR_{DDA} | 出力容量 ESR | - | - | - | 200 | m Ω |
| V_{REG12} | リニアレギュレータ出力およびゲート ドライバ電源電圧 | $13 < V_M < 45\text{ V}$ | - | 12 | - | V |
| | | VMに短絡 | 8 ⁽¹⁾ | - | 15 | |
| C_{REG} | 負荷容量 | - | 1 | 10 | - | μF |
| ESR_{REG} | ESR 負荷容量 | - | - | - | 1.2 | Ω |
| V_{BO} | フローティング電源電圧 ⁽²⁾ | - | - | $V_{REG12} - 1$ | 15 | V |
| V_{CP} | コンパレータ入力電圧 | - | 0 | - | 1 | V |
| T_j | 動作接合部温度 | アナログIC | -40 | - | 125 | $^{\circ}\text{C}$ |
| | | MCU ⁽³⁾ | -40 | - | 125 | $^{\circ}\text{C}$ |

1. UVLO しきい値 V_{Mon_max} .

2. $V_{BO} = V_{BOOT} - V_{OUT}$.

3. STM32F031C6データシート（サフィックス7のバージョン）を参照してください。

3.4 温度データ

表 4. 温度データ⁽¹⁾

| 記号 | 項目 | 値 | 単位 |
|--------------|-------------|------|----------------------|
| $R_{th}(JA)$ | 接合部と周囲間の熱抵抗 | 45.6 | $^{\circ}\text{C/W}$ |

1. 次の境界条件におけるシミュレーションにより算出。JEDEC規格（JESD51-7）に基づいた、自然対流条件下の2s2p基板。

基板寸法：114.3 x 76.2 x 1.6 mm 周囲温度：25 $^{\circ}\text{C}$

4 電気的特性

試験条件: 特別に記載のない限り $V_M = 15\text{ V}$; $V_{DD} = 3.3\text{ V}$

特別に記載のない限り、標準値は $T_j = 25\text{ }^\circ\text{C}$ で試験した時の値であり、また最小値および最大値は、 $-40\sim 125\text{ }^\circ\text{C}$ の温度範囲における特性評価により保証されています。

表 5. 電気特性

| 記号 | 項目 | 試験条件 | 最小 | 標準 | 最大 | 単位 |
|----------------------|-----------------------------|---------------------------------------------------------------------------------|-----|------|------|---------------|
| 電源およびスタンバイモード | | | | | | |
| I_M | V_M 消費電流 | $V_M = 45\text{ V}$, $V_{DD} = 3.5\text{ V}$ 外部供給 | - | 2 | 2.6 | mA |
| | | スタンバイ PF7 = '0' PF6 = '0' $V_M = 45\text{ V}$, $V_{DD} = 3.5\text{ V}$ 外部供給 | - | 880 | 1100 | μA |
| V_{MOn} | V_M UVLO ターン・オンしきい値 | V_M 0 Vからの立ち上がり | 7.0 | 7.4 | 7.8 | V |
| V_{MOff} | V_M UVLO ターン・オフしきい値 | V_M 8 Vからの立ち下がり | 6.7 | 7.1 | 7.5 | V |
| V_{MHys} | V_M UVLO しきい値ヒステリシス | - | - | 0.3 | - | V |
| I_{DD} | V_{DD} 消費電流 | $V_{DD} = 3.5\text{ V}$ 外部供給 ⁽¹⁾ | - | 2.5 | 5 | mA |
| | | スタンバイ PF7 = '0' PF6 = '0' $V_{DD} = 3.5\text{ V}$ 外部供給 ⁽¹⁾ | - | 2.5 | 5 | |
| I_{DDA} | V_{DDA} 消費電流 | $V_{DD} = 3.5\text{ V}$ 外部供給 ⁽¹⁾ | - | 615 | 750 | μA |
| | | スタンバイ PF7 = '0' PF6 = '0' $V_{DD} = 3.5\text{ V}$ 外部供給 ⁽¹⁾ | - | 80 | 125 | |
| V_{DDOn} | V_{DD} UVLO ターン・オンしきい値 | V_{DD} 0 Vからの立ち上がり | 2.5 | 2.65 | 2.8 | V |
| V_{DDOff} | V_{DD} UVLO ターン・オフしきい値 | V_{DD} 3.3 Vからの立ち下がり | 2.2 | 2.35 | 2.5 | V |
| V_{DDHys} | V_{DD} UVLO しきい値ヒステリシス | - | - | 0.3 | - | V |
| I_{REG12} | V_{REG} 消費電流 | $V_{REG} = 13\text{ V}$ 外部供給, $V_M = 45\text{ V}$; ゲートドライバ非動作時 | - | 800 | 1200 | μA |
| | | スタンバイ PF7 = '0' PF6 = '0' $V_{REG} = 13\text{ V}$ 外部供給 | - | 800 | 1200 | |
| $V_{REG12On}$ | V_{REG12} UVLO ターン・オンしきい値 | V_{REG12} 0 Vからの立ち上がり | 6.7 | 7.1 | 7.5 | V |
| $V_{REG12Off}$ | V_{REG12} UVLO ターン・オフしきい値 | V_{REG12} 8 Vからの立ち下がり | 6.4 | 6.8 | 7.2 | V |
| $V_{REG12Hys}$ | V_{REG12} UVLO しきい値ヒステリシス | - | - | 0.25 | - | V |
| I_{BOOT} | V_{BO} 消費電流 | HS on $V_{BO} = 13\text{ V}$ | - | 200 | 290 | μA |
| V_{BOOn} | V_{BO} UVLO ターン・オンしきい値 | V_{BO} 0 Vからの立ち上がり | 5.7 | 6.1 | 6.5 | V |
| V_{BOOff} | V_{BO} UVLO ターン・オフしきい値 | V_{BO} 8 Vからの立ち下がり | 5.4 | 5.8 | 6.2 | V |
| V_{BOHys} | V_{BO} UVLO しきい値ヒステリシス | - | - | 0.25 | - | V |
| t_{sleep} | スタンバイ設定時間 | - | - | - | 1 | μs |

表 5. 電氣特性 (続き)

| 記号 | 項目 | 試験条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------------|---------------------------------------------------|-------------------------------------------------------------|------------------|----------|--------|------------|
| DC-DCバックコンバータ | | | | | | |
| V_M | 入力電源電圧 | - | 8 ⁽²⁾ | - | 45 | V |
| V_{PWR_OK} | パワー・グッド電圧 | - | 5.6 | 6 | 6.4 | V |
| V_{DDA} | 平均出力電圧 | ⁽³⁾ | 3.09 | 3.3 | 3.5 | V |
| I_{DDA} | 出力電流 | DC ; MCU の消費電流を含む | - | - | 70 | mA |
| f_{SW} | SW端子最大スイッチング周波数 | オープンループ、 V_{DDA} フローティング $I_{SW} = 100 \text{ mA}$ | - | 200 | 330 | kHz |
| $R_{SWDS(ON)}$ | スイッチオン抵抗 | $I_{SW} = 200 \text{ mA}$ | - | 1.4 | - | Ω |
| η | 効率 | $V_M = 8 \text{ V}$; $I_{DDA} = I_{DDA,max}^{(3)}$ | - | 80 | - | % |
| $I_{SW,peak}$ | ピーク電流しきい値 | - | - | 320 | - | mA |
| I_{OVC} | 過電流ラッチしきい値 | - | - | 1 | - | A |
| t_{SS} | ソフトスタート時間 | - | 2.5 | 5 | 7.5 | ms |
| リニアレギュレータ | | | | | | |
| V_{REG12} | リニアレギュレータ出力およびゲート ドライバ電源電圧 | $V_M = 13 \sim 45 \text{ V}$ $I_O = 10 \text{ mA}^{(4)}$ | 11.4 | 12 | 12.6 | V |
| $V_{REG12,drop}$ | ドロップ電圧 | $V_M = 8 \sim 11 \text{ V}$, $I_O = 10 \text{ mA}$ | - | 200 | 400 | mV |
| $I_{REG12,lim}$ | リニアレギュレータ電流制限 | $V_M = 13 \text{ V}$ | 20 | - | 40 | mA |
| ゲートドライバ | | | | | | |
| I_{SI} I_{SO} | 最大シンク / ソース電流能力 | $T_J = 25 \text{ }^\circ\text{C}$ 全温度範囲 | 400 350 | 600 - | - - | mA mA |
| R_{PDin} | 入力ラインプルダウン抵抗 | - | 30 | 60 | 95 | k Ω |
| t_{on} t_{off} | 入力から出力への伝搬遅延 ⁽⁵⁾ | - | 10 | 20 | 40 | ns |
| MT | ディレイマッチング、HS および LS ターン・オン / オフ ⁽⁶⁾ | - | - | 10 | 20 | ns |
| R_{DS_diode} | ブートストラップダイオード・オン抵抗 | - | - | 120 | 240 | Ω |

表 5. 電気特性 (続き)

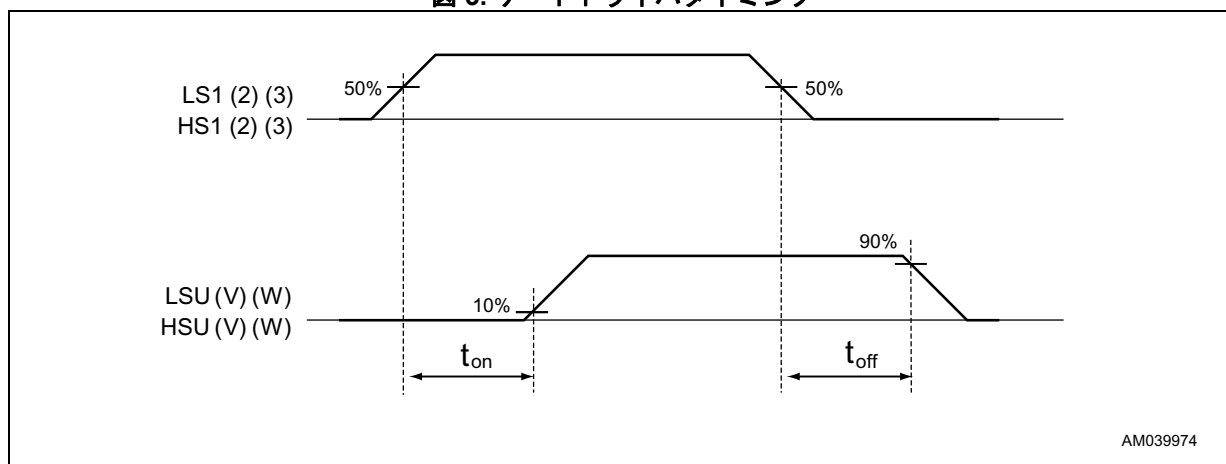
| 記号 | 項目 | 試験条件 | 最小 | 標準 | 最大 | 単位 |
|-------------------------|-------------------------|-------------------------------------------------------------------------------------|------|------------|----------------|------------------|
| オペアンプ | | | | | | |
| V_{OPio} V_{icm} | 入力コモンモード電圧範囲 | - | -0.1 | - | $V_{DD} + 0.1$ | V |
| V_{OPio} | 入力オフセット電圧 | $V_{out} = 1.65$; $T_j = 25\text{ }^\circ\text{C}$ | - | 1 | 6 | mV |
| | | $V_{out} = 1.65$; 全温度範囲 | - | - | 7 | mV |
| I_{OPio} | 入力オフセット電流 | $V_{out} = 1.65^{(7)}$ | - | - | 100 | pA |
| I_{OPib} | 入力バイアス電流 | (7) | - | - | 100 | pA |
| CMRR | 同相信号除去比 | $0 \sim 3.3\text{ V}$; $V_{out} = 1.65\text{ V}$ | 70 | 90 | - | dB |
| A_{OL} | オープンループゲイン | $R_L = 10\text{ k}\Omega$; $V_{out} = 1.65$ | - | 90 | - | dB |
| $V_{DD} - V_{OH}$ | ハイレベル出力電圧 | $R_L = 10\text{ k}\Omega^{(8)}$ | - | 15 | 40 | mV |
| V_{OL} | ローレベル出力電圧 | $R_L = 10\text{ k}\Omega^{(8)}$ | - | 15 | 40 | mV |
| I_{OUT} | シンク出力電流 | $V_{out} = 3.3\text{ V}$; $T_j = 25\text{ }^\circ\text{C}$ | 18 | - | - | mA |
| | | $V_{out} = 3.3\text{ V}$; 全温度範囲 | 16 | - | - | |
| | ソース出力電流 | $V_{out} = 0\text{ V}$; $T_j = 25\text{ }^\circ\text{C}$ | 18 | - | - | mA |
| | | $V_{out} = 0\text{ V}$; 全温度範囲 | 16 | - | - | |
| GBP | 利得帯域幅積 (GB積) | $R_L = 2\text{ k}\Omega$; $C_L = 100\text{ pF}$ $V_{out} = 1.65$ | 10 | 18 | - | MHz |
| Gain | 安定性確保のための最小利得 | 位相余裕 = 45° $0.2\text{ V} < V_{out} < V_{DD} - 0.2$ | - | 4 | - | V/V |
| SR | スルーレート | $R_L = 2\text{ k}\Omega$; $C_L = 100\text{ pF}$ $V_{in} 1 \sim 2\text{ V step}$ | - | 10 | - | V/ μs |
| OCコンパレータ | | | | | | |
| OC_{th} | 過電流しきい値 | PF6 = '0' PF7 = '1' | 90 | - | 120 | mV |
| | | PF6 = '1' PF7 = '0' | 235 | 255 | 275 | mV |
| | | PF6 = '1' PF7 = '1' | 465 | 505 | 545 | mV |
| t_{CPD} | コンパレータ伝搬遅延 | $OC_{th} = 0.5\text{ V}$; OC_Comp : 電圧ステップは 0Vから1V | - | 80 | 120 | ns |
| $t_{OCdegitch}$ | コンパレータ入力デグリッチフィルタ 時間 | (9) | 35 | 50 | - | ns |
| $t_{OCrelease}$ | 過電流ラッチ解除最小パルス幅 | (9) | - | - | 20 | ns |
| 3FG 回路 | | | | | | |
| V_{ref} | 3FG コンパレータリファレンス電圧 | $V_{DD} = 3.3\text{ V}$ | 1.55 | $V_{DD}/2$ | 1.75 | V |
| t_{3FGD} | 3FG コンパレータ伝搬遅延 | PA12 = '1' (10) | - | 50 | 80 | ns |
| V_{3FGL} | ローレベル 3FG出力 | $I_{sink} = 8\text{ mA}$ | - | 0.2 | 0.4 | V |

表 5. 電気特性 (続き)

| 記号 | 項目 | 試験条件 | 最小 | 標準 | 最大 | 単位 |
|-------------|-----------------|------|-----|-----|-----|----|
| 過熱保護 | | | | | | |
| T_{SD} | 過熱シャットダウン温度 | - | 130 | 140 | 150 | °C |
| T_{hys} | 過熱シャットダウンヒステリシス | - | 20 | 30 | 40 | °C |

- 消費電流はマイクロコントローラに実装したファームウェアに依存
- UVLO しきい値 V_{Mon_max}
- 47 μ Fのコンデンサ(APXG250ARA470MF61G)、22 μ Hのインダクタ (MLF1608C220KTA00)、および1N4448TRダイオードを使用。
- 11 V < V_M < 13 Vの条件では、リニアレギュレータが既にオンしているか否かによって、リニア出力電圧はVREG12またはVM-VREG12,drop となります。
- [図 3](#)
- $MT = \max. (|t_{on(LVG)} - t_{off(LVG)}|, |t_{on(HVG)} - t_{off(HVG)}|, |t_{off(LVG)} - t_{on(HVG)}|, |t_{off(HVG)} - t_{on(LVG)}|)$
- 設計保証
- I_{OUT} 試験により保証
- [31 ページの図 16](#)を参照。
- 3FG 回路有効化パラメータはアクティブなオープンドレインの立ち下がりエッジで測定

図 3. ゲートドライバタイミング



AM039974

5 端子説明

図 4. STSPIN32F0 SiPの端子接続（上面図）

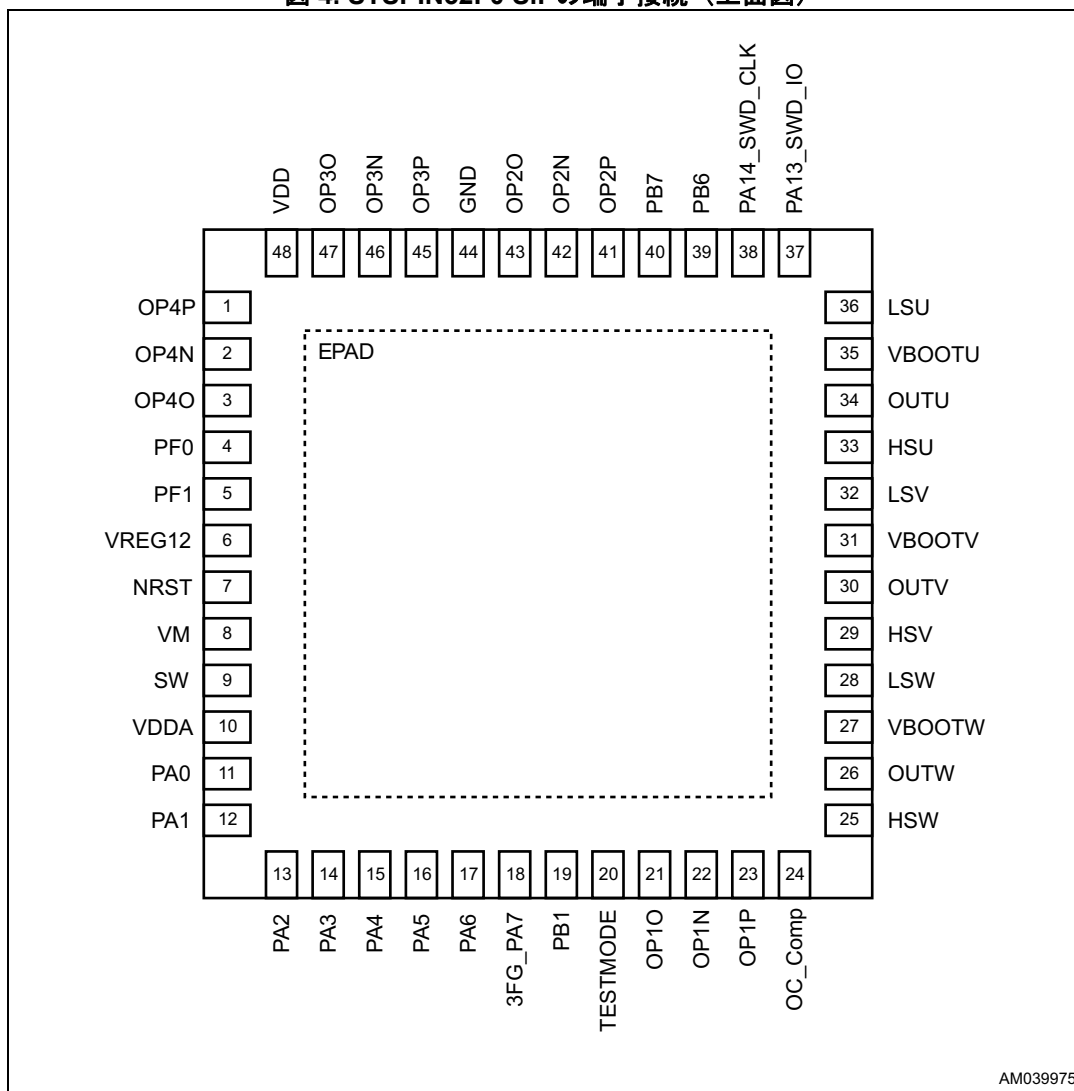


表 6. STSPIN32F0 SiPの端子説明 (1)

| 番号 | 名称 | タイプ | 機能 |
|----|--------|--------|------------------|
| 1 | OP4P | アナログ入力 | オペアンプ4の非反転入力 |
| 2 | OP4N | アナログ入力 | オペアンプ4の反転入力 |
| 3 | OP4O | アナログ出力 | オペアンプ4出力 |
| 4 | PF0 | デジタル入力 | MCU PF0 |
| 5 | PF1 | デジタル入力 | MCU PF1 |
| 6 | VREG12 | パワー | 12 V リニアレギュレータ出力 |
| 7 | NRST | デジタル入力 | MCU リセット端子 |

表 6. STSPIN32F0 SiPの端子説明 (続き)⁽¹⁾

| 番号 | 名称 | タイプ | 機能 |
|----|--------------|----------|---------------------------------------|
| 8 | VM | パワー | 電源電圧 (バス電圧) |
| 9 | SW | アナログ出力 | 3.3 V DC-DCバックコンバータ・スイッチング端子 |
| 10 | VDDA | パワー | MCU アナログ電源電圧 |
| 11 | PA0 | アナログ入力 | MCU PA0 |
| 12 | PA1 | アナログ入力 | MCU PA1 |
| 13 | PA2 | アナログ入力 | MCU PA2 |
| 14 | PA3 | アナログ入力 | MCU PA3 |
| 15 | PA4 | アナログ入力 | MCU PA4 |
| 16 | PA5 | アナログ入力 | MCU PA5 |
| 17 | PA6 | デジタル入力 | MCU PA6 |
| 18 | 3FG_PA7 | デジタル I/O | 3FG オープンドレイン出力またはMCU PA7 |
| 19 | PB1 | アナログ入力 | MCU PB1 |
| 20 | テストモード | デジタル入力 | テストモード入力 |
| 21 | OP1O | アナログ出力 | オペアンプ1出力 |
| 22 | OP1N | アナログ入力 | オペアンプ1の反転入力 |
| 23 | OP1P | アナログ入力 | オペアンプ1の非反転入力 |
| 24 | OC_Comp | アナログ入力 | 過電流コンパレータ入力 |
| 25 | HSW | アナログ出力 | W相ハイサイドドライバ出力 |
| 26 | OUTW | パワー | W相ハイサイド (フローティング) 同相電圧 |
| 27 | VBOOTW | パワー | W相ブートストラップ電源電圧 |
| 28 | LSW | アナログ出力 | W相ローサイドドライバ出力 |
| 29 | HSV | アナログ出力 | V相ハイサイドドライバ出力 |
| 30 | OUTV | パワー | V相ハイサイド (フローティング) 同相電圧 |
| 31 | VBOOTV | パワー | V相ブートストラップ電源電圧 |
| 32 | LSV | アナログ出力 | V相ローサイドドライバ出力 |
| 33 | HSU | アナログ出力 | U相ハイサイドドライバ出力 |
| 34 | OUTU | パワー | U相ハイサイド (フローティング) 同相電圧 |
| 35 | VBOOTU | パワー | U相ブートストラップ電源電圧 |
| 36 | LSU | アナログ出力 | U相ローサイドドライバ出力 |
| 37 | PA13_SWD_IO | デジタル I/O | MCU PA13/SWDIO (アナログIC経由のシステムデバッグデータ) |
| 38 | PA14_SWD_CLK | デジタル I/O | MCU PA14/SWDCLK (システムデバッグクロック) |
| 39 | PB6 | デジタル I/O | MCU PB6 |
| 40 | PB7 | デジタル入力 | MCU PB7 |
| 41 | OP2P | アナログ入力 | オペアンプ2の非反転入力 |
| 42 | OP2N | アナログ入力 | オペアンプ2の反転入力 |
| 43 | OP2O | アナログ出力 | オペアンプ2出力 |
| 44 | GND | パワー | グラウンド |

表 6. STSPIN32F0 SiPの端子説明 (続き)⁽¹⁾

| 番号 | 名称 | タイプ | 機能 |
|----|------|--------|--------------|
| 45 | OP3P | アナログ入力 | オペアンプ3の非反転入力 |
| 46 | OP3N | アナログ入力 | オペアンプ3の反転入力 |
| 47 | OP3O | アナログ出力 | オペアンプ3出力 |
| 48 | VDD | パワー | MCU デジタル電源 |
| | EPAD | パワー | 内部でGNDに接続 |

1. MCU端子の機能については表 7 を参照

表 7. STSPIN32F0 MCU パッドマッピング

| MCU パッド | タイプ | アナログICパッド | 代替および追加機能 |
|---------|-----------|-------------|---------------------------------------------------------------------------------------|
| PF0 | I/O - FT | - | OSC_IN |
| PF1 | I/O - FT | - | OSC_OUT |
| NRST | I/O - RST | - | デバイスリセット入力 / 内部リセット出力 (アクティブロー) |
| VDDA | S | VDD_3V3 | アナログ電源電圧 |
| PA0 | I/O - TTa | - | TIM2_CH1_ETR, USART1_CTS ADC_IN0, RTC_TAMP2, WKUP1 |
| PA1 | I/O - TTa | - | TIM2_CH2, EVENTOUT, USART1_RTS ADC_IN1 |
| PA2 | I/O - TTa | - | TIM2_CH3, USART1_TX ADC_IN2 |
| PA3 | I/O - TTa | - | TIM2_CH4, USART1_RX ADC_IN3 |
| PA4 | I/O - TTa | - | SPI1_NSS, I2S1_WS, TIM14_CH1, USART1_CK ADC_IN4 |
| PA5 | I/O - TTa | - | SPI1_SCK, I2S1_CK, TIM2_CH1_ETR ADC_IN5 |
| PA6 | I/O - TTa | - | SPI1_MISO, I2S1_MCK, TIM3_CH1, TIM1_BKIN, TIM16_CH1, EVENTOUT ADC_IN6 |
| PB1 | I/O - TTa | - | TIM3_CH4, TIM14_CH1, TIM1_CH3N ADC_IN9 |
| PA7 | I/O - TTa | 3FGOUT | SPI1_MOSI, I2S1_SD, TIM3_CH2, TIM14_CH1, TIM1_CH1N, TIM17_CH1, EVENTOUT ADC_IN7 |
| PB12 | I/O - FT | OC_COMP_INT | TIM1_BKIN ⁽¹⁾ |
| PB13 | I/O - FT | LS1 | TIM1_CH1N ⁽¹⁾ |
| PB14 | I/O - FT | LS2 | TIM1_CH2N ⁽¹⁾ |
| PB15 | I/O - FT | LS3 | TIM1_CH3N ⁽¹⁾ |
| PA8 | I/O - FT | HS1 | TIM1_CH1 ⁽¹⁾ |

表 7. STSPIN32F0 MCU パッドマッピング (続き)

| MCU パッド | タイプ | アナログICパッド | 代替および追加機能 |
|-----------------------------------------------------------------------|-----------|-------------|---------------------------------|
| PA9 | I/O - FTf | HS2 | TIM1_CH2 ⁽¹⁾ |
| PA10 | I/O - FTf | HS3 | TIM1_CH3 |
| PA11 | I/O - FT | OC_SEL | プッシュプル出力 ⁽¹⁾ |
| PA12 | I/O - FT | 3FG_HIZ | プッシュプル出力 ⁽¹⁾ |
| PA13_SWD_IO | I/O - FT | SWDIO_INT | IR_OUT, SWDIO |
| PF6 | I/O - FTf | OC_TH_STBY2 | プッシュプル出力 ⁽¹⁾ |
| PF7 | I/O - FTf | OC_TH_STBY1 | プッシュプル出力 ⁽¹⁾ |
| PA14_SWD_CLK | I/O - FT | - | USART1_TX, SWCLK |
| PB6 | I/O - FTf | - | I2C1_SCL, USART1_TX, TIM16_CH1N |
| PB7 | I/O - FTf | - | I2C1_SDA, USART1_RX, TIM17_CH1N |
| VBAT, VDD | S | VDD | バックアップおよびデジタル電源 |
| VSS, VSSA | S | - | グラウンド |
| BOOT0 | I | - | ブートメモリ選択 (内部でGNDに接続) |
| PC13, PC14, PC15, PB0, PB2, PB10, PB11, PA15, PB3, PB4, PB5, PB8, PB9 | - | - | 非接続 |

1. アナログICはこれらのGPIO構成のみをサポートするよう設計されています。構成を変えるとデバイスの動作異常の原因となります。GPIO入力は、プルアップまたはプルダウンなしの設定でも問題ありません。

注： **SiP内部の各未使用GPIOは、起動後に出力モードでローレベル出力となるよう、ソフトウェアで設定してください。**

表 8. STSPIN32F0 アナログICパッドの説明

| 端子名称 | パッド名称 | タイプ | 機能 |
|-------------|-------------|----------|--------------------------------|
| PA13_SWD_IO | SYS_SWDIO | デジタル I/O | システムデバッグデータ (アナログICを経由して出力に接続) |
| VDDA | VDD_3V3 | パワー | 3.3 V DC-DCバックコンバータ電圧出力 |
| VM | VM | パワー | 電源電圧 (バス電圧) |
| SW | SW | アナログ出力 | 3.3 V DC-DC バックレギュレータスイッチングノード |
| VREG12 | VREG12 | パワー | 12 V リニアレギュレータ出力 |
| VBOOTU | VBOOTU | パワー | U相ブートストラップ電源電圧 |
| HSU | HSU | アナログ出力 | U相ハイサイドドライバ出力 |
| OUTU | OUTU | パワー | U相ハイサイド (フローティング) 同相電圧 |
| LSU | LSU | アナログ出力 | U相ローサイドドライバ出力 |
| VBOOTV | VBOOTV | パワー | V相ブートストラップ電源電圧 |
| HSV | HSV | アナログ出力 | V相ハイサイドドライバ出力 |
| OUTV | OUTV | パワー | V相ハイサイド (フローティング) 同相電圧 |
| LSV | LSV | アナログ出力 | V相ローサイドドライバ出力 |
| VBOOTW | VBOOTW | パワー | W相ブートストラップ電源電圧 |
| HSW | HSW | アナログ出力 | W相ハイサイドドライバ出力 |
| OUTW | OUTW | パワー | W相ハイサイド (フローティング) 同相電圧 |
| LSW | LSW | アナログ出力 | W相ローサイドドライバ出力 |
| OC_Comp | OC_COMP | アナログ入力 | 過電流コンパレータ入力 |
| OP1P | OP1P | アナログ出力 | オペアンプ1出力 |
| OP1N | OP1N | アナログ入力 | オペアンプ1反転入力 |
| OP1O | OP1O | アナログ入力 | オペアンプ1非反転入力 |
| OP2P | OP2P | アナログ出力 | オペアンプ2出力 |
| OP2N | OP2N | アナログ入力 | オペアンプ2反転入力 |
| OP2O | OP2O | アナログ入力 | オペアンプ2の非反転入力 |
| OP3P | OP3P | アナログ出力 | オペアンプ3出力 |
| OP3N | OP3N | アナログ入力 | オペアンプ3反転入力 |
| OP3O | OP3O | アナログ入力 | オペアンプ3非反転入力 |
| OP4P | OP4P | アナログ出力 | オペアンプ4出力 |
| OP4N | OP4N | アナログ入力 | オペアンプ4反転入力 |
| OP4O | OP4O | アナログ入力 | オペアンプ4非反転入力 |
| 3FG_PA7 | 3FGOUT | デジタル出力 | 3FG 出力 (オープンドレイン) |
| GND | GND | パワー | グラウンド |
| 試験モード | 試験モード | デジタル入力 | 試験モード入力 |
| - | VDD | パワー | MCU デジタル電源 |
| - | OC_COMP_INT | デジタル出力 | OCコンパレータ出力 |
| - | HS1 | デジタル入力 | ハイサイドドライバU入力 |

表 8. STSPIN32F0 アナログICパッドの説明 (続き)

| 端子名称 | パッド名称 | タイプ | 機能 |
|------|-------------|--------|--------------------------------|
| - | HS2 | デジタル入力 | ハイサイドドライバV入力 |
| - | HS3 | デジタル入力 | ハイサイドドライバW入力 |
| - | LS1 | デジタル入力 | ローサイドドライバU入力 |
| - | LS2 | デジタル入力 | ローサイドドライバV入力 |
| - | LS3 | デジタル入力 | ローサイドドライバW入力 |
| - | OC_SEL | デジタル入力 | OC保護選択 |
| - | 3FG_HIZ | デジタル入力 | 3FG 出カインーブル |
| - | SWD_IO_INT | デジタル入力 | システムデバッグデータ (アナログICを経由して出力に接続) |
| - | OC_TH_STBY1 | デジタル入力 | 過電流しきい値選択およびスタンバイ入力1 |
| - | OC_TH_STBY2 | デジタル入力 | 過電流しきい値選択およびスタンバイ入力2 |

6 デバイスの説明

STSPIN32F0はシステム・イン・パッケージ製品であり、ホールセンサを使用して3相BLDCモーターを駆動することに適した統合ソリューションを提供します。本デバイスはBCD8s (0.18 μm) テクノロジーによって開発されています。

6.1 UVLOおよび過熱保護

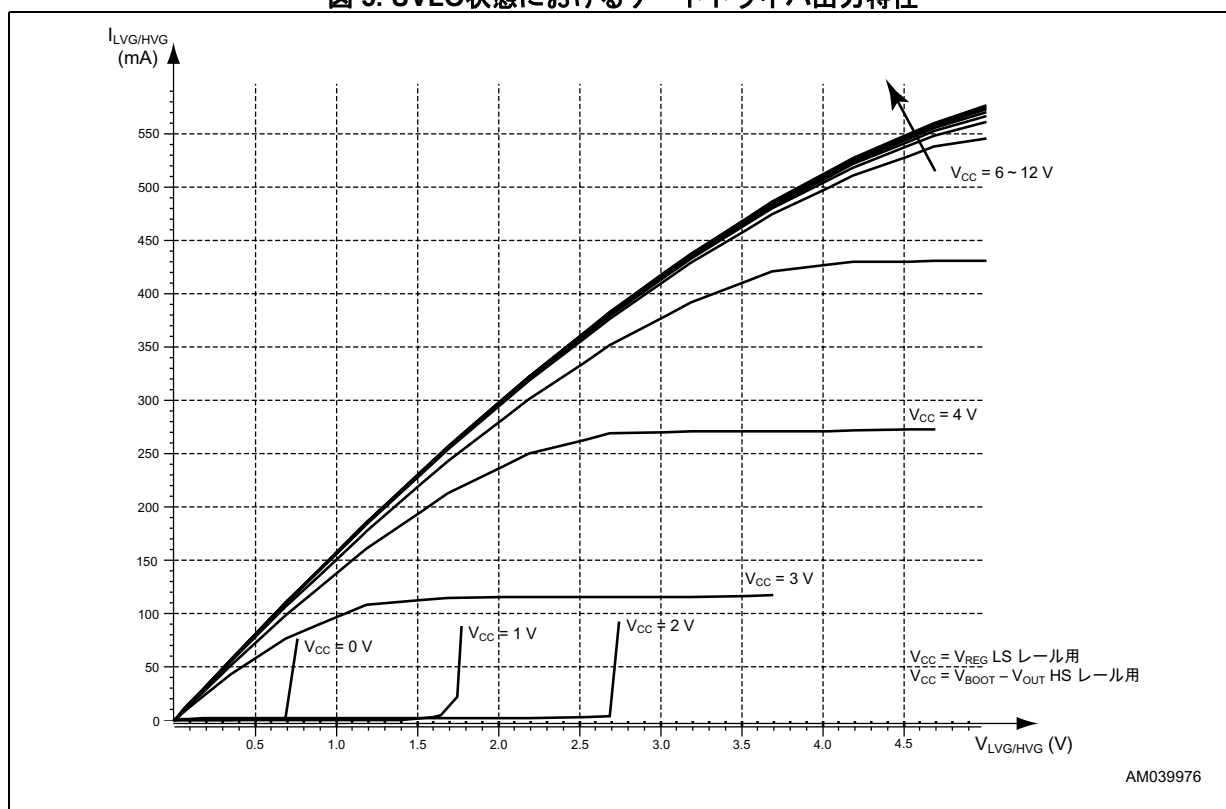
表 9 はUVLOおよびOT (過熱) 保護機能動作をまとめたものです。

表 9. UVLOおよびOT保護機能動作

| ブロック | V _M UVLO | V _{DD} UVLO | V _{REG12} UVLO | V _{BOOT} UVLO | Lin. Reg OT | DC-DC Reg OT |
|------------------|---------------------|----------------------|-------------------------|-------------------------|-------------|--------------|
| DC/DC パックコンバータ | - | - | - | - | - | OFF |
| リアレギュレータ | OFF | OFF | - | - | OFF | - |
| オペアンプおよびOC_COMP | OFF | OFF | - | - | - | - |
| HSU, HSV, HSW 出力 | LOW | LOW | LOW ⁽¹⁾ | LOW ^{(1), (2)} | - | - |
| LSU, LSV, LSW出力 | LOW | LOW | LOW ⁽¹⁾ | - | - | - |

1. ゲートドライバのNチャンネルは、全ての電源電圧範囲でオンします。図 5を参照
2. UVLO状態が検出されたハイサイドゲートドライバのみ。(例: VBOOTUにおいてUVLOが発生するとHSUがオフ。)

図 5. UVLO状態におけるゲートドライバ出力特性



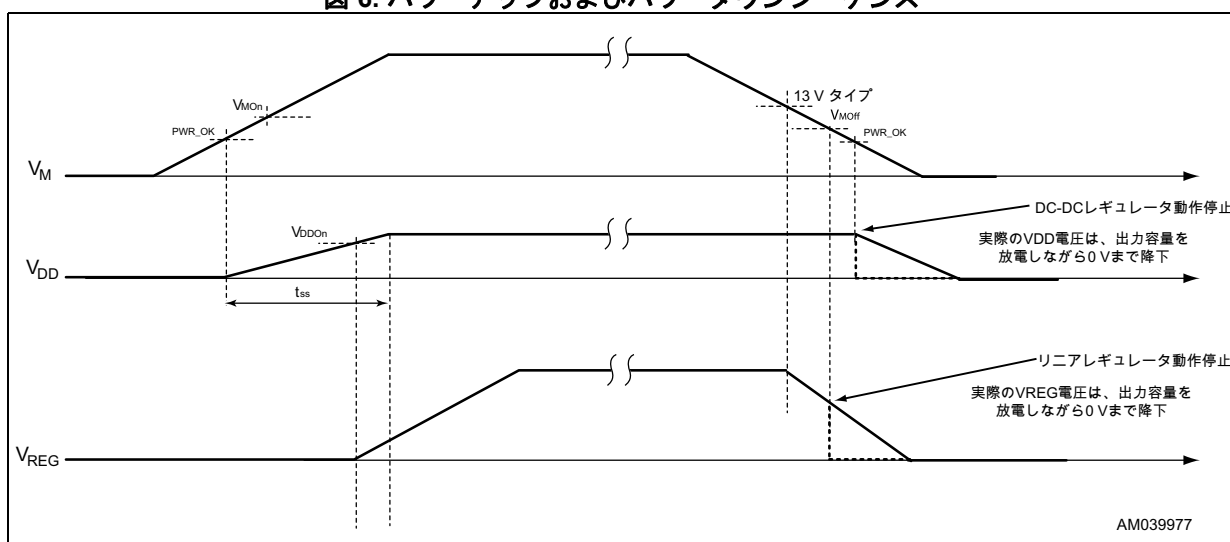
6.1.1 電源電圧におけるUVLO

STSPIN32F0では、全ての電源に対してUVLO保護機能が搭載されています。

電源電圧がオフしきい値電圧を下回ると、デバイスは減電圧状態となり、モーターの電源電圧がオンしきい値電圧を上回ると復帰します。

表 9はUVLO保護機能の動作を表しており、UVLO発生後に電源がオフになるブロックを示しています。

図 6. パワーアップおよびパワーダウンシーケンス



6.1.2 過熱保護

本デバイスには、過熱時にシャットダウンを行う保護機能が搭載されています。温度センサは、DC-DCおよびリアレギュレータブロック近傍に配置されています。

OT保護動作時は対象のブロックの電源がオフになり、温度が $T_{SD} - T_{hys}$ を下回るまで過熱シャットダウン状態が継続します（自動復帰）。

表 9は過熱保護機能動作を表しており、過熱状態の発生後に電源がオフになるブロックを示しています。

6.2 DC-DCバックコンバータ

内蔵のDC-DCバックコンバータは、MCUおよび他の外部デバイス（ホールセンサ等）用の電源として適した、3.3 Vの電圧を供給します。

レギュレータは電流不連続モード（DCM）で動作します。

固定起動時間のソフトスタート機能により、起動時の突入電流は最小限に抑えられます（図 8を参照）。

過電流および短絡保護機能も搭載されています。

SW端子に異常が発生し、しきい値 I_{OVC} に達すると、レギュレータはラッチオフします。DC-DCバックコンバータを再起動するためには、デバイスの電源電圧（ V_M ）のパワーダウンそしてパワーアップまでのサイクルの実行が必須となります。

DC-DCバックコンバータ出力（VDDAピン）に異常が発生し電圧がUVLOのしきい値（ V_{DDOff} ）を下回ると、DC-DCバックコンバータは新たにソフトスタートのシーケンスによって再起動します。本動作は、過電流状態が解除されるまで継続します。この場合コイルの電流は $I_{SW,peak}$ に制限されます。

DC-DCバックコンバータには [セクション 6.1.2](#)で解説した過熱保護機能が搭載されています。

図 7. DC-DCバックコンバータのトポロジー

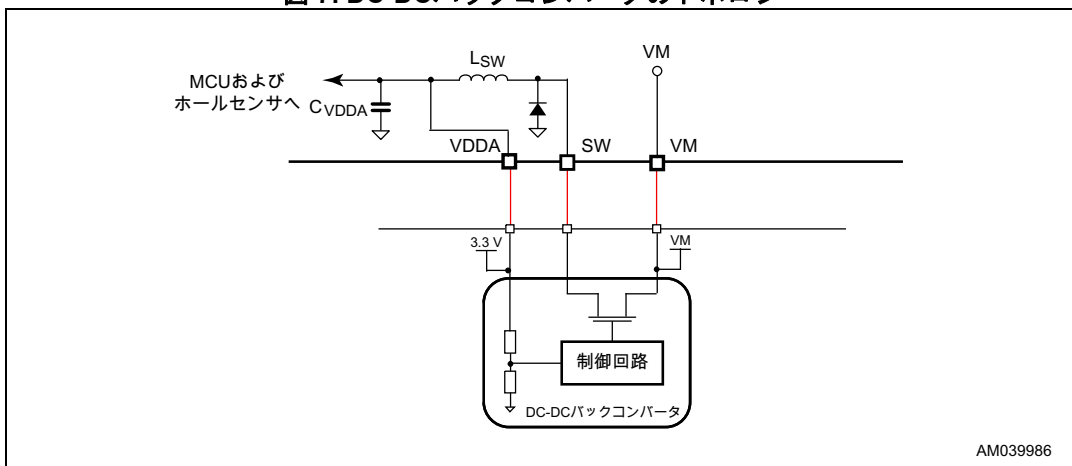
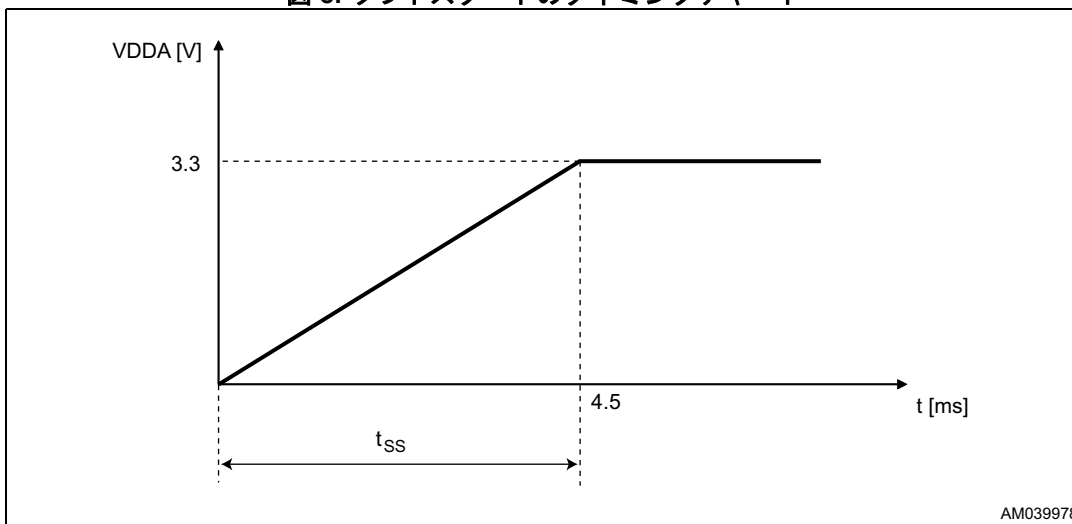


図 8. ソフトスタートのタイミングチャート



3.3 V電圧を外部供給するオプション

VDDAピンに直接3.3 Vの電圧を外部供給することも可能です。この場合、2種類の構成が適用できます。

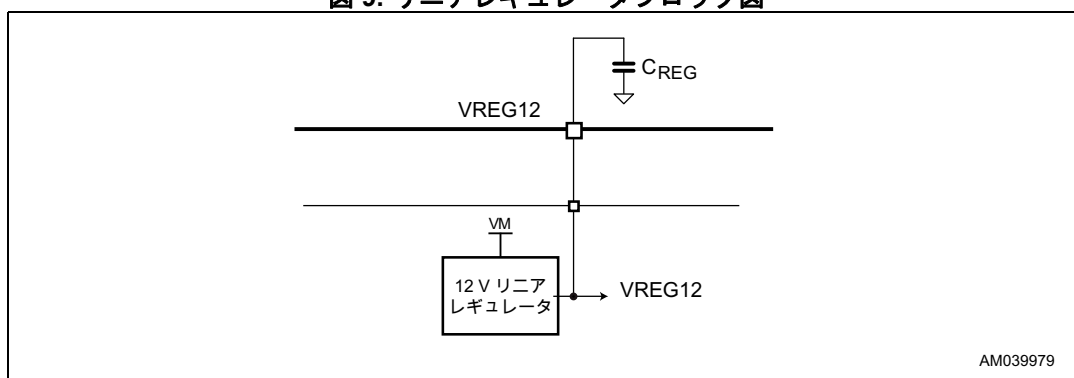
1. SW端子をフローティング状態またはVMに短絡：この場合、DC-DCコンバータの内蔵パワースイッチは内部クロックに従ってオン・オフ動作を継続します。
2. SW端子をGNDまたはVDDに短絡：この場合、内蔵パワースイッチは短絡を検出し、ラッチオフ状態となります。

注： VM < VDDの場合、VDD電圧を外部供給することは出来ません。

6.3 リニアレギュレータ

内蔵の12 VリニアレギュレータはLDOレギュレータであり、ゲートドライバ部に電源電圧を供給します。VREG12端子には、外部でコンデンサを接続する必要があります。

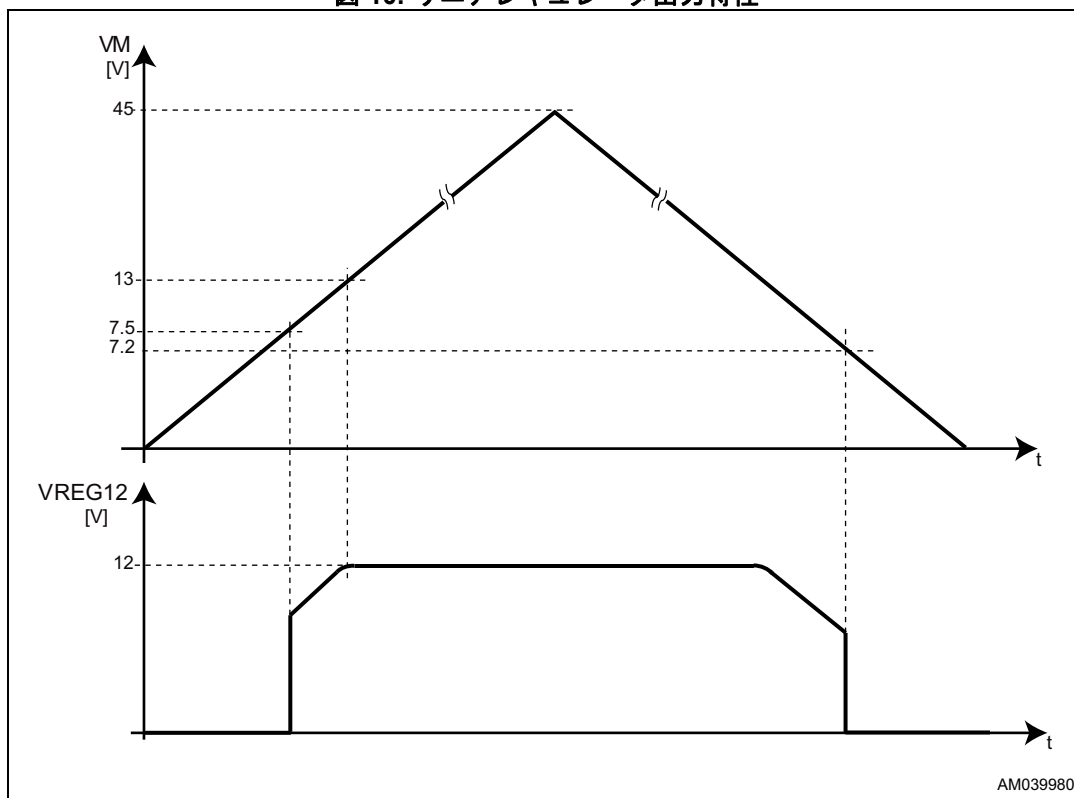
図 9. リニアレギュレータブロック図



VM電圧が12 V未満の場合、VM端子とリニアレギュレータの出力を短絡し、ゲートドライバの電源電圧を外部から供給することができます。

リニアレギュレータには [セクション 6.1.2](#) で解説した過熱保護機能が搭載されています。

図 10. リニアレギュレータ出力特性



注： リニアレギュレータは内部回路のみに電源を供給するよう設計されており、外部素子に対する電源供給に使用することは出来ません。

6.4 スタンバイモード

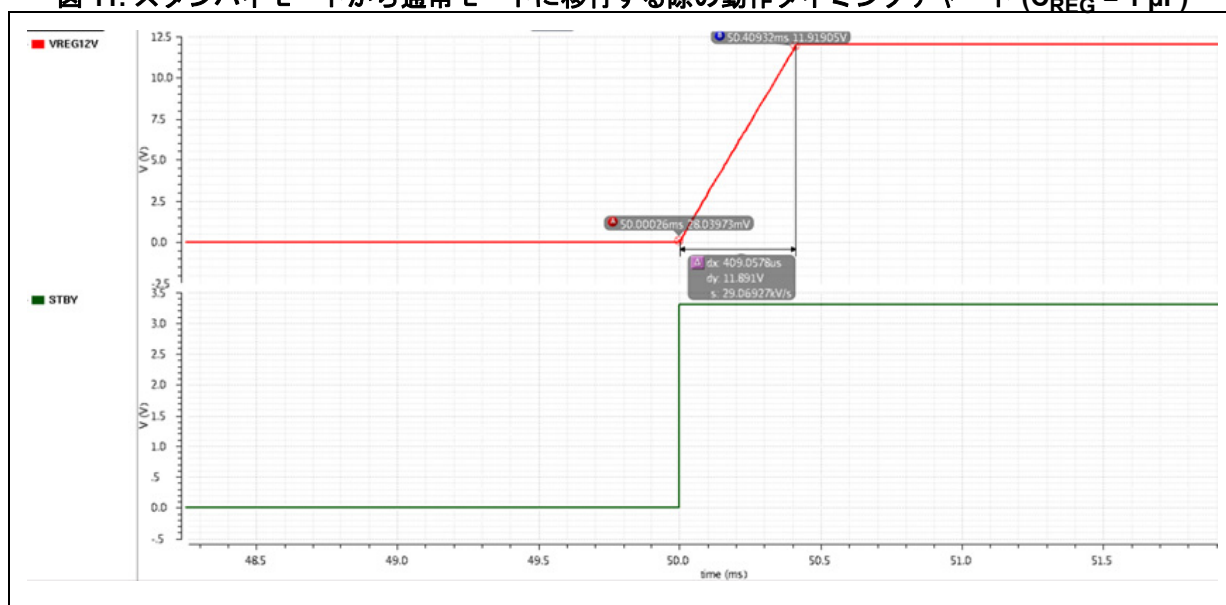
本デバイスはアナログICの2入力—OC_TH_STBY1およびOC_TH_STBY2—の双方をLowにすることで、スタンバイモードに移行し電力消費を抑制します（表 12を参照）。

スタンバイモードに移行すると、 t_{sleep} 時間が経過した後アナログICは低消費モードに移行します。詳細は下記の通りです。

- リニアレギュレータがオフ
- 全てのドライバは強制的にLow出力（外部パワースイッチがオフ）
- オペアンプおよびコンパレータを無効化
- DC-DCバックコンバータは動作を継続

デバイスがスタンバイモードから解除される時、内蔵レギュレータが適切な12 V電圧に復帰するまで一定の時間が必要となります。この時間はVREG12端子に接続したコンデンサに厳密に依存し、式 1で計算できます。

図 11. スタンバイモードから通常モードに移行する際の動作タイミングチャート (C_{REG} = 1 μF)



式 1

$$t_{REG} = \frac{C_{REG} \times V_{REG12}}{I_{REG12, lim}}$$

6.5 ゲートドライバ

STSPIN32F0 デバイスは、Nチャネルパワー MOSFET または IGBT を駆動可能な、3相ハーフブリッジ・ゲートドライバを内蔵しています。ハイサイド部分は、内蔵ブートストラップダイオードを使い、ブートストラップ方式に基づいて電源電圧が供給されます。

デバイス起動時の Low ロジックレベルを保証するため、全ての入力ライン (6 ページの図 2: アナログ IC ブロック図を参照) にはプルダウン抵抗 (標準値 60 kΩ) が接続されています。

内蔵のインターロック機能により、同一のハーフブリッジにおけるハイサイドおよびローサイド出力が同時に High になることはありません。

注: アナログ IC の入力ラインは全て内部にプルダウン回路を内蔵し、デバイス起動時および MCU 電源が供給されていない時に Low ロジックレベルを保証します。

6.6 マイクロコントローラユニット

内蔵のMCUはSTM32F031C6で、その主な特性は以下の通りです。

- コア : ARM® 32-bit Cortex™-M0 CPU、周波数は最大で 48 MHz
- メモリ : SRAM 4 kB、フラッシュメモリ 32 kB
- CRC計算ユニット
- 最大16個の高速I/O
- PWM生成専用のアドバンスド・コントロール・タイマ
- 最大5チャンネルの汎用タイマ
- 12ビットADC (最大9チャンネル)
- 通信インターフェース : I²C、USART、SPI
- シリアルワイヤデバッグ (SWD)
- 拡張された動作温度 : -40 ~ 125 °C

詳細についてはwww.st.comの STM32F031C6データシートを参照してください。

6.6.1 メモリおよびブートモード

本デバイスには以下の特徴があります。

- 4キロバイトの内蔵SRAMは、CPUのクロック速度で0ウェイトアクセス（読み出し／書き込み）が可能で、また故障が致命的な結果につながるアプリケーションにおいて例外生成機能を持ったパリティチェックを内蔵しています。
- 不揮発性メモリは2つのアレイに区分けされています。
 - 32キロバイトの内蔵フラッシュメモリでプログラムとデータに使用
 - オプションバイト

オプションバイトは以下の両方またはいずれかを目的として使用します。1つはメモリの書き込み保護です（4 KBの粒度）。もう1つはメモリ全体の読み出し保護で、以下のオプションが利用可能です。

- レベル0 : 読み出し保護を設定しない
- レベル1 : メモリの読み出し保護。デバッグ機能が接続されている、もしくはRAMのブートが選択されている場合、フラッシュメモリの読み出しまたは書き込みは不可能になる
- レベル2 : チップの読み出し保護。デバッグ機能（Cortex-M0シリアルワイヤ）およびRAM選択におけるブートが無効化される

BOOT0 MCU入力が内部でGNDに接続されているため、起動時にはメインフラッシュメモリからブートが行われます（[15 ページの表 7](#) を参照）。メインフラッシュメモリはブートメモリ空間（0x00000000）の中でエイリアス化されていますが、依然としてオリジナルのメモリ空間（0x08000000）からもアクセスが可能です。言い換えれば、フラッシュメモリの内容はアドレス0x00000000または0x08000000のいずれかから、それを始点としてアクセスできることとなります。

内蔵のブートローダーはシステムメモリ内に位置し、製造段階でSTがプログラムします。

6.6.2 電源管理

VDD端子は、I/Oおよび内臓レギュレータへの電源となります。

VDDA端子は、ADC、リセットブロック、RC、およびPLLの電源となります。V_{DDA}電圧は内蔵のDC-DCバックコンバータを通じて生成可能ですが、外部から直接VDDAピンに電圧を供給することもできます。

注： VDDA電圧レベルは常にVDD電圧レベル以上とし、また最初に立ち上げなければなりません。

MCUはパワーオンリセット (POR) およびパワーダウンリセット (PDR) 回路を内蔵しています。これらの回路は常にアクティブで2 Vのしきい値電圧以上において適切な動作を保証します。監視中の電源電圧が所定のしきい値電圧未満にある間、デバイスはリセットモードを保持します。

- PORが監視するのはV_{DD}供給電圧のみです。起動時、V_{DDA}が最初に立ち上がりV_{DD}以上となる必要があります。
- PDRはV_{DD} およびV_{DDA}供給電圧の両方を監視しますが、V_{DDA}の電源監視機能は（専用のオプションビットをプログラムすることによって）無効化することができます。アプリケーションの設計によってV_{DD}以上のV_{DDA}を常に保証できれば、VDDAの監視を無効化することで電力消費の削減が可能となります。

本デバイスにはV_{DD}電源を監視しそれをV_{PVD}しきい値と比較するプログラム可能な電圧検出器 (PVD) が内蔵されています。それによりV_{DD}電源がV_{PVD}しきい値未満に低下した場合、またはV_{DD}がV_{PVD}しきい値より高くなった場合に（両方またはどちらかの条件で）、割り込みを生成することができます。割り込み処理ルーチンにより、警告メッセージの生成とMCUをセーフ・ステートに移行させることの両方、またはいずれか一方を行うことが可能です。PVDはソフトウェアで有効化できます。

MCUは3種類の低電圧モードをサポートしており、消費電力、起動時間、および利用可能なウェイクアップソースを考慮した上での最良の妥協策を実現しています。

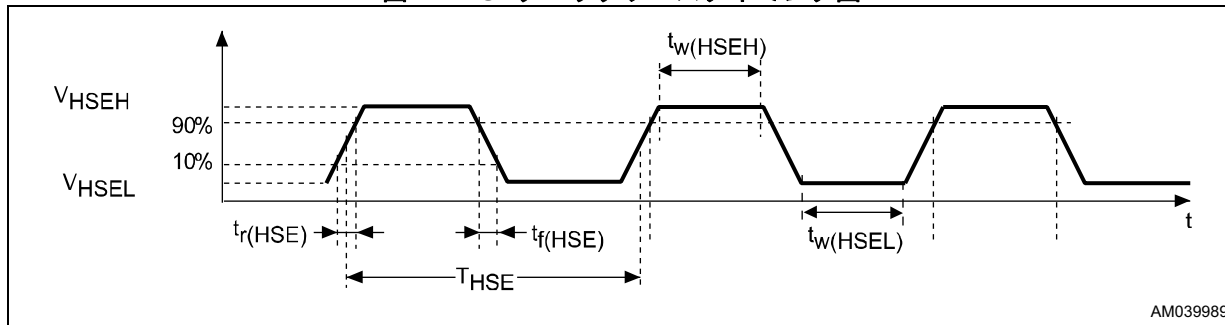
- **スリープモード**
スリープモードではCPUのみが停止します。全てのペリフェラルは動作を継続し、割り込みやイベントが発生するとCPUがウェイクアップ可能です。
- **ストップモード**
ストップモードはSRAMとレジスタの内容を保持したまま消費電力を極めて低く抑えることができます。1.8 Vドメインの全クロックが停止し、PLL、HSI RC、およびHSEの水晶発振器は無効化されます。電圧レギュレータは通常モードまたは低電力モードのいずれかに設定が可能です。デバイスは、EXTIラインのあらゆる信号によりストップモードからウェイクアップ可能です（16チャンネルの外部ライン、PVD出力、RTC、I²C1、またはUSART1のいずれか1つ）。
- **スタンバイモード**
スタンバイモードは電力消費を最小限に抑えることができます。内蔵の電圧レギュレータがオフ状態となり、それにより全ての1.8 Vドメインの電源がオフになります。PLL、HSI RC、およびHSEの水晶発振器も動作を停止します。スタンバイモードに入った後、RTCドメインおよびスタンバイ回路の情報を除きSRAMおよびレジスタの内容は失われます。
スタンバイモードは、外部からのリセット (NRST端子)、IWDGリセット、WKUP端子の立ち上がりエッジ、またはRTCイベントの発生により解除されます。

6.6.3 高速の外部クロックソース

高速の外部（HSE）クロックは外部のクロック信号から生成するか、4～32 MHzの水晶またはセラミック発振器による発振器から供給することが可能です。（図 13を参照）。

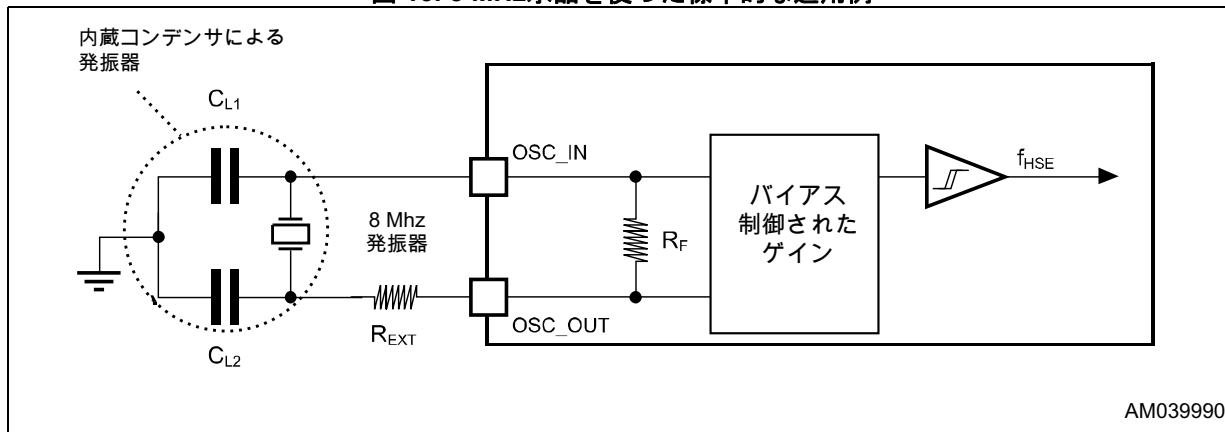
外部クロック信号は、I/O特性を順守し、また推奨のクロック入力波形に従う必要があります（図 12を参照）。

図 12. HSEクロックソースタイミング図



AM039989

図 13. 8 MHz水晶を使った標準的な適用例



AM039990

アプリケーションでは、出力波形のひずみと起動時の整定時間を最小化するため、発振器および負荷容量はできるだけ発振器の端子に近づけて配置しなければなりません。 R_{EXT} の値は水晶の特性に依存します（詳細は水晶発振器の製造業者に問い合わせてください）。

6.6.4 アドバンスト・コントロール・タイマ (TIM1)

アドバンスト・コントロール・タイマ (TIM1) は、6チャンネルに多重化された3相PWMとみなすことができます。このタイマはプログラム可能なデッドタイムを挿入した相補型PWM出力を備えています。

タイマは、表 10に示すように3相ハーフブリッジ・ゲートドライバ用のPWM信号の生成に使用されます。

表 10. TIM1のチャンネル構成

| MCU I/O | アナログIC入力 | TIM1チャンネル |
|---------|----------|-----------|
| PB13 | LS1 | TIM1_CH1N |
| PB14 | LS2 | TIM1_CH2N |
| PB15 | LS3 | TIM1_CH3N |
| PA8 | HS1 | TIM1_CH1 |
| PA9 | HS2 | TIM1_CH2 |
| PA10 | HS3 | TIM1_CH3 |

6.7 テストモード

専用のTESTMODE端子を使えばテストモードに移行することができます。

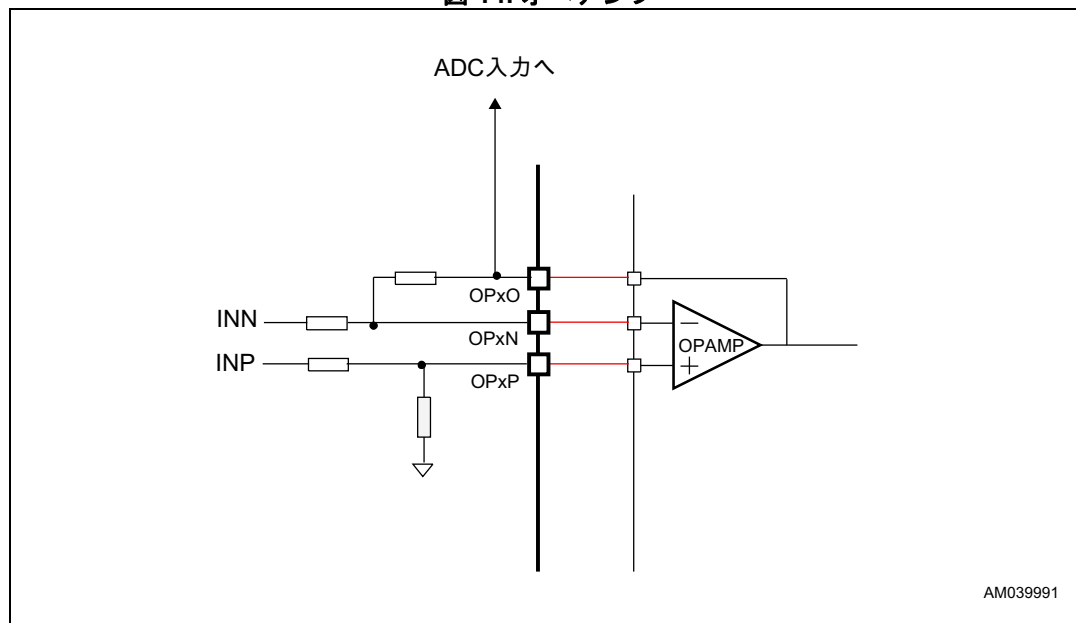
注： デバイスの使用時には、誤ってテストモードに移行することを防止するためTESTMODE端子をGNDに短絡させます。

6.8 オペアンプ

本デバイスは信号処理、特にアナログホールセンサのデコーディングと電流検出に適した4つのレールtoレールオペアンプを内蔵しています。

オペアンプは、飽和状態から高速復帰できるレールtoレールの出カステージを提供します。線形なアプリケーションにおいて、高振幅の入力信号が発生しオペアンプの出力が実際の能力の範囲外に移行した時に、出カステージの飽和が発生します。

図 14. オペアンプ



6.9 コンパレータ

過電流保護を行うためにコンパレータが利用可能です。OC Comp端子をシャント抵抗に接続することで、負荷電流を監視することが出来ます。内部のOCしきい値はMCU (PF6およびPF7ポート、表 12を参照) から設定できます。

OCイベントが発生すると、OCコンパレータの出力はそのOCイベントをMCUのPB12入力 (BKIN) に伝えます。

OC_SEL信号の状態に応じて (表 11を参照)、OCイベントはゲートドライバの制御ロジックに直接作用して全てのハイサイドゲート出力をオフします。その結果、外部のハイサイドパワースイッチがオフします。

図 15. コンパレータ

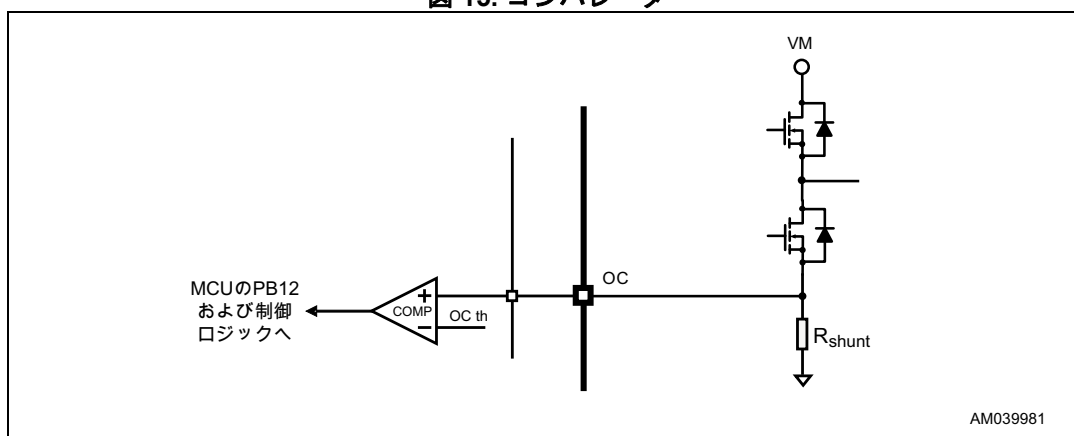


表 11. OC保護の選択

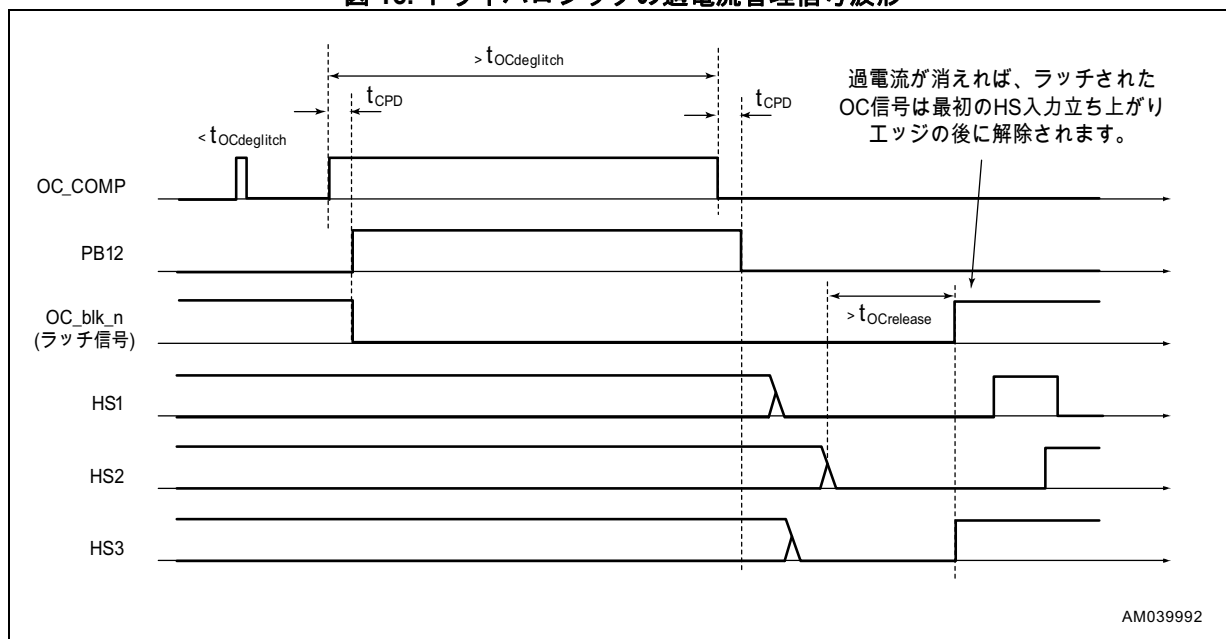
| OC_SEL (PA11) | 機能 |
|---------------|---------------------------------------------|
| 0 | OCコンパレータの出力信号はMCUのみが参照可能（デフォルト） |
| 1 | OCコンパレータの出力信号はMCUに参照されると共にゲートドライバの制御ロジックに作用 |

表 12. OC しきい値

| OC_TH_STBY2 (PF6) | OC_TH_STBY1 (PF7) | OC しきい値 [mV] | 注記 |
|-------------------|-------------------|--------------|-----------------------------------|
| 0 | 0 | 該当なし | スタンバイモード (23 ページのセクション 6.4を参照) |
| 0 | 1 | 100 | - |
| 1 | 0 | 250 | - |
| 1 | 1 | 500 | - |

過電流状態が解消されたとき、全てのハイサイド出力が少なくとも $t_{OCreleaseLow}$ 状態になった後はじめて、ラッチ状態の過電流信号が解除されます（図 16を参照）。

図 16. ドライバロジックの過電流管理信号波形



6.10 3FG_PA7出力機能

表 13に示す通り3FG_PA7端子には異なる機能があります。

表 13. 3FG_PA7ピンの機能

| 3FG High Z (PA12) | 3FG_PA7 | 注記 |
|-------------------|---------|------------------|
| 0 | PA7 | デフォルト |
| 1 | 3FG | MCU端子はプルアップ設定が必須 |

3FG機能を選択すると、3FG_PA7端子はオープンドレイン出力として動作します(図 17を参照)。3FG信号は、オペアンプの入力端子に入力されたホールセンサフィードバックから合成されます。

オペアンプのアナログ出力は、内蔵コンパレータを通じて ($V_{ref}=VDD/2$) ロジック信号に変換され、ホールデコーディングロジックに入力されます。

結果的に、3FGの出力信号は3つのホールセンサの排他的論理和となります(表 14を参照)。

図 17. 3FG回路

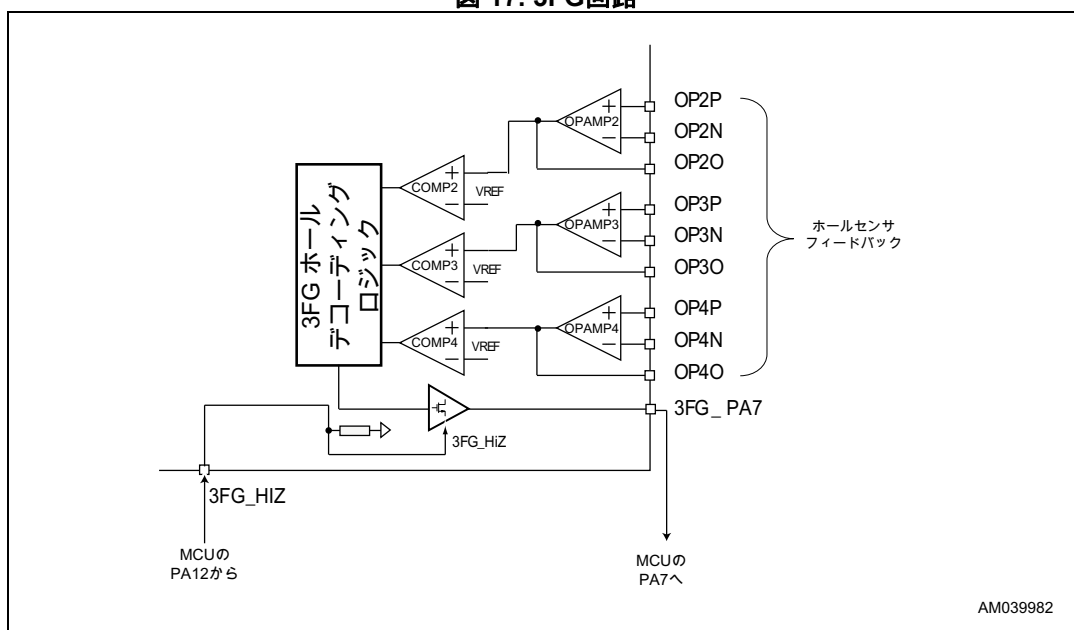
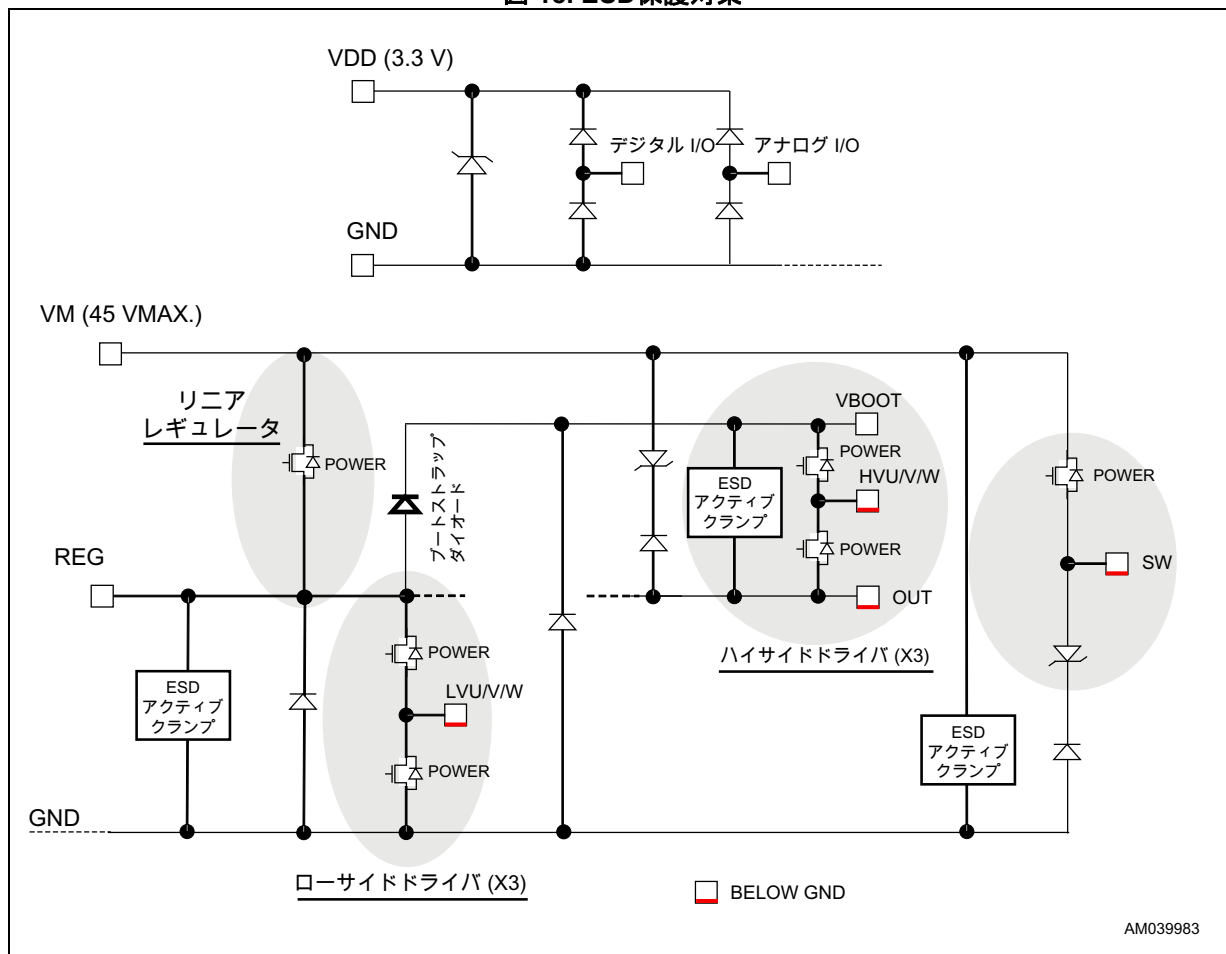


表 14. 3FG出力の真理値表 (図 17を参照)

| COMP4出力 | COMP3出力 | COMP2出力 | 3FG端子 (PA7) |
|---------|---------|---------|-------------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

6.11 ESD保護対策

図 18. ESD保護対策

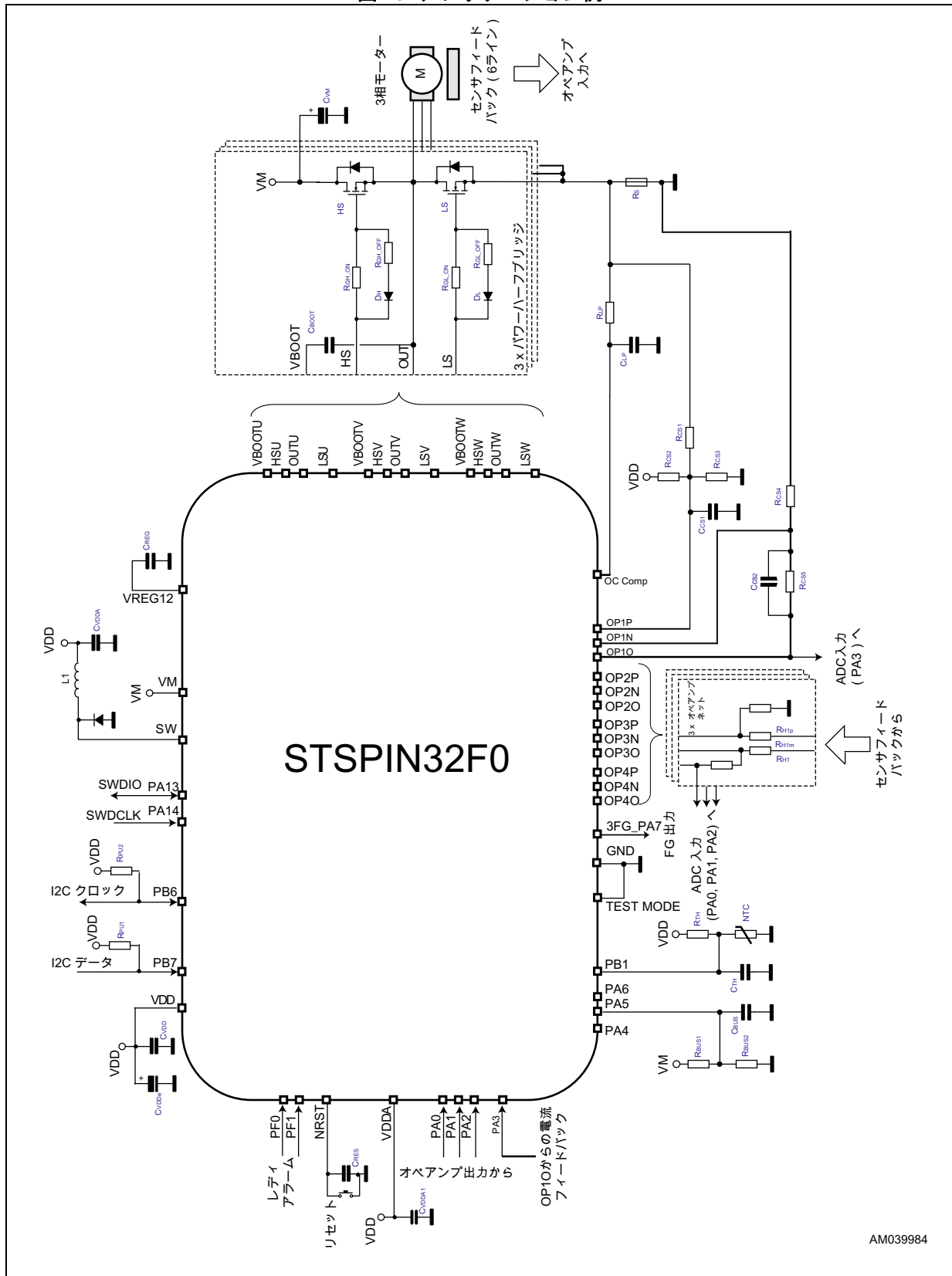


7 適用事例

図 19は、STSPIN32F0デバイスを使い、シングルシャント方式かつアナログホールセンサフィードバックによる3相モーター駆動する際のアプリケーション例を示しています。その他にも以下の特徴があります。

- VDD (3.3 V) 電源はDC-DCバックコンバータにより内部で生成
- VREG12 (12 V) 電源はLDOリニアレギュレータにより内部で生成
- I²Cシリアルインターフェース (PB6およびPB7)
- シリアルワイヤデバッグポート (PA13_SWD_IO、PA14_SWD_CLK)
- レディおよびアラームライン (PF0、PF1)
- リセット専用端子
- 内蔵コンパレータによる過電流保護
- 内蔵オペアンプ (オペアンプ1) および ADC (PA3) による電流検出
- 内蔵オペアンプ、コンパレータ、およびホールデコーディングロジック回路 (オペアンプ2、3、4、および関連するコンパレータ) を使った3FG生成
- オペアンプおよびADC (オペアンプ2、3、4、およびPA0、PA1、PA2) によるホールセンサフィードバックの管理
- 内蔵ADC (PA4) によるバス電圧補償
- 内蔵ADC (PB1) によるアプリケーションの温度監視

図 19. アプリケーション例



AM039984

8 パッケージ情報

環境に関する要求に対応するため、STは、環境コンプライアンスの要求レベルに応じて、異なる等級のECOPACK®パッケージにてデバイスを提供します。ECOPACK®の仕様、等級定義、および製品の状況はwww.st.comで確認できます。ECOPACK®はSTの登録商標です。

専用のVFQFPN48 7 x 7パッケージでのご提案となります。内部でGND端子に接続されているEPAD（露出パッド）は、パッケージ下面にスルーホールを配置できるようサイズは小さめにしています。

リードめっきにはニッケル / パラジウム / 金 (Ni/Pd/Au) を採用しています。

8.1 VFQFPN48 7 x 7 パッケージ情報

図 20. VFQFPN48 7 x 7 x 1.0 - 48L, ピッチ0.5 - パッケージ外形

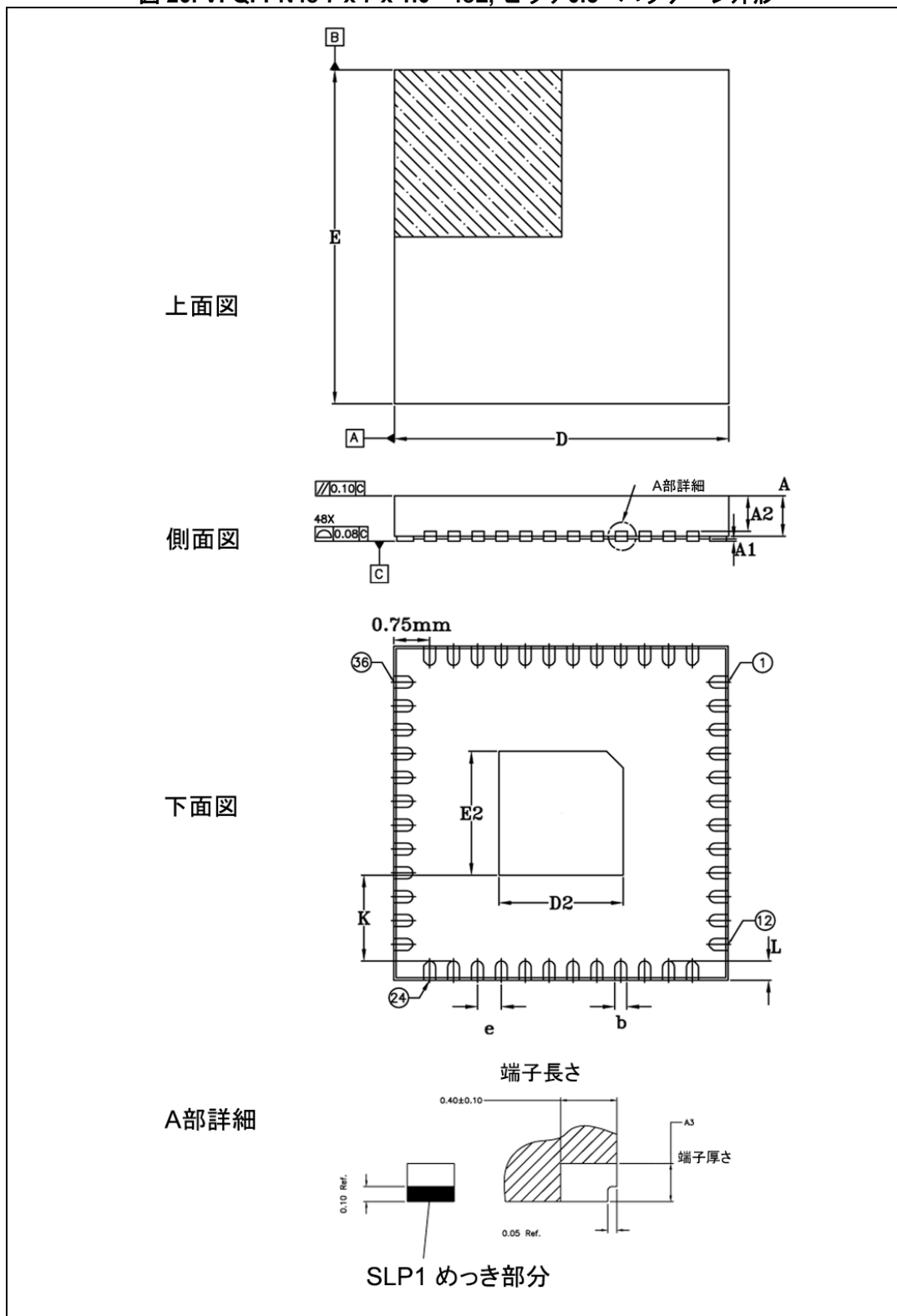
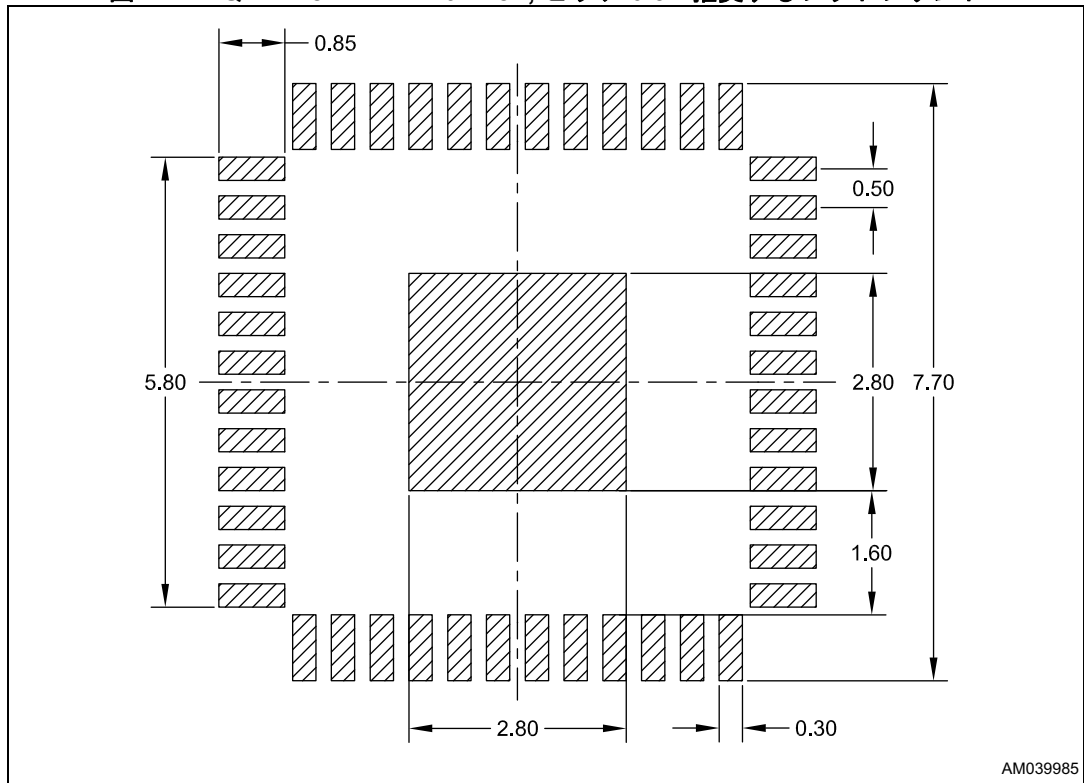


表 15. VFQFPN48 7 x 7 x 1.0 - 48L, ピッチ0.5 - パッケージ機械的データ⁽¹⁾

| 記号 | 寸法 (mm) | | |
|----|---------|-------|------|
| | 最小 | 標準 | 最大 |
| A | 0.90 | 0.95 | 1.00 |
| A1 | 0.0 | - | 0.05 |
| A2 | 0.75 | | |
| A3 | | 0.203 | |
| b | 0.20 | 0.25 | 0.30 |
| D | 6.90 | 7.00 | 7.10 |
| E | 6.90 | 7.00 | 7.10 |
| e | 0.50 | | |
| D2 | 2.50 | 2.60 | 2.70 |
| E2 | 2.50 | 2.60 | 2.70 |
| K | 1.80 | | |
| L | 0.30 | 0.40 | 0.50 |

1. 44番端子はDAP (die attach paddle—デバイス底面の露出パッド) に接続されています。

図 21. VFQFPN48 7 x 7 x 1.0 - 48L, ピッチ 0.5 - 推奨するフットプリント



9 注文情報

表 16. 発注コード

| 発注コード | パッケージ | 梱包 |
|--------------|--------------------------|---------|
| STSPIN32F0 | VFQFPN 7 x 7 x 1.0 - 48L | トレイ |
| STSPIN32F0TR | VFQFPN 7 x 7 x 1.0 - 48L | テープ&リール |

10 改版履歴

表 17. 文書改版履歴

| 日付 | 版 | 変更内容 |
|------------|---|-------------------------------------------------------------------------------------------------------------|
| 2016年9月30日 | 1 | 初版発行 |
| 2017年3月30日 | 2 | 文書全体において、STM32F031x6x7をSTM32F031C6で置き換え（拡張された温度範囲、サフィックス7バージョン） 5 ページの図 1を更新（新図面に置き換え） 文書全体において小修正を実施 |

表 18. 日本語版文書改版履歴

| 日付 | 版 | 変更内容 |
|-----------|---|-----------|
| 2017年8月9日 | 1 | 日本語版 初版発行 |

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2017 STMicroelectronics - All rights reserved