

概要

このリファレンスマニュアルは、アプリケーション開発者を対象としています。STM32WL5x マイクロコントローラメモリとペリフェラルを使用する方法について、詳しく説明しています。

150~960 Mhz ISM バンドで動作するSub-GHz 無線内蔵の STM32WL5x マイクロコントローラは、さまざまなメモリサイズ、パッケージ、およびペリフェラルを持つマイクロコントローラファミリ製品になります。

注文情報、機械的および電気的特性については、対応するデータシートを参照してください。

Arm[®] Cortex[®]-Mx コアについては、<http://infocenter.arm.com> で入手できる対応する Arm[®] のテクニカルリファレンスマニュアルを参照してください。

STM32WL5x マイクロコントローラには、特許取得済みの ST の最新技術が搭載されています。

関連ドキュメント

- STM32WL55xx STM32WL54xx データシート (DS13293)

データシートとリファレンスマニュアルのデバイスのエラー情報については、STM32WL55xx STM32WL54xx 正誤表シート (ES0500) を参照してください。

目次

1	このマニュアルにおける表記の規則	59
1.1	一般情報	59
1.2	レジスタに関する略記	59
1.3	用語	60
1.4	使用可能なペリフェラル	60
2	メモリとバスのアーキテクチャ	61
2.1	システムアーキテクチャ	61
2.1.1	S0 : CPU1 I-バス	62
2.1.2	S1 : CPU1 D-バス	62
2.1.3	S2 : CPU1 S-バス	62
2.1.4	S3 : CPU2 S-バス	63
2.1.5	S4、S5 : DMA バス	63
2.2	ブート設定	64
2.3	CPU2 のブート	66
2.4	SRAM の消去	66
2.5	メモリ保護	67
2.6	メモリ構成	72
2.6.1	概要	72
2.6.2	メモリマップとレジスタ境界アドレス	73
2.6.3	CPU1 ビットバンディング	77
3	グローバル・セキュリティ・コントローラ (GTZC)	79
3.1	GTZC の概要	79
3.2	GTZC の主な機能	79
3.3	GTZC のセキュリティ システムアーキテクチャ	79
3.4	GTZC の機能詳細	81
3.4.1	GTZC ブロック図	81
3.4.2	GTZC 内部信号	81
3.4.3	不正アクセスの定義	82
3.4.4	セキュリティコントローラ (TZSC)	84
3.4.5	セキュリティ不正アクセスコントローラ (TZIC)	85
3.4.6	パワーオン/リセット状態	85

3.4.7	割込み	85
3.5	GTZC TZSC レジスタ	86
3.5.1	GTZC TZSC 制御レジスタ (GTZC_TZSC_CR)	86
3.5.2	GTZC TZSC セキュリティ設定レジスタ (GTZC_TZSC_SECCFGR1)	87
3.5.3	GTZC TZSC 特権設定レジスタ (GTZC_TZSC_PRIVCFGR1)	88
3.5.4	GTZC TZSC 非特権ウォーターマーク 1 レジスタ (GTZC_TZSC_MPCWM1_UPWMMR)	89
3.5.5	GTZC TZSC 非特権書き込み可能ウォーターマーク 1 レジスタ (GTZC_TZSC_MPCWM1_UPWMMR)	90
3.5.6	GTZC TZSC 非特権ウォーターマーク 2 レジスタ (GTZC_TZSC_MPCWM2_UPWMMR)	91
3.5.7	GTZC TZSC 非特権ウォーターマーク 3 レジスタ (GTZC_TZSC_MPCWM3_UPWMMR)	92
3.5.8	GTZC TZSC レジスタマップ	93
3.6	GTZC TZIC レジスタ	94
3.6.1	GTZC TZIC 割込み有効化レジスタ 1 (GTZC_TZIC_IER1)	94
3.6.2	GTZC TZIC ステータスレジスタ 1 (GTZC_TZIC_MISR1)	95
3.6.3	GTZC TZIC 割込みステータスクリアレジスタ 1 (GTZC_TZIC_ICR1)	97
3.6.4	GTZC TZIC レジスタマップ	98
4	内蔵 Flash メモリ (Flash)	99
4.1	FLASH の概要	99
4.2	Flash の主な機能	99
4.3	Flash の機能説明	100
4.3.1	Flash メモリの構成	100
4.3.2	エンプティチェック	101
4.3.3	エラーコード訂正 (ECC)	101
4.3.4	読出しアクセスの遅延	102
4.3.5	適応型リアルタイムメモリアクセラレータ (ART アクセラレータ)	103
4.3.6	Flash のプログラムおよび消去操作	106
4.3.7	Flash メインメモリの消去シーケンス	107
4.3.8	Flash メインメモリのプログラミングシーケンス	109
4.4	Flash オプションバイト	114
4.4.1	オプションバイトの説明	114
4.4.2	オプションバイトのプログラミング	115
4.4.3	Sub-GHz 無線の SPI のセキュリティ	118
4.5	セキュアシステムメモリ	118
4.5.1	概要	118

4.5.2	RSSLIB 関数	118
4.6	Flash メモリの保護	119
4.6.1	読出し保護 (RDP)	119
4.6.2	独自仕様コード読出し保護 (Proprietary code readout protection: PCROP)	123
4.6.3	書込み保護 (WRP)	124
4.6.4	CPU2 セキュリティ (ESE)	125
4.6.5	非表示保護領域 (HDPAD)	127
4.6.6	CPU1 ブートロックの信頼のチェーン	127
4.6.7	CPU2 ブートロックの信頼のチェーン	127
4.7	Flash のプログラム消去のサスペンド	127
4.8	Flash 割込み	128
4.8.1	不正アクセス割込み	128
4.9	レジスタのアクセス保護	129
4.10	Flash レジスタ	130
4.10.1	Flash アクセス制御レジスタ (Flash_ACR)	130
4.10.2	Flash アクセス制御レジスタ 2 (FLASH_ACR2)	131
4.10.3	Flash キーレジスタ (FLASH_KEYR)	132
4.10.4	Flash オプションキーレジスタ (Flash_OPTKEYR)	132
4.10.5	Flash ステータスレジスタ (Flash_SR)	133
4.10.6	Flash 制御レジスタ (FLASH_CR)	135
4.10.7	Flash ECC レジスタ (Flash_ECCR)	137
4.10.8	Flash オプションレジスタ (Flash_OPTR)	138
4.10.9	FLASH PCROP ゾーン A 開始アドレスレジスタ (FLASH_PCROP1ASR)	140
4.10.10	FLASH PCROP ゾーン A 終了アドレスレジスタ (FLASH_PCROP1AER)	141
4.10.11	FLASH WRP 領域 A アドレスレジスタ (FLASH_WRP1AR)	142
4.10.12	FLASH WRP 領域 B アドレスレジスタ (FLASH_WRP1BR)	143
4.10.13	FLASH PCROP ゾーン B 開始アドレスレジスタ (FLASH_PCROP1BSR)	144
4.10.14	FLASH PCROP ゾーン B 終了アドレスレジスタ (FLASH_PCROP1BER)	145
4.10.15	FLASH IPCC メールボックスデータバッファアドレスレジスタ (FLASH_IPCCBR)	146
4.10.16	FLASH CPU2 アクセス制御レジスタ (FLASH_C2ACR)	146
4.10.17	FLASH CPU2 ステータスレジスタ (FLASH_C2SR)	147
4.10.18	FLASH CPU2 制御レジスタ (FLASH_C2CR)	149
4.10.19	Flash セキュア Flash 開始アドレスレジスタ (FLASH_SFR)	150
4.10.20	FLASH セキュア SRAM 開始アドレスおよび CPU2 リセット・ベクタ・レジスタ (FLASH_SRRVR)	152
4.10.21	Flash レジスタマップ	154

5	Sub-GHz 無線 (SUBGHZ)	156
5.1	Sub-GHz 無線の概要	156
5.2	Sub-GHz 無線の主な機能	156
5.3	Sub-GHz 無線の機能説明	157
5.3.1	概要	157
5.3.2	Sub-GHz 無線の信号	157
5.3.3	トランスミッタ	158
5.3.4	レシーバ	159
5.3.5	RF-PLL	159
5.3.6	中間周波数	160
5.4	Sub-GHz 無線のクロック	161
5.4.1	内部オシレータ	161
5.4.2	HSE32 リファレンスクロック	161
5.5	Sub-GHz 無線のモデム	161
5.5.1	LoRa モデム	162
5.5.2	LoRa フレーミング	164
5.5.3	FSK モデム	166
5.5.4	MSK モデム	166
5.5.5	汎用フレーミング	166
5.5.6	BPSK モデム	168
5.5.7	BPSK フレーミング	169
5.6	Sub-GHz 無線のデータ・バッファ	169
5.6.1	受信データ・バッファの動作	170
5.6.2	送信データ・バッファの動作	170
5.7	Sub-GHz 無線の動作モード	171
5.7.1	起動モード	172
5.7.2	SLEEP モード	172
5.7.3	較正モード	173
5.7.4	STANDBY モード	174
5.7.5	周波数合成モード (FS)	174
5.7.6	送信モード (TX)	174
5.7.7	受信モード (RX)	175
5.7.8	アクティブモード切り替え時間	175
5.8	Sub-GHz 無線の SPI インタフェース	176
5.8.1	Sub-GHz 無線のコマンド構造	177
5.8.2	レジスタおよびバッファアクセスコマンド	177

5.8.3	動作モードコマンド	179
5.8.4	Sub-GHz 無線の設定コマンド	184
5.8.5	通信ステータス情報コマンド	195
5.8.6	IRQ 割込みコマンド	198
5.8.7	その他のコマンド	200
5.8.8	Set_TcxoMode コマンド	203
5.8.9	Sub-GHz 無線のコマンドの概要	203
5.9	Sub-GHz 無線のアプリケーション設定	205
5.9.1	LoRa、(G)MSK および (G)FSK 送信動作の基本シーケンス	205
5.9.2	LoRa および (G)FSK 受信動作の基本シーケンス	206
5.9.3	BPSK 送信動作の基本シーケンス	207
5.10	Sub-GHz 無線のレジスタ	207
5.10.1	Sub-GHz 無線の起動 MSB レジスタ (SUBGHZ_RAM_RAMPUPH)	207
5.10.2	Sub-GHz 無線の起動 LSB レジスタ (SUBGHZ_RAM_RAMPUPL)	208
5.10.3	Sub-GHz 無線の停止 MSB レジスタ (SUBGHZ_RAM_RAMPDNH)	208
5.10.4	Sub-GHz 無線の停止 LSB レジスタ (SUBGHZ_RAM_RAMPDNL)	208
5.10.5	Sub-GHz 無線のフレーム制限 MSB レジスタ (SUBGHZ_RAM_FRAMELIMH)	208
5.10.6	Sub-GHz 無線のフレーム制限 LSB レジスタ (SUBGHZ_RAM_FRAMELIML)	209
5.10.7	Sub-GHz 無線の汎用ビット同期レジスタ (SUBGHZ_GBSYNCR)	209
5.10.8	Sub-GHz 無線の汎用 CFO MSB レジスタ (SUBGHZ_GCFORH)	210
5.10.9	Sub-GHz 無線の汎用 CFO LSB レジスタ (SUBGHZ_GCFORL)	210
5.10.10	Sub-GHz 無線の汎用パケット制御 1 レジスタ (SUBGHZ_GPKTCTL1R)	210
5.10.11	Sub-GHz 無線の汎用パケット制御 1A レジスタ (SUBGHZ_GPKTCTL1AR)	211
5.10.12	Sub-GHz 無線の汎用ホワイトニング LSB レジスタ (SUBGHZ_GWHITEINIRL)	211
5.10.13	Sub-GHz 無線の汎用ペイロード長レジスタ (SUBGHZ_GRTXPLDLEN)	211
5.10.14	Sub-GHz 無線の汎用 CRC 初期 MSB レジスタ (SUBGHZ_GCRCINIRH)	212
5.10.15	Sub-GHz 無線の汎用 CRC 初期 LSB レジスタ (SUBGHZ_GCRCINIRL)	212
5.10.16	Sub-GHz 無線の汎用 CRC 多項式の MSB レジスタ (SUBGHZ_GCRCPOLRH)	212
5.10.17	Sub-GHz 無線の汎用 CRC 多項式の LSB レジスタ (SUBGHZ_GCRCPOLRL)	213

5.10.18	Sub-GHz 無線の汎用同期ワード制御レジスタ 7 (SUBGHZ_GSYNCR7)	213
5.10.19	Sub-GHz 無線の汎用同期ワード制御レジスタ 6 (SUBGHZ_GSYNCR6)	213
5.10.20	Sub-GHz 無線の汎用同期ワード制御レジスタ 5 (SUBGHZ_GSYNCR5)	214
5.10.21	Sub-GHz 無線の汎用同期ワード制御レジスタ 4 (SUBGHZ_GSYNCR4)	214
5.10.22	Sub-GHz 無線の汎用同期ワード制御レジスタ 3 (SUBGHZ_GSYNCR3)	214
5.10.23	Sub-GHz 無線の汎用同期ワード制御レジスタ 2 (SUBGHZ_GSYNCR2)	214
5.10.24	Sub-GHz 無線の汎用同期ワード制御レジスタ 1 (SUBGHZ_GSYNCR1)	215
5.10.25	Sub-GHz 無線の汎用同期ワード制御レジスタ 0 (SUBGHZ_GSYNCR0)	215
5.10.26	Sub-GHz 無線の汎用ノードアドレスレジスタ (SUBGHZ_GNODEADR)	215
5.10.27	Sub-GHz 無線の汎用ブロードキャストアドレスレジスタ (SUBGHZ_GBCASTADDR)	215
5.10.28	Sub-GHz 無線の汎用 AFC レジスタ (SUBGHZ_GAFCR)	216
5.10.29	Sub-GHz 無線の LoRa ペイロード長レジスタ (SUBGHZ_LPLDLENR)	216
5.10.30	Sub-GHz 無線の同期タイムアウト・レジスタ (SUBGHZ_LSYNCTIMEOUTR)	216
5.10.31	Sub-GHz 無線の Lora IQ 極性 MSB レジスタ (SUBGHZ_LIQPOLR)	217
5.10.32	Sub-GHz 無線の Lora IQ 極性 LSB レジスタ (SUBGHZ_LIQPOLR)	217
5.10.33	Sub-GHz 無線の LoRa 同期ワード MSB レジスタ (SUBGHZ_LSYNCRH)	217
5.10.34	Sub-GHz 無線の LoRa 同期ワード LSB レジスタ (SUBGHZ_LSYNCL)	218
5.10.35	Sub-GHz 無線の Tx アドレスポインタレジスタ (SUBGHZ_TXADRPTR)	218
5.10.36	Sub-GHz 無線の Rx アドレス・ポインタ・レジスタ (SUBGHZ_RXADRPTRR)	218
5.10.37	Sub-GHz 無線のバンド幅選択レジスタ (SUBGHZ_BWSELR)	218
5.10.38	Sub-GHz 無線の乱数レジスタ 3 (SUBGHZ_RNGR3)	219
5.10.39	Sub-GHz 無線の乱数レジスタ 2 (SUBGHZ_RNGR2)	219
5.10.40	Sub-GHz 無線の乱数レジスタ 1 (SUBGHZ_RNGR1)	219
5.10.41	Sub-GHz 無線の乱数レジスタ 0 (SUBGHZ_RNGR0)	219
5.10.42	Sub-GHz 無線の SD 分解能レジスタ (SUBGHZ_SDCFG0R)	220
5.10.43	Sub-GHz 無線の AGC RSSI 制御レジスタ (SUBGHZ_AGCSSICTL0R)	220

5.10.44	Sub-GHz 無線のレシーバ・ゲイン制御レジスタ (SUBGHZ_RXGAINCR)	220
5.10.45	Sub-GHz 無線の AGC リセット設定レジスタ (SUBGHZ_AGCGFORSTCFGR)	221
5.10.46	Sub-GHz 無線の AGC リセット電力閾値レジスタ (SUBGHZ_AGCGFORSTPOWTHR)	221
5.10.47	Sub-GHz 無線の Tx クランプ・レジスタ (SUBGHZ_TXCLAMPR)	221
5.10.48	Sub-GHz 無線の無効化 LNA レジスタ (REG_ANA_LNA)	221
5.10.49	Sub-GHz 無線の無効化ミキサ・レジスタ (REG_ANA_MIXER)	222
5.10.50	Sub-GHz 無線の PA 過電流保護レジスタ (SUBGHZ_PAOCPR)	222
5.10.51	Sub-GHz 無線の RTC 制御レジスタ (SUBGHZ_RTCCTLR)	222
5.10.52	Sub-GHz 無線の RTC 期間 MSB レジスタ (SUBGHZ_RTCPRDR2)	223
5.10.53	Sub-GHz 無線の RTC 期間中間バイト・レジスタ (SUBGHZ_RTCPRDR1)	223
5.10.54	Sub-GHz 無線の RTC 期間 LSB レジスタ (SUBGHZ_RTCPRDR0)	223
5.10.55	Sub-GHz 無線の HSE32 OSC_IN コンデンサ・トリミング・レジスタ (SUBGHZ_HSEINTRIMR)	224
5.10.56	Sub-GHz 無線の HSE32 OSC_OUT コンデンサ・トリミング・レジスタ (SUBGHZ_HSEOUTTRIMR)	224
5.10.57	Sub-GHz 無線の SMPS 制御 0 レジスタ (SUBGHZ_SMPSC0R)	225
5.10.58	Sub-GHz 無線の電力制御レジスタ (SUBGHZ_PCR)	225
5.10.59	Sub-GHz 無線の SMPS 制御 2 レジスタ (SUBGHZ_SMPSC2R)	226
5.10.60	Sub-GHz 無線の RTC 制御レジスタ (SUBGHZ_EVENTMASKR)	226
5.10.61	Sub-GHz 無線のレジスタマップ	227
6	電源制御 (PWR)	229
6.1	電源	229
6.1.1	独立したアナログペリフェラルの電源	232
6.1.2	バッテリーバックアップドメイン	233
6.1.3	電圧レギュレータ	234
6.1.4	ダイナミック電圧スケーリングの管理	234
6.2	電源供給スーパーバイザ	235
6.2.1	パワーオンリセット (POR) / パワーダウンリセット (PDR) / ブラウンアウトリセット (BOR)	235
6.2.2	プログラム可能な電圧検出器 (PVD)	236
6.2.3	ペリフェラル電圧モニタ (PVM)	237
6.2.4	無線の機能停止 (EOL)	238
6.3	無線ビジー管理	239

6.4	CPU2 ブート	240
6.5	低電力モード	242
6.5.1	RUN モード	250
6.5.2	低電力 RUN モード (LPRun)	250
6.5.3	低電力モードへの移行	251
6.5.4	低電力モードの終了	251
6.5.5	SLEEP モード	253
6.5.6	低電力 SLEEP モード (LPSleep)	254
6.5.7	STOP 0 モード	255
6.5.8	STOP 1 モード	258
6.5.9	STOP 2 モード	259
6.5.10	STANDBY モード	260
6.5.11	SHUTDOWN モード	262
6.5.12	低電力モードからの自動ウェイクアップ	264
6.6	PWR レジスタ	264
6.6.1	PWR 制御レジスタ 1 (PWR_CR1)	265
6.6.2	PWR 制御レジスタ 2 (PWR_CR2)	266
6.6.3	PWR 制御レジスタ 3 (PWR_CR3)	267
6.6.4	PWR 制御レジスタ 4 (PWR_CR4)	269
6.6.5	PWR ステータスレジスタ 1 (PWR_SR1)	270
6.6.6	電源ステータスレジスタ 2 (PWR_SR2)	271
6.6.7	PWR ステータスクリアレジスタ (PWR_SCR)	273
6.6.8	PWR 制御レジスタ 5 (PWR_CR5)	274
6.6.9	PWR ポート A プルアップ制御レジスタ (PWR_PUCRA)	275
6.6.10	PWR ポート A プルダウン制御レジスタ (PWR_PDCRA)	275
6.6.11	PWR ポート B プルアップ制御レジスタ (PWR_PUCRB)	276
6.6.12	PWR ポート B プルダウン制御レジスタ (PWR_PDCRB)	276
6.6.13	PWR ポート C プルアップ制御レジスタ (PWR_PUCRC)	277
6.6.14	PWR ポート C プルダウン制御レジスタ (PWR_PDCRC)	277
6.6.15	PWR ポート H プルアップ制御レジスタ (PWR_PUCRH)	278
6.6.16	PWR ポート H プルダウン制御レジスタ (PWR_PDCRH)	279
6.6.17	PWR CPU2 制御レジスタ 1 (PWR_C2CR1)	279
6.6.18	PWR CPU2 制御レジスタ 3 (PWR_C2CR3)	280
6.6.19	PWR 拡張ステータス/ステータスクリアレジスタ (PWR_EXTSCR)	282
6.6.20	PWR セキュリティ設定レジスタ (PWR_SECCFGR)	283
6.6.21	PWR Sub-GHz SPI 制御レジスタ (PWR_SUBGHZSPICR)	284
6.6.22	PWS RSS コマンドレジスタ (SYSCFG_RSSCMDR)	284

6.6.23	PWR レジスタマップ	285
7	リセットおよびクロック制御 (RCC)	287
7.1	リセット	287
7.1.1	電源リセット	287
7.1.2	システムリセット	287
7.1.3	バックアップドメインリセット	289
7.1.4	Sub-GHz 無線のリセット	289
7.1.5	PKA SRAM リセット	289
7.2	クロック	289
7.2.1	トリミング機能付き HSE32 クロック	292
7.2.2	HSI16 クロック	295
7.2.3	MSI クロック	295
7.2.4	PLL	296
7.2.5	LSE クロック	297
7.2.6	LSI クロック	298
7.2.7	クロックソースの安定化時間	298
7.2.8	システムクロック (SYSCLK) の選択	298
7.2.9	クロックソースの周波数と電圧スケーリング	299
7.2.10	HSE32 のクロックセキュリティシステム (CSS)	299
7.2.11	LSE のクロックセキュリティシステム (LSECSS)	300
7.2.12	SPI2S2 クロック	300
7.2.13	Sub-GHz 無線の SPI クロック	301
7.2.14	ADC クロック	301
7.2.15	RTC クロック	301
7.2.16	タイマクロック	302
7.2.17	ウォッチドッグクロック	302
7.2.18	ハードウェア乱数発生器のクロック	302
7.2.19	クロック信号出力	302
7.2.20	TIM16/TIM17 を使用した内部/外部クロックの測定	303
7.2.21	ペリフェラルクロックの有効化	305
7.3	低消費電力モード	306
7.4	RCC レジスタ	308
7.4.1	RCC クロック制御レジスタ (RCC_CR)	308
7.4.2	RCC 内部クロックソース較正レジスタ (RCC_ICSCR)	311
7.4.3	RCC クロック設定レジスタ (RCC_CFGR)	312
7.4.4	RCC PLL 設定レジスタ (RCC_PLLCFGR)	315

7.4.5	RCC クロック割込み有効化レジスタ (RCC_CIER)	318
7.4.6	RCC クロック割込みフラグレジスタ (RCC_CIFR)	319
7.4.7	RCC クロック割込みクリアレジスタ (RCC_CICR)	320
7.4.8	RCC AHB1 ペリフェラルリセットレジスタ (RCC_AHB1RSTR)	321
7.4.9	RCC AHB2 ペリフェラルリセットレジスタ (RCC_AHB2RSTR)	322
7.4.10	RCC AHB3 ペリフェラルリセットレジスタ (RCC_AHB3RSTR)	323
7.4.11	RCC APB1 ペリフェラルリセットレジスタ 1 (RCC_APB1RSTR1)	324
7.4.12	RCC APB1 ペリフェラルリセットレジスタ 2 (RCC_APB1RSTR2)	325
7.4.13	RCC APB2 ペリフェラルリセットレジスタ (RCC_APB2RSTR)	326
7.4.14	RCC APB3 ペリフェラルリセットレジスタ (RCC_APB3RSTR)	327
7.4.15	RCC AHB1 ペリフェラルクロック有効化レジスタ (RCC_AHB1ENR)	327
7.4.16	RCC AHB2 ペリフェラルクロック有効化レジスタ (RCC_AHB2ENR)	328
7.4.17	RCC AHB3 ペリフェラルクロック有効化レジスタ (RCC_AHB3ENR)	329
7.4.18	RCC APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_APB1ENR1)	330
7.4.19	RCC APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_APB1ENR2)	331
7.4.20	RCC APB2 ペリフェラルクロック有効化レジスタ (RCC_APB2ENR)	332
7.4.21	RCC APB3 ペリフェラルクロック有効化レジスタ (RCC_APB3ENR)	333
7.4.22	SLEEP モードにおける RCC AHB1 ペリフェラルクロック有効化レジスタ (RCC_AHB1SMENR)	334
7.4.23	SLEEP モードにおける RCC AHB2 ペリフェラルクロック有効化レジスタ (RCC_AHB2SMENR)	335
7.4.24	SLEEP モードおよび STOP モードにおける RCC AHB3 ペリフェラルクロック有効化レジスタ (RCC_AHB3SMENR)	336
7.4.25	SLEEP モードにおける RCC APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_APB1SMENR1)	337
7.4.26	SLEEP モードにおける RCC APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_APB1SMENR2)	339
7.4.27	SLEEP モードにおける RCC APB2 ペリフェラルクロック有効化レジスタ (RCC_APB2SMENR)	340
7.4.28	SLEEP モードにおける RCC APB3 ペリフェラルクロック有効化レジスタ (RCC_APB3SMENR)	341
7.4.29	RCC ペリフェラル独立クロック設定レジスタ (RCC_CCIPR)	342
7.4.30	RCC バックアップドメイン制御レジスタ (RCC_BDCR)	344
7.4.31	RCC 制御/ステータスレジスタ (RCC_CSR)	347
7.4.32	RCC 拡張クロックリカバリレジスタ (RCC_EXTCFGR)	349
7.4.33	RCC CPU2 AHB1 ペリフェラルクロック有効化レジスタ (RCC_C2AHB1ENR)	351
7.4.34	RCC CPU2 AHB2 ペリフェラルクロック有効化レジスタ (RCC_C2AHB2ENR)	352

7.4.35	RCC CPU2 AHB3 ペリフェラルクロック有効化レジスタ (RCC_C2AHB3ENR)	353
7.4.36	RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_C2APB1ENR1)	354
7.4.37	RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_C2APB1ENR2)	355
7.4.38	RCC CPU2 APB2 ペリフェラルクロック有効化レジスタ (RCC_C2APB2ENR)	356
7.4.39	RCC CPU2 APB3 ペリフェラルクロック有効化レジスタ (RCC_C2APB3ENR)	357
7.4.40	SLEEP モードにおける RCC CPU2 AHB1 ペリフェラルクロック有効化 レジスタ (RCC_C2AHB1SMENR)	358
7.4.41	SLEEP モードにおける RCC CPU2 AHB2 ペリフェラルクロック有効化 レジスタ (RCC_C2AHB2SMENR)	359
7.4.42	SLEEP モードにおける RCC CPU2 AHB3 ペリフェラルクロック有効化 レジスタ (RCC_C2AHB3SMENR)	360
7.4.43	SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効化 レジスタ 1 (RCC_C2APB1SMENR1)	361
7.4.44	SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効化 レジスタ 2 (RCC_C2APB1SMENR2)	363
7.4.45	SLEEP モードにおける RCC CPU2 APB2 ペリフェラルクロック有効化 レジスタ (RCC_C2APB2SMENR)	364
7.4.46	SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効化 レジスタ (RCC_C2APB3SMENR)	365
7.4.47	RCC レジスタマップ	366
8	ハードウェアセマフォ (HSEM)	372
8.1	概要	372
8.2	主な特徴	372
8.3	機能詳細	373
8.3.1	HSEM ブロック図	373
8.3.2	HSEM 内部信号	373
8.3.3	HSEM ロックの手順	374
8.3.4	HSEM 書込み / 読出し / 読出しロックレジスタアドレス	375
8.3.5	HSEM のアンロック手順	375
8.3.6	HSEM COREID セマフォのクリア	376
8.3.7	HSEM 割込み	376
8.3.8	AHB バスマスタ ID 照合	378
8.4	HSEM レジスタ	379
8.4.1	HSEM レジスタセマフォ x (HSEM_Rx)	379

8.4.2	HSEM 読出し ロックレジスタセマフォ x (HSEM_RLRx)	380
8.4.3	HSEM 割込み有効化レジスタ (HSEM_CnIER)	381
8.4.4	HSEM 割込みクリアレジスタ (HSEM_CnICR)	381
8.4.5	HSEM 割込みステータスレジスタ (HSEM_CnISR)	382
8.4.6	HSEM 割込みステータスレジスタ (HSEM_CnMISR)	382
8.4.7	HSEM クリアレジスタ (HSEM_CR)	383
8.4.8	HSEM 割込みクリアレジスタ (HSEM_KEYR)	383
8.4.9	HSEM レジスタマップ	384
9	Inter-processor communication controller	
	(プロセッサ間通信コントローラ) (IPCC)	386
9.1	IPCC の概要	386
9.2	IPCC の主な機能	386
9.3	IPCC の機能説明	386
9.3.1	IPCC ブロック図	387
9.3.2	IPCC 単方向チャンネルモード	388
9.3.3	IPCC 半二重チャンネルモード	390
9.3.4	IPCC 割込み	393
9.4	IPCC レジスタ	394
9.4.1	IPCC プロセッサ 1 制御レジスタ (IPCC_C1CR)	394
9.4.2	IPCC プロセッサ 1 のマスクレジスタ (IPCC_C1MR)	394
9.4.3	IPCC プロセッサ 1 ステータスセットクリアレジスタ (IPCC_C1SCR)	395
9.4.4	IPCC プロセッサ 1 から プロセッサ 2 へのステータスレジスタ (IPCC_C1TOC2SR)	396
9.4.5	IPCC プロセッサ 2 制御レジスタ (IPCC_C2CR)	396
9.4.6	IPCC プロセッサ 2 のマスクレジスタ (IPCC_C2MR)	397
9.4.7	IPCC プロセッサ 2 ステータスセットクリアレジスタ (IPCC_C2SCR)	397
9.4.8	IPCC プロセッサ 2 から プロセッサ 1 へのステータスレジスタ (IPCC_C2TOC1SR)	398
9.4.9	IPCC レジスタマップ	399
10	汎用 I/O (GPIO)	400
10.1	GPIO の概要	400
10.2	GPIO の主な機能	400
10.3	GPIO の機能詳細	400
10.3.1	汎用 I/O (GPIO)	403

10.3.2	I/O ピンオルタネート機能マルチプレクサと配置	403
10.3.3	I/O ポート制御レジスタ	404
10.3.4	I/O ポートデータレジスタ	404
10.3.5	I/O データのビット単位の操作	405
10.3.6	GPIO ロック機構	405
10.3.7	I/O オルタネート機能の入力/出力	405
10.3.8	外部割込み/ウェイクアップライン	406
10.3.9	入力設定	406
10.3.10	出力設定	407
10.3.11	オルタネート機能設定	407
10.3.12	アナログ設定	408
10.3.13	LSE オシレータのピンを GPIO として使用	409
10.3.14	GPIO ピンを RTC 供給ドメインで使用	409
10.3.15	PH3 を GPIO として使用	409
10.4	GPIO レジスタ	409
10.4.1	GPIOx モードレジスタ (GPIOx_MODER) (x = A ~ B)	410
10.4.2	GPIOx 出カタイプレジスタ (GPIOx_OTYPER) (x = A ~ B)	410
10.4.3	GPIOx 出カスピードレジスタ (GPIOx_OSPEEDR) (x = A ~ B)	411
10.4.4	GPIOx プルアップ/プルダウンレジスタ (GPIOx_PUPDR) (x = A ~ B)	411
10.4.5	GPIOx 入力データレジスタ (GPIOx_IDR) (x = A ~ B)	412
10.4.6	GPIOx 出力データレジスタ (GPIOx_ODR) (x = A ~ B)	412
10.4.7	GPIOx ビットセット/リセットレジスタ (GPIOx_BSRR) (x = A ~ B)	413
10.4.8	GPIOx 設定ロックレジスタ (GPIOx_LCKR) (x = A ~ B)	413
10.4.9	GPIOx オルタネート機能下位レジスタ (GPIOx_AFR1) (x = A ~ B)	414
10.4.10	GPIOx オルタネート機能上位レジスタ (GPIOx_AFR2) (x = A ~ B)	415
10.4.11	GPIOx ビットリセットレジスタ (GPIOx_BRR) (x = A ~ B)	415
10.4.12	GPIOC モードレジスタ (GPIOC_MODER)	416
10.4.13	GPIOC 出カタイプレジスタ (GPIOC_OTYPER)	417
10.4.14	GPIOC 出カスピードレジスタ (GPIOC_OSPEEDR)	417
10.4.15	GPIOC プルアップ/プルダウンレジスタ (GPIOC_PUPDR)	418
10.4.16	GPIOC 入力データレジスタ (GPIOC_IDR)	419
10.4.17	GPIOC 出力データレジスタ (GPIOC_ODR)	419
10.4.18	GPIOC ビットセット/リセットレジスタ (GPIOC_BSRR)	420
10.4.19	GPIOC 設定ロックレジスタ (GPIOC_LCKR)	421
10.4.20	GPIOC オルタネート機能下位レジスタ (GPIOC_AFR1)	422
10.4.21	GPIOC オルタネート機能上位レジスタ (GPIOC_AFR2)	423
10.4.22	GPIOC ビットリセットレジスタ (GPIOC_BRR)	423

10.4.23	GPIOH モードレジスタ (GPIOH_MODER)	424
10.4.24	GPIO H 出力タイプレジスタ (GPIOH_OTYPER)	424
10.4.25	GPIOH 出力スピードレジスタ (GPIOH_OSPEEDR)	425
10.4.26	GPIOH プルアップ/プルダウンレジスタ (GPIOH_PUPDR)	425
10.4.27	GPIOH 入力データレジスタ (GPIOH_IDR)	426
10.4.28	GPIOH 出力データレジスタ (GPIOH_ODR)	426
10.4.29	GPIO H ビットセット/リセットレジスタ (GPIOH_BSRR)	427
10.4.30	GPIOH 設定ロックレジスタ (GPIOH_LCKR)	427
10.4.31	GPIOH オルタネート機能下位レジスタ (GPIOH_AFRL)	428
10.4.32	GPIOH ビットリセットレジスタ (GPIOH_BRR)	429
10.4.33	GPIOA レジスタマップ	430
10.4.34	GPIOB レジスタマップ	431
10.4.35	GPIOC レジスタマップ	432
10.4.36	GPIOH レジスタマップ	433
11	システム設定コントローラ (SYSCFG)	434
11.1	SYSCFG の主な機能	434
11.2	SYSCFG レジスタ	434
11.2.1	SYSCFG メモリ再配置レジスタ (SYSCFG_MEMRMP)	434
11.2.2	SYSCFG 設定レジスタ 1 (SYSCFG_CFGR1)	435
11.2.3	SYSCFG 外部割込み設定レジスタ 1 (SYSCFG_EXTICR1)	436
11.2.4	SYSCFG 外部割込み設定レジスタ 2 (SYSCFG_EXTICR2)	437
11.2.5	SYSCFG 外部割込み設定レジスタ 3 (SYSCFG_EXTICR3)	438
11.2.6	SYSCFG 外部割込み設定レジスタ 4 (SYSCFG_EXTICR4)	439
11.2.7	SYSCFG SRAM 制御およびステータスレジスタ (SYSCFG_SCSR)	440
11.2.8	SYSCFG 設定レジスタ 2 (SYSCFG_CFGR2)	440
11.2.9	SYSCFG SRAM2 書き込み保護レジスタ (SYSCFG_SWPR)	441
11.2.10	SYSCFG SRAM2 キーレジスタ (SYSCFG_SKR)	442
11.2.11	SYSCFG CPU1 割込みマスクレジスタ 1 (SYSCFG_IMR1)	442
11.2.12	SYSCFG CPU1 割込みマスクレジスタ 2 (SYSCFG_IMR2)	443
11.2.13	SYSCFG CPU2 割込みマスクレジスタ 1 (SYSCFG_C2IMR1)	443
11.2.14	SYSCFG CPU2 割込みマスクレジスタ 2 (SYSCFG_C2IMR2)	445
11.2.15	SYSCFG 無線デバッグ制御レジスタ (SYSCFG_RFDSCR)	446
11.2.16	SYSCFG レジスタマップ	446

12	ペリフェラル相互接続マトリックス	448
12.1	概要	448
12.2	接続の一覧	448
12.3	相互接続の詳細	449
12.3.1	タイマ (TIM1/TIM2/TIM17) からタイマ (TIM1/TIM2) へ	449
12.3.2	タイマ (LPTIM1/LPTIM2) からタイマ (LPTIM3) へ	449
12.3.3	タイマ (TIM1/TIM2) および GPIO ピン EXTI から ADC/DAC へ	450
12.3.4	タイマ (LPTIM1/LPTIM2) から DAC へ	450
12.3.5	ADC からタイマ (TIM1) まで	451
12.3.6	HSE32、LSE、LSI、MSI、MCO、RTC からタイマ (TIM2/TIM16/TIM17)	451
12.3.7	RTC、TAMP、COMP1、COMP2 から低電力タイマへ (LPTIM1/LPTIM2)	452
12.3.8	タイマ (TIM1/TIM2) からコンパレータ (COMP1/COMP2) へ	452
12.3.9	内部アナログから ADC へ	453
12.3.10	コンパレータ (COMP1/COMP2) からタイマ (TIM1/TIM2/TIM16/TIM17) まで	453
12.3.11	システムエラーからタイマ (TIM1/TIM16/TIM17) へ	454
12.3.12	タイマ (TIM16/TIM17) から IRTIM まで	454
12.3.13	タイマ (LPTIM1/LPTIM2/LPTIM3/GPIO ピン EXTI) から DMAMUX1 トリガへ	454
12.3.14	タイマ (LPTIM3) から Sub-GHz 無線 SPI NSS へ	455
13	ダイレクトメモリアクセスコントローラ (DMA)	456
13.1	概要	456
13.2	DMA の主な機能	456
13.3	DMA の実装	457
13.3.1	DMA1 および DMA2	457
13.3.2	DMA リクエストマッピング	457
13.4	DMA の機能説明	458
13.4.1	DMA ブロック図	458
13.4.2	DMA ピンおよび内部信号	459
13.4.3	DMA 転送	459
13.4.4	DMA アービトレーション	460
13.4.5	DMA チャンネル	461
13.4.6	DMA データの幅、アライメント、およびエンディアン	466
13.4.7	DMA エラー管理	468
13.5	DMA 割込み	468

13.6	DMA レジスタ	469
13.6.1	DMA 割込みステータスレジスタ (DMA_ISR)	469
13.6.2	DMA 割込みフラグクリアレジスタ (DMA_IFCR)	472
13.6.3	DMA チャンネル x 設定レジスタ (DMA_CCRx)	473
13.6.4	DMA チャンネル x 転送データ数レジスタ (DMA_CNDTRx)	477
13.6.5	DMA チャンネル x ペリフェラルアドレスレジスタ (DMA_CPARx)	478
13.6.6	DMA チャンネル x メモリアドレスレジスタ (DMA_CMARx)	479
13.6.7	DMA レジスタマップ	480
14	DMA リクエストマルチプレクサ (DMAMUX)	482
14.1	概要	482
14.2	DMAMUX の主な機能	483
14.3	DMAMUX の実装	484
14.3.1	DMAMUX1 の構成	484
14.3.2	DMAMUX1 の配置	484
14.4	DMAMUX の機能説明	486
14.4.1	DMAMUX ブロック図	486
14.4.2	DMAMUX 信号	487
14.4.3	DMAMUX チャンネル	487
14.4.4	DMAMUX セキュア/非セキュアチャンネル	488
14.4.5	DMAMUX 特権/非特権チャンネル	488
14.4.6	DMAMUX リクエストラインマルチプレクサ	489
14.4.7	DMAMUX リクエストジェネレータ	491
14.5	DMAMUX 割込み	493
14.6	DMAMUX レジスタ	494
14.6.1	DMAMUX リクエストラインマルチプレクサチャンネル x 設定レジスタ (DMAMUX_CxCR)	494
14.6.2	DMAMUX リクエストラインマルチプレクサ割込みチャンネルステータスレジスタ (DMAMUX_CSR)	495
14.6.3	DMAMUX リクエストラインマルチプレクサ割込みチャンネルクリアフラグレジスタ (DMAMUX_CCFR)	496
14.6.4	DMAMUX リクエストジェネレータチャンネル x 設定レジスタ (DMAMUX_RGxCR)	497
14.6.5	DMAMUX リクエストジェネレータ割込みステータスレジスタ (DMAMUX_RGSR)	498
14.6.6	DMAMUX リクエストジェネレータ割込みクリアフラグレジスタ (DMAMUX_RGCFR)	499
14.6.7	DMAMUX レジスタマップ	500

15	ネスト化されたベクタ割込みコントローラ (NVIC)	502
15.1	NVIC の主な機能	502
15.2	割込みブロック図	502
15.3	割込みベクタと例外ベクタ	503
16	拡張割込み/イベントコントローラ (EXTI)	508
16.1	EXTI の主な機能	508
16.2	EXTI ブロック図	509
16.3	ペリフェラルと CPU 間の EXTI 接続	510
16.3.1	EXTI ウェイクアップ割込みリスト	510
16.4	EXTI の機能詳細	513
16.4.1	EXTI の設定可能なイベント入力ウェイクアップ	514
16.4.2	EXTI のダイレクトイベント入力ウェイクアップ	515
16.5	EXTI の機能的動作	516
16.6	EXTI レジスタ	517
16.6.1	EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTISR1)	517
16.6.2	EXTI 立ち下がりトリガ選択レジスタ (EXTI_FTISR1)	518
16.6.3	EXTI ソフトウェア割込みイベントレジスタ (EXTI_SWIER1)	519
16.6.4	EXTI ペンディングレジスタ (EXTI_PR1)	520
16.6.5	EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTISR2)	521
16.6.6	EXTI 立ち下がりトリガ選択レジスタ (EXTI_FTISR2)	522
16.6.7	EXTI ソフトウェア割込みイベントレジスタ (EXTI_SWIER2)	523
16.6.8	EXTI ペンディングレジスタ (EXTI_PR2)	524
16.6.9	EXTI 割込みマスクレジスタ (EXTI_CnIMR1)	524
16.6.10	EXTI イベントマスクレジスタ (EXTI_CnEMR1)	525
16.6.11	EXTI 割込みマスクレジスタ (EXTI_CnIMR2)	526
16.6.12	EXTI イベントマスクレジスタ (EXTI_CnEMR2)	527
16.6.13	EXTI レジスタマップ	528
17	巡回冗長検査計算ユニット (CRC)	529
17.1	概要	529
17.2	CRC の主な機能	529
17.3	CRC の機能説明	530
17.3.1	CRC ブロック図	530
17.3.2	CRC 内部信号	530
17.3.3	CRC 操作	530

17.4	CRC レジスタ	532
17.4.1	CRC データレジスタ (CRC_DR)	532
17.4.2	CRC 独立型データレジスタ (CRC_IDR)	532
17.4.3	CRC 制御レジスタ (CRC_CR)	533
17.4.4	CRC の初期値 (CRC_INIT)	534
17.4.5	CRC 多項式 (CRC_POL)	534
17.4.6	CRC レジスタマップ	535
18	アナログデジタルコンバータ (ADC)	536
18.1	概要	536
18.2	ADC の主な機能	537
18.3	ADC の機能説明	538
18.3.1	ADC ピンおよび内部信号	538
18.3.2	ADC 電圧レギュレータ (ADVREGEN)	539
18.3.3	較正 (ADCAL)	540
18.3.4	ADC オン / オフ制御 (ADEN、ADDIS、ADRDY)	541
18.3.5	ADC クロック (CKMODE、PRESC[3:0])	543
18.3.6	ADC 接続性	545
18.3.7	ADC の設定	546
18.3.8	チャンネル選択 (CHSEL、SCANDIR、CHSELRMOD)	546
18.3.9	プログラム可能なサンプリング時間 (SMPx[2:0])	547
18.3.10	シングル変換モード (CONT = 0)	547
18.3.11	連続変換モード (CONT = 1)	548
18.3.12	変換の開始 (ADSTART)	548
18.3.13	タイミング	549
18.3.14	実行中の変換の停止 (ADSTP)	550
18.4	外部トリガおよびトリガ極性での変換 (EXTSEL、EXTEN)	551
18.4.1	不連続モード (DISCEN)	551
18.4.2	プログラム可能な分解能 (RES) - 高速変換モード	552
18.4.3	変換の終了、サンプリングフェーズの終了 (EOC、EOSMP フラグ)	552
18.4.4	変換シーケンスの終了 (EOS フラグ)	553
18.4.5	タイミング図の例 (シングル / 連続モードのハードウェア / ソフトウェアトリガ)	553
18.4.6	低周波数トリガモード	555
18.5	データ管理	556
18.5.1	データレジスタおよびデータの配置 (ADC_DR、ALIGN)	556
18.5.2	ADC オーバーラン (OVR、OVRMOD)	556

18.5.3	DMA を使用しない変換データシーケンスの管理	557
18.5.4	オーバーランなしでの DMA を使用しない変換データの管理	557
18.5.5	DMA を使用した変換データの管理	558
18.6	低電力機能	559
18.6.1	ウェイトモード変換	559
18.6.2	オートオフモード (AUTOFF)	559
18.7	アナログウィンドウ型ウォッチドッグ	561
18.7.1	アナログウォッチドッグ 1 の説明	561
18.7.2	アナログウォッチドッグ 2 および 3 の説明	562
18.7.3	ADC_AWDx_OUT 出力信号生成	563
18.7.4	アナログウォッチドッグ閾値制御	564
18.8	オーバーサンプリング回路	565
18.8.1	オーバーサンプリング時の ADC 動作モードのサポート	567
18.8.2	アナログウォッチドッグ	567
18.8.3	トリガモード	567
18.9	温度センサと内部基準電圧	568
18.10	バッテリー電圧監視	571
18.11	ADC 割込み	572
18.12	ADC レジスタ	573
18.12.1	ADC 割込みおよびステータスレジスタ (ADC_ISR)	573
18.12.2	A/D コンバータ割込み有効レジスタ (ADC_IER)	575
18.12.3	ADC 制御レジスタ (ADC_CR)	577
18.12.4	ADC 設定レジスタ 1 (ADC_CFGR1)	579
18.12.5	ADC 設定レジスタ 2 (ADC_CFGR2)	582
18.12.6	ADC サンプリング時間レジスタ (ADC_SMPR)	583
18.12.7	ADC ウォッチドッグ閾値レジスタ (ADC_AWD1TR)	584
18.12.8	ADC ウォッチドッグ閾値レジスタ (ADC_AWD2TR)	585
18.12.9	ADC チャンネル選択レジスタ (ADC_CHSELR)	586
18.12.10	ADC チャンネル選択レジスタ [オルタネート] (ADC_CHSELR)	587
18.12.11	ADC ウォッチドッグ閾値レジスタ (ADC_AWD3TR)	589
18.12.12	ADC データレジスタ (ADC_DR)	589
18.12.13	ADC アナログウォッチドッグ 2 設定レジスタ (ADC_AWD2CR)	590
18.12.14	ADC アナログウォッチドッグ 3 設定レジスタ (ADC_AWD3CR)	590
18.12.15	ADC 較正係数 (ADC_CALFACT)	591
18.12.16	ADC 共通設定レジスタ (ADC_CCR)	591
18.13	ADC レジスタマップ	593

19	D/A コンバータ (DAC)	595
19.1	概要	595
19.2	DAC の主な機能	595
19.3	DAC の実装	596
19.4	DAC の機能説明	596
19.4.1	DAC ブロック図	596
19.4.2	DAC ピンおよび内部信号	597
19.4.3	DAC チャネルイネーブル	598
19.4.4	DAC データフォーマット	598
19.4.5	DAC 変換	599
19.4.6	DAC 出力電圧	599
19.4.7	DAC トリガ選択	599
19.4.8	DMA リクエスト	600
19.4.9	ノイズ生成	600
19.4.10	三角波生成	602
19.4.11	DAC チャネルモード	603
19.4.12	DAC 出力バッファ較正	606
19.4.13	DAC チャネル変換モード	607
19.5	低消費電力モードの DAC	608
19.6	DAC 割込み	608
19.7	DAC レジスタ	609
19.7.1	DAC 制御レジスタ (DAC_CR)	609
19.7.2	DAC ソフトウェアトリガレジスタ (DAC_SWTRGR)	611
19.7.3	DAC チャネル 1 の 12 ビット右詰めデータ保持レジスタ (DAC_DHR12R1)	611
19.7.4	DAC チャネル 1 の 12 ビット左詰めデータ保持レジスタ (DAC_DHR12L1)	612
19.7.5	DAC チャネル 1 の 8 ビット右詰めデータ保持レジスタ (DAC_DHR8R1)	612
19.7.6	デュアル DAC 12 ビット右詰めデータ保持レジスタ (DAC_DHR12RD)	613
19.7.7	デュアル DAC 12 ビット左詰めデータ保持レジスタ (DAC_DHR12LD)	613
19.7.8	デュアル DAC 8 ビット右詰めデータ保持レジスタ (DAC_DHR8RD)	614
19.7.9	DAC チャネル 1 データ出力レジスタ (DAC_DOR1)	614
19.7.10	DAC ステータスレジスタ (DAC_SR)	614
19.7.11	DAC 較正制御レジスタ (DAC_CCR)	615
19.7.12	DAC モード制御レジスタ (DAC_MCR)	616
19.7.13	DAC チャネル 1 サンプルおよびホールドのサンプル時間レジスタ (DAC_SHSR1)	617

19.7.14	DAC サンプルおよびホールド時間レジスタ (DAC_SHHR)	617
19.7.15	DAC サンプルおよびホールドのリフレッシュ時間レジスタ (DAC_SHRR)	618
19.7.16	DAC レジスタマップ	619
20	電圧基準バッファ (VREFBUF)	621
20.1	概要	621
20.2	VREFBUF の機能説明	621
20.3	VREFBUF レジスタ	622
20.3.1	VREFBUF 制御およびステータスレジスタ (VREFBUF_CSR)	622
20.3.2	VREFBUF 較正制御レジスタ (VREFBUF_CCR)	623
20.3.3	VREFBUF レジスタマップ	623
21	コンパレータ (COMP)	624
21.1	COMP の概要	624
21.2	COMP の主な機能	624
21.3	COMP の機能説明	625
21.3.1	COMP ブロック図	625
21.3.2	COMP ピンおよび内部信号	625
21.3.3	COMP のリセットおよびクロック	627
21.3.4	コンパレータのロック機構	627
21.3.5	ウィンドウコンパレータ	627
21.3.6	ヒステリシス	628
21.3.7	コンパレータの出力のブランキング機能	629
21.3.8	COMP 電力とスピードモード	629
21.4	COMP 低電力モード	630
21.5	COMP 割込み	630
21.6	COMP レジスタ	631
21.6.1	COMP1 制御およびステータスレジスタ (COMP1_CSR)	631
21.6.2	COMP2 制御およびステータスレジスタ (COMP2_CSR)	633
21.6.3	COMP レジスタマップ	635
22	真性乱数発生器 (RNG)	636
22.1	概要	636
22.2	RNG の主な機能	636
22.3	RNG の機能説明	637

22.3.1	RNG ブロック図	637
22.3.2	RNG 内部信号	637
22.3.3	乱数の生成	638
22.3.4	RNG 初期化	640
22.3.5	RNG 操作	642
22.3.6	RNG クロック供給	643
22.3.7	エラー管理	643
22.3.8	RNG の低消費電力時の取り扱い	644
22.4	RNG 割込み	645
22.5	RNG 処理時間	645
22.6	RNG エントロピーソース検証	646
22.6.1	概要	646
22.6.2	検証条件	646
22.6.3	データ収集	646
22.7	RNG レジスタ	647
22.7.1	RNG 制御レジスタ (RNG_CR)	647
22.7.2	RNG ステータスレジスタ (RNG_SR)	649
22.7.3	RNG データレジスタ (RNG_DR)	650
22.7.4	RNG 健全性テスト制御レジスタ (RNG_HTCR)	650
22.7.5	RNG レジスタマップ	651
23	AES ハードウェアアクセラレータ (AES)	652
23.1	概要	652
23.2	AES の主な特徴	652
23.3	AES の実装	653
23.4	AES 機能詳細	653
23.4.1	AES ブロック図	653
23.4.2	AES 内部信号	653
23.4.3	AES 暗号コア	654
23.4.4	暗号操作を行うための AES の手順	659
23.4.5	AES 復号化ラウンドキーの準備	661
23.4.6	AES 暗号文借用およびデータパディング	662
23.4.7	AES タスクのサスペンドとレジューム	662
23.4.8	AES 基本連鎖モード (ECB、CBC)	663
23.4.9	AES カウンタ (CTR) モード	667
23.4.10	AES ガロア/カウンタモード (GCM)	670

23.4.11	AES ガロアメッセージ認証コード (GMAC)	676
23.4.12	AESCBC-MAC 付きカウンタ (CCM)	677
23.4.13	AES データレジスタおよびデータスワッピング	682
23.4.14	AES キーレジスタ	684
23.4.15	AES 初期化ベクタレジスタ	684
23.4.16	AES DMA インタフェース	685
23.4.17	AES エラー管理	686
23.5	AES 割込み	687
23.6	AES 処理遅延時間	687
23.7	AES レジスタ	688
23.7.1	AES 制御レジスタ (AES_CR)	688
23.7.2	AES ステータスレジスタ (AES_SR)	691
23.7.3	AES データ入力レジスタ (AES_DINR)	692
23.7.4	AES データ出力レジスタ (AES_DOUTR)	692
23.7.5	AES キーレジスタ 0 (AES_KEYR0)	693
23.7.6	AES キーレジスタ 1 (AES_KEYR1)	693
23.7.7	AES キーレジスタ 2 (AES_KEYR2)	694
23.7.8	AES キーレジスタ 3 (AES_KEYR3)	694
23.7.9	AES 初期化ベクタレジスタ 0 (AES_IVR0)	694
23.7.10	AES 初期化ベクタレジスタ 1 (AES_IVR1)	695
23.7.11	AES 初期化ベクタレジスタ 2 (AES_IVR2)	695
23.7.12	AES 初期化ベクタレジスタ 3 (AES_IVR3)	695
23.7.13	AES キーレジスタ 4 (AES_KEYR4)	696
23.7.14	AES キーレジスタ 5 (AES_KEYR5)	696
23.7.15	AES キーレジスタ 6 (AES_KEYR6)	696
23.7.16	AES キーレジスタ 7 (AES_KEYR7)	697
23.7.17	AES サスペンドレジスタ (AES_SUSPxR)	697
23.7.18	AES レジスタマップ	698
24	公開鍵アクセラレータ (PKA)	700
24.1	概要	700
24.2	PKA の主な機能	700
24.3	PKA の機能詳細	700
24.3.1	PKA ブロック図	700
24.3.2	PKA 内部信号	701
24.3.3	PKA のリセットおよびクロック	701

24.3.4	PKA 公開鍵の高速化	701
24.3.5	PKA の標準的なアプリケーション	703
24.3.6	演算を行うための PKA の手順	705
24.3.7	PKA エラー管理	706
24.4	PKA 演算モード	706
24.4.1	概要	706
24.4.2	モンゴメリパラメータ計算	707
24.4.3	剰余加算	707
24.4.4	剰余減算	708
24.4.5	剰余乗算とモンゴメリ乗算	708
24.4.6	べき剰余	709
24.4.7	モジュラリダクション	710
24.4.8	モジュラリダクション	710
24.4.9	算術加算	711
24.4.10	算術減算	711
24.4.11	算術比較	711
24.4.12	算術比較	712
24.4.13	RSA CRT べき乗	712
24.4.14	楕円曲線 F_p 上の点の確認	713
24.4.15	ECC F_p スカラー乗算	713
24.4.16	ECDSA 署名	715
24.4.17	ECDSA 検証	716
24.5	設定と処理時間の例	717
24.5.1	サポートされている楕円曲線	717
24.5.2	計算時間	719
24.6	PKA 割込み	720
24.7	PKA レジスタ	721
24.7.1	PKA 制御レジスタ (PKA_CR)	721
24.7.2	PKA ステータスレジスタ (PKA_SR)	722
24.7.3	PKA クリアフラグレジスタ (PKA_CLRFR)	723
24.7.4	PKA RAM	723
24.7.5	PKA レジスタマップ	724
25	高機能制御タイマ (TIM1)	725
25.1	TIM1 の概要	725
25.2	TIM1 の主な機能	725

25.3	TIM1 機能詳細	727
25.3.1	タイムベースユニット	727
25.3.2	カウンタモード	729
25.3.3	繰り返しカウンタ	740
25.3.4	外部トリガ入力	742
25.3.5	クロック選択	743
25.3.6	キャプチャ/比較チャネル	747
25.3.7	入力キャプチャモード	749
25.3.8	PWM 入力モード	750
25.3.9	強制出力モード	751
25.3.10	出力比較モード	751
25.3.11	PWM モード	753
25.3.12	非対称 PWM モード	756
25.3.13	組み合わせ PWM モード	757
25.3.14	組み合わせ 3 相 PWM モード	758
25.3.15	相補出力とデッドタイム挿入	759
25.3.16	ブレーク機能の使用	761
25.3.17	双方向ブレーク入力	767
25.3.18	外部イベントによる OCxREF 信号のクリア	769
25.3.19	6 ステップ PWM 生成	770
25.3.20	ワンパルスモード	771
25.3.21	再トリガ可能なワンパルスモード	772
25.3.22	エンコーダインタフェースモード	773
25.3.23	UIF ビットの再配置	775
25.3.24	タイマ入力 XOR 機能	776
25.3.25	ホールセンサとのインタフェース	776
25.3.26	タイマの同期	779
25.3.27	ADC の同期	782
25.3.28	DMA パーストモード	783
25.3.29	デバッグモード	784
25.4	TIM1 レジスタ	785
25.4.1	TIM1 制御レジスタ 1 (TIM1_CR1)	785
25.4.2	TIM1 制御レジスタ 2 (TIM1_CR2)	787
25.4.3	TIM1 スレーブモード制御レジスタ (TIM1_SMCR)	790
25.4.4	TIM1 DMA / 割込み有効レジスタ (TIM1_DIER)	792
25.4.5	TIM1 ステータスレジスタ (TIM1_SR)	794
25.4.6	TIM1 イベント生成レジスタ (TIM1_EGR)	796

25.4.7	TIM1 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM1_CCMR1)	797
25.4.8	TIM1 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM1_CCMR1)	799
25.4.9	TIM1 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM1_CCMR2)	801
25.4.10	TIM1 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM1_CCMR2)	802
25.4.11	TIM1 キャプチャ/比較有効レジスタ (TIM1_CCER)	803
25.4.12	TIM1 カウンタ (TIM1_CNT)	807
25.4.13	TIM1 プリスケーラ (TIM1_PSC)	807
25.4.14	TIM1 自動再ロードレジスタ (TIM1_ARR)	807
25.4.15	TIM1 繰り返しカウンタレジスタ (TIM1_RCR)	808
25.4.16	TIM1 キャプチャ/比較レジスタ 1 (TIM1_CCR1)	808
25.4.17	TIM1 キャプチャ/比較レジスタ 2 (TIM1_CCR2)	809
25.4.18	TIM1 キャプチャ/比較レジスタ 3 (TIM1_CCR3)	809
25.4.19	TIM1 キャプチャ/比較レジスタ 4 (TIM1_CCR4)	810
25.4.20	TIM1 ブレークおよびデッドタイムレジスタ (TIM1_BDTR)	810
25.4.21	TIM1 DMA 制御レジスタ (TIM1_DCR)	814
25.4.22	TIM1 完全転送用の DMA アドレス (TIM1_DMAR)	815
25.4.23	TIM1 オプションレジスタ 1 (TIM1_OR1)	816
25.4.24	TIM1 キャプチャ/比較モードレジスタ 3 (TIM1_CCMR3)	816
25.4.25	TIM1 キャプチャ/比較レジスタ 5 (TIM1_CCR5)	817
25.4.26	TIM1 キャプチャ/比較レジスタ 6 (TIM1_CCR6)	818
25.4.27	TIM1 オルタネート機能オプションレジスタ 1 (TIM1_AF1)	818
25.4.28	TIM1 オルタネート機能レジスタ 2 (TIM1_AF2)	820
25.4.29	TIM1 タイマ入力選択レジスタ (TIM1_TISEL)	821
25.4.30	TIM1 レジスタマップ	823
26	汎用タイマ (TIM2)	826
26.1	TIM2 概要	826
26.2	TIM2 の主な特徴	826
26.3	TIM2 機能詳細	828
26.3.1	タイムベースユニット	828
26.3.2	カウンタモード	830
26.3.3	クロック選択	840
26.3.4	キャプチャ/比較チャンネル	844
26.3.5	入力キャプチャモード	846

26.3.6	PWM 入力モード	847
26.3.7	強制出力モード	848
26.3.8	出力比較モード	848
26.3.9	PWM モード	849
26.3.10	非対称 PWM モード	853
26.3.11	組み合わせ PWM モード	853
26.3.12	外部イベントによる OCxREF 信号のクリア	854
26.3.13	ワンパルスモード	856
26.3.14	再トリガ可能なワンパルスモード	857
26.3.15	エンコーダインタフェースモード	858
26.3.16	UIF ビットの再配置	860
26.3.17	タイマ入力 XOR 機能	860
26.3.18	タイマと外部トリガの同期	861
26.3.19	タイマの同期	864
26.3.20	DMA バーストモード	868
26.3.21	デバッグモード	869
26.4	TIM2 レジスタ	870
26.4.1	TIM2 制御レジスタ 1 (TIM2_CR1)	870
26.4.2	TIM2 制御レジスタ 2 (TIM2_CR2)	872
26.4.3	TIM2 スレーブモード制御レジスタ (TIM2_SMCR)	873
26.4.4	TIM2 DMA / 割込み有効レジスタ (TIM2_DIER)	875
26.4.5	TIM2 ステータスレジスタ (TIM2_SR)	876
26.4.6	TIM2 イベント生成レジスタ (TIM2_EGR)	878
26.4.7	TIM2 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM2_CCMR1)	879
26.4.8	TIM2 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM2_CCMR1)	880
26.4.9	TIM2 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM2_CCMR2)	882
26.4.10	TIM2 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM2_CCMR2)	883
26.4.11	TIM2 キャプチャ/比較有効レジスタ (TIM2_CCER)	884
26.4.12	TIM2 カウンタ [オルタネート] (TIM2_CNT)	885
26.4.13	TIM2 カウンタ [オルタネート] (TIM2_CNT)	886
26.4.14	TIM2 プリスケーラ (TIM2_PSC)	886
26.4.15	TIM2 自動再ロードレジスタ (TIM2_ARR)	887
26.4.16	TIM2 キャプチャ/比較レジスタ 1 (TIM2_CCR1)	887
26.4.17	TIM2 キャプチャ/比較レジスタ 2 (TIM2_CCR2)	888

26.4.18	TIM2 キャプチャ／比較レジスタ 3 (TIM2_CCR3)	888
26.4.19	TIM2 キャプチャ／比較レジスタ 4 (TIM2_CCR4)	889
26.4.20	TIM2 DMA 制御レジスタ (TIM2_DCR)	889
26.4.21	TIM2 完全転送用の DMA アドレス (TIM2_DMAR)	890
26.4.22	TIM2 オプションレジスタ 1 (TIM2_OR1)	890
26.4.23	TIM2 オルタネート機能オプションレジスタ 1 (TIM2_AF1)	891
26.4.24	TIM2 タイマ入力選択レジスタ (TIM2_TISEL)	892
26.4.25	TIMx レジスタマップ	893
27	汎用タイマ (TIM16/TIM17)	895
27.1	TIM16/TIM17 の概要	895
27.2	TIM16/TIM17 の主な特徴	895
27.3	TIM16/TIM17 機能詳細	897
27.3.1	タイムベースユニット	897
27.3.2	カウンタモード	899
27.3.3	繰り返しカウンタ	903
27.3.4	クロック選択	904
27.3.5	キャプチャ／比較チャンネル	906
27.3.6	入力キャプチャモード	908
27.3.7	強制出力モード	909
27.3.8	出力比較モード	909
27.3.9	PWM モード	911
27.3.10	相補出力とデッドタイム挿入	912
27.3.11	ブレーク機能の使用	914
27.3.12	双方向ブレーク入力	917
27.3.13	6 ステップ PWM 生成	918
27.3.14	ワンパルスモード	920
27.3.15	UIF ビットの再配置	921
27.3.16	スレーブモード - リセットモードとトリガモードの組み合わせ	921
27.3.17	DMA バーストモード	921
27.3.18	タイマ出力を他のタイマのトリガとして使用 (TIM16/TIM17)	922
27.3.19	デバッグモード	923
27.4	TIM16/TIM17 レジスタ	924
27.4.1	TIMx 制御レジスタ 1 (TIMx_CR1) (x = 16 to 17)	924
27.4.2	TIMx 制御レジスタ 2 (TIMx_CR2) (x = 16 to 17)	925
27.4.3	TIMx DMA / 割込み有効レジスタ (TIMx_DIER) (x = 16 to 17)	926
27.4.4	TIMx ステータスレジスタ (TIMx_SR) (x = 16 to 17)	927

27.4.5	TIMx イベント生成レジスタ (TIMx_EGR) (x = 16 to 17)	928
27.4.6	TIMx キャプチャ/比較モードレジスタ 1 [オルタネート] (TIMx_CCMR1) (x = 16 to 17)	929
27.4.7	TIMx キャプチャ/比較モードレジスタ 1 [オルタネート] (TIMx_CCMR1) (x = 16 to 17)	930
27.4.8	TIMx キャプチャ/比較有効レジスタ (TIMx_CCER) (x = 16 to 17)	931
27.4.9	TIMx カウンタ (TIMx_CNT) (x = 16 to 17)	934
27.4.10	TIMx プリスケーラ (TIMx_PSC) (x = 16 to 17)	934
27.4.11	TIMx 自動再ロードレジスタ (TIMx_ARR) (x = 16 to 17)	934
27.4.12	TIMx 繰り返しカウンタレジスタ (TIMx_RCR) (x = 16 to 17)	935
27.4.13	TIMx キャプチャ/比較レジスタ 1 (TIMx_CCR1) (x = 16 to 17)	935
27.4.14	TIMx ブレークおよびデッドタイムレジスタ (TIMx_BDTR) (x = 16 to 17) ...	936
27.4.15	TIMx DMA 制御レジスタ (TIMx_DCR) (x = 16 to 17)	938
27.4.16	完全転送の TIMx DMA アドレス (TIMx_DMAR) (x = 16 to 17)	939
27.4.17	TIM16 オプションレジスタ 1 (TIM16_OR1)	939
27.4.18	TIM16 オルタネート機能レジスタ 1 (TIM16_AF1)	940
27.4.19	TIM16 入力選択レジスタ (TIM16_TISEL)	941
27.4.20	TIM17 オプションレジスタ 1 (TIM17_OR1)	941
27.4.21	TIM17 オルタネート機能レジスタ 1 (TIM17_AF1)	942
27.4.22	TIM17 入力選択レジスタ (TIM17_TISEL)	943
27.4.23	TIM16/TIM17 レジスタマップ	944
28	低消費電力タイマ (LPTIM)	946
28.1	概要	946
28.2	LPTIM の主な機能	946
28.3	LPTIM の実装	947
28.4	LPTIM の機能説明	947
28.4.1	LPTIM ブロック図	947
28.4.2	LPTIM ピンおよび内部信号	948
28.4.3	LPTIM 入力およびトリガマッピング	948
28.4.4	LPTIM のリセットとクロック	950
28.4.5	グリッチフィルタ	950
28.4.6	プリスケーラ	951
28.4.7	トリガマルチプレクサ	951
28.4.8	動作モード	952
28.4.9	タイムアウト機能	954
28.4.10	波形生成	954

28.4.11	レジスタの更新	955
28.4.12	カウンタモード	956
28.4.13	タイマ有効	956
28.4.14	タイマカウンタのリセット	957
28.4.15	エンコーダモード	957
28.4.16	繰り返しカウンタ	959
28.4.17	デバッグモード	960
28.5	LPTIM 低消費電力モード	960
28.6	LPTIM 割込み	960
28.7	LPTIM レジスタ	962
28.7.1	LPTIM 割込みおよびステータスレジスタ (LPTIM_ISR)	962
28.7.2	LPTIM 割込みクリアレジスタ (LPTIM_ICR)	963
28.7.3	LPTIM 割込み有効レジスタ (LPTIM_IER)	964
28.7.4	LPTIM 設定レジスタ (LPTIM_CFGR)	965
28.7.5	LPTIM 制御レジスタ (LPTIM_CR)	968
28.7.6	LPTIM 比較レジスタ (LPTIM_CMP)	969
28.7.7	LPTIM 自動再ロードレジスタ (LPTIM_ARR)	969
28.7.8	LPTIM カウンタレジスタ (LPTIM_CNT)	970
28.7.9	LPTIM1 オプションレジスタ (LPTIM1_OR)	970
28.7.10	LPTIM2 オプションレジスタ (LPTIM2_OR)	971
28.7.11	LPTIM3 オプションレジスタ (LPTIM3_OR)	971
28.7.12	LPTIM 繰り返しレジスタ (LPTIM_RCR)	972
28.7.13	LPTIM レジスタマップ	973
29	赤外線インタフェース (IRTIM)	975
30	独立型ウォッチドッグ (IWDG)	976
30.1	概要	976
30.2	IWDG の主な機能	976
30.3	IWDG の機能説明	976
30.3.1	IWDG ブロック図	976
30.3.2	ウィンドウオプション	977
30.3.3	ハードウェアウォッチドッグ	978
30.3.4	低消費電力モード	978
30.3.5	レジスタのアクセス保護	978
30.3.6	デバッグモード	978

30.4	IWDG レジスタ	979
30.4.1	IWDG キーレジスタ (IWDG_KR)	979
30.4.2	IWDG プリスケーラレジスタ (IWDG_PR)	980
30.4.3	IWDG 再ロードレジスタ (IWDG_RLR)	981
30.4.4	IWDG ステータスレジスタ (IWDG_SR)	982
30.4.5	IWDG ウィンドウレジスタ (IWDG_WINR)	983
30.4.6	IWDG レジスタマップ	984
31	システムウィンドウ型ウォッチドッグ (WWDG)	985
31.1	概要	985
31.2	WWDG の主な機能	985
31.3	WWDG の機能説明	985
31.3.1	WWDG ブロック図	986
31.3.2	WWDG 内部信号	986
31.3.3	ウォッチドッグの有効化	986
31.3.4	ダウンカウンタの制御	986
31.3.5	ウォッチドッグタイムアウトをプログラムする方法	987
31.3.6	デバッグモード	988
31.4	WWDG 割込み	988
31.5	WWDG レジスタ	989
31.5.1	WWDG 制御レジスタ (WWDG_CR)	989
31.5.2	WWDG 設定レジスタ (WWDG_CFR)	990
31.5.3	WWDG ステータスレジスタ (WWDG_SR)	990
31.5.4	WWDG レジスタマップ	991
32	リアルタイムクロック (RTC)	992
32.1	概要	992
32.2	RTC の主な機能	992
32.3	RTC の機能説明	993
32.3.1	RTC ブロック図	993
32.3.2	RTC ピンおよび内部信号	994
32.3.3	RTC および TAMP によって制御される GPIO	995
32.3.4	クロックとプリスケーラ	996
32.3.5	リアルタイムクロックとカレンダー	997
32.3.6	カレンダー超低電力モード	998
32.3.7	プログラム可能なアラーム	998

32.3.8	周期的自動ウェイクアップ	999
32.3.9	RTC の初期化と設定	999
32.3.10	カレンダーの読出し	1002
32.3.11	RTC のリセット	1003
32.3.12	RTC の同期	1003
32.3.13	RTC リファレンスクロック検出	1004
32.3.14	RTC の高精度デジタル較正	1004
32.3.15	タイムスタンプ機能	1006
32.3.16	較正クロック出力	1007
32.3.17	タンパおよびアラーム出力	1008
32.4	RTC 低電力モード	1008
32.5	RTC 割込み	1009
32.6	RTC レジスタ	1010
32.6.1	RTC 時刻レジスタ (RTC_TR)	1010
32.6.2	RTC 日付レジスタ (RTC_DR)	1011
32.6.3	RTC サブセカンドレジスタ (RTC_SSR)	1012
32.6.4	RTC 初期化制御およびステータスレジスタ (RTC_ICSR)	1012
32.6.5	RTC プリスケアラレジスタ (RTC_PRER)	1014
32.6.6	RTC ウェイクアップタイマレジスタ (RTC_WUTR)	1015
32.6.7	RTC 制御レジスタ (RTC_CR)	1016
32.6.8	RTC 書込み保護レジスタ (RTC_WPR)	1019
32.6.9	RTC 較正レジスタ (RTC_CALR)	1020
32.6.10	RTC シフト制御レジスタ (RTC_SHIFTR)	1021
32.6.11	RTC タイムスタンプ時刻レジスタ (RTC_TSTR)	1022
32.6.12	RTC タイムスタンプ日付レジスタ (RTC_TSDR)	1022
32.6.13	RTC タイムスタンプサブセカンドレジスタ (RTC_TSSSR)	1023
32.6.14	RTC アラーム A レジスタ (RTC_ALRMAR)	1023
32.6.15	RTC アラーム A サブセカンドレジスタ (RTC_ALRMASR)	1024
32.6.16	RTC アラーム B レジスタ (RTC_ALMBR)	1025
32.6.17	RTC アラーム B サブセカンドレジスタ (RTC_ALMBSSR)	1026
32.6.18	RTC ステータスレジスタ (RTC_SR)	1027
32.6.19	RTC マスク済み割込みステータスレジスタ (RTC_MISR)	1028
32.6.20	RTC ステータスクリアレジスタ (RTC_SCR)	1029
32.6.21	RTC アラーム A バイナリモードレジスタ (RTC_ALRABINR)	1030
32.6.22	RTC アラーム B バイナリモードレジスタ (RTC_ALRBBINR)	1030
32.6.23	RTC レジスタマップ	1031

33	タンパおよびバックアップレジスタ (TAMP)	1033
33.1	概要	1033
33.2	TAMP の主な機能	1033
33.3	TAMP の機能詳細	1034
33.3.1	TAMP ブロック図	1034
33.3.2	TAMP ピンおよび内部信号	1035
33.3.3	TAMP レジスタ書込み保護	1036
33.3.4	タンパ検出	1036
33.4	TAMP 低電力モード	1038
33.5	TAMP 割込み	1038
33.6	TAMP レジスタ	1039
33.6.1	TAMP 制御レジスタ 1 (TAMP_CR1)	1039
33.6.2	TAMP 制御レジスタ 2 (TAMP_CR2)	1040
33.6.3	TAMP 制御レジスタ 3 (TAMP_CR3)	1042
33.6.4	TAMP フィルタ制御レジスタ (TAMP_FLTCR)	1043
33.6.5	TAMP 割込み有効レジスタ (TAMP_IER)	1044
33.6.6	TAMP ステータスレジスタ (TAMP_SR)	1045
33.6.7	TAMP マスク済み割込みステータスレジスタ (TAMP_MISR)	1046
33.6.8	TAMP ステータスクリアレジスタ (TAMP_SCR)	1047
33.6.9	TAMP 単調カウンタレジスタ (TAMP_COUNTR)	1048
33.6.10	TAMP バックアップ x レジスタ (TAMP_BKPxR)	1048
33.6.11	TAMP レジスタマップ	1049
34	I²C (Inter-integrated circuit) インタフェース	1050
34.1	概要	1050
34.2	I ² C の主な機能	1050
34.3	I ² C の実装	1051
34.4	I ² C の機能詳細	1051
34.4.1	I ² C ブロック図	1052
34.4.2	I ² C ピンおよび内部信号	1053
34.4.3	I ² C クロックの要件	1053
34.4.4	モード選択	1054
34.4.5	I ² C の初期化	1055
34.4.6	ソフトウェアリセット	1059
34.4.7	データ転送	1060
34.4.8	I ² C スレーブモード	1062

34.4.9	I ² C マスタモード	1071
34.4.10	I2C_TIMINGR レジスタの設定例	1083
34.4.11	SMBus 固有の機能	1084
34.4.12	SMBus 初期化	1086
34.4.13	SMBus : I2C_TIMEOUTR レジスタの設定例	1088
34.4.14	SMBus スレーブモード	1089
34.4.15	アドレス一致時に STOP モードからウェイクアップ	1097
34.4.16	エラー条件	1097
34.4.17	DMA リクエスト	1099
34.4.18	デバッグモード	1100
34.5	I ² C 低電力モード	1100
34.6	I ² C 割込み	1101
34.7	I ² C レジスタ	1102
34.7.1	I ² C 制御レジスタ 1 (I2C_CR1)	1102
34.7.2	I ² C 制御レジスタ 2 (I2C_CR2)	1105
34.7.3	I ² C Own Address 1 レジスタ (I2C_OAR1)	1107
34.7.4	I ² C Own Address 2 レジスタ (I2C_OAR2)	1108
34.7.5	I ² C タイミングレジスタ (I2C_TIMINGR)	1109
34.7.6	I ² C タイムアウトレジスタ (I2C_TIMEOUTR)	1110
34.7.7	I ² C 割込みおよびステータスレジスタ (I2C_ISR)	1111
34.7.8	I ² C 割込みクリアレジスタ (I2C_ICR)	1113
34.7.9	I ² C PEC レジスタ (I2C_PECR)	1114
34.7.10	I ² C 受信データレジスタ (I2C_RXDR)	1115
34.7.11	I ² C 送信データレジスタ (I2C_TXDR)	1115
34.7.12	I ² C レジスタマップ	1116
35	ユニバーサル同期/非同期レシーバトランスミッタ (USART/UART)	1117
35.1	USART の概要	1117
35.2	USART の主な機能	1118
35.3	USART の拡張機能	1119
35.4	USART の実装	1119
35.5	USART の機能説明	1120
35.5.1	USART ブロック図	1120
35.5.2	USART 信号	1121
35.5.3	USART キャラクタの説明	1122

35.5.4	USART の FIFO と閾値	1124
35.5.5	USART トランスミッタ	1124
35.5.6	USART レシーバ	1128
35.5.7	USART ボーレート生成	1135
35.5.8	クロック偏差に対する USART レシーバの許容誤差	1136
35.5.9	USART 自動ボーレート検出	1137
35.5.10	USART マルチプロセッサ通信	1139
35.5.11	USART Modbus 通信	1141
35.5.12	USART パリティ制御	1141
35.5.13	USART LIN (Local Interconnection Network) モード	1142
35.5.14	USART 同期モード	1144
35.5.15	USART 単線半二重通信	1148
35.5.16	USART レシーバタイムアウト	1148
35.5.17	USART スマートカードモード	1149
35.5.18	USART IrDA SIR ENDEC ブロック	1153
35.5.19	USART および DMA を使用した連続通信	1155
35.5.20	RS232 ハードウェアフロー制御および RS485 ドライバ有効	1158
35.5.21	USART 低消費電力管理	1160
35.6	低消費電力モードでの USART	1163
35.7	USART 割込み	1164
35.8	USART レジスタ	1165
35.8.1	USART 制御レジスタ 1 (USART_CR1)	1165
35.8.2	USART 制御レジスタ 1[オルタネート] (USART_CR1)	1169
35.8.3	USART 制御レジスタ 2 (USART_CR2)	1173
35.8.4	USART 制御レジスタ 3 (USART_CR3)	1177
35.8.5	USART ボーレートレジスタ (USART_BRR)	1181
35.8.6	USART ガード時間およびプリスケアラレジスタ (USART_GTPR)	1181
35.8.7	USART レシーバタイムアウトレジスタ (USART_RTOR)	1183
35.8.8	USART リクエストレジスタ (USART_RQR)	1184
35.8.9	USART 割込みおよびステータスレジスタ (USART_ISR)	1185
35.8.10	USART 割込みおよびステータスレジスタ [オルタネート] (USART_ISR)	1191
35.8.11	USART 割込みフラグクリアレジスタ (USART_ICR)	1196
35.8.12	USART レシーバデータレジスタ (USART_RDR)	1197
35.8.13	USART トランスミッタデータレジスタ (USART_TDR)	1198
35.8.14	USART プリスケアラレジスタ (USART_PRESC)	1199
35.8.15	USART レジスタマップ	1200

36	低消費電力ユニバーサル非同期レシーバトランスミッタ (LPUART)	1202
36.1	LPUART の概要	1202
36.2	LPUART の主な機能	1203
36.3	LPUART の実装	1204
36.4	LPUART の機能詳細	1205
36.4.1	LPUART ブロック図	1205
36.4.2	LPUART 信号	1206
36.4.3	LPUART キャラクタの説明	1206
36.4.4	LPUART の FIFO と閾値	1208
36.4.5	LPUART トランスミッタ	1208
36.4.6	LPUART レシーバ	1211
36.4.7	LPUART ボーレート生成	1215
36.4.8	クロック偏差に対する LPUART レシーバの許容誤差	1217
36.4.9	LPUART マルチプロセッサ通信	1217
36.4.10	LPUART パリティ制御	1220
36.4.11	LPUART 単線半二重通信	1221
36.4.12	DMA および LPUART を使用した連続通信	1221
36.4.13	RS232 ハードウェアフロー制御および RS485 ドライバ有効	1224
36.4.14	LPUART 低消費電力管理	1226
36.5	低消費電力モードでの LPUART	1229
36.6	LPUART 割込み	1230
36.7	LPUART レジスタ	1231
36.7.1	LPUART 制御レジスタ 1 (LPUART_CR1)	1231
36.7.2	LPUART 制御レジスタ 1[オルタネート] (LPUART_CR1)	1234
36.7.3	LPUART 制御レジスタ 2 (LPUART_CR2)	1237
36.7.4	LPUART 制御レジスタ 3 (LPUART_CR3)	1239
36.7.5	LPUART ボーレートレジスタ (LPUART_BRR)	1242
36.7.6	LPUART リクエストレジスタ (LPUART_RQR)	1242
36.7.7	LPUART 割込みおよびステータスレジスタ (LPUART_ISR)	1243
36.7.8	LPUART 割込みとステータスレジスタ [オルタネート] (LPUART_ISR)	1247
36.7.9	LPUART 割込みフラグクリアレジスタ (LPUART_ICR)	1251
36.7.10	LPUART 受信データレジスタ (LPUART_RDR)	1252
36.7.11	LPUART 送信データレジスタ (LPUART_TDR)	1252
36.7.12	LPUART プリスケアラレジスタ (LPUART_PRESC)	1253
36.7.13	LPUART レジスタマップ	1254

37	シリアルペリフェラルインタフェース／IC 間サウンド (SPI/I2S)	1256
37.1	概要	1256
37.2	SPI の主な機能	1256
37.3	I ² S の主な機能	1257
37.4	SPI/I2S の実装	1257
37.5	SPI の機能説明	1258
37.5.1	概要	1258
37.5.2	マスタとスレーブの 1 対 1 の通信	1259
37.5.3	標準マルチスレーブ通信	1261
37.5.4	マルチマスタ通信	1262
37.5.5	スレーブ選択 (NSS) ピンの管理	1262
37.5.6	通信フォーマット	1263
37.5.7	SPI の設定	1266
37.5.8	SPI を有効にする手順	1267
37.5.9	データの送受信手順	1267
37.5.10	SPI ステータスフラグ	1277
37.5.11	SPI エラーフラグ	1278
37.5.12	NSS パルスモード	1279
37.5.13	TI モード	1280
37.5.14	CRC 計算	1281
37.6	SPI 割込み	1283
37.7	I ² S の機能詳細	1284
37.7.1	I ² S の概要	1284
37.7.2	サポートされるオーディオプロトコル	1285
37.7.3	起動に関する説明	1292
37.7.4	クロックジェネレータ	1294
37.7.5	I ² S マスタモード	1297
37.7.6	I ² S スレーブモード	1299
37.7.7	I ² S ステータスフラグ	1300
37.7.8	I ² S エラーフラグ	1301
37.7.9	DMA の機能	1302
37.8	I ² S 割込み	1302
37.9	SPI および I ² S レジスタ	1303
37.9.1	SPI 制御レジスタ 1 (SPIx_CR1)	1303
37.9.2	SPI 制御レジスタ 2 (SPIx_CR2)	1305
37.9.3	SPI ステータスレジスタ (SPIx_SR)	1307

37.9.4	SPI データレジスタ (SPIx_DR)	1309
37.9.5	SPI CRC 多項式レジスタ (SPIx_CRCPR)	1309
37.9.6	SPI Rx CRC レジスタ (SPIx_RXCRCR)	1310
37.9.7	SPI Tx CRC レジスタ (SPIx_TXCRCR)	1310
37.9.8	SPIx_I2S 設定レジスタ (SPIx_I2SCFGR)	1311
37.9.9	SPIx_I2S プリスケーラレジスタ (SPIx_I2SPR)	1313
37.9.10	SPI/I2S レジスタマップ	1314
38	デバッグサポート (DBG)	1315
38.1	DBG の概要と主な機能	1315
38.2	DBG の使用事例	1316
38.3	DBG の機能説明	1316
38.3.1	DBG ブロック図	1316
38.3.2	DBG ピンおよび内部信号	1317
38.3.3	DBG インタフェース制御	1317
38.3.4	DBG のリセットおよびクロック	1318
38.3.5	DBG 電力ドメイン	1318
38.3.6	DBG 低電力モード	1318
38.3.7	シリアルワイヤおよび JTAG デバッグポート	1319
38.3.8	JTAG デバッグポート	1319
38.3.9	シリアルワイヤデバッグポート	1322
38.4	デバッグポート (DP) レジスタ	1323
38.4.1	DP 識別レジスタ (DP_DPIDR)	1325
38.4.2	DP アボートレジスタ (DP_ABORTR)	1325
38.4.3	DP 制御およびステータスレジスタ (DP_CTRLSTATR)	1326
38.4.4	DP のデータリンク制御レジスタ (DP_DLCR)	1328
38.4.5	DP ターゲット識別レジスタ (DP_TARGETIDR)	1329
38.4.6	DP データリンクプロトコル識別レジスタ (DP_DLPIDR)	1329
38.4.7	DP 再送信レジスタ (DP_RESENDER)	1330
38.4.8	DP アクセスポート選択レジスタ (DP_SELECTR)	1330
38.4.9	DP 読出しバッファレジスタ (DP_BUFFER)	1331
38.4.10	DP ターゲット識別レジスタ (DP_TARGETSELR)	1331
38.4.11	DP レジスタマップとリセット値	1332
38.5	アクセスポート	1333
38.5.1	AP 制御/ステータスワードレジスタ (AP_CSQR)	1337
38.5.2	AP 転送アドレスレジスタ (AP_TAR)	1338
38.5.3	AP データ読出し/書込みレジスタ (AP_DRWR)	1338

38.5.4	AP バンクデータレジスタ x (AP_BDxR)	1339
38.5.5	AP ベースアドレスレジスタ (AP_BASER)	1339
38.5.6	AP 識別レジスタ (AP_IDR)	1340
38.5.7	AP レジスタマップとリセット値	1341
38.6	データウォッチポイントおよびトレースユニット (DWT)	1342
38.6.1	DWT 制御レジスタ (DWT_CTRLR)	1343
38.6.2	DWT サイクルカウントレジスタ (DWT_CYCCNTR)	1344
38.6.3	DWT CPI カウントレジスタ (DWT_CPICNTR)	1345
38.6.4	DWT 例外カウントレジスタ (DWT_EXCCNTR)	1345
38.6.5	DWT スリープカウントレジスタ (DWT_SLPCNTR)	1346
38.6.6	DWT LSU カウントレジスタ (DWT_LSUCNTR)	1346
38.6.7	DWT フォールドカウントレジスタ (DWT_FOLD CNTR)	1346
38.6.8	DWT プログラムカウンタサンプルレジスタ (DWT_PCSR)	1347
38.6.9	DWT コンパレータレジスタ x (DWT_COMPxR)	1347
38.6.10	DWT マスクレジスタ x (DWT_MASKxR)	1347
38.6.11	DWT 機能レジスタ x (DWT_FUNCxR)	1348
38.6.12	DWT CoreSight ペリフェラル ID レジスタ 4 (DWT_PIDR4)	1349
38.6.13	DWT CoreSight ペリフェラル ID レジスタ 0 (DWT_PIDR0)	1349
38.6.14	DWT CoreSight ペリフェラル ID レジスタ 1 (DWT_PIDR1)	1350
38.6.15	DWT CoreSight ペリフェラル ID レジスタ 2 (DWT_PIDR2)	1350
38.6.16	DWT CoreSight ペリフェラル ID レジスタ 3 (DWT_PIDR3)	1351
38.6.17	DWT CoreSight コンポーネント ID レジスタ 0 (DWT_CIDR0)	1351
38.6.18	DWT CoreSight ペリフェラル ID レジスタ 1 (DWT_CIDR1)	1352
38.6.19	DWT CoreSight コンポーネント ID レジスタ 2 (DWT_CIDR2)	1352
38.6.20	DWT CoreSight コンポーネント ID レジスタ 3 (DWT_CIDR3)	1353
38.6.21	DWT レジスタマップ	1353
38.7	クロストリガインタフェース (CTI) / クロストリガマトリックス (CTM) ...	1355
38.7.1	CTI レジスタ	1360
38.8	CPU1 ROM テーブル	1377
38.8.1	CPU1 ROM メモリタイプレジスタ (ROM_MEMTYPER)	1379
38.8.2	CPU1 ROM CoreSight ペリフェラル ID レジスタ 4 (ROM_PIDR4)	1379
38.8.3	CPU1 ROM CoreSight ペリフェラル ID レジスタ 0 (ROM_PIDR0)	1380
38.8.4	CPU1 ROM CoreSight ペリフェラル ID レジスタ 1 (ROM_PIDR1)	1380
38.8.5	CPU1 ROM CoreSight ペリフェラル ID レジスタ 2 (ROM_PIDR2)	1381
38.8.6	CPU1 ROM CoreSight ペリフェラル ID レジスタ 3 (ROM_PIDR3)	1381
38.8.7	CPU1 ROM CoreSight コンポーネント ID レジスタ 0 (ROM_CIDR0)	1382
38.8.8	CPU1 ROM CoreSight ペリフェラル ID レジスタ 1 (ROM_CIDR1)	1382

38.8.9	CPU1 ROM CoreSight コンポーネント ID レジスタ 2 (ROM_CIDR2)	1383
38.8.10	CPU1 ROM CoreSight コンポーネント ID レジスタ 3 (ROM_CIDR3)	1383
38.8.11	CPU1 ROM テーブルレジスタマップ	1384
38.9	CPU1 ブレークポイントユニット (FPB)	1385
38.9.1	FPB 制御レジスタ (FPB_CTRLR)	1385
38.9.2	FPB リマップレジスタ (FPB_REMAPR)	1386
38.9.3	FPB コンパレータレジスタ x (FPB_COMPxR)	1386
38.9.4	FPB CoreSight ペリフェラル ID レジスタ 4 (FPB_PIDR4)	1387
38.9.5	FPB CoreSight ペリフェラル ID レジスタ 0 (FPB_PIDR0)	1387
38.9.6	FPB CoreSight ペリフェラル ID レジスタ 1 (FPB_PIDR1)	1388
38.9.7	FPB CoreSight ペリフェラル ID レジスタ 2 (FPB_PIDR2)	1388
38.9.8	FPB CoreSight ペリフェラル ID レジスタ 3 (FPB_PIDR3)	1389
38.9.9	FPB CoreSight コンポーネント ID レジスタ 0 (FPB_CIDR0)	1389
38.9.10	FPB CoreSight ペリフェラル ID レジスタ 1 (FPB_CIDR1)	1390
38.9.11	FPB CoreSight コンポーネント ID レジスタ 2 (FPB_CIDR2)	1390
38.9.12	FPB CoreSight コンポーネント ID レジスタ 3 (FPB_CIDR3)	1391
38.9.13	CPU1 FPB レジスタマップ	1392
38.10	CPU1 計装トレースマクロセル (ITM)	1393
38.10.1	ITM スティムラスレジスタ x (ITM_STIMRx)	1393
38.10.2	ITM トレース有効レジスタ (ITM_TER)	1394
38.10.3	ITM トレース特権レジスタ (ITM_TPR)	1394
38.10.4	ITM トレース制御レジスタ (ITM_TCR)	1395
38.10.5	ITM CoreSight ペリフェラル ID レジスタ 4 (ITM_PIDR4)	1396
38.10.6	ITM CoreSight ペリフェラル ID レジスタ 0 (ITM_PIDR0)	1396
38.10.7	ITM CoreSight ペリフェラル ID レジスタ 1 (ITM_PIDR1)	1397
38.10.8	ITM CoreSight ペリフェラル ID レジスタ 2 (ITM_PIDR2)	1397
38.10.9	ITM CoreSight ペリフェラル ID レジスタ 3 (ITM_PIDR3)	1398
38.10.10	ITM CoreSight コンポーネント ID レジスタ 0 (ITM_CIDR0)	1398
38.10.11	ITM CoreSight ペリフェラル ID レジスタ 1 (ITM_CIDR1)	1399
38.10.12	ITM CoreSight コンポーネント ID レジスタ 2 (ITM_CIDR2)	1399
38.10.13	ITM CoreSight コンポーネント ID レジスタ 3 (ITM_CIDR3)	1400
38.10.14	CPU1 ITM レジスタマップ	1400
38.11	CPU1 トレースポートインタフェースユニット (TPIU)	1401
38.11.1	TPIU でサポートされるポートサイズのレジスタ (TPIU_SSPSR)	1402
38.11.2	TPIU の現在のポートサイズのレジスタ (TPIU_CSPSR)	1402
38.11.3	TPIU 非同期クロックプリスケアラレジスタ (TPIU_ACPR)	1403
38.11.4	TPIU 選択ピンプロトコルレジスタ (TPIU_SPPR)	1403

38.11.5	TPIU フォーマットおよび一掃のステータスレジスタ (TPIU_FFSR)	1404
38.11.6	TPIU フォーマットおよび一掃の制御レジスタ (TPIU_FFCR)	1404
38.11.7	TPIU フォーマット同期カウンタのレジスタ (TPIU_FSCR)	1405
38.11.8	TPIU 要求タグ設定レジスタ (TPIU_CLAIMSETR)	1406
38.11.9	TPIU 要求タグクリアレジスタ (TPIU_CLAIMCLR)	1406
38.11.10	TPIU デバイス設定レジスタ (TPIU_DEVIDR)	1407
38.11.11	TPIU デバイスタイプ識別子レジスタ (TPIU_DEVTYPER)	1407
38.11.12	TPIU CoreSight ペリフェラル ID レジスタ 4 (TPIU_PIDR4)	1408
38.11.13	TPIU CoreSight ペリフェラル ID レジスタ 0 (TPIU_PIDR0)	1408
38.11.14	TPIU CoreSight ペリフェラル ID レジスタ 1 (TPIU_PIDR1)	1409
38.11.15	TPIU CoreSight ペリフェラル ID レジスタ 2 (TPIU_PIDR2)	1409
38.11.16	TPIU CoreSight ペリフェラル ID レジスタ 3 (TPIU_PIDR3)	1410
38.11.17	TPIU CoreSight コンポーネント ID レジスタ 0 (TPIU_CIDR0)	1410
38.11.18	TPIU CoreSight ペリフェラル ID レジスタ 1 (TPIU_CIDR1)	1411
38.11.19	TPIU CoreSight コンポーネント ID レジスタ 2 (TPIU_CIDR2)	1411
38.11.20	TPIU CoreSight コンポーネント ID レジスタ 3 (TPIU_CIDR3)	1412
38.11.21	CPU 1 TPIU レジスタマップ	1412
38.12	マイクロコントローラデバッグユニット (DBGMCU)	1414
38.12.1	DBGMCU ID コードレジスタ (DBGMCU_IDCODE)	1414
38.12.2	DBGMCU 設定レジスタ (DBGMCU_CR)	1415
38.12.3	DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1 (DBGMCU_APB1FZR1)	1416
38.12.4	DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 1 (DBGMCU_C2APB1FZR1)	1417
38.12.5	DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 2 (DBGMCU_APB1FZR2)	1418
38.12.6	DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 2 (DBGMCU_C2APB1FZR2)	1418
38.12.7	DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ (DBGMCU_APB2FZR)	1419
38.12.8	DBGMCU CPU2 APB2 ペリフェラルフリーズレジスタ (DBGMCU_C2APB2FZR)	1419
38.12.9	DBGMCU レジスタマップ	1421
38.13	CPU2 ROM テーブル	1422
38.13.1	CPU2 ROM1 メモリタイプレジスタ (C2ROM1_MEMTYPER)	1423
38.13.2	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 4 (C2ROM1_PIDR4)	1424
38.13.3	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 0 (C2ROM1_PIDR0)	1424

38.13.4	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 (C2ROM1_PIDR1)	1425
38.13.5	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 2 (C2ROM1_PIDR2)	1425
38.13.6	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 3 (C2ROM1_PIDR3)	1426
38.13.7	CPU2 ROM1 CoreSight コンポーネント ID レジスタ 0 (C2ROM1_CIDR0)	1426
38.13.8	CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 (C2ROM1_CIDR1)	1427
38.13.9	CPU2 ROM1 CoreSight コンポーネント ID レジスタ 2 (C2ROM1_CIDR2)	1427
38.13.10	CPU2 ROM1 CoreSight コンポーネント ID レジスタ 3 (C2ROM1_CIDR3)	1428
38.13.11	CPU2 ROM1 レジスタマップ	1429
38.13.12	CPU2 ROM2 メモリタイプレジスタ (C2ROM2_MEMTYPER)	1430
38.13.13	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 4 (C2ROM2_PIDR4)	1430
38.13.14	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 0 (C2ROM2_PIDR0)	1431
38.13.15	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 (C2ROM2_PIDR1)	1431
38.13.16	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 2 (C2ROM2_PIDR2)	1432
38.13.17	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 3 (C2ROM2_PIDR3)	1432
38.13.18	CPU2 ROM2 CoreSight コンポーネント ID レジスタ 0 (C2ROM2_CIDR0)	1433
38.13.19	CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 (C2ROM2_CIDR1)	1433
38.13.20	CPU2 ROM2 CoreSight コンポーネント ID レジスタ 2 (C2ROM2_CIDR2)	1434
38.13.21	CPU2 ROM2 CoreSight コンポーネント ID レジスタ 3 (C2ROM2_CIDR3)	1434
38.13.22	CPU2 ROM2 レジスタマップ	1435
38.14	CPU2 ブレークポイントユニット (BPU)	1436
38.14.1	BPU 制御レジスタ (BPU_CTRLR)	1436
38.14.2	BPU リマップレジスタ (BPU_REMAPR)	1437
38.14.3	BPU コンパレータレジスタ x (BPU_COMPxR)	1437
38.14.4	BPU CoreSight ペリフェラル ID レジスタ 4 (BPU_PIDR4)	1438
38.14.5	BPU CoreSight ペリフェラル ID レジスタ 0 (BPU_PIDR0)	1438
38.14.6	BPU CoreSight ペリフェラル ID レジスタ 1 (BPU_PIDR1)	1439

38.14.7	BPU CoreSight ペリフェラル ID レジスタ 2 (BPU_PIDR2)	1439
38.14.8	BPU CoreSight ペリフェラル ID レジスタ 3 (BPU_PIDR3)	1440
38.14.9	BPU CoreSight コンポーネント ID レジスタ 0 (BPU_CIDR0)	1440
38.14.10	BPU CoreSight ペリフェラル ID レジスタ 1 (BPU_CIDR1)	1441
38.14.11	BPU CoreSight コンポーネント ID レジスタ 2 (BPU_CIDR2)	1441
38.14.12	BPU CoreSight コンポーネント ID レジスタ 3 (BPU_CIDR3)	1442
38.14.13	CPU2 BPU レジスタマップ	1443
38.15	参照	1444
39	デバイス電子署名	1445
39.1	デバイス電子署名レジスタ	1445
39.1.1	ユニークデバイス ID レジスタ (UID)	1445
39.1.2	FLASH サイズデータレジスタ (FLASHSIZE)	1446
39.1.3	パッケージデータレジスタ (PKG)	1447
39.1.4	IEEE 64 ビットのユニークデバイス ID レジスタ (UID64)	1447
40	セキュリティに関する重要な通知	1449
41	改版履歴	1450

表の一覧

表 1.	デバイス・ブートモード	.64
表 2.	SRAM の消去条件	.66
表 3.	メモリセキュリティと特権アクセス	.70
表 4.	メモリマップとペリフェラルのレジスタ境界アドレス	.74
表 5.	GTZC 内部信号	.81
表 6.	メモリアクセス・エラーの生成	.83
表 7.	ペリフェラルアクセス・エラーの生成	.84
表 8.	TZSC 特権 MPCWMn レジスタのメモリ割り当て	.86
表 9.	GTZC TZSC レジスタマップとリセット値	.93
表 10.	TZIC レジスタマップとリセット値	.98
表 11.	Flash メモリ - シングルバンク構成	100
表 12.	Flash クロック (HCLK3) 周波数によるウェイトステート数	102
表 13.	ページ消去の概要	107
表 14.	全体消去の概要	108
表 15.	ページベースの行プログラミングでのエラー	113
表 16.	オプションバイトの構成	114
表 17.	オプションローディング制御	117
表 18.	Flash メモリの読出し保護ステータス	119
表 19.	レベル 1 からレベル 0 への RDP 復帰とメモリ消去	121
表 20.	アクセス状態 対 保護レベルと実行モード	122
表 21.	PCROP 保護	123
表 22.	WRP 保護	124
表 23.	Flash 割込みリクエスト	128
表 24.	レジスタ保護の概要	129
表 25.	Flash インタフェース レジスタマップとリセット値	154
表 26.	Sub-GHz 内部入出力信号	157
表 27.	Sub-GHz 無線の送信高出力電力	158
表 28.	FSK モードの中間周波数	160
表 29.	LoRa モードの中間周波数	160
表 30.	拡散係数、チップ/シンボル、および LoRa SNR	162
表 31.	LoRa バンド幅設定	163
表 32.	符号化率とオーバーヘッド比	163
表 33.	動作モード遷移 BUSY 切り替え時間	176
表 34.	コマンド構造	177
表 35.	PA の最適設定と動作モード	186
表 36.	CAD の推奨設定 [Settings]	188
表 37.	IRQ ビットのマッピングと定義	198
表 38.	ISM バンドのイメージ較正	201
表 39.	コマンドフォーマット Set_TcxoMode()	203
表 40.	RegTcxoTrim および Timeout バイトの定義	203
表 41.	Sub-GHz 無線の SPI コマンドの概要	203
表 42.	SUBGHZ レジスタマップとリセット値	227
表 43.	PVM の機能	237
表 44.	低消費電力モードの概要	246
表 45.	システムの動作モードに応じた機能	247
表 46.	MCU と Sub-GHz 無線の動作モード	249
表 47.	LPRun	251
表 48.	CPU ウェイクアップとシステム動作モード	253
表 49.	SLEEP モード	254

表 50.	LPSleep	255
表 51.	STOP 0 モード	257
表 52.	STOP 1 モード	258
表 53.	STOP 2 モード	260
表 54.	STANDBY モード	262
表 55.	SHUTDOWN モード	263
表 56.	PWR レジスタマップとリセット値	285
表 57.	クロックソース安定化時間	298
表 58.	クロックソースの周波数	299
表 59.	SPI2S2 I2S クロックの PLL 設定	300
表 60.	Sub-GHz 無線の SPI クロック設定	301
表 61.	ペリフェラルクロックの有効化	305
表 62.	低消費電力デバッグ設定	306
表 63.	RCC レジスタマップとリセット値	366
表 64.	HSEM 内部入力/出力信号	373
表 65.	許可された AHB バスマスタ ID	378
表 66.	HSEM レジスタマップとリセット値	384
表 67.	IPCC インタフェース信号	387
表 68.	通信に使用されるビット	388
表 69.	IPCC レジスタマップとリセット値	399
表 70.	ポートビット設定	402
表 71.	GPIOA レジスタマップとリセット値	430
表 72.	GPIOB レジスタマップとリセット値	431
表 73.	GPIOC レジスタマップとリセット値	432
表 74.	GPIOH レジスタマップとリセット値	433
表 75.	SYSCFG レジスタマップとリセット値	446
表 76.	STM32WL5x ペリフェラル相互接続マトリックス	448
表 77.	DMA1 および DMA2 の実装	457
表 78.	DMA 内部入力/出力信号	459
表 79.	プログラム可能なデータ幅およびエンディアン動作 (PINC = MINC = 1 の場合)	466
表 80.	DMA 割込みリクエスト	468
表 81.	DMA レジスタマップとリセット値	480
表 82.	DMAMUX の構成	484
表 83.	DMAMUX1 : リソースへのマルチプレクサ入力の割り当て	484
表 84.	DMAMUX1 : リソースへのトリガ入力の割り当て	485
表 85.	DMAMUX1 : リソースへの同期入力の割り当て	485
表 86.	DMAMUX 信号	487
表 87.	DMAMUX 割込み	493
表 88.	DMAMUX レジスタマップとリセット値	500
表 89.	CPU1 ベクタテーブル	503
表 90.	CPU2 ベクタテーブル	506
表 91.	EXTI ピンの概要	509
表 92.	EVG ピンの概要	510
表 93.	ウェイクアップ割込み	510
表 94.	EXTI イベント入力設定およびレジスタ制御	513
表 95.	マスキングの機能	516
表 96.	EXTI レジスタマップセクション	517
表 97.	EXTI レジスタマップとリセット値	528
表 98.	CRC 内部入力/出力信号	530
表 99.	CRC レジスタマップとリセット値	535
表 100.	ADC の入出力ピン	538
表 101.	ADC 内部入力/出力信号	538

表 102.	外部トリガ	539
表 103.	トリガから変換開始までの遅延	544
表 104.	トリガ極性の設定	551
表 105.	iSAR タイミングは分解能に依存	552
表 106.	アナログウォッチドッグ比較	562
表 107.	アナログウォッチドッグ 1 チャンネル選択	562
表 108.	最大出力結果対 N と M。グレーの値は切り詰めを示す	566
表 109.	ADC 割込み	572
表 110.	ADC レジスタマップとリセット値	593
表 111.	DAC の機能	596
表 112.	DAC の入出力ピン	597
表 113.	DAC 内部入力/出力信号	597
表 114.	DAC の相互接続	597
表 115.	サンプルおよびリフレッシュタイミング	604
表 116.	チャンネル出力モードの概要	605
表 117.	低消費電力モードが DAC に与える影響	608
表 118.	DAC 割込み	608
表 119.	DAC レジスタマップとリセット値	619
表 120.	VREF バッファモード	621
表 121.	VREFBUF レジスタマップとリセット値	623
表 122.	COMP1 正入力の割り当て	625
表 123.	COMP1 負入力の割り当て	626
表 124.	COMP2 正入力の割り当て	626
表 125.	COMP2 負入力の割り当て	626
表 126.	低電力モードでのコンパレータの動作	630
表 127.	割込み制御ビット	630
表 128.	COMP レジスタマップとリセット値	635
表 129.	RNG 内部入力/出力信号	637
表 130.	RNG 割込みリクエスト	645
表 131.	RNG の設定	646
表 132.	RNG レジスタマップとリセット値	651
表 133.	AES 内部入力/出力信号	653
表 134.	CTR モード初期化ベクタの定義	669
表 135.	GCM 最終ブロックの定義	671
表 136.	GCM モードでの AES_IVRx レジスタの初期化	672
表 137.	CCM モードでの AES_IVRx レジスタの初期化	679
表 138.	AES_KEYRx レジスタでのキーエンディアン (128 ビットまたは 256 ビットのキー長)	684
表 139.	AES 割込みリクエスト	687
表 140.	ECB、CBC、および CTR での処理遅延時間	687
表 141.	GCM および CCM での処理遅延時間 (クロックサイクル数)	688
表 142.	AES レジスタマップとリセット値	698
表 143.	内部入力/出力信号	701
表 144.	PKA 整数算術機能リスト	701
表 145.	PKA 素体 (Fp) 楕円曲線機能リスト	702
表 146.	モンゴメリパラメータ計算	707
表 147.	剰余加算	707
表 148.	剰余減算	708
表 149.	モンゴメリ乗算	709
表 150.	べき剰余 (通常モード)	709
表 151.	べき剰余 (高速モード)	709
表 152.	モジュラリダクション	710
表 153.	モジュラリダクション	710

表 154.	算術加算	711
表 155.	算術減算	711
表 156.	算術比較	711
表 157.	算術比較	712
表 158.	CRT べき乗	712
表 159.	楕円曲線 Fp 上の点の確認	713
表 160.	ECC Fp スカラー乗算	713
表 161.	ECC Fp スカラー乗算 (高速モード)	714
表 162.	ECDSA 署名 - 入力	715
表 163.	ECDSA 署名 - 出力	715
表 164.	拡張 ECDSA 署名 (追加出力)	716
表 165.	ECDSA 検証 (入力)	716
表 166.	ECDSA 検証 (出力)	716
表 167.	ECC 演算でサポートされる曲線群	717
表 168.	べき剰余の計算時間	719
表 169.	ECC スカラ乗算の計算時間	719
表 170.	ECDSA 署名の平均計算時間	719
表 171.	ECDSA 検証の平均計算時間	720
表 172.	楕円曲線 Fp 上の確認平均計算時間	720
表 173.	モンゴメリパラメータの平均計算時間	720
表 174.	PKA 割込みリクエスト	720
表 175.	PKA レジスタマップとリセット値	724
表 176.	タイマ出力と BRK/BRK2 入力の動作	766
表 177.	ブレーク保護解除条件	768
表 178.	カウント方向とエンコーダ信号	774
表 179.	TIM1 内部トリガ接続	792
表 180.	ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット	806
表 181.	TIM1 レジスタマップとリセット値	823
表 182.	カウント方向とエンコーダ信号	858
表 183.	TIM2 内部トリガ接続	875
表 184.	標準 OCx チャンネルの出力制御ビット	885
表 185.	TIM2 レジスタマップとリセット値	893
表 186.	ブレーク保護解除条件	917
表 187.	ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット (TIM16/17)	933
表 188.	TIM16/TIM17 レジスタマップとリセット値	944
表 189.	STM32WL5x LPTIM 機能	947
表 190.	HRTIM の入出力ピン	948
表 191.	LPTIM 内部信号	948
表 192.	LPTIM1 外部トリガ接続	948
表 193.	LPTIM2 外部トリガ接続	949
表 194.	LPTIM3 外部トリガ接続	949
表 195.	LPTIM1 入力 1 接続	949
表 196.	LPTIM1 入力 2 接続	949
表 197.	LPTIM2 入力 1 接続	949
表 198.	LPTIM3 入力 1 接続	950
表 199.	プリスケータ分周比	951
表 200.	エンコーダのカウントシナリオ	958
表 201.	低消費電力モードが LPTIM に与える影響	960
表 202.	割込みイベント	961
表 203.	LPTIM レジスタマップとリセット値	973
表 204.	IWDG レジスタマップとリセット値	984
表 205.	WWDG 内部入力/出力信号	986

表 206.	WWDG レジスタマップとリセット値	991
表 207.	RTC の入出力ピン	994
表 208.	RTC 内部入力/出力信号	994
表 209.	RTC 相互接続	994
表 210.	PC13 設定	995
表 211.	RTC_OUT の配置	996
表 212.	低消費電力モードが RTC に与える影響	1008
表 213.	RTC ピン機能 (モード共通)	1008
表 214.	割込みリクエスト	1009
表 215.	RTC レジスタマップとリセット値	1031
表 216.	TAMP の入出力ピン	1035
表 217.	TAMP 内部入力/出力信号	1035
表 218.	TAMP 相互接続	1035
表 219.	低消費電力モードが TAMP に与える影響	1038
表 220.	割込みリクエスト	1038
表 221.	TAMP レジスタマップとリセット値	1049
表 222.	STM32WL5xI2C の実装	1051
表 223.	I ² C の入出力ピン	1053
表 224.	I ² C 内部入力/出力信号	1053
表 225.	アナログフィルタとデジタルフィルタの比較	1055
表 226.	I2C-SMBus 仕様のデータのセットアップおよびホールド時間	1058
表 227.	I ² C 設定	1062
表 228.	I2C-SMBus 仕様のクロックタイミング	1073
表 229.	fI2CCLK = 8 MHz でのタイミング設定の例	1083
表 230.	fI2CCLK = 16 MHz でのタイミング設定の例	1083
表 231.	SMBus タイムアウト仕様	1085
表 232.	SMBus の PEC 設定	1087
表 233.	さまざまな I2CCLK 周波数での TIMEOUTA の設定例 (最大値 t _{TIMEOUT} = 25 ms)	1088
表 234.	さまざまな I2CCLK 周波数での TIMEOUTB の設定例	1089
表 235.	さまざまな I2CCLK 周波数での TIMEOUTA の設定例 (最大値 t _{IDLE} = 50 μs)	1089
表 236.	低電力モードが I ² C に与える影響	1100
表 237.	I ² C 割込みリクエスト	1101
表 238.	I ² C レジスタマップとリセット値	1116
表 239.	USART/LPUART の機能	1119
表 240.	サンプリングされたデータからのノイズ検出	1133
表 241.	BRR [3:0] = 0000 のときの USART レシーバの許容誤差	1137
表 242.	BRR[3:0] が 0000 でないときの USART レシーバの許容誤差	1137
表 243.	USART フレームのフォーマット	1141
表 244.	低消費電力モードが USART に与える影響	1163
表 245.	USART 割込みリクエスト	1164
表 246.	USART レジスタマップとリセット値	1200
表 247.	USART/LPUART の機能	1204
表 248.	lpuart_ker_ck_pres = 32.768 kHz でプログラムされたボーレートのエラー計算	1216
表 249.	fCK = 100 MHz でプログラムされたボーレートのエラー計算	1216
表 250.	LPUART レシーバの許容誤差	1217
表 251.	LPUART フレームのフォーマット	1220
表 252.	低消費電力モードが LPUART に与える影響	1229
表 253.	LPUART 割込みリクエスト	1230
表 254.	LPUART レジスタマップとリセット値	1254
表 255.	STM32WL5x SPI および SPI/I2S の実装	1257
表 256.	SPI 割込みリクエスト	1283
表 257.	HSE から導出した 48 MHz クロックによるオーディオ周波数精度	1296

表 258.	I ² S 割込みリクエスト	1302
表 259.	SPI/I ² S レジスタマップとリセット値	1314
表 260.	JTAG / シリアルワイヤデバッグポートのピン	1317
表 261.	シングルワイヤトレースポートのピン	1317
表 262.	デバッグアクセス制御の概要	1317
表 263.	JTAG-DP データレジスタ	1321
表 264.	パケットリクエスト	1322
表 265.	ACK 応答	1323
表 266.	データ転送	1323
表 267.	デバッグポートレジスタ	1324
表 268.	DP レジスタマップとリセット値	1332
表 269.	MEM-AP レジスタ	1334
表 270.	AP レジスタマップとリセット値	1341
表 271.	DWT レジスタマップとリセット値	1353
表 272.	CPU2 CTI 入力	1356
表 273.	CPU2 CTI 出力	1356
表 274.	CPU1 CTI 入力	1356
表 275.	CPU1 CTI 出力	1357
表 276.	CTI レジスタマップとリセット値	1374
表 277.	CPU1 ROM テーブル	1377
表 278.	CPU1 ROM テーブルレジスタマップとリセット値	1384
表 279.	CPU1 FPB レジスタマップとリセット値	1392
表 280.	CPU1 ITM レジスタマップとリセット値	1400
表 281.	TPIU レジスタマップとリセット値	1412
表 282.	DBGMCU レジスタマップとリセット値	1421
表 283.	ROM1 テーブル	1422
表 284.	ROM2 テーブル	1422
表 285.	CPU2 プロセッサ ROM テーブルレジスタマップとリセット値	1429
表 286.	CPU2 ROM テーブルレジスタマップとリセット値	1435
表 287.	CPU2 BPU レジスタマップとリセット値	1443
表 288.	文書改版履歴	1450
表 289.	日本語版文書改版履歴	1451

図の一覧

図 1.	システムアーキテクチャ	62
図 2.	メモリ保護の例	69
図 3.	メモリマップ	73
図 4.	GTZC のセキュリティ アーキテクチャ	80
図 5.	GTZC ブロック図	81
図 6.	メモリ保護制御のウォーターマーク	85
図 7.	連続 16 ビット命令の実行	104
図 8.	RDP レベルの変更	122
図 9.	Sub-GHz 無線のシステムのブロック図	157
図 10.	高出力電力 PA	158
図 11.	低出力電力 PA	159
図 12.	LoRa パケットのフレーム・フォーマット	164
図 13.	汎用パケットのフレームフォーマット	167
図 14.	Sub-GHz RAM データ・バッファの動作	169
図 15.	Sub-GHz 無線の動作モード	172
図 16.	Sub-GHz 無線の BUSY のタイミング	175
図 17.	レシーバのリッスンモードのタイミング	183
図 18.	電源の概要	230
図 19.	電源構成	231
図 20.	ブラウンアウトリセット波形	236
図 21.	PVD の閾値	237
図 22.	EOL の閾値	238
図 23.	無線ビジー管理	239
図 24.	CPU2 ブートオプション	241
図 25.	CPU の低電力モードの可能な遷移	245
図 26.	簡略化されたリセット回路図	288
図 27.	クロックツリー	292
図 28.	HSE32 のクロックソース	293
図 29.	HSE32 TCXO の制御	294
図 30.	LSE クロックソース	297
図 31.	TIM16 のキャプチャモードを使用した周波数測定	303
図 32.	TIM17 のキャプチャモードを使用した周波数測定	303
図 33.	HSEM ブロック図	373
図 34.	手順の状態図	374
図 35.	割込みの状態図	377
図 36.	IPCC ブロック図	387
図 37.	IPCC 単方向チャンネルモードの転送タイミング	388
図 38.	IPCC 単方向 - 送信手順の状態図	389
図 39.	IPCC 単方向 - 受信手順の状態図	390
図 40.	IPCC 半二重チャンネルモードの転送タイミング	391
図 41.	IPCC 半二重 - 送信手順の状態図	391
図 42.	IPCC 半二重 - 受信手順の状態図	392
図 43.	標準 I/O ポートビットの基本構造	401
図 44.	5 V I/O ポートビットの基本構造	402
図 45.	入力フローティング／プルアップ／プルダウン設定	406
図 46.	出力設定	407
図 47.	オルタネート機能設定	408
図 48.	ハイインピーダンスアナログ設定	408
図 49.	DMA ブロック図	458

図 50.	DMAMUX のブロック図	486
図 51.	DMAMUX リクエストラインマルチプレクサチャネルの同期モード	490
図 52.	DMA リクエストラインマルチプレクサチャネルのイベント生成	490
図 53.	割り込みブロック図	503
図 54.	EXTI ブロック図	509
図 55.	設定可能なイベントのトリガロジック、CPU ウェイクアップ	514
図 56.	ダイレクトイベントのトリガロジック、CPU ウェイクアップ	515
図 57.	CRC 計算ユニットのブロック図	530
図 58.	ADC のブロック図	538
図 59.	ADC 較正	541
図 60.	較正係数の強制	541
図 61.	ADC の有効化/無効化	542
図 62.	ADC クロック構成	543
図 63.	ADC 接続性	545
図 64.	アナログ/デジタル変換時間	549
図 65.	ADC 変換タイミング	550
図 66.	実行中の変換の停止	550
図 67.	シーケンスのシングル変換、ソフトウェアトリガ	553
図 68.	シーケンスの連続変換、ソフトウェアトリガ	554
図 69.	シーケンスのシングル変換、ハードウェアトリガ	554
図 70.	シーケンスの連続変換、ハードウェアトリガ	555
図 71.	データの配置と分解能 (オーバーサンプリング無効 : OVSE = 0)	556
図 72.	オーバーラン (OVR) の例	557
図 73.	ウェイトモード変換 (連続モード、ソフトウェアトリガ)	559
図 74.	WAIT = 0、AUTOFF = 1 での動作	560
図 75.	WAIT = 1、AUTOFF = 1 での動作	561
図 76.	アナログウォッチドッグによって保護される領域	562
図 77.	ADC_AWDx_OUT 信号生成	563
図 78.	ADC_AWDx_OUT 信号生成 (ソフトウェアによって AWDx フラグがクリアされない場合)	564
図 79.	ADC_AWDx_OUT 信号生成 (1 つのチャネル)	564
図 80.	アナログウォッチドッグ閾値更新	565
図 81.	20 ビットから 16 ビットへの結果の切り詰め	565
図 82.	5 ビットシフトと丸めの数値例	566
図 83.	トリガオーバーサンプリングモード (TOVS ビット = 1)	568
図 84.	温度センサおよび VREFINT チャネルのブロック図	569
図 85.	VBAT チャネルのブロック図	571
図 86.	DAC のブロック図	596
図 87.	シングル DAC チャネルモードのデータレジスタ	598
図 88.	トリガ無効 (TEN = 0) 時の変換タイミング図	599
図 89.	DAC LFSR レジスタ計算アルゴリズム	601
図 90.	LFSR 波形生成による DAC 変換 (SW トリガ有効)	601
図 91.	DAC 三角波生成	602
図 92.	三角波生成による DAC 変換 (SW トリガ有効)	602
図 93.	DAC サンプルおよびホールドモードフェーズの図	605
図 94.	コンパレータブロック図	625
図 95.	ウィンドウモード	628
図 96.	コンパレータヒステリシス	628
図 97.	コンパレータ出力のブランキング	629
図 98.	RNG ブロック図	637
図 99.	NIST SP800-90B エントロピーソースモデル	638
図 100.	RNG 初期化の概要	641
図 101.	AES ブロック図	653

図 102.	ECB の暗号化と復号化の原理	655
図 103.	CBC の暗号化と復号化の原理	656
図 104.	CTR の暗号化と復号化の原理	657
図 105.	GCM の暗号化と認証の原理	658
図 106.	GMAC の認証の原理	658
図 107.	CCM の暗号化と認証の原理	659
図 108.	サスペンドモードの管理例	663
図 109.	ECB 暗号化	663
図 110.	ECB 復号化	664
図 111.	CBC 暗号化	664
図 112.	CBC 復号化	665
図 113.	ECB/CBC 暗号化 (モード 1)	666
図 114.	ECB/CBC 復号化 (モード 3)	666
図 115.	CTR モードでのメッセージ構造	668
図 116.	CTR 暗号化	668
図 117.	CTR 復号化	669
図 118.	GCM でのメッセージ構造	670
図 119.	GCM 認証暗号化	672
図 120.	GMAC モードでのメッセージ構造	676
図 121.	GMAC 認証モード	676
図 122.	CCM モードでのメッセージ構造	677
図 123.	CCM モード認証暗号化	679
図 124.	データスワッピングに関する 128 ビットブロックの構成	683
図 125.	入力フェーズでの 128 ビットデータブロックの DMA 転送	685
図 126.	出力フェーズでの 128 ビットデータブロックの DMA 転送	686
図 127.	PKA ブロック図	700
図 128.	高機能制御タイマのブロック図	726
図 129.	プリスケアラ分周比が 1 から 2 に変化したときのカウンタのタイミング図	728
図 130.	プリスケアラ分周比が 1 から 4 に変化したときのカウンタのタイミング図	728
図 131.	内部クロック分周比が 1 の場合のカウンタのタイミング図	730
図 132.	内部クロック分周比が 2 の場合のカウンタのタイミング図	730
図 133.	内部クロック分周比が 4 の場合のカウンタのタイミング図	731
図 134.	内部クロック分周比が N の場合のカウンタのタイミング図	731
図 135.	ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタの タイミング図	732
図 136.	ARPE=1 (TIMx_ARR がプリロードされる) の場合の更新イベント時のカウンタの タイミング図	732
図 137.	内部クロック分周比が 1 の場合のカウンタのタイミング図	734
図 138.	内部クロック分周比が 2 の場合のカウンタのタイミング図	734
図 139.	内部クロック分周比が 4 の場合のカウンタのタイミング図	735
図 140.	内部クロック分周比が N の場合のカウンタのタイミング図	735
図 141.	繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図	736
図 142.	内部クロック分周比が 1、TIMx_ARR = 0x6 の場合のカウンタのタイミング図	737
図 143.	内部クロック分周比が 2 の場合のカウンタのタイミング図	738
図 144.	内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図	738
図 145.	内部クロック分周比が N の場合のカウンタのタイミング図	739
図 146.	ARPE=1 (カウンタアンダーフロー) の場合の更新イベント時のカウンタのタイミング図	739
図 147.	ARPE=1 (カウンタオーバーフロー) の場合の更新イベント時のカウンタのタイミング図	740
図 148.	モードと TIMx_RCR レジスタの設定に応じた更新レートの例	741
図 149.	外部トリガ入力ブロック	742
図 150.	TIM1 ETR 入力回路	742
図 151.	内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図	743

図 152.	T12 外部クロックの接続例	744
図 153.	外部クロックモード 1 の制御回路	745
図 154.	外部トリガ入力ブロック	745
図 155.	外部クロックモード 2 の制御回路	746
図 156.	キャプチャ／比較チャンネル (例: チャンネル 1 入力ステージ)	747
図 157.	キャプチャ／比較チャンネル 1 メイン回路	747
図 158.	キャプチャ／比較チャンネル (チャンネル 1、同じくチャンネル 2 および 3) の出力ステージ	748
図 159.	キャプチャ／比較チャンネル (チャンネル 4) の出力ステージ	748
図 160.	キャプチャ／比較チャンネル (チャンネル 5、同じくチャンネル 6) の出力ステージ	749
図 161.	PWM 入力モードタイミング	751
図 162.	出力比較モード、OC1 の反転	753
図 163.	エッジアライン PWM 波形 (ARR=8)	754
図 164.	センターアライン PWM 波形 (ARR=8)	755
図 165.	50% デューティサイクルの 2 位相シフトされた PWM 信号の生成	756
図 166.	チャンネル 1 および 3 における組み合わせ PWM モード	758
図 167.	周期ごとの複数トリガパルスを持つ組み合わせ 3 相 PWM 信号	759
図 168.	デッドタイム挿入のある相補出力	760
図 169.	負のパルスより長い遅延があるときのデッドタイムの波形	760
図 170.	正のパルスより長い遅延があるときのデッドタイムの波形	761
図 171.	ブレークおよびブレーク 2 回路の概要	763
図 172.	BRK (OSSI = 1) でのブレークイベントに対するさまざまな出力の動作	765
図 173.	BRK および BRK2 ピンのアサート後の PWM 出力状態 (OSSI=1)	766
図 174.	BRK アサート後の PWM 出力状態 (OSSI=0)	767
図 175.	出力先変更 (BRK2 リクエストは表示なし)	768
図 176.	TIMx OCxREF のクリア	769
図 177.	6 ステップ生成 COM の例 (OSSR=1)	770
図 178.	ワンパルスモードの例	771
図 179.	再トリガ可能なワンパルスモード	773
図 180.	エンコーダインタフェースモードにおけるカウンタの動作例	774
図 181.	T11FP1 の極性を反転したエンコーダインタフェースモードの例	775
図 182.	3 つの信号上のエッジ間の時間間隔の測定	776
図 183.	ホールセンサインタフェースの例	778
図 184.	リセットモードの制御回路	779
図 185.	ゲートモードの制御回路	780
図 186.	トリガモードの制御回路	781
図 187.	外部クロックモード 2 + トリガモードの制御回路	782
図 188.	汎用タイマのブロック図	827
図 189.	プリスケアラ分周比が 1 から 2 に変化したときのカウンタのタイミング図	829
図 190.	プリスケアラ分周比が 1 から 4 に変化したときのカウンタのタイミング図	829
図 191.	内部クロック分周比が 1 の場合のカウンタのタイミング図	830
図 192.	内部クロック分周比が 2 の場合のカウンタのタイミング図	831
図 193.	内部クロック分周比が 4 の場合のカウンタのタイミング図	831
図 194.	内部クロック分周比が N の場合のカウンタのタイミング図	832
図 195.	ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタのタイミング図	832
図 196.	ARPE=1 (TIMx_ARR はプリロードされる) のときの更新イベント時のカウンタのタイミング図	833
図 197.	内部クロック分周比が 1 の場合のカウンタのタイミング図	834
図 198.	内部クロック分周比が 2 の場合のカウンタのタイミング図	834
図 199.	内部クロック分周比が 4 の場合のカウンタのタイミング図	835
図 200.	内部クロック分周比が N の場合のカウンタのタイミング図	835
図 201.	繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図	836

図 202.	内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図	837
図 203.	内部クロック分周比が 2 の場合のカウンタのタイミング図	838
図 204.	内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図	838
図 205.	内部クロック分周比が N の場合のカウンタのタイミング図	839
図 206.	ARPE=1 (カウンタアンダーフロー) の場合の更新イベント時、カウンタタイミング図	839
図 207.	ARPE=1 (カウンタオーバーフロー) の場合の更新イベント時のカウンタのタイミング図	840
図 208.	内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図	841
図 209.	TI2 外部クロックの接続例	841
図 210.	外部クロックモード 1 の制御回路	842
図 211.	外部トリガ入力ブロック	843
図 212.	外部クロックモード 2 の制御回路	844
図 213.	キャプチャ/比較チャンネル (例: チャンネル 1 入力ステージ)	844
図 214.	キャプチャ/比較チャンネル 1 メイン回路	845
図 215.	キャプチャ/比較チャンネル (チャンネル 1) の出力ステージ	845
図 216.	PWM 入力モードタイミング	847
図 217.	出力比較モード、OC1 の反転	849
図 218.	エッジアライン PWM 波形 (ARR=8)	850
図 219.	センターアライン PWM 波形 (ARR=8)	852
図 220.	50% デューティサイクルの 2 位相シフトされた PWM 信号の生成	853
図 221.	チャンネル 1 および 3 における組み合わせ PWM モード	854
図 222.	TIMx_OCxREF のクリア	855
図 223.	ワンパルスモードの例	856
図 224.	再トリガ可能なワンパルスモード	858
図 225.	エンコーダインタフェースモードにおけるカウンタの動作例	859
図 226.	TI1FP1 の極性を反転したエンコーダインタフェースモードの例	860
図 227.	リセットモードの制御回路	861
図 228.	ゲートモードの制御回路	862
図 229.	トリガモードの制御回路	863
図 230.	外部クロックモード 2 + トリガモードの制御回路	864
図 231.	マスタ/スレーブタイマの例	865
図 232.	1 チャンネルだけのタイマを使ったマスタ/スレーブ接続例	865
図 233.	TIM1 の OC1REF による TIM2 のゲート操作	866
図 234.	TIM1 の有効化による TIM2 のゲート操作	867
図 235.	TIM1 の更新による TIM2 のトリガ	868
図 236.	TIM1 の有効化による TIM2 のトリガ	868
図 237.	TIM16/TIM17 ブロック図	896
図 238.	プリスケアラ分周比が 1 から 2 に変化したときのカウンタのタイミング図	898
図 239.	プリスケアラ分周比が 1 から 4 に変化したときのカウンタのタイミング図	898
図 240.	内部クロック分周比が 1 の場合のカウンタのタイミング図	900
図 241.	内部クロック分周比が 2 の場合のカウンタのタイミング図	900
図 242.	内部クロック分周比が 4 の場合のカウンタのタイミング図	901
図 243.	内部クロック分周比が N の場合のカウンタのタイミング図	901
図 244.	ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタの タイミング図	902
図 245.	ARPE=1 (TIMx_ARR がプリロードされる) の場合の更新イベント時のカウンタの タイミング図	902
図 246.	モードと TIMx_RCR レジスタの設定に応じた更新レートの例	904
図 247.	内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図	905
図 248.	TI2 外部クロックの接続例	905
図 249.	外部クロックモード 1 の制御回路	906
図 250.	キャプチャ/比較チャンネル (例: チャンネル 1 入力ステージ)	907
図 251.	キャプチャ/比較チャンネル 1 メイン回路	907

図 252.	キャプチャ/比較チャンネル (チャンネル 1) の出力ステージ	908
図 253.	出力比較モード、OC1 の反転	911
図 254.	エッジアライン PWM 波形 (ARR=8)	912
図 255.	デッドタイム挿入のある相補出力	913
図 256.	負のパルスより長い遅延があるときのデッドタイムの波形	913
図 257.	正のパルスより長い遅延があるときのデッドタイムの波形	913
図 258.	ブレークに対する出力の動作	916
図 259.	出力先変更	918
図 260.	6 ステップ生成 COM の例 (OSSR=1)	919
図 261.	ワンパルスモードの例	920
図 262.	低消費電力タイマのブロック図	947
図 263.	グリッチフィルタのタイミング図	951
図 264.	LPTIM 出力波形、シングルカウントモードの設定 (繰り返しレジスタの内容が 0 ではない場合 (かつ PRELOAD = 1))	952
図 265.	LPTIM 出力波形、シングルカウントモードの設定 およびセットワンスモードのアクティブ化 (WAVE ビットをセット)	953
図 266.	LPTIM 出力波形、連続カウントモードの設定	953
図 267.	波形生成	955
図 268.	エンコーダモードのカウントシーケンス	958
図 269.	連続カウントモード (繰り返しレジスタ LPTIM_RCR が 0 ではない場合 (かつ PRELOAD = 1))	959
図 270.	TIM16 および TIM17 との IRTIM 内部ハードウェア接続	975
図 271.	独立型ウォッチドッグのブロック図	976
図 272.	ウォッチドッグのブロック図	986
図 273.	ウィンドウ型ウォッチドッグのタイミング図	987
図 274.	RTC ブロック図	993
図 275.	TAMP ブロック図	1034
図 276.	I ² C ブロック図	1052
図 277.	I2C バスプロトコル	1054
図 278.	セットアップおよびホールドタイミング	1056
図 279.	I ² C 初期化フロー	1059
図 280.	データ受信	1060
図 281.	データ送信	1061
図 282.	スレーブ初期化フロー	1064
図 283.	I ² C スレーブトランスミッタの転送シーケンスフロー (NOSTRETCH = 0)	1066
図 284.	I ² C スレーブトランスミッタの転送シーケンスフロー (NOSTRETCH = 1)	1067
図 285.	I ² C スレーブトランスミッタの転送バス図	1068
図 286.	スレーブレシーバの転送シーケンスフロー (NOSTRETCH = 0)	1069
図 287.	スレーブレシーバの転送シーケンスフロー (NOSTRETCH = 1)	1070
図 288.	I ² C スレーブレシーバの転送バス図	1070
図 289.	マスタクロック生成	1072
図 290.	マスタ初期化フロー	1074
図 291.	HEAD10R = 0 のときの 10 ビットアドレス読出しアクセス	1074
図 292.	HEAD10R = 1 のときの 10 ビットアドレス読出しアクセス	1075
図 293.	N ≤ 255 バイトの場合の I ² C マスタトランスミッタの転送シーケンスフロー	1076
図 294.	N > 255 バイトの場合の I ² C マスタトランスミッタの転送シーケンスフロー	1077
図 295.	I ² C マスタトランスミッタの転送バス図	1078
図 296.	N ≤ 255 バイトの場合の I ² C マスタレシーバの転送シーケンスフロー	1080
図 297.	N > 255 バイトの場合の I ² C マスタレシーバの転送シーケンスフロー	1081
図 298.	I ² C マスタレシーバの転送バス図	1082
図 299.	t _{LOW:SEXT} 、t _{LOW:MEXT} のタイムアウト間隔	1086
図 300.	N バイト + PEC の場合の SMBus スレーブトランスミッタの転送シーケンスフロー	1090

図 301.	SMBus スレーブトランスミッタの転送バス図 (SBC=1)	1090
図 302.	N バイト + PEC の場合の SMBus スレーブレシーバの転送シーケンスフロー	1092
図 303.	SMBus スレーブレシーバのバス転送図 (SBC=1)	1093
図 304.	SMBus マスタトランスミッタのバス転送図	1094
図 305.	SMBus マスタレシーバのバス転送図	1096
図 306.	USART ブロック図	1120
図 307.	ワード長のプログラミング	1123
図 308.	設定可能なストップビット	1125
図 309.	送信時の TC/TXE の動作	1127
図 310.	16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出	1128
図 311.	usart_ker_ck クロック分周回路のブロック図	1131
図 312.	データサンプリング (16 倍のオーバーサンプリング)	1133
図 313.	データサンプリング (8 倍のオーバーサンプリング)	1133
図 314.	アイドルライン検出を使用したミュートモード	1139
図 315.	アドレスマーク検出を使用したミュートモード	1140
図 316.	LIN モードでのブレーク検出 (11 ビットブレーク長、LBDL=1)	1143
図 317.	LIN モードでのブレーク検出とフレーミングエラー検出	1144
図 318.	USART の同期マスタ送信の例	1145
図 319.	同期マスタモードでの USART データクロックタイミング図 (M ビット = 00)	1145
図 320.	同期マスタモードでの USART データクロックタイミング図 (M ビット = 01)	1146
図 321.	同期スレーブモードでの USART データクロックタイミング図 (M ビット = 00)	1147
図 322.	ISO 7816-3 非同期プロトコル	1149
図 323.	ストップビット 1.5 個を使用したパリティエラー検出	1151
図 324.	IrDA SIR ENDEC ブロック図	1154
図 325.	IrDA データ変調 (3/16) - 通常モード	1155
図 326.	DMA を使用した送信	1156
図 327.	DMA を使用した受信	1157
図 328.	2 つの USART 間のハードウェアフロー制御	1158
図 329.	RS232 RTS フロー制御	1158
図 330.	RS232 CTS フロー制御	1159
図 331.	確認されたウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)	1162
図 332.	確認されないウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)	1162
図 333.	LPUART ブロック図	1205
図 334.	LPUART ワード長のプログラミング	1207
図 335.	設定可能なストップビット	1209
図 336.	送信時の TC/TXE の動作	1211
図 337.	lpuart_ker_ck クロック分周回路のブロック図	1214
図 338.	アイドルライン検出を使用したミュートモード	1218
図 339.	アドレスマーク検出を使用したミュートモード	1219
図 340.	DMA を使用した送信	1222
図 341.	DMA を使用した受信	1223
図 342.	2 つの LPUART 間のハードウェアフロー制御	1224
図 343.	RS232 RTS フロー制御	1224
図 344.	RS232 CTS フロー制御	1225
図 345.	確認されたウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)	1228
図 346.	確認されなかったウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)	1228
図 347.	SPI ブロック図	1258
図 348.	全二重シングルマスタ/シングルスレーブアプリケーション	1259
図 349.	半二重シングルマスタ/シングルスレーブアプリケーション	1259

図 350.	単方向シングルマスタ/シングルスレーブアプリケーション (送信専用モードのマスタ/受信専用モードのスレーブ)	1260
図 351.	マスタと 3 つの独立したスレーブ	1261
図 352.	マルチマスタアプリケーション	1262
図 353.	ハードウェア/ソフトウェアスレーブ選択管理	1263
図 354.	データクロックのタイミング図	1265
図 355.	データ長が 8 ビットまたは 16 ビットと等しくない場合のデータ配置	1266
図 356.	送受信用 FIFO でのデータのパッキング	1270
図 357.	マスタの全二重通信	1273
図 358.	スレーブの全二重通信	1274
図 359.	CRC のあるマスタの全二重通信	1275
図 360.	パックされたモードでのマスタの全二重通信	1276
図 361.	モトローラ SPI マスタモードでの NSSP パルス生成	1279
図 362.	TI モードでの転送	1280
図 363.	I ² S ブロック図	1284
図 364.	I ² S フィリップスプロトコルの波形 (16/32 ビットフル精度)	1286
図 365.	I ² S フィリップス規格の波形 (24 ビットフレーム)	1286
図 366.	0x8EAA33 の送信	1287
図 367.	0x8EAA33 の受信	1287
図 368.	I ² S フィリップス規格 (32 ビットパケットフレームに拡張された 16 ビット)	1287
図 369.	32 ビットチャネルフレームに拡張された 16 ビットデータフレームの例	1288
図 370.	MSB 詰め 16 ビットまたは 32 ビット長フル精度	1288
図 371.	MSB 詰め 24 ビットフレーム長	1288
図 372.	32 ビットパケットフレームに拡張された MSB 詰め 16 ビット	1289
図 373.	LSB 詰め 16 ビットまたは 32 ビットフル精度	1289
図 374.	LSB 詰め 24 ビットフレーム長	1289
図 375.	0x3478AE を送信するために必要な動作	1290
図 376.	0x3478AE の受信に必要な動作	1290
図 377.	32 ビットパケットフレームに拡張された LSB 詰め 16 ビット	1290
図 378.	32 ビットチャネルフレームに拡張された 16 ビットデータフレームの例	1291
図 379.	PCM 規格の波形 (16 ビット)	1291
図 380.	PCM 規格の波形 (32 ビットパケットフレームに拡張された 16 ビット)	1292
図 381.	マスタモードでの開始シーケンス	1293
図 382.	オーディオサンプリング周波数の定義	1294
図 383.	I ² S クロックジェネレータのアーキテクチャ	1294
図 384.	デバッグサポートインフラストラクチャのブロック図	1316
図 385.	JTAG TAP ステートマシン	1320
図 386.	デバッグポートとアクセスポートの接続	1333
図 387.	デバッグコンポーネントへのデバッグ接続	1336
図 388.	組み込みクロストリガ	1355
図 389.	トリガ入力から出力へマッピング	1357
図 390.	クロストリガ設定例	1359
図 391.	CPU1 CoreSight のトポロジ	1378
図 392.	TPIU のアーキテクチャ	1401
図 393.	CPU2 の CoreSight トポロジ	1423

1 このマニュアルにおける表記の規則

1.1 一般情報

STM32WL5x デバイスは DSP 搭載 Arm^{®(a)} Cortex[®]-M4 と Arm[®]Cortex[®]-M0+ コアを内蔵しています。



1.2 レジスタに関する略記

レジスタの説明では、次の略記^(b)が使用されます。

読出し／書込み (rw)	このビットは、ソフトウェアによる読出しと書込みが可能です。
読出し専用 (r)	このビットは、ソフトウェアによる読出しのみが可能です。
書込み専用 (w)	このビットは、ソフトウェアによる書込みのみが可能です。このビットを読み出すと、リセット値が返されます。
読出し／クリア書込み 0 (rc_w0)	このビットは、ソフトウェアによって読み出すことができ、“0”を書き込むことによってクリアできます。“1”を書き込んでも、ビットの値は変化しません。
読出し／クリア書込み 1 (rc_w1)	このビットは、ソフトウェアによって読み出すことができ、“1”を書き込むことによってクリアできます。“0”を書き込んでも、ビットの値は変化しません。
読出し／クリア書込み (rc_w)	このビットは、ソフトウェアによって読み出すことができ、レジスタへの書込みによってクリアできます。このビットに書き込まれた値は重要ではありません。
読出し／読出しによるクリア (rc_r)	このビットは、ソフトウェアによって読み出すことができます。このビットを読み出すと、自動的に“0”にクリアされます。このビットを書き込んでも、ビットの値は変化しません。
読出し／読出しによるセット (rs_r)	このビットは、ソフトウェアによって読み出すことができます。このビットを読み出すと、自動的に“1”にセットされます。このビットを書き込んでも、ビットの値は変化しません。
読出し／セット (rs)	このビットは、ソフトウェアによって読出しとセットが可能です。“0”を書き込んでも、ビットの値は変化しません。
読出し／1 回だけ書込み (rwo)	このビットは、ソフトウェアによって 1 回だけ書き込むことができ、いつでも読み出すことができます。1 回リセットするだけで、このビットをそのリセット値に戻すことができます。
反転 (t)	このビットは、ソフトウェアによって“1”を書き込むことで反転できます。0 を書き込んでも、ビットの値は変化しません。
読出し専用書込みトリガ (rt_w1)	このビットは、ソフトウェアによって読み出すことができます。“1”を書き込むと、イベントがトリガされますが、ビットの値は変化しません。
予約済み (Res.)	予約済みビットであり、リセット値に保持する必要があります。

a. Arm は、米国内およびその他の地域にある Arm Limited（またはその子会社）の登録商標です。

b. 上記が ST マイクロエレクトロニクスのマイクロコントローラに適用できる略語のすべてですが、本書では使用されていないものもあります。

1.3 用語

このセクションでは、本書で用いられる略語についての定義の概要を掲載しています。

- **ワード** : 32 ビット長のデータ。
- **ハーフワード** : 16 ビット長のデータ。
- **バイト** : 8 ビット長のデータ。
- **オプションバイト** : Flashメモリに格納された製品設定ビットです。
- **AHB** : アドバンスドハイパフォーマンスバス。

1.4 使用可能なペリフェラル

すべての販売タイプで使用可能なペリフェラルとその数については、該当するデバイスのデータシートを参照してください。

2 メモリとバスのアーキテクチャ

このセクションでは次の定義を使用します。

- CPU1 = MPU および DSP を搭載した Arm Cortex-M4
- CPU2 = MPU を搭載した Arm Cortex-M0+
ESE = 0 のとき、CPU2 は非セキュアです。ESE = 1 の場合、CPU2 はセキュアです。

2.1 システムアーキテクチャ

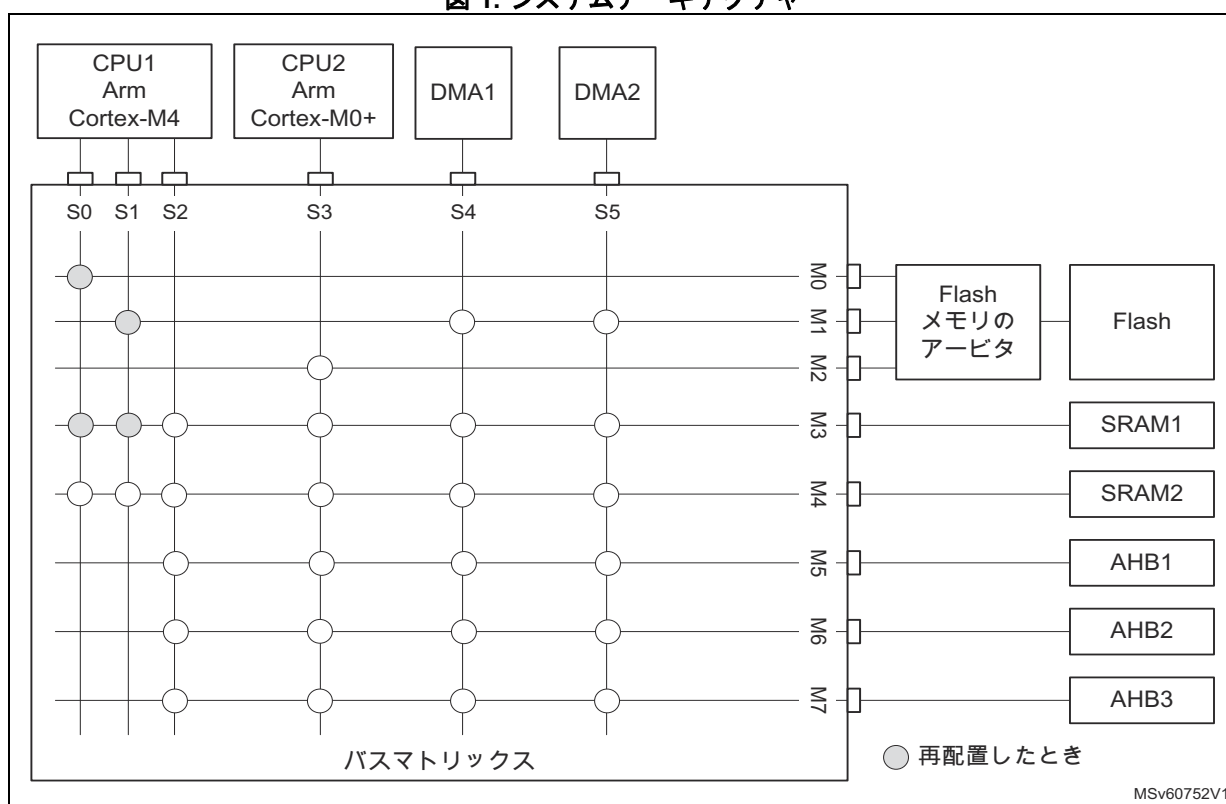
メインシステムは、以下のマスタとスレーブを相互接続する 32 ビットマルチレイヤ AHB バスマトリクスで構成されています。

- 6 個のマスタ：
 - CPU1 コア I-バス
 - CPU1 コア D-バス
 - CPU1 コア S-バス
 - CPU2 コア S-バス
 - DMA1
 - DMA2
- 8 個のスレーブ：
 - CPU1 ICode バス上の内蔵 Flash メモリ
 - CPU1 DCode バス上の内蔵 Flash メモリ
 - CPU2 S バス上の内蔵 Flash メモリ
 - 内蔵 SRAM1 (32 KB)
 - 内蔵 SRAM2 (32 KB)
 - AHB-APB ブリッジおよび APB ペリフェラルを含む AHB1 ペリフェラル (APB1 および APB2 に接続)
 - AHB2 ペリフェラル
 - AHB-APB ブリッジおよび APB ペリフェラルを含む AHB3 ペリフェラル (APB3 に接続)

複数のハイスピードペリフェラルが同時動作中であっても、バスマトリクスによって、マスタからスレーブへのアクセスが可能になるとともに、同時アクセスや効率的な動作を行うことが可能になっています。

このアーキテクチャを下図に示します。

図 1. システムアーキテクチャ



2.1.1 S0 : CPU1 I-バス

このバスによって、CPU1 コアの命令バスがバスマトリックスに接続されます。コアは、このバスを用いて命令をフェッチします。このバスの対象は、内蔵 Flash メモリ、SRAM1、および SRAM2 です。

2.1.2 S1 : CPU1 D-バス

このバスによって、CPU1 コアのデータバスがバスマトリックスに接続されます。このバスは、コアによってリテラルロードとデバッグ・アクセスに使用されます。このバスの対象は、内蔵 Flash メモリ、SRAM1、および SRAM2 です。

2.1.3 S2 : CPU1 S-バス

このバスによって、CPU1 コアのシステムバスがバスマトリックスに接続されます。コアがこのバスを使用してペリフェラルまたは SRAM 領域内のデータにアクセスします。このバスの対象となるのは、SRAM1、SRAM2、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、APB3 を含む AHB3 ペリフェラルです。

2.1.4 S3 : CPU2 S-バス

このバスによって、CPU2 コアのシステムバスがバスマトリックスに接続されます。このバスは、リテラルロードとデバッグ・アクセスのために命令をフェッチし、ペリフェラルまたは SRAM 領域にあるデータにアクセスするために、コアによって使用されます。このバスの対象となるのは、内蔵 Flash メモリ、SRAM1、SRAM2、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、APB3 ペリフェラルを含む AHB3 ペリフェラルです。

2.1.5 S4、S5 : DMA バス

このバスによって、DMA の AHB マスタインタフェースがバスマトリックスに接続されます。このバスの対象となるのは、内部Flash メモリ、SRAM1、SRAM2、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、APB3 ペリフェラル を含む AHB3 ペリフェラルです。

AHB/APB ブリッジ

2つのブリッジ AHB/APB1 と AHB/APB2 により、AHB1 と 2つの APB バス間に完全同期接続が行われ、ペリフェラル周波数を柔軟に選択できます。

ブリッジ AHB/APB3 では、AHB と APB バス間の完全同期接続が行われるため、AHB とペリフェラルの間の周波数を柔軟に選択できます。

このブリッジに接続されたペリフェラルのアドレスマッピングについては、[セクション 2.6.2: メモリマップとレジスタ境界アドレス](#)を参照してください。

各デバイスのリセット後、SRAM1/2 と Flash メモリインタフェース以外のすべてのペリフェラルクロックは無効になります。ペリフェラルを使用する前に、RCC_AHBxENR および RCC_APBxENR レジスタでクロックを有効にする必要があります。

注 : APB レジスタに 16 または 8 ビットアクセスが行われるときには、アクセスは 32 ビットアクセスに変換されます。すなわち、ブリッジが 16 または 8 ビットのデータを複製して、32 ビットのベクタを供給します。

2.2 ブート設定

3つの異なる CPU1 ブートモード および 1つの CPU2 ブートモードを、BOOT0 ピンと ユーザオプションのnBOOT1 ビットで選択できます。

ブートはさらに、下の表に示すように、CPU1 ブートロック有効化、CPU2 ブートロック有効化、ユーザ Flashメモリエンティチェックによって条件付けすることができます。

表 1. デバイス・ブートモード

ブートモード選択						有効なオプション	ユーザ Flash エンティ	CPU1 エイリアス空間	CPU2 のブート
nBOOT1 オプション	nBOOT0 オプション	PH3/BOOT0	nSWBOOT0 オプション	BOOT_LOCK	C2BOOT_LOCK				
x	x	0	X	x	x	不可	x	ホールド	SFI/RSS ブート ⁽¹⁾⁽²⁾⁽³⁾
		1						SRAM1 ブート	ホールド
1		0		0	x	可能	0	ユーザ Flash ブート	SBRV ブート
		1		システム Flash ブート	SBRV ブート				
0	x	0	1	0	0	可能	x	ホールド	SFI/RSS ブート ⁽¹⁾⁽²⁾⁽³⁾
1		1		0	1			ホールド	SBRV ブート ⁽²⁾
0		1		0		可能	x	システム Flash ブート	SBRV ブート
0		x		0	x			SRAM1 ブート	SBRV ブート
x		x		1		可能	x	ユーザ Flash ブート	SBRV ブート
1	1			0	x			0	ユーザ Flash ブート
				0	0	可能	x	ホールド	SFI/RSS ブート ⁽¹⁾⁽²⁾⁽³⁾
0	1	x	0	0	1			ホールド	SBRV ブート ⁽²⁾
1	0			0		可能	x	システム Flash ブート	SBRV ブート
0				0	x			SRAM1 ブート	SBRV ブート
x	x			1		可能	x	ユーザ Flash ブート	SBRV ブート
				1				ユーザ Flash ブート	SBRV ブート

1. Engi バイトが無効であるか、PKA または AES が製品で使用できない場合、SFI/RSS ブート・ファームウェアをインストールできません。
2. CPU1 はリセットブート時にホールドされたままになるので、システムは低電力モード (STOP、STANDBY、または SHUTDOWN) に入ることができません。
3. 警告：ユーザ・オプション FSD、BRSD、または NBRSD の 1 つが「セキュリティ有効」に設定されている場合、または RDP がレベル 0 に設定されていない場合、デバイスを SFI/RSS モードでブートしてはなりません。

BOOT0 と BOOT1 の値は、リセット後にラッチされます。要求されるブートモードに適切な値を設定するのはユーザーの責任です。

BOOT0 および BOOT1 も、STANDBY モード終了時に再サンプリングされます。したがって、必要なブートモード設定に保たれる必要があります。この起動遅延が終了すると、CPU1 はアドレス 0x0000 0000 からスタック最上位の値をフェッチし、0x0000 0004 のブートメモリからコード実行を開始します。

選択したブートモードに応じて、メインFlashメモリ、システムFlashメモリ、およびSRAM1に、次のようにアクセスできます。

- メインFlashメモリからブート
メインFlashメモリはCPU1ブートメモリ空間のアドレス0x0000 0000でエイリアスされ、物理アドレス0x0800 0000からアクセスすることもできます。言い換えると、Flashメモリの内容は、0x0000 0000または0x0800 0000から始まるアドレスからアクセスできます。
- システムFlashメモリからブート
システムFlashメモリはCPU1またはCPU2ブートメモリ空間のアドレス0x0000 0000でエイリアスされ、物理アドレス0x1FFF 0000からアクセスすることもできます。
- SRAMメモリからブート
SRAMメモリはCPU1ブートメモリ空間のアドレス0x0000 0000でエイリアスされ、物理アドレス0x2000 0000からアクセスすることもできます。

CPU1 SRAM の物理的な再割り当て

CPU1ブートに続いて、アプリケーション・ソフトウェアによりアドレス0x0000 0000のメモリマップを変更できます。この変更は、SYSCFGコントローラのSYSCFGメモリ再配置レジスタ(SYSCFG_MEMRMP)をプログラミングすることによって実行されます。

次のメモリが再割当て可能となります。

- メインFlashメモリ
- システムFlashメモリ
- SRAMメモリ

内蔵ブートローダ

内蔵ブートローダは、システムFlashメモリ内にあり、生産時にSTマイクロエレクトロニクスによってプログラムされています。次のデバイス・インタフェースのいずれかを使用して、Flashメモリをプログラムするために使用します。

- ピンPA9およびPA10のUSART1
- ピンPA2およびPA3のUSART2
- ピンPA4、PA5、PA6、PA7上のSPI1
- ピンPB12、PB13、PB14、PB15上のSPI2S2

内蔵ブートローダはCPU1上で動作し、非セキュアメモリ領域の内容をロードするために使用できます。

内蔵セキュア・ファームウェア・インストールおよびルート・セキュリティ・サービス

内蔵のセキュア・ファームウェア・インストールおよびルート・セキュリティ・サービス(SFI/RSS)は、システムFlashメモリ内にあり、生産時にSTマイクロエレクトロニクスによってプログラムされます。内蔵ブートローダで使用されるものと同じデバイス・インタフェースを使用して、Flashメモリをプログラミングできます。内蔵SFI/RSSはCPU2上で動作し、セキュアおよび非セキュアなメモリ領域の内容をロードするために使用できます。

2.3 CPU2 のブート

CPU1 ブート時のデバイスリセット後、CPU2 は、CPU1 が電源制御レジスタ 4 (PWR_CR4) の C2BOOT ビットをセットした後にのみブートされます。C2BOOT の値は STANDBY モードで保持され、CPU2 は STANDBY モードの終了時にそれに応じてブートされます。

CPU2 は、Flashメモリ・ユーザオプション C2OPT および SBRV での定義に従って、ブート・リセット・ベクタからブートされます。CPU2 は、ユーザ Flashメモリ、SRAM1、SRAM2 のどこからでもブートできます。

CPU2 のシステム Flash ブート

CPU2 のシステム Flashメモリ SFI/RSS ブートの選択は、BOOT0 および BOOT1 からできます。

リセット後、ユーザオプションが有効ではなく、BOOT0/BOOT1 により CPU1 がメイン Flashメモリ からブートされるよう選択された場合、CPU2 は代わりにシステム Flashメモリ SFI/RSS からブートされます。

注： Engi バイトが有効でない場合、あるいは PKA または AES が製品で使用できない場合、SFI/RSS ブート・ファームウェア・インストールはできません。

2.4 SRAM の消去

SRAM1、SRAM2、および PKA SRAM は SRAM 消去機能を備えています。

これらの SRAM は、下の表に記載された条件で消去されます。

表 2. SRAM の消去条件

条件	SRAM1 ⁽¹⁾	SRAM2 ⁽¹⁾	PKA SRAM ⁽²⁾
システム・リセット ⁽³⁾ (ユーザオプション SRAM_RST = 1)	保持	保持	ハードウェアの消去
システム・リセット (ユーザオプション SRAM_RST = 0)	ハードウェアの消去	ハードウェアの消去	ハードウェアの消去
無効なユーザオプションを持つ OBL	ハードウェアの消去	ハードウェアの消去	ハードウェアの消去
OPTSTRT での RDP が 1 から 0 に回帰。	ハードウェアの消去 ⁽⁴⁾	ハードウェアの消去	ハードウェアの消去
タンパ ⁽⁵⁾	保持	ハードウェアの消去	ハードウェアの消去
SYSCFG_SCSR SRAM2ER	保持	ハードウェアの消去	保持

1. 進行中の SRAM1 または SRAM2 の消去は、SYSCFG_SCSR.SRAMBSY フラグで監視できます。
2. 進行中の PKA SRAM の消去は、SYSCFG_SCSR.PKASRAMBSY フラグで監視できます。
3. POR、NRST、および STANDBY からのウェイクアップ
4. 詳細については、Table 19: レベル 1 からレベル 0 への RDP 回帰とメモリ消去を参照してください。
5. タンパ (特に ITAM6 デバッグ・アクセス) 時に SRAM を消去せずにデバッグできるようにするには、ファームウェアによって TAMP 内のタンパ消去を無効にする必要があります。

2.5 メモリ保護

システムメモリ保護（セキュリティ、特権、および非表示保護）は、システムがセキュア（ESE = 1）の場合のみ使用できます。

Flashメモリ、SRAM1、SRAM2は、CPUのMPUでの特権保護に加え、システムレベルのセキュリティと特権によって保護できます。セキュリティはFlashメモリのユーザオプションで定義され、特権はGTZC_TZSCレジスタで定義されます。

セキュリティおよび特権の定義により、許可されていないバスマスタによるアクセスからメモリ領域が保護されます。

メモリ保護を使用すると、メモリ内に次の領域を定義できます。

- メモリ非特権アドレス・オフセット > セキュア・アドレス・オフセットの場合
 - セキュア特権
 - Flashメモリのみのみ：セキュア特権および非特権の読出し実行専用（非ベース・スレッド・モード）
 - セキュア非特権
 - 非セキュア非特権

または

- メモリ・セキュリティ・アドレス・オフセット > 非特権アドレス・オフセットの場合
 - セキュア特権
 - Flashメモリのみのみ：非セキュア特権および非特権の読出し実行専用（非ベース・スレッド・モード）
 - 非セキュア特権
 - 非セキュア非特権

詳細については、[セクション 3.1: GTZC の概要](#)を参照してください。

さらに、HDPESA ユーザオプションで定義されている非表示保護領域アドレス・オフセットによって、Flashメモリに非表示保護領域を定義できます。

有効にすると、HDPESA アドレス・オフセットからFlashメモリの最後までFlashメモリ領域が非表示保護されます。つまり、この領域はデバイスリセットによって、またはSTANDBYモードからのウェイクアップによってアクセス可能であり、Flashメモリアクセス制御レジスタ2（FLASH_ACR2）のHDPADISビットで非表示保護領域を無効にすることによって、あらゆるアクセスから保護できません。

メモリ保護は、以下に示すパラメータによって制御されます。

- Flashメモリ・セキュリティ・アドレス・オフセットは、SFSA ユーザオプションで定義されます。非特権のウォーターマーク・アドレス・オフセットは GTZC_TZSC_MPCWM0.UPWM1LGTH で定義され、特権および非特権のアドレス・オフセットの読出しおよび実行のウォーターマークは GTZC_TZSC_MPCWM0.UPWWM1LGTH で定義されます。
 - Flashメモリの特権は、Flashメモリがセキュア (ESE = 1) の場合のみ使用できます。
- SRAM1 セキュリティ・アドレス・オフセットは、SNBRSA ユーザオプションで定義されます。非特権ウォーターマーク・アドレス・オフセットは、GTZC_TZSC_MPCWM1.UPWM1LGTH で定義されます。
 - SRAM1 セキュリティはオプションであり、セキュリティなしで特権を有効にすることができます。
- SRAM2 セキュリティ・アドレス・オフセットは、SBRSA ユーザオプションで定義されます。非特権ウォーターマーク・アドレス・オフセットは、GTZC_TZSC_MPCWM2.UPWM1LGTH で定義されます。
 - SRAM2 セキュリティはオプションであり、セキュリティなしで特権を有効にすることができます。

有効にすると、セキュリティ・アドレス・オフセットからメモリの最後までメモリ領域が保護されます。

有効にすると、非特権領域はメモリベースアドレスからウォーターマーク・アドレス・オフセットまでとなり、ウォーターマークからメモリの最後まで領域が特権領域になります。

すべて異なる領域でのメモリ保護の例を [図 2: メモリ保護の例](#) に示します。この例では、セキュア特権非表示保護領域は、HDPADIS ビットで非表示保護領域へのアクセスが有効なとき、セキュア特権バスマスタによってのみ読出し、書込み、実行アクセスが可能です。

セキュア特権領域には、セキュア特権バスマスタによってのみ読出し、書込み、実行アクセスが可能です。

セキュア特権書込み領域は、セキュア特権バスマスタによってのみ書込みアクセスが可能で、特権および非特権バスマスタによる読出しおよび実行アクセスが可能です。

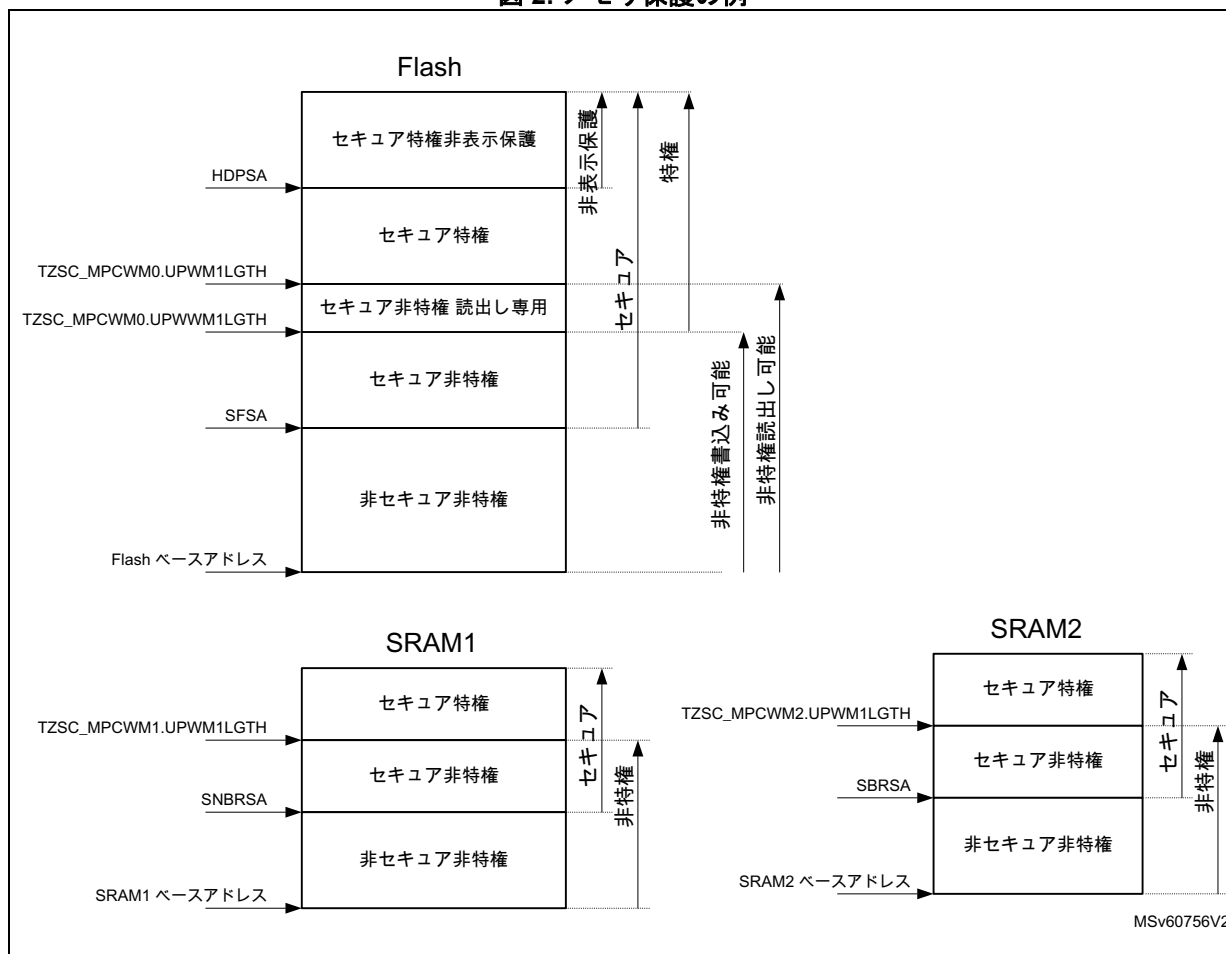
セキュア非特権領域には、セキュア特権および非特権バスマスタによる読出し、書込み、実行アクセスが可能です。

非セキュア非特権領域は、セキュアおよび非セキュアの特権および非特権バスマスタによる読出し、書込みアクセスが可能であり、非セキュア特権および非特権バスマスタによってのみ実行アクセスが可能です。

セキュアバスマスタは CPU2 と、セキュアな DMA チャンネルです。

非セキュアバスマスタは CPU1 と、非セキュアな DMA チャンネルです。

図 2. メモリ保護の例



この例は、セキュアで特権保護されたメモリマップのみを示します。セキュリティ・パラメータおよび非特権パラメータは、以下に説明するように、任意の順序で自由にプログラムできます。

- HDPSA > SFSA > 非特権ウォーターマーク > 非特権書き込みウォーターマークの場合、領域は次の順序で表示されます。
 - 上位のセキュア特権非表示保護領域
 - セキュア特権領域
 - 非セキュア特権領域
 - 非セキュア非特権読出し専用領域
 - メモリベースアドレス以降の非セキュア非特権領域
- 非特権書き込みウォーターマーク => 非特権ウォーターマークの場合、領域は次の順序で表示されます。
 - 上位の特権領域
 - メモリベースアドレス以降の非特権領域（この場合、非特権読出し専用領域はありません）

メモリアクセス保護の概要

メモリのセキュア領域は、セキュア CPU2 とセキュア DMA チャンネルからのみ読出し、書込み、実行アクセスが可能です。CPU1 および非セキュア DMA チャンネルは、これらの領域への実行、読出し、書込みアクセスはありません。

メモリの非セキュア領域には、CPU1 およびすべての DMA チャンネルへの全読出し、書込み、実行アクセスが許可されます。CPU2 は、非セキュア領域への読出し、書込みアクセスのみできます。CPU2 は非セキュア領域から実行できません。

さまざまなバスマスタ、セキュア、非セキュア、特権、非特権のアクセスタイプから、さまざまなメモリ領域までのアクセス規則を、下の表に示します。

表 3. メモリセキュリティと特権アクセス

SoC レベルメモリ領域		CPU2 非表示保護	CPU2 特権	CPU2 非特権	CPU1 特権	CPU1 非特権	DMA ch sub-iv	DMA ch sub-iv	DMA ch sub-iv	DMA ch sub-iv	
Flashメモリ	非表示保護セキュア特権	ex、rd、wr	アクセスなし (1)	アクセスなし (2)	アクセスなし (2)	アクセスなし (2)	(rd、wr) (1)	アクセスなし (2)	アクセスなし (2)	アクセスなし (2)	
	セキュア特権		ex、rd、wr	ex、rd、wr				ex、rd、wr			rd
	セキュア特権 非特権実行										rd、wr
	セキュア非特権										rd、wr
	非セキュア特権	rd、wr	rd、wr	アクセスなし (2)(4)	ex、rd、wr	rd、wr	アクセスなし (2)(4)	rd、wr			
	非セキュア非特権			rd、wr			rd、wr				
SRAM2	セキュア特権	ex ⁽⁵⁾ 、rd、wr	ex ⁽⁵⁾ 、rd、wr	アクセスなし (2)	アクセスなし (6)	アクセスなし (6)	rd、wr	アクセスなし (2)(6)	アクセスなし (2)(6)	アクセスなし (2)(6)	
	セキュア非特権			ex ⁽⁵⁾ 、rd、wr				rd、wr			
	非セキュア特権	rd、wr	rd、wr	アクセスなし (2)(4)	ex ⁽⁵⁾ 、rd、wr			rd、wr	アクセスなし (2)(4)		rd、wr
	非セキュア非特権			rd、wr					rd、wr		
SRAM1	セキュア特権	ex ⁽⁵⁾ 、rd、wr	ex ⁽⁵⁾ 、rd、wr	アクセスなし (2)	アクセスなし (6)	アクセスなし (6)	rd、wr	アクセスなし (2)	アクセスなし (2)	アクセスなし (2)	
	セキュア非特権			ex ⁽⁵⁾ 、rd、wr				rd、wr			
	非セキュア特権	rd、wr	rd、wr	アクセスなし (2)(4)	ex ⁽⁵⁾ 、rd、wr			rd、wr	アクセスなし (2)(4)		rd、wr
	非セキュア非特権			rd、wr					rd、wr		

1. 非表示保護セキュア特権領域へのアクセスは、Flashメモリの非表示保護セキュア特権 HDPADIS ビットによって無効化されます。
2. 読出しアクセスはゼロ値を返し、書込みアクセスは無視されます。いずれの場合も不正アクセスイベントが生成されます。
3. セキュア特権および非特権の、読出しおよび実行保護されたページには、セキュア非特権アクセスでは書き込むことができません。ただし、セキュア非特権ページ消去による消去はできます。

4. 特権領域の開始アドレス < セキュア領域の開始アドレス。
5. SRAM1 および SRAM2 からの実行は、それぞれの CPU の MPU から使用可能な実行なし機能によって無効にできます。
6. 読出しアクセスはゼロ値を返し、書込みアクセスは無視されます。いずれの場合も不正アクセスイベントが生成されます。RDP レベルが 1 で、CPU1 が SRAM1 からブートされる場合、SRAM2 はロックされているため、不正アクセスイベントは生成されません。

2.6 メモリ構成

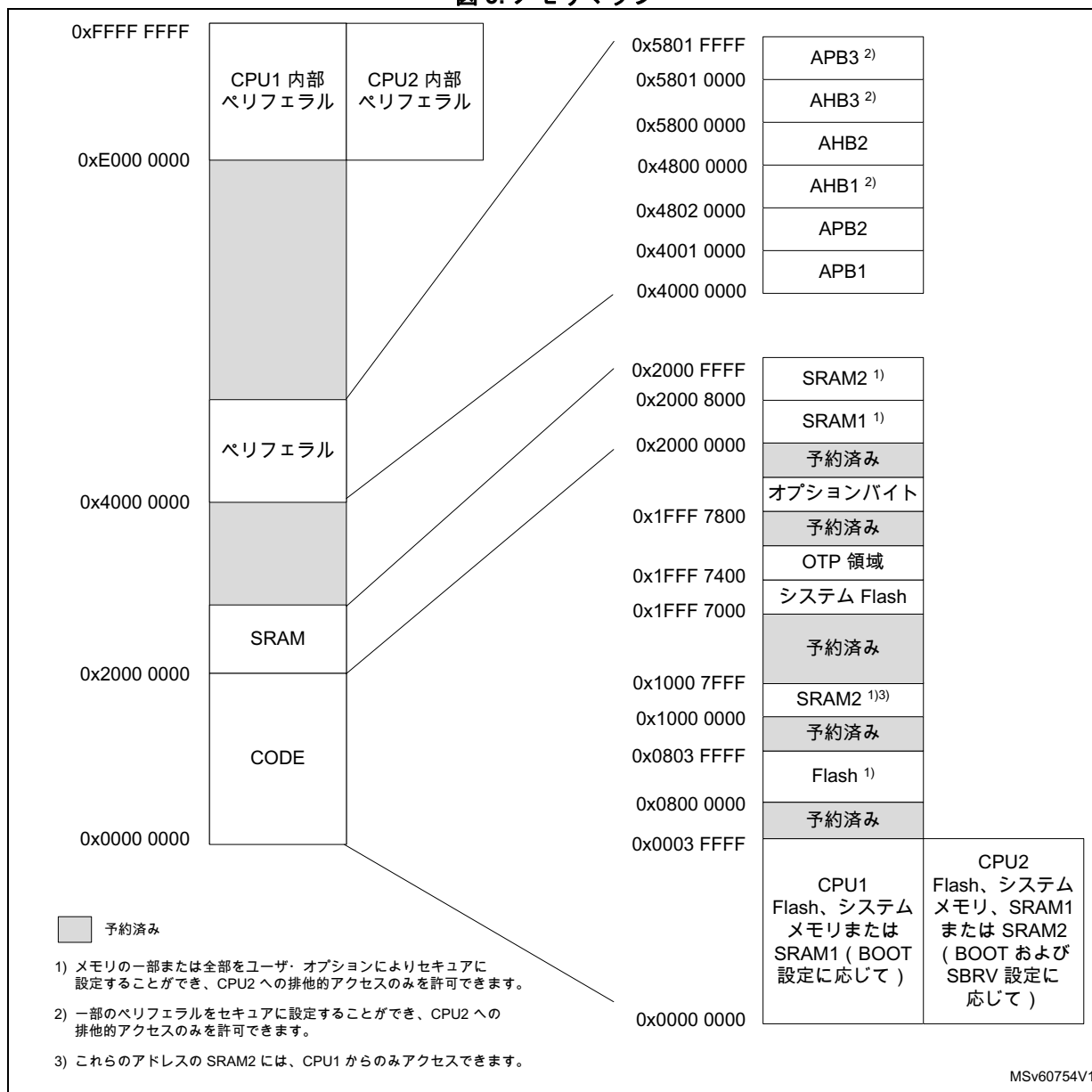
2.6.1 概要

プログラムメモリ、データメモリ、レジスタ、および I/O ポートは、同じ 4 GB のリニアなアドレス空間に配置されています。

バイトは、メモリ内でリトルエンディアン形式でコード化されます。ワード内で最も小さな番号のバイトがワードの最下位バイトとみなされ、最も大きな番号のバイトが最上位バイトとみなされます。

2.6.2 メモリマップとレジスタ境界アドレス

図 3. メモリマップ



オンチップメモリとペリフェラルに割り当てられていないメモリ領域はすべて、「予約済み」とみなされます。

次の表に、デバイスで使用可能なペリフェラルの境界アドレスを示します。

表 4. メモリマップとペリフェラルのレジスタ境界アドレス

バス	境界アドレス	サイズ (バイト)	ペリフェラル	ペリフェラルレジスタマップ
APB3	0x5801 0400 - 0x5801 FFFF	-	予約済みです。	-
	0x5801 0000 - 0x5801 03FF	1 K	SUBGHZSPI	セクション 37.9.10: SPI/I2S レジスタマップ
AHB3	0x5800 40C0 - 0x5800 FFFF	-	予約済みです。	-
	0x5800 4800 - 0x5800 4BFF	1 K	GTZC_TZIC	セクション 3.6.4: GTZC TZIC レジスタマップ
	0x5800 4400 - 0x5800 47FF	1 K	GTZC_TZSC	セクション 3.5.8: GTZC TZSC レジスタマップ
	0x5800 4000 - 0x5800 43FF	1 K	FLASH	セクション 4.10.21: Flash レジスタマップ
	0x5800 3400 - 0x5800 3FFF	8 K	PKA 続き	セクション 24.7.5: PKA レジスタマップ
	0x5800 2400 - 0x5800 33FF		PKA RAM	
	0x5800 2000 - 0x5800 23FF		PKA	
	0x5800 1C00 - 0x5800 1FFF	-	予約済みです。	-
	0x5800 1800 - 0x5800 1BFF	1 K	AES	セクション 23.7.18: AES レジスタマップ
	0x5800 1400 - 0x5800 17FF	1 K	HSEM	セクション 8.4.9: HSEM レジスタマップ
	0x5800 1000 - 0x5800 13FF	1 K	True RNG	セクション 22.7.5: RNG レジスタマップ
	0x5800 0C00 - 0x5800 0FFF	1 K	IPCC	セクション 9.4.9: IPCC レジスタマップ
	0x5800 0800 - 0x5800 0BFF	1 K	EXTI	セクション 16.6.13: EXTI レジスタマップ
	0x5800 0400 - 0x5800 07FF	1 K	PWR	セクション 6.6.23: PWR レジスタマップ
0x5800 0000 - 0x5800 03FF	1 K	RCC	セクション 7.4.47: RCC レジスタマップ	
AHB2	0x4800 2000 - 0x57FF FFFF	-	予約済みです。	-
	0x4800 1C00 - 0x4800 1FFF	8 K	GPIO	セクション 10.4.36: GPIOH レジスタマップ
	0x4800 0C00 - 0x4800 1BFF			予約済みです。
	0x4800 0800 - 0x4800 0BFF			セクション 10.4.35: GPIOC レジスタマップ
	0x4800 0400 - 0x4800 07FF			セクション 10.4.34: GPIOB レジスタマップ
	0x4800 0000 - 0x4800 03FF			セクション 10.4.33: GPIOA レジスタマップ

表 4. メモリマップとペリフェラルのレジスタ境界アドレス (続き)

バス	境界アドレス	サイズ (バイト)	ペリフェラル	ペリフェラルレジスタマップ
AHB1	0x4260 0000 - 0x47FF FFFF	-	予約済みです。	-
	0x4240 0000 - 0x425F FFFF	2048 K	AHB1 ビット バンディング (CPU1 のみ)	-
	0x4220 0000 - 0x423F FFFF	2048 K	APB2 ビット バンディング (CPU1 のみ)	-
	0x4200 0000 - 0x421F FFFF	2048 K	APB1 ビット バンディング (CPU1 のみ)	-
	0x4002 3400 - 0x41FF FFFF	-	予約済みです。	-
	0x4002 3000 - 0x4002 33FF	1 K	CRC	セクション 17.4.6: CRC レジスタマップ
	0x4002 0C00 - 0x4002 2FFF	-	予約済みです。	-
	0x4002 0800 - 0x4002 0BFF	1 K	DMAMUX1	セクション 14.6.7: DMAMUX レジスタマップ
	0x4002 0400 - 0x4002 07FF	1 K	DMA2	セクション 13.6.7: DMA レジスタマップ
	0x4002 0000 - 0x4002 03FF	1 K	DMA1	セクション 13.6.7: DMA レジスタマップ
APB2	0x4001 4C00 - 0x4001 FFFF	-	予約済みです。	-
	0x4001 4800 - 0x4001 4BFF	1 K	TIM17	セクション 27.4.23: TIM16/TIM17 レジスタ マップ
	0x4001 4400 - 0x4001 47FF	1 K	TIM16	セクション 27.4.23: TIM16/TIM17 レジスタ マップ
	0x4001 3C00 - 0x4001 43FF	-	予約済みです。	-
	0x4001 3800 - 0x4001 3BFF	1 K	USART1	セクション 35.8.15: USART レジスタマップ
	0x4001 3400 - 0x4001 37FF	-	予約済みです。	-
	0x4001 3000 - 0x4001 33FF	1 K	SPI1	セクション 37.9.10: SPI/I2S レジスタマップ
	0x4001 2C00 - 0x4001 2FFF	1 K	TIM1	セクション 25.4.30: TIM1 レジスタマップ
	0x4001 2800 - 0x4001 2BFF	-	予約済みです。	-
	0x4001 2400 - 0x4001 27FF	1 K	ADC	セクション 18.13: ADC レジスタマップ
	0x4001 0400 - 0x4001 23FF	-	予約済みです。	-
	0x4001 0200 - 0x4001 03FF	1 K	COMP	セクション 21.6.3: COMP レジスタマップ
	0x4001 0100 - 0x4001 01FF		SYSCFG 続き	セクション 11.2.16: SYSCFG レジスタマップ
	0x4001 0030 - 0x4001 00FF		VREFBUF	セクション 20.3.3: VREFBUF レジスタマップ
0x4001 0000 - 0x4001 002F	SYSCFG		セクション 11.2.16: SYSCFG レジスタマップ	

表 4. メモリマップとペリフェラルのレジスタ境界アドレス (続き)

バス	境界アドレス	サイズ (バイト)	ペリフェラル	ペリフェラルレジスタマップ
APB1	0x4000 B400 - 0x4000 FFFF	-	予約済みです。	-
	0x4000 B000 - 0x4000 B3FF	1 K	TAMP	セクション 33.6.11: TAMP レジスタマップ
	0x4000 9C00 - 0x4000 AFFF	-	予約済みです。	-
	0x4000 9800 - 0x4000 9BFF	1 K	LPTIM3	セクション 28.7.13: LPTIM レジスタマップ
	0x4000 9400 - 0x4000 97FF	1 K	LPTIM2	セクション 28.7.13: LPTIM レジスタマップ
	0x4000 8400 - 0x4000 93FF	-	予約済みです。	-
	0x4000 8000 - 0x4000 83FF	1 K	LPUART1	セクション 36.7.13: LPUART レジスタマップ
	0x4000 7C00 - 0x4000 7FFF	1 K	LPTIM1	セクション 28.7.13: LPTIM レジスタマップ
	0x4000 7800 - 0x4000 7BFF	-	予約済みです。	-
	0x4000 7400 - 0x4000 77FF	1 K	DAC	セクション 19.7.16: DAC レジスタマップ
	0x4000 6000 - 0x4000 73FF	-	予約済みです。	-
	0x4000 5C00 - 0x4000 5FFF	1 K	I2C3	セクション 34.7.12: I2C レジスタマップ
	0x4000 5800 - 0x4000 5BFF	1 K	I2C2	セクション 34.7.12: I2C レジスタマップ
	0x4000 5400 - 0x4000 57FF	1 K	I2C1	セクション 34.7.12: I2C レジスタマップ
	0x4000 4800 - 0x4000 53FF	-	予約済みです。	-
	0x4000 4400 - 0x4000 47FF	1 K	USART2	セクション 35.8.15: USART レジスタマップ
	0x4000 3C00 - 0x4000 43FF	-	予約済みです。	-
	0x4000 3800 - 0x4000 3BFF	1 K	SPI2S2	セクション 37.9.10: SPI/I2S レジスタマップ
	0x4000 3400 - 0x4000 37FF	-	予約済みです。	-
	0x4000 3000 - 0x4000 33FF	1 K	IWDG	セクション 30.4.6: IWDG レジスタマップ
0x4000 2C00 - 0x4000 2FFF	1 K	WWDG	セクション 31.5.4: WWDG レジスタマップ	
0x4000 2800 - 0x4000 2BFF	1 K	RTC	セクション 32.6.23: RTC レジスタマップ	
0x4000 0400 - 0x4000 27FF	-	予約済みです。	-	
0x4000 0000 - 0x4000 03FF	1 K	TIM2	セクション 26.4.25: TIMx レジスタマップ	
-	0x2220 0000 - 0x3FFF FFFF	-	予約済みです。	-
AHB3	0x2210 0000 - 0x221F FFFF	1024 K	SRAM2 ビット バンディング (CPU1 のみ)	-
	0x2200 0000 - 0x220F FFFF	1024 K	SRAM1 ビット バンディング (CPU1 のみ)	-
-	0x2001 0000 - 0x21FF FFFF	-	予約済みです。	-
AHB3	0x2000 8000 - 0x2000 FFFF	32 K	SRAM2	-
	0x2000 0000 - 0x2000 7FFF	32 K	SRAM1	-
-	0x1FFF 8080 - 0x1FFF FFFF	-	予約済みです。	-

表 4. メモリマップとペリフェラルのレジスタ境界アドレス (続き)

バス	境界アドレス	サイズ (バイト)	ペリフェラル	ペリフェラルレジスタマップ
AHB3	0x1FFF 7800 - 0x1FFF 7FFF	2 K	Flash ユーザ オプション	セクション 4.10.21: Flash レジスタマップ
	0x1FFF 7400 - 0x1FFF 77FF	1 K	Flash Engi	-
	0x1FFF 7000 - 0x1FFF 73FF	1 K	Flash OTP	-
	0x1FFF 0000 - 0x1FFF 6FFF	28 K	Flash RSS および ブートローダ	-
-	0x1000 8000 - 0x1FFE FFFF	-	予約済みです。	-
AHB3	0x1000 0000 - 0x1000 7FFF	32 K	SRAM2 (CPU1 のみ)	-
-	0x0804 0000 - 0x0FFF FFFF	-	予約済みです。	-
AHB3	0x0800 0000 - 0x0803 FFFF	256 K	ユーザ Flash ⁽¹⁾	-
-	0x0004 0000 - 0x07FF FFFF	-	予約済みです。	-
BOOT (2)	0x0000 0000 - 0x0003 FFFF	256 K	CPU _n ブート領域	-

- このアドレスは Flash メモリの最大数に対応しています。Flash メモリのサイズが小さい製品 (128 KB および 64 KB) では、終了アドレスが小さくなります。
- バスは選択した CPU_n ブート領域に依存します。

2.6.3 CPU1 ビットバンディング

CPU1 マップには、2 つのビットバンド領域が含まれています。これらの領域は、メモリのエイリアス領域の各ワードをメモリのビットバンド領域のビットに割り当てます。エイリアス領域のワードへの書込みは、ビットバンド領域の対象ビットへの読出し/変更/書込み操作と同じ効果を持ちます。

AHB1、APB1、APB2 ペリフェラルレジスタも SRAM1 および SRAM2 もビットバンド領域に割り当てられますので、1 回のビットバンドの書込みと読出し操作が許可されます。操作は CPU1 アクセスでのみ可能であり、他のバスマスタ (DMA など) からはできません。

ペリフェラルビットバンド・エイリアスは、アドレス 0x4200 0000 ~ 0x425F FFFF に配置されています。

SRAM のビットバンド・エイリアスは、アドレス 0x2200 0000 ~ 0x221F FFFF に配置されています。

マッピングの計算式は、エイリアス領域の各ワードからビットバンド領域の対応するビットを参照する方法を示します。

マッピングの計算式は、次のとおりです。

$$\text{bit_word_addr} = \text{bit_band_base} + (\text{byte_offset} * 32) + (\text{bit_number} * 4)$$

ここで、

- bit_word_addr は、対象ビットに割り当てられるエイリアスメモリ領域内のワードのアドレスです。
- bit_band_base は、エイリアス領域の開始アドレスです。
- byte_offset は、対象ビットを含む bit_band 領域のバイト数です。
- bit_number は、対象ビットのビット位置 (0-7) です。

例

次の例は、SRAM1 アドレス 0x2000 0300 にあるバイトのビット [2] がどのようにエイリアス領域に割り当てられるかを示します。式は次のとおりです。

$$0x2200\ 6008 = 0x2200\ 0000 + 0x0300 * 32 + 2 * 4$$

アドレス 0x2200 6008 への書込みは、SRAM1 アドレス 0x2000 0300 のバイトのビット [2] に対して読出し／変更／書込み操作を実行するのと同じ効果があります。

アドレス 0x2200 6008 を読み出すと、SRAM1 アドレス 0x2000 0300 のバイトのビット [2] の値 (0x01 または 0x00) が返されます。

ビットバンドの詳細については、Cortex-M4 プログラミングマニュアルを参照してください。

3 グローバル・セキュリティ・コントローラ (GTZC)

3.1 GTZC の概要

このセクションでは、次の 2 つのサブブロックについて説明します。

- **TZSC** : セキュリティ・コントローラ
このサブブロックでは、スレーブペリフェラルのセキュア/特権状態を定義します。また、ウォーターマークメモリペリフェラルコントローラ (MPCWM) の非特権領域のサイズを制御します。
- **TZIC** : セキュリティ不正アクセス・コントローラ
このサブブロックでは、システム内のすべての不正アクセスイベントを集め、セキュア CPU2 NVIC へのセキュア割込みを生成します。

これらのサブブロックは、次のようなシステムのセキュリティと特権を設定するために使用されます。

- プログラム可能なセキュア領域または特権領域、あるいはその両方を持つオンチップ Flash メモリおよび RAM
- プログラム可能なセキュア/特権アクセスモードを持つ AHB および APB ペリフェラル

3.2 GTZC の主な機能

- セキュア特権トランザクションでのみアクセス可能な TZIC
システムが非セキュアな場合 (ESE = 0)、TZIC にはアクセスできません。
- TZSC の特権/非特権部分はセキュアおよび非セキュアなアクセスに対応
- 一連のレジスタを使用して製品のセキュリティ設定を定義
 - 内部メモリの特権ウォーターマーク
 - セキュリティ保護可能なペリフェラルのセキュアおよび特権アクセスモード

注 : セキュリティと特権は、システムがセキュア (ESE = 1) の場合にのみ使用できます。

3.3 GTZC のセキュリティ システムアーキテクチャ

STM32WL5x は、次の 2 つの世界が分離されたセキュリティモデルに対応します。

- **セキュアワールド**。ここでは、一般にセキュリティの影響を受けやすいアプリケーションが動作し、重要なリソースが配置されています。
- **非セキュアワールドまたはパブリックワールド** (通常为非セキュアなユーザ空間など)。ここでは、非セキュアトランザクションが、使用されます。

AHB および APB ペリフェラルは以下のように分類することができます。

- **セキュア** : AHB/APB ファイアウォールスタブによって常時保護されているペリフェラル。これらのペリフェラルは常にセキュアです (TZIC など)。
- **セキュリティ保護可能** : セキュリティおよび特権プロパティを定義するために、TZSC から制御されるプログラム可能な AHB/APB ファイアウォールスタブによって保護されているペリフェラル (AES など)。
- **非セキュアおよび非特権** : セキュアゲートなしで直接 AHB/APB に相互接続されているペリフェラル。
- **セキュリティ対応** : 直接 AHB / APB に相互接続され、固有のセキュリティ動作 (セキュアなレジスタのサブセットなど) を実装しているペリフェラル (DMA など)

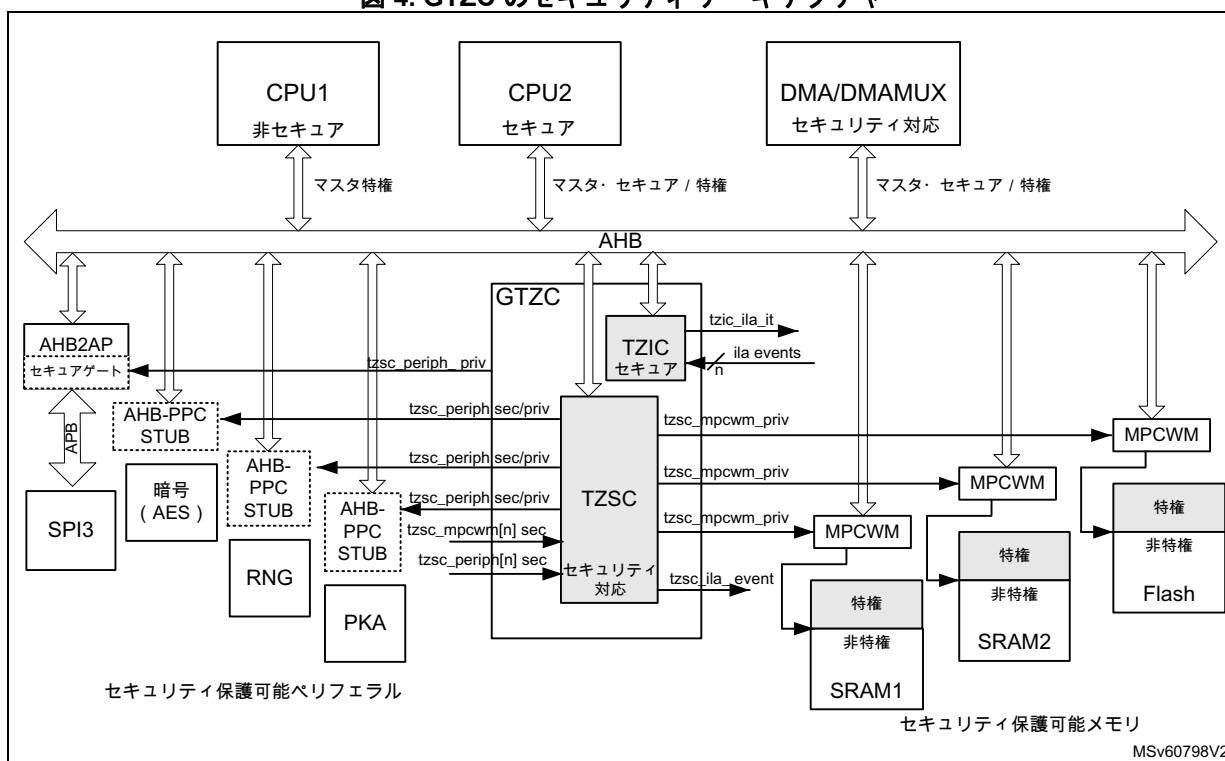
アプリケーション情報

TZSC および TZIC サブブロックは次のいずれかの方法で使用できます。

- 必ずセキュアブート中にプログラムし、その後はロックした状態で変更しません。
- 特定のアプリケーションコードまたはセキュアカネル (マイクロバイザ) の使用時に動的に再プログラムします。ロックされていないとき、非セキュアメモリの MPC 領域サイズは、特権モードで実行される特権ソフトウェアによって変更でき、セキュア・メモリは、セキュア・ワールドの特権モードで実行される特権ソフトウェアによってのみ変更できます。同じ注釈が、各ペリフェラルのセキュアおよび特権保護レベルを定義する TZSC 内の SECCFGR1 レジスタおよび PRIVCFGR1 レジスタにも適用されます。

セキュア、セキュリティ保護可能、およびセキュリティ対応のペリフェラルを備えた STM32 セキュリティアーキテクチャを下図に示します。

図 4. GTZC のセキュリティアーキテクチャ



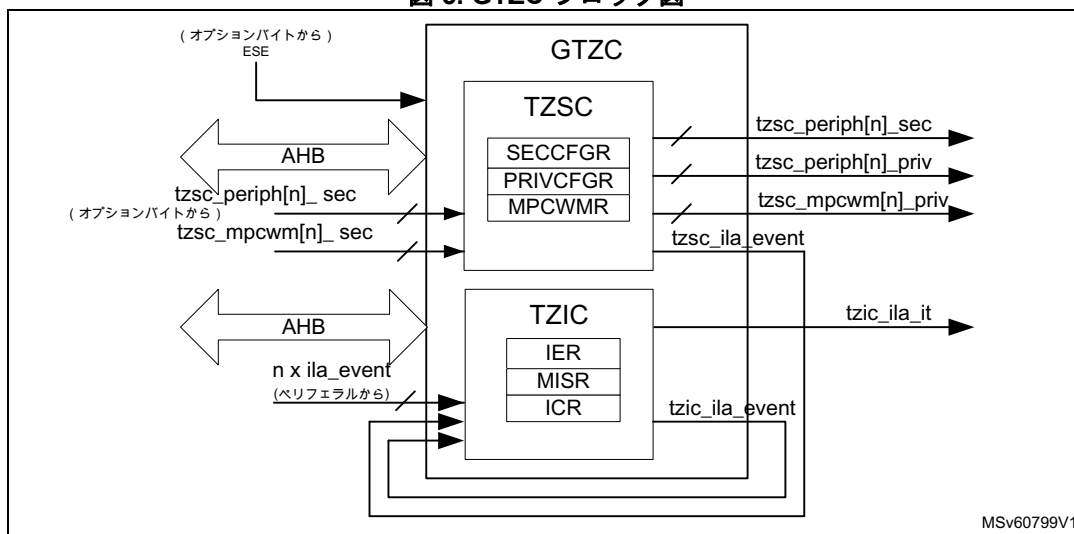
3.4 GTZC の機能詳細

3.4.1 GTZC ブロック図

図 5 は TZSC と TZIC の機能を組み合わせたものです。各サブブロックは、独自の AHB 設定ポートで制御されます。TZSC はセキュア、特権、およびその両方であるペリフェラルを定義します。TZIC は、不正アクセスイベントを一元管理します。

デバイスが非セキュア (ESE = 0) の場合、TZIC は機能せず、メモリは非セキュアかつ非特権であり、不正割込みは無効化されます。それでも、ペリフェラルは特権にすることができます。

図 5. GTZC ブロック図



3.4.2 GTZC 内部信号

表 5. GTZC 内部信号

内部信号名	信号タイプ	説明
AHB	入力/出力	AHB スレーブ TZSC および TZIC レジスタ・アクセス・ポート
ESE	入力	ユーザ・オプション ESE からのセキュリティ有効化
tzsc_periph[n]_sec	入力	ユーザ・オプションからの TZSC ペリフェラル [n] セキュリティ制御
tzsc_mpcwm[n]_sec	入力	ユーザ・オプションからの TZSC MPCWMM [n] セキュリティ制御
tzsc_periph[n]_sec	出力	TZSC ペリフェラル [n] セキュリティ制御
tzsc_periph[n]_priv	出力	TZSC ペリフェラル [n] 特権制御
tzsc_mpcwm[n]_priv	出力	TZSC 内部メモリ MPCWMM [n] 特権制御
tzsc_ilar_event	出力	TZSC 不正アクセスイベント
tzic_ilar_event	出力	TZIC 不正アクセスイベント
ilar_events	入力	ペリフェラル不正アクセスイベント
tzic_ilar_it	出力	TZIC 不正アクセス割込み

3.4.3 不正アクセスの定義

存在する不正アクセスの種類を次に示します。

- 不正な非セキュア読み出し/書き込みアクセス
セキュアリソースへのアクセスを試みる非セキュア読み出し/書き込みトランザクションは不正アクセスとみなされます。アドレス指定されたリソースにより、不正な読み出し/書き込みアクセスに対する不正なアクセスイベントが生成されます。

注：一部のレジスタでは書き込みセキュリティのみが保護され、非セキュア読み出しアクセスはできません（個別のレジスタの説明を参照）。

- 不正な非特権読み出し/書き込みアクセス
特権リソースへのアクセスを試みる非特権トランザクションは不正アクセスとみなされます。すべての場合において、アドレス指定されたリソースにより、不正な読み出し/書き込みアクセスに対して不正アクセスイベントが生成されます。

注：一部のレジスタは、書き込み特権保護のみを備えており、特権なしで読み取りアクセスできます（個別のレジスタの説明を参照）

- 不正なセキュアメモリ・フェッチ・アクセス
非セキュアメモリ・リソースへのアクセスを試みるセキュア・メモリ・フェッチ・アクセス・トランザクションは、不正アクセスとみなされます。アドレス指定されたリソースにより、不正アクセスイベントとバスエラーが生成されます。
- 不正な非セキュアメモリ・フェッチ・アクセス
セキュアメモリ・リソースへのアクセスを試みる非セキュアメモリ・フェッチ・アクセス・トランザクションは、不正アクセスとみなされます。アドレス指定されたリソースにより、不正アクセスイベントとバスエラーが生成されます。
- 不正な非特権メモリ・フェッチ・アクセス
特権メモリ・リソースへのアクセスを試みる非特権メモリ・フェッチ・アクセス・トランザクションは、不正アクセスとみなされます。アドレス指定されたリソースにより、不正アクセスイベントとバスエラーが生成されます。
- ペリフェラル・フェッチ・アクセス
ペリフェラル・フェッチ・アクセスはすべて不正アクセスとみなされます。バス・ブリッジは、すべてのペリフェラル・フェッチ・アクセスに対してバス・エラーを生成します（不正なアクセスイベントはありません）。

注：非セキュアメモリおよびペリフェラルへのセキュア読み出し/書き込みトランザクションは許可されており、正当なアクセスです。

非特権メモリおよびペリフェラルへの特権読み出し/書き込みトランザクションは許可されており、正当なアクセスです。

非特権メモリへの特権フェッチ・トランザクションは許可されており、正当なアクセスです。

表 6. メモリアクセス・エラーの生成

メモリアクセス タイプ ⁽¹⁾		保護されたメモリを 非表示 (HDPADIS = 1)			セキュア特権メモリ			セキュア 非特権メモリ			非セキュア 特権メモリ			非セキュア 非特権メモリ										
		アクセス	lla_event	バスエラー	アクセス	lla_event	バスエラー	アクセス	lla_event	バスエラー	アクセス	lla_event	バスエラー	アクセス	lla_event	バスエラー								
セキュア	特権	フェッチ	不正	不可	許可	不可	いいえ	不正	S	可能	不正	S	可能	不正	S	可能								
		読出し															可能 ⁽²⁾	許可	不可	いいえ	許可	不可	いいえ	
		書込み															可能	不正	不正	不正	不正	不正		
	非特権	フェッチ	不正	P ⁽³⁾	可能	許可	P	可能	不正	S および P	可能	不正	S	可能	不正	S	可能							
		読出し																不可	不正	P	不可	不正	不正	
		書込み																不可	不正	不正	不正	不正	不正	
非セキュア	特権	フェッチ	不正	S ⁽⁴⁾	不正	S	可能	不正	S	可能	不正	許可	不可	いいえ	許可	不可	いいえ							
		読出し																不可	不正	不正	不正	不正	不正	
		書込み																不可	不正	不正	不正	不正	不正	
	非特権	フェッチ	不正	S および P ⁽³⁾⁽⁴⁾	可能	不正	S および P	可能	不正	S	はい	不正	不正	P	可能	許可	不可	いいえ						
		読出し																	不可	不正	不正	不正	不正	不正
		書込み																	不可	不正	不正	不正	不正	不正
不正およびエラー・イベントの生成																								
許可																								

- 不正：セキュリティ侵害
S：不正なセキュリティ侵害による lla_event
P：不正な特権侵害による lla_event
S および P：セキュアおよび特権侵害による lla_event
- CPU アクセス専用です。DMA アクセスではバスエラーは生成されません。
- 非表示の場合、保護領域は特権です。
- 非表示の場合、保護領域はセキュアです。

表 7. ペリフェラルアクセス・エラーの生成

ペリフェラル アクセスタイプ ⁽¹⁾			セキュア 特権ペリフェラル			セキュア 非特権ペリフェラル			非セキュア 特権ペリフェラル			非セキュア 非特権ペリフェラル				
			アクセス	ila_event	バスエラー	アクセス	ila_event	バスエラー	アクセス	ila_event	バスエラー	アクセス	ila_event	バスエラー		
セキュア	特権	フェッチ	失敗	不可	はい	失敗	不可	はい	失敗	不可	はい	失敗	不可	はい		
		読出し	許可		不可	許可		不可	許可		不可	許可		不可		
		書込み	許可		不可	許可		不可	許可		不可	許可		不可		
	非特権	フェッチ	失敗	P	可能	失敗	不可	可能	不正	P	可能	失敗	不可	可能		
		読出し	不正		不可	許可		不可			許可	不可		許可	不可	
		書込み	不正		不可	許可		不可			許可	不可		許可	不可	
非セキュア	特権	フェッチ	失敗	不可	はい	失敗	不可	可能	失敗	不可	はい	失敗	不可	可能		
		読出し	不正		S	不可		不正	S		不可	許可		不可	許可	不可
		書込み	不正		S	不可		不正	S		不可	許可		不可	許可	不可
	非特権	フェッチ	失敗	S および P	はい	失敗	不可	はい	失敗	P	可能	失敗	不可	可能		
		読出し	不正		不可	不正		不正	不可		不正	許可		不可	許可	不可
		書込み	不正		不可	不正		不正	不可		不正	許可		不可	許可	不可
失敗、不正およびイベントの生成																
許可																

- 失敗：ペリフェラルからのすべてのフェッチは、ila を生成せずに拒否されます。
不正：セキュリティ侵害
S：不正なセキュリティ侵害による ila_event
P：不正な特権侵害による ila_event
S および P：セキュリティおよび特権侵害による ila_event

3.4.4 セキュリティコントローラ (TZSC)

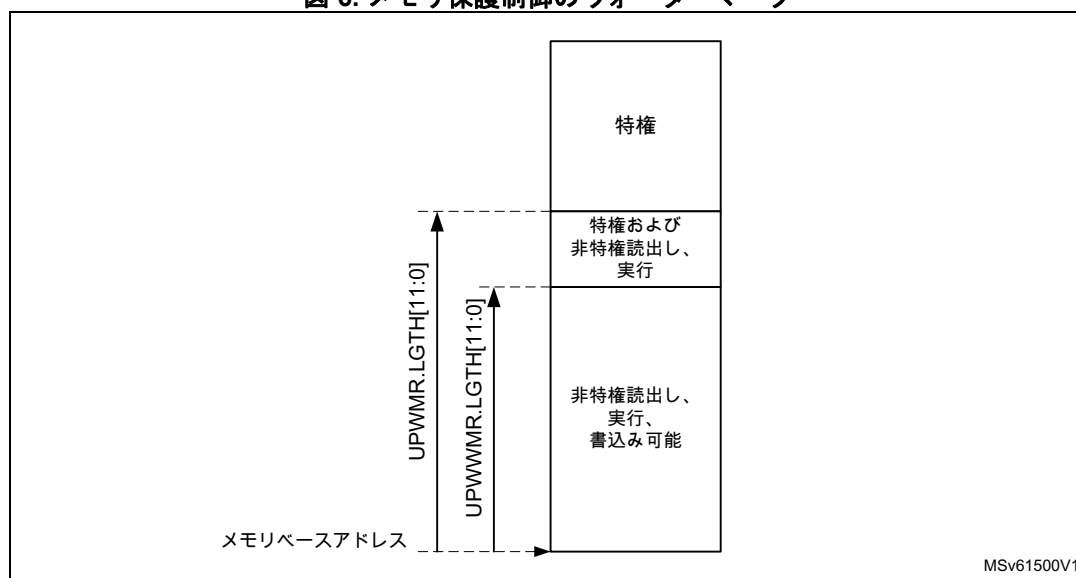
このブロックは、設定可能な一連のレジスタで構成され、以下の機能を提供します。

- ペリフェラルのセキュア特権保護の制御は、次のレジスタによって行われます。
 - SECCFGR1：すべてのセキュリティ保護可能なペリフェラルのセキュア属性のために AHB/APB ファイアウォール・スタブを制御
 - PRIVCFGR1 レジスタ：すべてのセキュリティ保護可能なペリフェラルの特権属性のために AHB/APB ファイアウォール・スタブを制御
- ウォーターマーク・メモリ保護 (内部メモリ) の場合、非特権領域を定義する GTZC_TZSC_MPCWMMn_UPWMMR を介して、GTZC_TZSC_MPCWMMn_UPWMMR.LGTH[11:0] で定義された長さを使用して、内部メモリのベースアドレスから始まる 1 つの特権領域を定義できます。
- ウォーターマーク・メモリ保護 (内部メモリ) の場合、GTZC_TZSC_MPCWMM1_UPWMMR を介して、GTZC_TZSC_MPCWMM1_UPWMMR.LGTH[11:0] で定義された長さを使用して、内部 Flashメモリのベースアドレスから始まる 1 つの特権および非特権読出し/実行領域を定義できます。GTZC_TZSC_MPCWMM1_UPWMMR.LGTH[11:0] で非特権としても定義されている領域のみが非特権書込み可能です。

注： n はターゲット・メモリを表します (1 = Flashメモリ、2 = SRAM1、3 = SRAM2)。



図 6. メモリ保護制御のウォーターマーク



3.4.5 セキュリティ不正アクセスコントローラ (TZIC)

このブロックは、すべての不正アクセスの原因となるイベントに対象を絞っており、システムのセキュリティ機能が有効 (ESE = 1) な場合のみ使用します。システムが非セキュア (ESE = 0) の場合、不正アクセス割込みの生成はハードウェアでブロックされます。

TZIC により、どのイベントが不正割込み `tzic_ila_it` をトリガしたかをトレースすることができます。望ましくないイベントをフィルタリングするために、TZIC_IER でレジスタ・マスクを使用できます。有効な不正イベントでは、セキュア CPU2 NVIC (TZIC_ILA) への割込みが生成されます。

不正イベントのソースごとに、ステータスフラグおよびクリアビットが存在します (それぞれ TZIC_MISR および TZIC_ICR レジスタ内)。有効化レジスタのリセット値 (TZIC_IER) は、すべての不正イベントが有効化されていなければなりません。

3.4.6 パワーオン/リセット状態

TZSC のパワーオンおよびリセット状態では、SECCFGR1 および PRIVCFGR1 レジスタの全ビットが 0 にクリアされおり、それぞれ非セキュアと非特権の状態を表します。

内部メモリに関しては、TZSC の MPCWMn_UPWWMR レジスタおよび MPCWMn_UPWWMR レジスタのリセット値が 0x0FFF 0000 にセットされ、内部メモリ全体が非特権になっています。

CPU1 の非セキュア特権ブート・コードは、非セキュア特権属性をプログラムして、必要に応じてコンポーネントを非セキュア特権にすることができます。

CPU2 のセキュア特権ブート・コードはセキュア特権属性をプログラムできるので、必要に応じてコンポーネントをセキュア特権にすることができます。

3.4.7 割込み

TZIC はセキュアペリフェラルなので、非セキュアアクセスでアクセスされると、自動的に不正アクセスイベントを生成します。

TZSC はセキュリティ対応ペリフェラルであり、セキュアレジスタと非セキュアレジスタが混在しています。

3.5 GTZC TZSC レジスタ

すべての GTZC TZSC レジスタは、必ずワード (32 ビット) 単位でアクセスされます。ハーフワード (16 ビット) とバイト (8 ビット) 単位のアクセスは拒否され、バスエラーが生成されます。

内部メモリごとの TZSC MPCWMM 特権制御レジスタ MPCWMMn_UPWMMR の定義を下の表に示します。

表 8. TZSC 特権 MPCWMMn レジスタのメモリ割り当て

MPCWMM インデックス	メモリ	説明
1	Flash	非特権および非特権で書込み可能な制御 (セキュリティはユーザ・オプションによって制御)
2	SRAM1	非特権制御 (セキュリティはユーザ・オプションによって制御)
3	SRAM2	非特権制御 (セキュリティはユーザ・オプションによって制御)

3.5.1 GTZC TZSC 制御レジスタ (GTZC_TZSC_CR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0000

セキュア読み出し/書込みアクセス専用

注 : システムが非セキュア (ESE = 0) の場合、このレジスタに書き込むことはできず、ゼロが読み出されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK
															rs

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LCK** : TZSC のレジスタの設定を次のリセットまでロックします。

設定は、STANDBY からのウェイクアップ後にアンロックされます。

このビットはデフォルトでは設定されておらず、いったん設定すると、TZSC グローバルリセットまでリセットできません。

0 : すべての TZSC レジスタはロックされません。

1 : すべての TZSC レジスタはロックされます。

3.5.2 GTZC TZSC セキュリティ設定レジスタ (GTZC_TZSC_SECCFGR1)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

セキュア書込みアクセス専用

このレジスタのビットは、GTZC_TZSC_PRIVCFGR1 の対応するビットが特権にセットされている場合、セキュア特権トランザクションによってのみ書き込みます。非特権の場合、レジスタ・ビットはセキュア特権およびセキュア非特権トランザクションによって書き込みます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

特権アクセス時の不正アクセスイベントは、GTZC_TZSC_PRIVCFGR1 のすべてのペリフェラル・レジスタ・ビットが特権に設定されている場合にのみ生成されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされると、このレジスタは変更できなくなります。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタに書き込むことはできず、ゼロが読み出されます。ペリフェラルはセキュアではありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PKA SEC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNG SEC	AES SEC	Res.	Res.
		rw										rw	rw		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PKASEC** : PKA のセキュアアクセスモードは有効です。

0 : 非セキュア
1 : セキュア

ビット 12:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **RNGSEC** : RNG のセキュアアクセスモードは有効です。

0 : 非セキュア
1 : セキュア

ビット 2 **AESSEC** : AES のセキュアアクセスモードは有効です。

0 : 非セキュア
1 : セキュア

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

3.5.3 GTZC TZSC 特権設定レジスタ (GTZC_TZSC_PRIVCFGR1)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

特権書き込みアクセス専用

このレジスタのビットは、GTZC_TZSC_SECCFGR1 レジスタまたは Flash ユーザオプションの対応するビットがセキュアに設定されている場合に、セキュア特権トランザクションによってのみ書き込めます。非セキュアの場合、レジスタ・ビットはセキュア特権トランザクションおよび非セキュア特権トランザクションによって書き込むことができます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

セキュアアクセス時の不正アクセスイベントは、GTZC_TZSC_SECCFGR1 のすべてのペリフェラル・レジスタ・ビットがセキュアに設定されている場合にのみ生成されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされている場合、このレジスタは変更できません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PKAPRIV	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPIPRIV	RNGPRIV	AESPRIV	Res.	Res.
		rw									rw	rw	rw		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PKAPRIV** : PKA の特権アクセスモードは有効です。

- 0 : 非特権
- 1 : 特権

ビット 12:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **SUBGHZSPIPRIV** : Sub-GHz SPI に対する特権アクセスモードは有効です。

- 0 : 非特権
- 1 : 特権

ビット 3 **RNGPRIV** : RNG の特権アクセスモードは有効です。

- 0 : 非特権
- 1 : 特権

ビット 2 **AESPRIV** : AES の特権アクセスモードは有効です。

- 0 : 非特権
- 1 : 特権

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

3.5.4 GTZC TZSC 非特権ウォーターマーク 1 レジスタ (GTZC_TZSC_MPCWM1_UPWMR)

アドレス・オフセット : 0x130

リセット値 : 0x0FFF 0000

特権書き込みアクセス専用

このレジスタは、対応する Flash ユーザオプション FSD がセキュアに設定されている場合に、セキュア特権トランザクションによってのみ書き込みます。非セキュアの場合、このレジスタはセキュア特権トランザクションおよび非セキュア特権トランザクションによって書き込むことができます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされている場合、このレジスタは変更できません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタは読み書きできますが、ビットは機能しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	LGTH[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **LGTH[11:0]** : ユーザ Flash の非特権領域の長さを定義します (ユーザ Flash のベースアドレスから開始し、2 KB の単位で)。

注 : このレジスタは、セキュリティが有効 (ESE = 1) の場合のみ機能します。セキュリティを無効にすると、値が何であれ、メモリは完全に非特権になります。

- 0x000 : 非特権領域なし、特権 0x00000 ~ 0x3FFFF
- 0x001 : 非特権 0x00000 ~ 0x007FF、特権 0x00800 ~ 0x3FFFF
- 0x002 : 非特権 0x00000 ~ 0x00FFF、特権 0x01000 ~ 0x3FFFF
- 0x003 : 非特権 0x00000 ~ 0x017FF、特権 0x01800 ~ 0x3FFFF
-
- 0x080 以上 : 非特権 0x00000 ~ 0x3FFFF、特権領域なし

注 : 0x800 以上は 0x800 に切り捨てられます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

3.5.5 GTZC TZSC 非特権書き込み可能ウォーターマーク 1 レジスタ (GTZC_TZSC_MPCWM1_UPWWMR)

アドレス・オフセット : 0x134

リセット値 : 0x0FFF 0000

特権書き込みアクセス専用

このレジスタは、対応する Flash ユーザオプション FSD がセキュアに設定されている場合に、セキュア特権トランザクションによってのみ書き込めます。非セキュアの場合、このレジスタはセキュア特権トランザクションおよび非セキュア特権トランザクションによって書き込むことができます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされている場合、このレジスタは変更できません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタは読み書きできますが、ビットは機能しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	LGTH[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **LGTH[11:0]** : Flash の非特権書き込み可能領域の長さを定義します (ユーザ Flash ベースアドレスから開始し、2 KB の単位で)。

GTZC_TZSC_MPCWM1_UPWWMR.LGTH[11:0] で非特権としても定義されている領域のみが非特権書き込み可能です。

注 : このレジスタは、セキュリティが有効 (ESE = 1) の場合のみ機能します。セキュリティを無効にすると、値が何であれ、メモリは完全に非特権書き込み可能になります。

- 0x000 : 非特権書き込み可能領域なし、特権および非特権読出し/実行 0x00000 ~ 0x3FFFF
- 0x001 : 非特権書き込み可能 0x00000 ~ 0x007FF、特権および非特権読出し/実行 0x00800 ~ 0x3FFFF
- 0x002 : 非特権書き込み可能 0x00000 ~ 0x00FFF、特権および非特権読出し/実行 0x01000 ~ 0x3FFFF
- 0x003 : 非特権書き込み可能 0x00000 ~ 0x017FF、特権および非特権読出し/実行 0x01800 ~ 0x3FFFF
-
- 0x080 以上 : 非特権書き込み可能 0x00000 ~ 0x3FFFF、特権および非特権読出し/実行領域なし

注 : 0x800 以上は 0x800 に切り捨てられます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。



3.5.6 GTZC TZSC 非特権ウォーターマーク 2 レジスタ (GTZC_TZSC_MPCWM2_UPWMR)

アドレス・オフセット : 0x138

リセット値 : 0x0FFF 0000

特権書き込みアクセス専用

このレジスタは、対応する Flash ユーザオプション NBRSD がセキュアに設定されている場合に、セキュア特権トランザクションによってのみ書き込みます。非セキュアの場合、このレジスタはセキュア特権トランザクションおよび非セキュア特権トランザクションによって書き込むことができます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされている場合、このレジスタは変更できません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタは読み書きできますが、ビットは機能しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	LGTH[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **LGTH[11:0]** : SRAM1 非特権領域の長さを定義します (SRAM1 ベースアドレスから開始し、1 KB の単位で)。

注 : このレジスタは、セキュリティが有効 (ESE = 1) の場合のみ機能します。セキュリティを無効にすると、値が何であれ、メモリは完全に非特権になります。

0x000 : 非特権領域なし、特権 0x0000 ~ 0x7FFF

0x001 : 非特権 0x0000 ~ 0x03FF、特権 0x0400 ~ 0x7FFF

0x002 : 非特権 0x0000 ~ 0x07FF、特権 0x0800 ~ 0x7FFF

0x003 : 非特権 0x0000 ~ 0x0BFF、特権 0x0C00 ~ 0x7FFF

.....

0x020 以上 : 非特権 0x0000 ~ 0x7FFF、特権領域なし

注 : 0x800 以上は 0x800 に切り捨てられます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

3.5.7 GTZC TZSC 非特権ウォーターマーク 3 レジスタ (GTZC_TZSC_MPCWM3_UPWMR)

アドレス・オフセット : 0x140

リセット値 : 0x0FFF 0000

特権書き込みアクセス専用

このレジスタは、対応する Flash ユーザオプション BRSD がセキュアに設定されている場合に、セキュア特権トランザクションによってのみ書き込めます。非セキュアの場合、このレジスタはセキュア特権トランザクションおよび非セキュア特権トランザクションによって書き込むことができます。

読出しアクセスは、セキュア/非セキュア、特権/非特権のどのタイプのトランザクションにも許可されます。

TZSC 設定が GTZC_TZSC_CR.LCK でロックされている場合、このレジスタは変更できません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタは読み書きできますが、ビットは機能しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	LGTH[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **LGTH[11:0]** : SRAM2 非特権領域の長さを定義します (SRAM2 ベースアドレスから開始し、1 KB の単位で)。

注 : このレジスタは、セキュリティが有効 (ESE = 1) の場合のみ機能します。セキュリティを無効にすると、値が何であれ、メモリは完全に非特権になります。

- 0x000 : 非特権領域なし、特権 0x0000 ~ 0x7FFF
- 0x001 : 非特権 0x0000 ~ 0x03FF、特権 0x0400 ~ 0x7FFF
- 0x002 : 非特権 0x0000 ~ 0x07FF、特権 0x0800 ~ 0x7FFF
- 0x003 : 非特権 0x0000 ~ 0x0BFF、特権 0x0C00 ~ 0x7FFF
-
- 0x020 以上 : 非特権 0x0000 ~ 0x7FFF、特権領域なし

注 : 0x800 以上は 0x800 に切り捨てられます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

3.6 GTZC TZIC レジスタ

すべての GTZC TZIC レジスタは、ワード (32 ビット)、ハーフワード (16 ビット)、およびバイト (8 ビット) でアクセスされます。

3.6.1 GTZC TZIC 割込み有効化レジスタ 1 (GTZC_TZIC_IER1)

アドレス・オフセット : 0x000

リセット値 : 0xFFFF FFFF

セキュリティ が有効な場合 (ESE = 1)

リセット値 : 0x0000 0000

セキュリティ が無効な場合 (ESE = 0)

このレジスタは、読出し/書込みとも、セキュア特権アクセスによってのみアクセスできます。非セキュアまたは非特権アクセスは無視され、ゼロデータが返され、不正アクセスイベントが生成されません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタに書き込むことはできず、ゼロが読み出されます。不正アクセス割込みは生成されません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PKA IE	SRAM2 IE	SRAM1 IE	FLASH IE	DMAM UX1 IE	DMA2 IE	DMA1 IE	FLASH IF IE	PWR IE	SUBG HZSPI IE	RNG IE	AES IE	TZSC IE	TZIC IE
		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PKAIE** : PKA の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット 12 **SRAM2IE** : SRAM2 の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット 11 **SRAM1IE** : SRAM1 の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット 10 **FLASHIE** : Flashメモリの不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット 9 **DMAMUX1IE** : DMAMUX1 の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット 8 **DMA2IE** : DMA2 の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット7 **DMA1IE** : DMA1 の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット6 **FLASHIFIE** : Flash インタフェースの不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット5 **PWRIE** : PWR の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット4 **SUBGHZSPIIE** : Sub-GHz SPI の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット3 **RNGIE** : RNG の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット2 **AESIE** : AES の不正アクセスイベント割込みイネーブルビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット1 **TZSCIE** : GTZC TZSC の不正アクセスイベント割込み有効ビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

ビット0 **TZICIE** : GTZC TZIC の不正アクセスイベント割込み有効ビット

- 0 : 無効 (マスク)
- 1 : 有効 (マスクなし)

3.6.2 GTZC TZIC ステータスレジスタ 1 (GTZC_TZIC_MISR1)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

このレジスタは、読み出し/書き込みとも、セキュア特権アクセスによってのみアクセスできます。非セキュアまたは非特権アクセスは無視され、ゼロデータが返され、不正アクセスイベントが生成されます。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタに書き込むことはできず、ゼロが読み出されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PKA MF	SRAM2 MF	SRAM1 MF	FLASH MF	DMA MUX1 MF	DMA2 MF	DMA1 MF	FLASH IF MF	PWR MF	SUBG HZSPI MF	RNG MF	AES MF	TZSC MF	TZIC MF
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

- ビット 13 **PKAMF** : PKA のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 12 **SRAM2MF** : SRAM2 のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 11 **SRAM1MF** : SRAM1 のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 10 **FLASHMF** : Flashメモリのマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 9 **DMAMUX1MF** : DMAMUX1 のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 8 **DMA2MF** : DMA2 のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 7 **DMA1MF** : DMA1 のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 6 **FLASHIFMF** : Flash インタフェースのマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 5 **PWRMF** : PWR のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 4 **SUBGHZSPIMF** : Sub-GHz SPI のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 3 **RNGMF** : RNG のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 2 **AESMF** : AES のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 1 **TZSCMF** : GTZC TZSC のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中
- ビット 0 **TZICMF** : GTZC TZIC のマスク前の不正アクセスイベント割込みステータス・フラグ
0 : ペンディング中の不正アクセスイベント割込みなし
1 : 不正アクセスイベント割込みのペンディング中

3.6.3 GTZC TZIC 割込みステータスクリアレジスタ 1 (GTZC_TZIC_ICR1)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

このレジスタは、読出し／書込みとも、セキュア特権アクセスによってのみアクセスできます。非セキュアまたは非特権アクセスは無視され、ゼロのデータが返され、不正アクセスイベントが生成されます。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタにゼロを書き込むことはできず、ゼロが読み出されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PKA CF	SRAM2 CF	SRAM1 CF	FLASH CF	DMA MUX1 CF	DMA2 CF	DMA1 CF	FLASH IF CF	PWR CF	SUBG HZSPI CF	RNG CF	AES CF	TZSC CF	TZIC CF
		rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PKACF** : PKA の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 12 **SRAM2CF** : SRAM2 の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 11 **SRAM1CF** : SRAM1 の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 10 **FLASHCF** : Flashメモリの不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 9 **DMAMUX1CF** : DMAMUX1 の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 8 **DMA2CF** : DMA2 の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 7 **DMA1CF** : DMA1 の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 6 **FLASHIFCF** : Flash インタフェースの不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

ビット 5 **PWRCF** : PWR の不正アクセスイベント割込みステータス・フラグクリアビット

- 0 : 影響なし。
- 1 : ステータス・フラグをクリア

- ビット 4 **SUBGHZSPICF** : Sub-GHz SPI の不正アクセスイベント割込みステータス・フラグクリアビット
 0 : 影響なし。
 1 : ステータス・フラグをクリア
- ビット 3 **RNGCF** : RNG の不正アクセスイベント割込みステータス・フラグクリアビット
 0 : 影響なし。
 1 : ステータス・フラグをクリア
- ビット 2 **AESCF** : AES の不正アクセスイベント割込みステータス・フラグクリアビット
 0 : 影響なし。
 1 : ステータス・フラグをクリア
- ビット 1 **TZSCCF** : GTZC TZSC の不正アクセスイベント割込みステータス・フラグクリアビット
 0 : 影響なし。
 1 : ステータス・フラグをクリア
- ビット 0 **TZICCF** : GTZC TZIC の不正アクセスイベント割込みステータス・フラグクリアビット
 0 : 影響なし。
 1 : ステータス・フラグをクリア

3.6.4 GTZC TZIC レジスタマップ

表 10. TZIC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	GTZC_TZIC_IER1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKAIE	SRAM2IE	SRAM1IE	F.LASHIE	DMAMUX1IE	DMA2IE	DMA1IE	FLASHFIE	PWRIE	SUBGHZSPIE	RNGIE	AESIE	TZSCIE	TZICIE
	リセット値																				x	x	x	x	x	x	x	x	x	x	x	x	x
0x004 から 0x00C	予約済みです。	予約済みです。																															
0x010	GTZC_TZIC_MISR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKAMF	SRAM2MF	SRAM1MF	FLASHMF	DMAMUX1MF	DMA2MF	DMA1MF	FLASHFMF	PWRMF	SUBGHZSPIMF	RNGMF	AESMF	TZSCMF	TZICMF
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x014 から 0x01C	予約済みです。	予約済みです。																															
0x020	GTZC_TZIC_ICR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKACF	SRAM2CF	SRAM1CF	FLASHCF	DMAMUX1CF	DMA2CF	DMA1CF	FLASHFCF	PWRCF	SUBGHZSPICF	RNGCF	AESCF	TZSCCF	TZICCF
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

4 内蔵 Flashメモリ (Flash)

4.1 FLASH の概要

Flash メモリインタフェースは、CPU1 AHB ICode および DCode と、CPU2 AHB から Flash メモリへのアクセスを管理します。2つの CPU 間のアクセス・アービトレーション、Flashメモリの消去およびプログラム操作、セキュリティ・メカニズム、読出しおよび書込み保護を実装します。

また、命令プリフェッチおよびキャッシュラインでコードの実行を加速します。

4.2 Flashの主な機能

- 最大 256 KB の Flashメモリのシングルバンクアーキテクチャ
- メモリ構成：1バンク
 - メインメモリ：最大 256 KB
 - ページサイズ：2 KB
- 72 ビット幅のデータ読出し (64 ビット + 8 ECC ビット)
- 72 ビット幅のデータ書込み (64 ビット + 8 ECC ビット)
- ページ消去 (2 KB)、全体消去

Flashメモリインタフェースの機能：

- Flashメモリ読出し操作
- Flashメモリプログラム/消去操作
- オプション (RDP) で有効化される読出し保護
- オプション (WRP) で選択される 2 つの書込み保護領域
- オプション (PCROP) で選択される 2 つの独自仕様コード読出し保護領域
- CPU2 のセキュリティ領域
- CPU2 の非表示保護領域
- Flashエンプティチェック
- プログラム/消去サスペンド機能
- CPU1 ICODE および CPU2 S-バスでのプリフェッチ
- CPU1 の命令キャッシュ：ICode で 4 x 64 ビットのキャッシュライン 32 本 (1 KB RAM)
- CPU1 のデータキャッシュ：DCode で 4 x 64 ビットのキャッシュライン 8 本 (256 バイト RAM)
- CPU2 の命令キャッシュ：S-バスで 1 x 64 ビットのキャッシュライン 4 本 (32 バイト RAM)
- エラーコード訂正 (ECC)：64 ビットの場合は 8 ビット
- オプションバイトローダ

4.3 Flash の機能説明

4.3.1 Flashメモリの構成

Flashメモリは、72 ビット幅のメモリセル (64 ビット + 8 ECC ビット) として構成されており、固定のコードとデータを格納するために使用できます。

Flashメモリは、次のように構成されています。

- 各ページが 256 バイトの 8 行で構成された 2 KB の 128 ページ含まれるメインメモリブロック。
- 情報ブロックには次のものが含まれます。
 - システムメモリブートモードで CPU1 がブートするシステムメモリ
この領域は予約済みで、次のいずれかのインタフェースを介した Flashメモリの再プログラムに使用するブートローダが含まれます (USART1、USART2、I2C1、I2C2、I2C3、SPI1、SPI2S2)。これはデバイスの製造時に ST マイクロエレクトロニクスによってプログラムされており誤った書込み/消去操作から保護されています。詳細については、アプリケーションノート「STM32 マイクロコントローラのシステムメモリブートモード (AN2606)」を参照してください。
 - CPU2 がシステムメモリブートモードでブートするシステムメモリ
この領域は予約済みで、次のいずれかのインタフェースを介してファームウェアを認証し、Flashメモリにインストールするための SFI-RSS ファームウェアが含まれます (USART1、USART2、I2C1、I2C2、I2C3、SPI1、SPI2S2)。これはデバイスの製造時に STMicroelectronics によってプログラムされており、誤った書込み/消去操作から保護されています。
 - OTP (1 度だけプログラムが可能な)、ユーザデータの 1 KB (128 ダブルワード)。
OTP データは消去不可で、1 度だけ書込み可能です。0 に 1 つのビットでも書き込まれていれば、0x0000 0000 0000 0000 の値であっても、ダブルワード全体 (64 ビット) への書込みができません。
 - ユーザ設定のオプションバイト

メモリ構成は、下表に示すメイン領域と情報ブロックに基づきます。

表 11. Flashメモリ - シングルバンク構成

領域	アドレス	サイズ (KB)	名前
メインメモリ	0x0800 0000 - 0x0800 07FF	2	ページ 0
	0x0800 8000 - 0x0800 0FFF	2	ページ 1
	0x0800 1000 - 0x0800 17FF	2	ページ 2
	0x0800 1800 - 0x0800 1FFF	2	ページ 3

	0x083 F000 - 0x0803 F7FF	2	ページ 126
	0x083 F800 - 0x0803 FFFF	2	ページ 127
情報ブロック	0x1FFF 0000 - 0x1FFF 6FFF	28	システムメモリ
	0x1FFF 7000 - 0x1FFF 73FF	1	OTP エリア
	0x1FFF 7800 - 0x1FFF 7FFF	2	オプションバイト

4.3.2 エンプティチェック

OBL フェーズ中、Flashメモリインタフェースは、メインメモリの最初の位置がプログラムされているかどうかにかかわらず、すべてのオプションをロードした後でチェックします。このチェックの結果は、BOOT0 と BOOT1 の情報と合わせて、システムをブートする位置を判断するために使用されます。これにより、たとえば、ユーザコードがプログラムされていない場合に、システムが Flash メインメモリ領域からブートされるのが防止できます。

Flashメインメモリエンプティチェックのステータスは、FLASH_ACR レジスタの EMPTY ビットから読み出せます。ソフトウェアでは、EMPTY ビットに書き込むことで、Flash メインメモリエンプティのステータスを変更できます。

内部エンプティチェックフラグ (FLASH_ACR の EMPTY ビット) は、ブートローダによる未使用デバイスの簡単なプログラミングを可能にするために実装されています。このフラグは、BOOT0 ピンによりメイン Flashメモリがターゲットブート領域として定義されている場合に使用されます。フラグをセットするとデバイスはエンプティとみなされ、ユーザが Flashメモリをプログラムできるよう、メイン Flashメモリの代わりにシステムメモリ (ブートローダ) がブート領域として選択されます。したがって、一部の GPIO はハイインピーダンス状態から再設定されます。システムメモリブートモードでのブートローダと GPIO の設定の詳細については、アプリケーション・ノート AN2606 を参照してください。この機能を無効にするには、メイン Flashメモリから強制的にブートされるようオプションバイトを設定します (nSWBOOT0 = 0、nBOOT0 = 1)。

このエンプティチェックフラグはオプションバイトのロード中に更新されます。アドレス 0x08000000 が 0xFFFF FFFF として読み出された場合にのみセットされ、それ以外の場合はクリアされます。未使用デバイスのプログラミング後にこのフラグをクリアし、システムリセット後にユーザコードを実行するには、電源をリセットするか、FLASH_CR の OBL_LAUNCH ビットをセットする必要があります。EMPTY ビットは、ソフトウェアで直接書き込むことができます。

4.3.3 エラーコード訂正 (ECC)

Flashメモリワードのデータは 72 ビット幅です。ダブルワード (64 ビット) 単位で 8 ビット追加されます。

ECC メカニズムは、次のモードに対応しています。

- 1つのエラー検出および訂正
- 2つのエラー検出

1つのエラーを検出して訂正する場合、フラグ ECC (ECC 訂正) が FLASH_ECCR でセットされます。ECCIE をセットすると、割込みが生成されます。

2つのエラーを検出する場合、フラグ ECCD (ECC 検出) が FLASH_ECCR でセットされます。この場合、NMI が生成されます。

ECC エラー検出されると、失敗したダブルワードのアドレスが、FLASH_ECCR の ADDR_ECC[16:0] に保存されます。ADDR_ECC[2:0] ビットは常にクリアされます。アドレスにアクセスする CPU のバス ID は CPUID[2:0] に保存されます。

ECC または ECCD がセットされている場合、新しい ECC エラーが発生した場合に Flash_ECCR は更新されません。ECC フラグがクリアされた場合のみ Flash_ECCR が更新されます。

注： 未使用データ (0xFF FFFF FFFF FFFF) の場合、1つのエラーを検出して訂正しますが、2つのエラー検出モードはサポートされません。

ECC エラーが報告されると、データが現在のバッファにまだ存在する場合、ECC および ECCD がクリアされていても、失敗したアドレスで新しい読み出しが ECC エラーを生成しない場合があります。これが求めている挙動でない場合は、ユーザはキャッシュをリセットする必要があります。

4.3.4 読出しアクセスの遅延

データを Flashメモリから正しく読み出すには、Flashメモリクロック (HCLK3) の周波数およびデバイスの内部電圧範囲 (V_{CORE}) に従って、FLASH_ACR でウェイトステート (LATENCY[2:0]) の数を正しくプログラムする必要があります。[セクション 6.1.4: ダイナミック電圧スケーリングの管理](#) を参照してください。

ウェイトステートと Flashメモリクロック周波数の対応を下の表に示します。

表 12. Flash クロック (HCLK3) 周波数によるウェイトステート数

ウェイトステート (WS) (アクセス)	HCLK3 (MHz)	
	V_{CORE} レンジ 1	V_{CORE} レンジ 2
0 WS (1 HCLK サイクル)	≤ 18	≤ 6
1 WS (2 HCLK サイクル)	≤ 36	≤ 12
2 WS (3 HCLK サイクル)	≤ 48	≤ 16

パワーオン・リセットと STANDBY からのウェイクアップ後に、HCLK3 クロック周波数はレンジ 1 では 4 MHz となり、FLASH_ACR で 0 ウェイトステート (WS) が設定されます。

Flashメモリクロック周波数または V_{CORE} レンジの変更時、Flash メモリにアクセスするために必要なウェイトステート数を調整するには、以下のソフトウェアシーケンスを適用する必要があります。

CPU 周波数の増加

- FLASH_ACR の LATENCY[2:0] ビットに新しいウェイトステート数をプログラムします。
- FLASH_ACR の LATENCY[2:0] ビットを読み出して Flashメモリへのアクセスに新しいウェイトステート数が反映されていることを確認し、新しくプログラムされた数が読み出されるまで待ちます。
- RCC_CFGR に SW [1:0] ビットを書き込んで、システムクロックソースを変更します。
- 必要であれば、RCC_EXTCFGR に SHDHPRE[3:0] ビットを書き込んで CPU クロックプリスケアラを変更します。
- 必要に応じて、RCC_CFGR のクロックソースステータス (SWS[1:0] ビット) や RCC_EXTCFGR の AHB プリスケアラの値 (SHDHPREF ビット) を読み出して、新しいシステムクロックソースや新しい Flashメモリクロックプリスケアラの値がそれぞれ反映されていることを確認します。

CPU 周波数の減少

- RCC_CFGR に SW[1:0] ビットを書き込んで、システムクロックソースを変更します。
- 必要であれば、RCC_EXTCFGR に SHDHPRE[3:0] ビットを書き込んで Flashメモリクロックプリスケアラを変更します。
- RCC_CFGR のクロックソースステータス (SWS[1:0] ビット) や RCC_EXTCFGR の AHB プリスケアラの値 (SHDHPREF ビット) を読み出して、新しいシステムクロックソースや新しい Flashメモリクロックプリスケアラの値がそれぞれ反映されていることを確認します。新しくプログラムされたシステムクロックソースや新しい Flashメモリクロックプリスケアラの値が読み出されるまで待ちます。
- FLASH_ACR の LATENCY[2:0] ビットに新しいウェイトステート数をプログラムします。
- 必要に応じて、FLASH_ACR の LATENCY[2:0] ビットを読み出して Flashメモリへのアクセスに新しいウェイトステート数が使用されていることを確認します。

4.3.5 適応型リアルタイムメモリアクセラレータ (ART アクセラレータ)

独自仕様の適応型リアルタイム (ART) メモリアクセラレータは、DSP プロセッサのある STM32 の業界標準 ARM Cortex-M4 用に最適化されています。これは Flashメモリ 技術における ARM DSP 搭載 Cortex-M4 固有のパフォーマンス上の利点 (動作周波数が高くなると、プロセッサは通常 Flashメモリ を待つ必要が発生する) を調整します。

プロセッサのパフォーマンスを最大限に引き出すため、アクセラレータは 64 ビットの Flashメモリ からのプログラム実行速度を上昇させる命令プリフェッチキューと、ブランチキャッシュを搭載しています。CoreMark®ベンチマークによると、ART アクセラレータによって達成されるパフォーマンスは、最大 CPU 周波数 48 MHz における Flashメモリ からの 0 ウェイトステートプログラム実行と同等となります。

命令プリフェッチ

CPU1 は ICode バスを通じて命令をフェッチし、DCode バスを通じてリテラルプール (コンスタント/データ) をフェッチします。プリフェッチブロックは、ICode バスアクセスの効率の向上を目的としています。

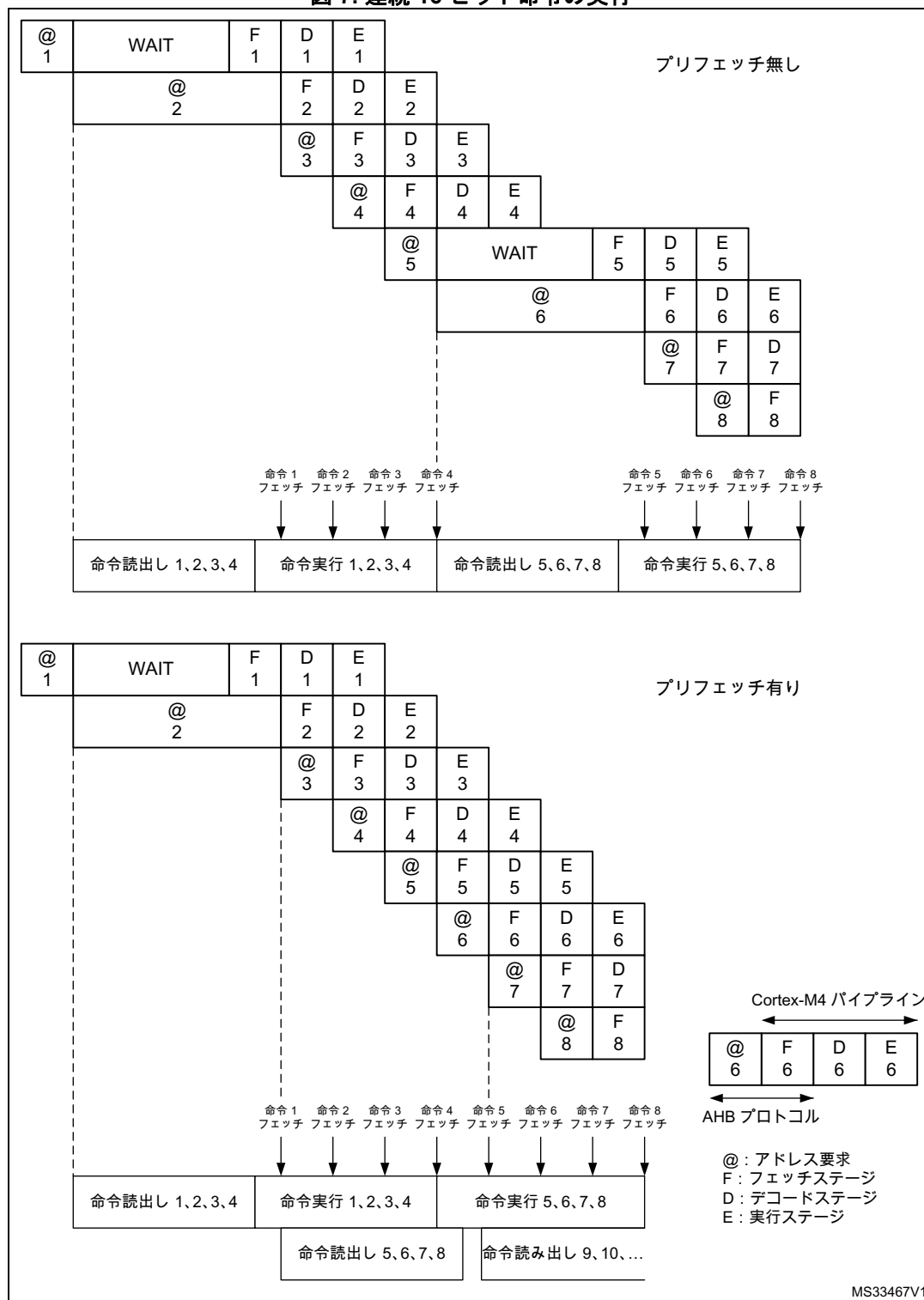
CPU2 は S-バスを通じて命令とリテラルプール (コンスタント/データ) をフェッチします。プリフェッチブロックは、S-バスアクセスの効率の向上を目的としています。

各 Flash メモリ読み出し操作では、起動されるプログラムによって、32 ビットの命令 2 個または 16 ビットの命令 4 個によって 64 ビットが提供されます。この 64 ビットの現在の命令ラインは、現在のバッファに保存されます。連続コードの場合は、その前の読み出し命令ラインの実行に 2 個以上の CPU サイクルが必要となります。CPU1 Icode バスまたは CPU2 S-バスでのプリフェッチを使用すると、CPU によって現在の命令ラインが要求されている間に Flashメモリ から次の連続命令ラインを読み出すことができます。

プリフェッチを有効化するには、CPU1 の場合は FLASH_ACR の PRFTEN の PRFTEN、CPU2 の場合は FLASH_C2ACR の PRFTEN をセットします。この機能は、Flashメモリ のアクセスに 1 つ以上のウェイトステートが必要な場合に有用です。

下図は、Flashメモリへのアクセスに3個のウェイトステートが必要なときに、プリフェッチがある場合とない場合の連続16ビット命令の実行を示しています。

図 7. 連続16ビット命令の実行



コードが連続でない場合（ブランチ）、現在使用されている命令ラインやプリフェッチされた命令ラインには命令がないことがあります。この場合、サイクル数によるペナルティはウェイトステート数以上となります。

現在のバッファにループが存在する場合、新しいアクセスは実行されません。

CPU1 の命令キャッシュメモリ (I-キャッシュ)

ジャンプによる CPU1 の時間のロスを制限するため、命令キャッシュメモリ内に 4 x 64 ビット 32 ライン (1 KB) を維持することができます。この機能は、FLASH_ACR の命令キャッシュ有効 (ICEN) ビットをセットすると CPU1 用に有効にできます。失敗が発生（現在使用している命令ライン、プリフェッチされた命令ラインまたは命令キャッシュメモリに要求されたデータがない）するたびに、ラインの読出しが命令キャッシュメモリにコピーされます。命令キャッシュメモリに含まれるデータの中に CPU1 が要求するデータがある場合には、全く遅延なしにそのデータが提供されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない) ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有効です。

命令キャッシュメモリはシステムリセット後に有効になります。

CPU1 のデータキャッシュメモリ (D-キャッシュ)

CPU1 のリテラルプールは、CPU1 パイプラインの実行ステージにおいて DCode バスを通じて Flash メモリからフェッチされます。各 CPU1 DCode バスの読出しアクセスは、現在のバッファに保存される 64 ビットをフェッチします。その結果として、CPU1 パイプラインは要求されるリテラルプールが提供されるまでストールされます。リテラルプールによる時間のロスを制限するため、AHB データバス Dcode からのアクセスは、AHB 命令バス ICode からのアクセスよりも優先されます。

頻繁に使用されるリテラルプールがある場合は、FLASH_ACR のデータキャッシュ有効 (DCEN) ビットをセットすると、CPU1 のデータキャッシュメモリを有効にできます。この機能は、命令キャッシュメモリのように動作しますが、保持されるデータのサイズは 4 x 64 ビット 8 ライン (256 バイト) に制限されます。

データキャッシュメモリはシステムリセット後に有効になります。

注： データが CPU1 (DMA ではない) によって要求された場合のみ D キャッシュがアクティブになります。オプションバイトブロックのデータは、キャッシュできません。

CPU2 のキャッシュメモリ (S-バス)

ジャンプによる CPU2 の時間のロスを制限するため、命令キャッシュメモリ内に 64 ビット 4 ライン (32 バイト) を維持することができます。この機能は、FLASH_C2ACR の命令キャッシュ有効 (ICEN) バイトをセットすると CPU2 用に有効にできます。失敗が発生（現在使用している命令ライン、プリフェッチされた命令ラインまたは命令キャッシュメモリに要求されたデータがない）するたびに、ラインの読出しが命令キャッシュメモリにコピーされます。命令キャッシュメモリに含まれるデータの中に CPU2 が要求するデータがある場合には、全く遅延なしにそのデータが提供されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない) ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有効です。

命令キャッシュメモリはシステムリセット後に有効になります。

CPU2 のリテラルプールは、CPU2 パイプラインの実行ステージにおいて S-バスを通じて Flash メモリからフェッチされます。各 CPU2 S-バスの読出しアクセスは、現在のバッファに保存される 64 ビットをフェッチします。その結果として、CPU2 パイプラインは要求されるリテラルプールが提供されるまでストールされます。

CPU2 で使用可能なデータキャッシュはありません。

4.3.6 Flashのプログラムおよび消去操作

内蔵Flashメモリは、インサーキットプログラミングまたはアプリケーション内プログラミングを使用してプログラム可能です。

インサーキットプログラミング (ICP) 方法は、Flashメモリの内容全体を更新するために使用します。マイクロコントローラに CPU1 および CPU2 のユーザアプリケーションをロードするために、JTAG、SWD プロトコルやシステムブートローダがサポートするインターフェースを使用します。ICP は、迅速かつ効率的な設計時の繰り返し操作を提供し、不要なパッケージ処理やデバイスのソケット処理を排除できます。

ICP の方法とは対照的に、アプリケーション内プログラミング (IAP) では、メモリにプログラミングデータをダウンロードするために、マイクロコントローラでサポートされる任意の通信インターフェース (I/O、UART、I²C、SPI など) を使用できます。IAP を使用して、ユーザはアプリケーション実行中に Flashメモリを再プログラムできます。ただし、アプリケーションの一部は、ICP を使用して事前に Flashメモリにプログラムされていなければなりません。

Flashメモリ操作中にデバイスのリセットが発生すると、Flashメモリの内容は保証されません。

Flashメモリへのプログラム/消去操作中に Flashメモリを読み出そうとすると、バスがストールされます。読み出し操作は、プログラム/消去操作が完了すると正しく処理されます。

注： マルチ CPU システムでは、セマフォを使用して Flash のプログラム/消去操作を管理し、CPU による同時操作を防止することをお勧めします。

Flash のセキュアプログラミング

システムがセキュア (ESE=1) の場合、セキュア CPU2 アプリケーションは、SFI/RSS を使用したイン・サーキット・プログラミング (ICP)、またはセキュア CPU2 で動作するイン・アプリケーション・プログラミング (IAP) によってのみプログラミングできます。プログラミングデータをメモリのセキュア部分にダウンロードできるのは、セキュア CPU2 のみです。セキュア IAP を使用して、ユーザはアプリケーション実行中に Flashメモリを再プログラムできます。ただし、アプリケーションの一部は、ICP を使用して事前に Flashメモリにプログラムされていなければなりません。

Flashメモリのアンロック

リセット後は、(たとえば電気妨害などによって) 考えられる不要な操作から Flashメモリを保護するため、FLASH_CR や FLASH_C2CR には書き込みません。

これらのレジスタのアンロックには、次のシーケンスを使用します。

1. FLASH_KEYR に KEY1 = 0x4567 0123 を書き込みます。
2. FLASH_KEYR に KEY2 = 0xCDEF 89AB を書き込みます。

シーケンスを誤ると、次のシステムリセットまで FLASH_CR および FLASH_C2CR がロックされます。キーシーケンスを誤ると、バスエラーが検出され、ハードフォールト割込みが発生します。

ソフトウェアにより FLASH_CR および FLASH_C2CR を再びロックするには、それぞれの LOCK ビットをセットします。

注： FLASH_CR および FLASH_C2CR は、BSY がそれぞれ FLASH_SR または FLASH_C2SR でセットされているときは書き込みません。BSY がセットされている状態でこれらのレジスタに書き込もうとすると、BSY がクリアされるまで AHB バスはストールします。

4.3.7 Flashメインメモリの消去シーケンス

Flashメモリの消去操作は、ページ単位（ページ消去）またはメモリ全体（全体消去）に対して実行できます。全体消去は、情報ブロック（システム Flashメモリ、OTP、およびオプションバイト）には影響しません。

Flashメモリのページ消去

CPU1 は、ユーザ Flashメモリの非セキュア部分のページ消去のみができます。

セキュア CPU2 は、ユーザFlashメモリのセキュア部分と非セキュア部分の両方のページ消去ができます。

ページ消去は、FLASH_SR および FLASH_C2SR の PESD によって許可されている場合にのみ開始されます。

PCROP または WRP によって保護されたページは消去されません。非表示保護領域と非表示保護領域無効化は、消去に対する保護を行いません。PCROP または WRP で保護されない非表示保護領域は消去できます。

表 13. ページ消去の概要

ページ	PCROP	WRP	PCROP_RDP	コメント	WRPERR	CPU1 バス エラー	CPU2 バス エラー	不正 アクセス イベント
非セキュア	不可	いいえ	x	ページ消去	不可			いいえ
	いいえ	はい		ページ消去が中止されます（ページ消去は開始されません）	可能	いいえ	いいえ	
	はい	不可						
	可能	可能						
セキュア	不可	いいえ		CPU2 によって要求されました。セキュアページが消去されます。	不可	N/A	不可	可能 ⁽¹⁾
				CPU1 によって要求されました。セキュアページ消去が中止されます（セキュアページ消去は開始されません）		不可	不可	
	不可	はい		ページ消去が中止されます（ページ消去は開始されません）	可能 ⁽²⁾	不可	いいえ	
	はい	不可						
	可能	可能						

1. 非セキュア CPU1 によって PER が要求されたとき。
2. セキュアバスマスタによって要求されたとき。非セキュアバスマスタによって要求された場合、WRPERR は生成されず、代わりに不正アクセスイベントが生成されます。

2 KB のページを消去するには、次の手順に従ってください。

1. FLASH_SR または FLASH_C2SR の BSY を確認し、進行中の Flashメモリ操作がないことを確認します。
2. FLASH_SR または FLASH_C2SR の PESD をチェックして、Flash のプログラムおよび消去操作が実行できることを確認します（これらのチェックは、他の CPU による Flash 操作要求によってステータスが変更される可能性がある場合でも、ページ消去の開始時にバスエラーを受信するリスクを制限するために推奨されます）。
3. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
4. PER をセットし、FLASH_CR または FLASH_C2CR で消去するページ（PNB[6:0]）を選択します。



5. FLASH_CR または FLASH_C2CR に STRT をセットします。
6. FLASH_SR または FLASH_C2SR で BSY がクリアされるのを待ちます。

注： STRT ビットをセットすると内部オシレータ HSI16 (16 MHz) が自動で有効になり、STRT ビットをクリアすると自動で無効になります。ただし、HSI16 が RCC_CR レジスタの HSION で以前に有効にされている場合は除きます。

Flash 全体消去

CPU1 によって要求されるユーザ Flashメモリの全体消去は、システムが非セキュア (ESE = 0) の場合のみ実行されます。システムがセキュア (ESE = 1) のとき、CPU1 による Flashメモリの全体消去は無視され、不正アクセスイベントが生成されます。

PCROP または WRP が有効な場合、Flashメモリの全体消去は中止され、消去は開始されません。

非表示保護領域と非表示保護領域無効化は、全体消去に対する保護を行いません。

表 14. 全体消去の概要

ESE	PCROP	WRP	PCROP_RDP	コメント	WRPERR	CPU1 バスエラー	CPU2 バスエラー	不正 アクセス イベント
0	不可	いいえ	x	メモリ消去	不可	いいえ	いいえ	いいえ
	いいえ	はい		消去の中止 (消去は開始されない)	可能			
	はい	不可						
	可能	可能						
1	不可	いいえ	x	セキュア CPU2 によって要求されました。Flashメモリが全体消去されます。	不可	N/A	不可	可能 ⁽¹⁾
				CPU1 によって要求されました。全体消去が中止されます (消去は開始されません)		不可	N/A	
	不可	はい		消去の中止 (消去は開始されない)	可能 ⁽²⁾	不可	いいえ	
	はい	不可						
可能	可能							

1. 非セキュア CPU1 によって MER が要求されたとき。
2. セキュアバスマスタによって要求されたとき。非セキュアバスマスタによって要求された場合、WRPERR は生成されず、代わりに不正アクセスイベントが生成されます。

全体消去を実行するには、次の手順に従います。

1. FLASH_SR または FLASH_C2SR の BSY を確認し、進行中の Flashメモリ操作がないことを確認します。
2. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
3. FLASH_CR または FLASH_C2CR に MER をセットします。
4. FLASH_CR または FLASH_C2CR に STRT をセットします。
5. FLASH_SR または FLASH_C2SR で BSY がクリアされるのを待ちます。

注： STRT ビットをセットすると内部オシレータ HSI16 (16 MHz) が自動で有効になり、STRT ビットをクリアすると自動で無効になります。ただし、HSI16 が RCC_CR レジスタの HSION で以前に有効にされている場合は除きます。

4.3.8 Flashメインメモリのプログラミングシーケンス

Flashメモリは1回72ビット(64ビットのダブルワード+8ビットECC)でプログラミングされます。

以前にプログラムしたダブルワードでのプログラミングは、すべて0の値をプログラミングする場合にのみ許可されます。以前にプログラムしたダブルワードに他の値をプログラムすることはできません。これらを試みると、FLASH_SR または FLASH_C2SR の PROGERR フラグがセットされます。ただし、すべて0の値ですでにプログラムされたダブルワードをプログラミングする場合を除きます。

ダブルワード(2 x 32ビットデータ)のプログラムのみ可能です。そうしないと、次のようになります。:

- バイト(8ビット)またはハーフワード(16ビット)の書込みを試みると、FLASH_SR または FLASH_C2SR に SIZERR がセットされます。
- ダブルワードアドレスに合っていないダブルワードの書込みを試みた場合、FLASH_SR または FLASH_C2SR に PGAERR フラグがセットされます。

システムがセキュア(ESE = 1)の場合、セキュアCPU2のみがプログラミングデータをメモリのセキュア部分にダウンロードできます。システムがセキュア(ESE = 1)の場合、セキュアFlashメモリ領域でのCPU1によるFlashメモリのプログラミングは無視され、不正アクセスイベントが生成されます。また、特権位置の非特権プログラミングも無視されます。

2つのワードアドレスをプログラミングする間のアクセス権限が変更された場合、ダブルワードのプログラミングは失敗し、フラグコントローラはプログラミングシーケンスでブロックされます(エラーフラグはセットされません)。この状況を解決するには、システムをリセットする必要があります。

注: 正しい動作のためには、プログラミングシーケンス中にFlashページアクセス保護が変更されないことをファームウェアにより保証する必要があります。

標準プログラミング

標準モードのFlashメモリのプログラミングシーケンスは、次のとおりです。

1. FLASH_SR または FLASH_C2SR の BSY を確認し、進行中のFlashメインメモリ操作がないことを確認します。
2. FLASH_SR または FLASH_C2SR の PESD をチェックして、Flashのプログラムおよび消去操作が実行できることを確認します(これらのチェックは、他のCPUによるFlash操作要求によってステータスが変更される可能性がある場合でも、プログラミングの開始時にバスエラーを受信するリスクを制限するために推奨されます)。
3. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
4. FLASH_CR または FLASH_C2CR に PG をセットします。
5. メインメモリブロックまたは OTP エリア内の指定したメモリアドレスでデータ書込み操作を実施します。ダブルワード(64ビット)のみプログラム可能です。
 - a) ダブルワードに合ったアドレスで最初のワードを書き込みます。
 - b) 2番目のワードを書き込みます(下の注を参照)。

注: Flashメモリインタフェースで適切なシーケンス(ダブルワード)を受け取った場合、プログラミングが自動的に起動し、BSYビットがセットされます。PGビットをセットすると内部オシレータHSI16(16MHz)が自動で有効になり、PGビットをクリアすると自動で無効になります。ただし、HSI16がRCC_CRレジスタのHSIONで以前に有効にされている場合は除きます。

1ワードのみプログラムする必要がある場合にプログラミングを自動で起動するには、消去値0xFFFFでダブルワードを埋める必要があります。

ECCは、プログラムするダブルワードから計算されます。

正しい動作のためには、プログラミングシーケンス中にFlashページアクセス保護が変更されないことをファームウェアにより保証する必要があります。これは、1番目と2番目のワード書込みの間です。

6. FLASH_SR または FLASH_C2SR で BSY がクリアされるまで待ちます。

- FLASH_SR または FLASH_C2SR に EOP がセットされていること（プログラミング操作が成功したことを示します）をチェックし、ソフトウェアによってクリアします。
- プログラミング要求がなくなったら、FLASH_SR または FLASH_C2SR の PG をクリアします。

高速プログラミング

このモードでは、32 ダブルワード（256 バイト）の行をプログラムし、プログラム前に Flashメモリの保存位置を確認する必要性を取り除くことでページプログラミングの時間を削減して、各ダブルワードの高電圧時間の上昇/下降を回避できます。高速プログラミング中は、Flash クロック周波数（HCLK3）は少なくとも 8 MHz でなければなりません。

高速行プログラミングは、SRAM からファームウェアを実行し、CPU 割込みベクタテーブルを再配置しない場合は割込みを無効にすることによって実行する必要があります。行プログラミングを要求する CPU からの読み出しアクセスは、バスエラーの原因となります。他のソース（他の CPU や DMA など）は、行プログラミングが終了するまでストールします（標準ダブルワードのプログラミングでは、要求側 CPU にバスエラーは発生しませんが、標準プログラミングが終了するまで読み出しはストールします）。

メインメモリのみ高速プログラミングモードでプログラム可能です。

高速プログラミングプログラミングモードの Flash メインメモリのプログラミングシーケンスは、次のとおりです。

- 全体消去を実行します。しない場合、PGSERR がセットされます。
- FLASH_SR または FLASH_C2SR の BSY ビットを確認し、進行中の Flash メインメモリ操作がないことを確認します。
- FLASH_SR または FLASH_C2SR の PESD をチェックして、Flashメモリのプログラムおよび消去操作が実行できることを確認します（これらのチェックは、他の CPU による Flash 操作要求によってステータスが変更される可能性がある場合でも、プログラミングの開始時にバスエラーを受信するリスクを制限するために推奨されます）。
- 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。
- FLASH_CR または FLASH_C2CR に FSTPG をセットします。
- 32 ダブルワードを書き込んで、1 行（256 バイト）をプログラムします。
- FLASH_SR または FLASH_C2SR で BSY がクリアされるまで待ちます。
- FLASH_SR または FLASH_C2SR に EOP フラグがセットされていること（プログラミング操作が成功したことを示します）をチェックし、ソフトウェアによってクリアします。
- プログラミング要求がなくなったら、FLASH_SR または FLASH_C2SR の FSTPG をクリアします。

注： 正しい動作のためには、ファームウェアは、高速プログラミングシーケンス中に Flash ページアクセス保護が変更されないことを保証する必要があります。これは、32 ワードの書き込みそれぞれの間のことです。

注： 読み出し操作の進行中に、高速プログラミングモードで書き込みを実行すると、システム通知なしでプログラミングが中止されます（エラーフラグはセットされません）。

Flashメモリインタフェースが最初のダブルワードを受け取った場合、プログラミングが自動的に起動します。最初のダブルワードに高電圧が適用された場合、BSY ビットがセットされ、最後のダブルワードがプログラムされるかエラーが発生した場合にクリアされます。FSTPG ビットをセットすると内部オシレータ HSI16（16 MHz）が自動で有効になり、FSTPG ビットをクリアすると自動で無効になります。ただし、HSI16 が RCC_CR レジスタの HSION で以前に有効にされている場合は除きます。

32 ダブルワードは連続で書き込む必要があります。すべてのプログラミングにおいて、高電圧は Flashメモリに保持されます。連続した 2 つのダブルワードの書き込み要求の間の最大時間は、最初の

ダブルワードに対して、Flash がプログラムされている時間 (20 μ s 前後) です。2 番目のダブルワードがこのプログラムされている時間を越える場合、高速プログラミングは割り込まれ、MISSERR がセットされます。

2 つの消去操作間で、一行に対する高電圧は 8 ms を越えてはなりません。これは 8 MHz 以上のクロックシステムで連続で書き込まれた 32 ダブルワードのシーケンスによって保証されます。高速プログラミングがセットされると、内部タイムアウトカウンタが 7 ms をカウントし、タイムアウトを過ぎるとプログラミングが停止します。この場合、FASTERR がセットされます。

エラーが発生した場合、高電圧が停止し、プログラム対象の次のダブルワードはプログラムされません。ただし、それまでのダブルワードはすべて適切にプログラムされています。

フラグによって通知されるプログラミングエラー

検出できるエラーは数種類あります。エラーが発生した場合、Flash 操作 (プログラミングまたは消去) は中止されます。

- **PROGERR** : プログラミングエラー

標準的なプログラミングでは、すべてゼロ以外の異なる値を持つ、書き込み対象のワードが事前に消去されていない場合 (プログラムする値がすべてゼロの場合を除く)、PROGERR がセットされます。

その他のエラー (SIZERR、PAGERR、PGSERR、WRPERR など) が発生すると、消去エラーのないワードの再プログラミングがあった場合でも、PROGERR はセットされないことがあります。

- **SIZERR** : プログラミングサイズエラー

標準プログラミングまたは高速プログラミング : ダブルワードのみプログラムでき、32 ビットデータのみ書き込みます。バイトまたはハーフワードが書き込まれる場合、SIZERR がセットされます。

- **PGAERR** : アライメントプログラミングエラー

次のいずれかの条件が発生した場合、PGAERR がセットされます。

- 標準プログラミングにおいて、プログラムする最初のワードがダブルワードアドレスと合っていないか、2 番目のワードが同じダブルワードアドレスに属していない場合
- 高速プログラミングにおいて、プログラムするデータが以前にプログラムされたダブルワードと同じ行に属していないか、プログラムするアドレスが以前のものより大きくなっていない場合

アライメントプログラムエラーは、CPU ごとに個別にチェックされます。マルチ CPU の同時プログラミングに対して使用可能なチェックはありません。マルチ CPU の同時プログラミングを防ぐには、HSEM またはその他のファームウェア・メカニズムを使用する必要があります。

- **PGSERR** : プログラミングシーケンスエラー

次のいずれかの条件が発生した場合、PGSERR がセットされます。

- 標準プログラミングシーケンスまたは高速プログラミングシーケンスにおいて、PG および FSTPG がクリアされたときにデータが書き込まれる場合
- 標準プログラミングシーケンスまたは高速プログラミングシーケンスにおいて、PG または FSTPG がセットされている状態で MER と PER がクリアされない場合
- 高速プログラミングシーケンスにおいて、FSTPG ビットをセットする前に全体消去が実行されない場合
- 全体消去シーケンスにおいて、MER がセットされ、Flash のセキュリティにより全体消去が許可されている状態で PG、FSTPG、および PER がクリアされない場合。セキュア Flash メモリに対する非セキュアな全体消去要求では、PGSERR はセットされません。代わりに不正アクセスイベントが生成されます。

- ページ消去シーケンスにおいて、PER がセットされ、ページのセキュリティによりアクセスが許可されている状態で PG、FSTPG、および MER がクリアされない場合。このページのセキュリティによりアクセスが許可されない場合、PGSERR はセットされませんが、代わりに不正アクセスイベントが生成されます。
- 以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR、FASTERR、または PGSERR がセットされた場合にも、PGSERR がセットされます。
- 高速プログラミングシーケンスにおいて、プログラムする行を含むページが最後のページ消去アクションにより消去されていない場合（全体消去が行われた場合、上位ページの行をプログラムすることはできますが、下位ページの行をプログラムすることはできません）
- **WRPERR** : 書込み保護エラー
次のいずれかの条件が発生した場合、WRPERR がセットされます。
 - 領域のセキュリティによりアクセスが許可されている状態で、書込み保護領域 (WRP) または PCROP 領域でプログラミングまたは消去を試みた場合。この領域のセキュリティによりアクセスが許可されていない場合、WRPERR はセットされませんが、代わりに不正アクセスイベントが生成されます。
 - Flash のセキュリティにより全体消去が許可されていて、1 つ以上のページが WRP または PCROP で保護されているときに全体消去の実行を試みた場合。セキュア Flashメモリに対する非セキュアな全体消去要求では、WRPERR はセットされません。代わりに不正アクセスイベントが生成されます。
 - 読出し保護 (RDP) がレベル 1 にセットされている状態で、デバッグ機能が接続されている場合または SRAM やシステム Flashメモリからブートされる場合
 - 読出し保護 (RDP) がレベル 2 にセットされている状態で、オプションバイトの変更を試みた場合（セキュア CPU2 によって要求された場合を除く）
- **MISSERR** : 高速プログラミングデータミスエラー
高速プログラミングでは、すべてのデータを連続で書き込む必要があります。以前のデータプログラミングが完了して、次のプログラムするデータがまだ書き込まれていない場合に MISSERR がセットされます。
- **FASTERR** : 高速プログラミングエラー
高速プログラミングでは、次のいずれかの条件が発生した場合、FASTERR がセットされます。
 - (タイムアウト検出を生成する) 7 μ s を超える時間に対して FSTPG ビットがセットされる場合
 - 行の高速プログラミングが MISSERR、PGAETT、WRPERR、または SIZERR に割り込まれた場合

プログラムまたは消去操作中にエラーが発生すると、FLASH_SR および FLASH_C2SR で次のいずれかのエラーフラグがセットされます。

- PROGERR、SIZERR、PGAERR、PGSERR、MISSERR (プログラムエラーフラグ)
- WRPERR (保護エラーフラグ)

この場合、FLASH_CR または FLASH_C2CR のエラー割込みイネーブルビット ERRIE がセットされると、割込みが生成され、FLASH_SR および FLASH_C2SR の操作エラーフラグ OPERR がセットされます。

注 : 複数のエラー (Flashメモリへの DMA 転送の場合など) が連続して検出されると、エラーフラグは連続した書込み要求が終了するまでクリアできません。

ページベースの行プログラミングでの PGSERR および PGAERR

高速プログラミングの場合における PGAERR および PGSERR の処理方法を次の表に示します。

表 15. ページベースの行プログラミングでのエラー

最終ページ/行	現在のページ/行	MER 有効	PPER 有効
ページ [x]/行 [y]	ページ [x]/行 [x-n]	PGAERR	PGAERR
	ページ [x-n]/行 [任意]	PGAERR および PGSERR	PGAERR および PGSERR
	ページ [x+n]/行 [任意]	エラーはありません。	PGSERR

システムリセット後、MER と PER が実行されません。プログラミングを試みると、PGAERR および PGSERR が発生します。

バスエラーの原因となるプログラミングエラー

次に示すエラー条件では、エラーフラグは生成されませんが、バスエラーが生成されます。

- RDP がレベル 1 で、ブートがシステムの Flashメモリ または SRAM1 から実行される場合の、任意のページへの AHB 書込み
- Flashメモリのパワーダウン時の AHB 書込み
- デバッグによる Flashメモリの読出しまたは書込み
- 高速プログラミングを要求したソースに対して、高速プログラミングを実行中の Flashメモリからの読出し
- 前のプログラミング要求ストが終了していない場合の新しいプログラミング要求
- ダブルワードプログラミングの 2 つのアクセス間の FLASH_CR レジスタ書込み
- PESD が有効 (セット) の場合の FLASH_CR レジスタへの書込み
- FLASH_KEYR または FLASH_OPTKEYR レジスタへの誤ったキーの書込み
- 各機能のアンロック後の FLASH_KEYR または FLASH_OPTKEYR への後続の書込み

プログラミングとキャッシュ

Flashメモリ 書込みアクセスがデータキャッシュのデータに影響する場合、Flashメモリ 書込みアクセスにより、メモリ内およびキャッシュ内のデータが変更されます。

Flashメモリ内の消去操作がデータまたはデータキャッシュまたは命令キャッシュ内のデータにも関連している場合は、ユーザはコード実行中にこのデータにアクセスする前に、このデータが再度書き込まれることを確認する必要があります。消去操作時に、キャッシュの内容は無効になります。

注： ICACHE と DCACHE は、無効 (ICEN または DCEN = 0) の場合にのみフラッシュする必要があります。

4.4 Flashオプションバイト

4.4.1 オプションバイトの説明

オプションバイトは、下の表にリストされたメモリ位置または次のオプションバイトレジスタから読み出すことができます。

- Flashオプションレジスタ (Flash_OPTR)
- FLASH PCROP ゾーン A 開始アドレスレジスタ (FLASH_PCROP1ASR)
- FLASH PCROP ゾーン A 終了アドレスレジスタ (FLASH_PCROP1AER)
- FLASH PCROP ゾーン B 開始アドレスレジスタ (FLASH_PCROP1BSR)
- FLASH PCROP ゾーン B 終了アドレスレジスタ (FLASH_PCROP1BER)
- FLASH WRP 領域 A アドレスレジスタ (FLASH_WRP1AR)
- FLASH WRP 領域 B アドレスレジスタ (FLASH_WRP1BR)
- FLASH IPCC メールボックスデータバッファアドレスレジスタ (FLASH_IPCCBR)
- FLASH CPU2 アクセス制御レジスタ (FLASH_C2ACR)
- FLASH セキュア SRAM 開始アドレスおよび CPU2 リセット・ベクタ・レジスタ (FLASH_SRRVR)

表 16. オプションバイトの構成

アドレス ⁽¹⁾	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
0x1FFF 7800	C2BOOT_LOCK	BOOT_LOCK	Res.	Res.	nBOOT0	nSWBOOT0	SRAM_RST	SRAM2PAR	nBOOT1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	nRST_SHDW	nRST_STDBY	nRST_STOP	BOR_LEV[2:0]		ESE	RDP[7:0]															
0x1FFF 7808	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT [7:0]														
0x1FFF 7810	PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END [7:0]														
0x1FFF 7818	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END [6:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT [6:0]						
0x1FFF 7820	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END [6:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT [6:0]					
0x1FFF 7828	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [7:0]					
0x1FFF 7830	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [7:0]						
0x1FFF 7838 ~ 0x1FFF 7860	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.						
0x1FFF 7868	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IPCCDBA[13:0]						
0x1FFF 7870	SUBGHZSPISD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HDPAD	HDPSA[6:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DDS	Res.	Res.	Res.	Res.	FSD	SFSA[6:0]

表 16. オプションバイトの構成 (続き)

アドレス ⁽¹⁾	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1FFF 7878	C2OPT	NBRSD	SNBRSA[4:0]				Flash	BRSD	SBRSA[4:0]				Flash	Flash	SBRV[15:0]																	
0x1FFF 7FF8	OPTVAL[31:0]																															

1. ダブルワードアドレスの上位 32 ビットは、下位 32 ビットからの反転データを含みます。

4.4.2 オプションバイトのプログラミング

リセット後、FLASH_CR および FLASH_C2CR のオプション関連ビットは書き込み保護されます。オプションバイトのページ上で操作を実行するには、どんな操作であっても FLASH_CR でオプションロックビット OPTLOCK がクリアされている必要があります。

FLASH_CR および Flashメモリオプションレジスタのアンロックには、次のシーケンスが使用されます。

1. LOCK クリアシーケンスで FLASH_CR をアンロックします (Flashメモリのアンロックを参照してください)。
2. FLASH_OPTKEYR に OPTKEY1 = 0x0819 2A3B を書き込みます。
3. FLASH_OPTKEYR に OPTKEY2 = 0x4C5D 6E7F を書き込みます。

シーケンスを誤ると、次のシステムリセットまで Flashオプションレジスタがロックされます。キーシーケンスを誤ると、バスエラーが検出され、ハードフォールト割込みが発生します。

ソフトウェアによって OPTLOCK ビットをセットすると、ユーザオプションを不要な消去/プログラム操作から保護することができます。

注： LOCK がソフトウェアによってセットされると、OPTLOCK も自動的にセットされます。

注： マルチ CPU システムでは、セマフォを使用してオプションのプログラミングを管理し、CPU による同時オプションプログラミングを防止することをお勧めします。

ユーザオプションの変更

オプションバイトは、メインメモリユーザアドレスとは異なる方法でプログラムされます。

ユーザオプション値を変更するには、次の手順に従います。

1. 上記のクリアシーケンスで OPTLOCK オプションロックビットをクリアします。
2. 指定したオプション値をオプションレジスタに書き込みます。
3. FLASH_SR または FLASH_C2SR の BSY ビットを確認し、進行中の Flashメモリ操作がないことを確認します。
4. FLASH_SR または FLASH_C2SR の PESD ビットをチェックして、Flash のプログラムおよび消去操作が実行できることを確認します (これらのチェックは、他の CPU による Flash 操作要求によってステータスが変更される可能性がある場合でも、ユーザオプションの変更時にバスエラーを受信するリスクを制限するために推奨されます)。
5. FLASH_CR のオプションスタートビット OPTSTRT をセットします。
6. BSY ビットがクリアされるのを待ちます。

注： まずユーザオプションバイトのページを消去し、すべてのオプションバイトを Flash オプションレジスタに含まれている値でプログラムすると、一方のオプションの値の変更が自動的に実行されます。

警告： レベル 1 からレベル 0 への RDP 回帰では、OPTSTRT ビットによりオプションプログラミングを開始すると、Flashメモリ、SRAM1、SRAM2 が消去されます。すべてのメモリ内のすべてのデバイスソフトウェアが消去されます。外部ツールにより後続の OBL_LAUNCH を開始するか、POR を実行してデバイスを再起動してオプションを再ロードする必要があります。

セキュア ユーザオプション

システムがセキュア (ESE = 1) の場合、FLASH_C2ACR および FLASH_SRRVR のセキュアオプションバイト (Flash) は、セキュア CPU2 によってのみ書き込めます。

オプションバイトローディング

BSY ビットがクリアされると、すべての新しいオプションが Flashメモリに更新されますが、システムには適用されません。オプションレジスタからの読出しでは、最後にロードしたオプションバイトの値が返されます。新しいオプションがシステムで有効になるのは、ロードの後です。

オプションバイトローディングは次の 2 つの場合に実行されます。

- FLASH_CR で OBL_LAUNCH ビットがセットされた場合
- 電源リセット後 (BOR リセットまたは STANDBY/SHUTDOWN モードの終了)

オプションバイトローダはオプションブロックの読出しを実行して、内部オプションレジスタにデータを格納します。これらの内部レジスタはシステムを設定し、ソフトウェアで読み出すことができます。OBL_LAUNCH をセットするとリセットを生成するため、システムリセット下でオプションバイトローディングが実行されます。

各オプションビットにも同じダブルワードに補数があります。オプションのローディング中に、オプションビットとその補数を確認することで、ローディングが正しく実行されたことを確認できます。

オプションバイトローディング中、オプションはダブルワードで読み出されます。オプションワードの ECC は、オプション領域を直接ソフトウェアで読み出す際にのみ考慮され、OBL 中は考慮されません。

ワードと補数が一致する場合、オプションワード/バイトはオプションレジスタにコピーされます。

ワードと補数の比較に失敗すると、ステータスビット OPTVERR がセットされます。不一致の値は、次のようにオプションレジスタに強制的に格納されます。

- USR OPT オプションの場合、不一致の値は「000」(最低閾値)である BOR_LEV を除くすべてのオプションで「1」になります。
- WRP オプションの場合、不一致の値はデフォルト値「保護なし」になります。
- RDP オプションの場合、不一致の値はデフォルト値「レベル 1」になります。
- PCROP の場合、不一致の値は「全メモリ保護」になります。
- CxBOOT_LOCK オプションの場合、不一致の値は「CPU1 のブートロック無効」、「CPU2 のブートロック無効」になります。
- FSD および SFSA オプションの場合、不一致の値は「Flashメモリが完全にセキュア」です。
- BRSD、SBRSA、NBRSD、SNBRASA オプションの場合、不一致の値は「非セキュア」です (メモリは消去されます)。

- DDS オプションの場合、不一致の値は「CPU2 デバッグ無効」です。
- C2OPT および SBRV オプションの場合、不一致の値は「最後の Flash ページの開始アドレスからの CPU2 ブート」です。
- HDPAD および HDPISA のオプションの場合、不一致時の値は「Flashメモリ全体を非表示保護」になります。
- SUBGHSPISD オプションの場合、不一致の値は「Sub-GHz 無線のSPI セキュア」です。
- OPTVAL オプションの場合、不一致の値は「無効」です。OPTVAL は、最後のユーザオプションアドレスにプログラムされるチェックワードです。OPTSTART の実行中にすべてのユーザオプションがプログラムされたかどうかを確認するために使用されます。ユーザオプションプログラムシーケンスが完全に終了していない場合、OPTVAL はプログラムされず、OPTNV がセットされます。

OPTVAL オプションが「無効」を示している場合、Flashメモリはセキュアであり、全体が非表示保護され、SRAM1、SRAM2、および PKA SRAM メモリは消去され、CPU2 デバッグは無効化され、Sub-GHz 無線のSPI はセキュアです。

表 17. オプションローディング制御

OPTVERR	OPTNV	説明
0	0	オプションが正しくロードされ、OPTVAL が「有効」です。 オプションに応じてセキュリティが適用されます。
0	1	発生しません。
1	0	OPTVAL オプションは「有効」として正しくロードされますが、その他の一部またはすべてのオプションおよびエンジニアリングビットが破損しています。不一致値がロードされます。 – セキュアオプションが正しくロードされると、ロードされたセキュアオプション値に従ってセキュリティが適用されます。 – セキュアオプションが破損している場合、ロードされた不一致値で示されるように、メモリ全体にセキュリティが適用されます。
1	1	オプションおよびエンジニアリングビットの一部またはすべてが破損しています。不一致値がロードされます。OPTVAL は「無効」として正しくロードされます。 ロードしたセキュアオプション値にかかわらず、メモリ全体にセキュリティが適用されます。

システムリセット時、内部オプションレジスタはソフトウェアで読出しおよび書込み可能な次のオプションレジスタにコピーされます。

- Flash_OPTR
- FLASH_PCROP1xSR (x = A または B)
- FLASH_PCROP1xER (x = A または B)
- FLASH_WRP1xR (x = A または B)
- FLASH_IPCCDBA
- FLASH_SFR
- FLASH_SRRVR

これらのレジスタはオプションの変更にも使用されます。これらのレジスタがユーザによって変更されない場合は、システムのオプション状態が反映されます。詳細は、[ユーザオプションの変更](#) を参照してください。

4.4.3 Sub-GHz 無線のSPI のセキュリティ

システムがセキュア (ESE = 1) の場合、無線システムの Sub-GHz 無線のSPI インタフェースへのアクセスをユーザオプション SUBGHSPISD でセキュアにすることができます。セキュアの場合、セキュア CPU2 のみが Sub-GHz 無線のSPI にアクセスできます。

GTZC TZSC 特権設定レジスタ (GTZC_TZSC_PRIVCFGR1) の Sub-GHz 無線のSPI 用 PRIV2 ビットによって、セキュアな特権アクセスのみにアクセスをさらに制限できます。

4.5 セキュアシステムメモリ

4.5.1 概要

セキュアシステムメモリには、STM32WL5x の生産中に ST によってプログラムされた RSS (ルートセキュアサービス) ファームウェアが格納されます。RSS により、ブートローダとユーザファームウェアにセキュアサービスが提供されます。

4.5.2 RSSLIB 関数

RSS では、RSS ライブラリを通してランタイム・サービスが提供されます。他のマイクロコントローラのペリフェラル機能やマッピングと同様に、RSS ライブラリ関数は、STM32CubeWL ファームウェアパッケージによって提供される CMSIS デバイス・ヘッダ・ファイル内でユーザに公開されます。詳細については、ユーザマニュアル『Getting started with STM32CubeWL for STM32WL Series (UM2643)』をご参照ください。

RSS ライブラリ関数 (以下、RSSLIB 関数) は CMSIS で記述され、Cortex-M0+ ファームウェアによってのみコールすることができます。

これらの関数は、アドレス RSSLIB_PFUNC に格納されています。RSSLIBPFUNC を使用して、関数をコールします (次の例を参照)。

CloseExitHDP

プロトタイプ :

```
uint32_t CloseExitHDP(uint32_t HdpArea, uint32_t VectorTableAddr)
```

引数 :

- HdpArea: 入力パラメータであり、クローズする HDP 領域を識別するビットフィールド。指定できる値は次のとおりです。RSSLIB_HDP_AREA1
- VectorTableAddr: 入力パラメータであり、次に適用するベクタテーブルのアドレス。ベクタテーブルのフォーマットは、Cortex-M0+ コアで使用されるものです。

説明 :

ユーザが CloseExitHDP() をコールすると、Flash HDP セキュアメモリ領域が閉じられ、ベクタテーブル内に埋め込まれたりセットハンドラにジャンプします。このアドレスは入力パラメータとして渡されるものです。正常に実行された場合、関数は値を返さず、LR をスタックにプッシュしません。失敗 (不正な入力パラメータ値) の場合、この関数は RSSLIB_ERROR を返します。

例 :

HDP 領域を閉じて、アドレス 0x8020000 にあるベクタテーブルにジャンプする CloseExitHDP() 関数をコールします。

```
RSSLIB_PFUNC->CloseExitHDP(RSSLIB_HDP_AREA1, 0x8020000);
```

4.6 Flashメモリの保護

メイン Flashメモリは読出し保護 (RDP) により外部アクセスから保護できます。ページは、プログラムカウンタの内容の損失による不要な書込み (WRP) から保護することもできます。書込み保護 (WRP) の単位は 2 KB です。

RDP や WRP とは別に、Flashメモリを第三者の読出しおよび書込みから保護することもできます (PCROP)。PCROP の単位は 1 KB です。

Flashメインメモリの一部をセキュアにし、CPU2 に対してメモリのこの部分への排他的アクセスを許可することができます。

4.6.1 読出し保護 (RDP)

読出し保護を有効にするには、RDP オプションバイトをセットし、OPTSTRT、OBL_LAUNCH、POR を使用、あるいは STANDBY または SHUTDOWN モードからのウェイクアップを使用してオプションバイトのプログラミングを行います。読出し保護では、メイン Flashメモリ、オプションバイト、バックアップレジスタ (TAMP の TAMP_BKPxR)、および SRAM2 が保護されます。

デバッグ接続中も例外はありません。

読出し保護には、保護なし (レベル 0) から最大保護またはデバッグなし (レベル 2) までの 3 つのレベルがあります。

Flashメモリは、RDP オプションバイトとその補数に、次の表に示す値のペアが含まれる場合に保護されます。

表 18. Flashメモリの読出し保護ステータス

RDP バイト値	RDP 補数	RDP レベル
0xAA	0x55	レベル 0
0xAA または 0xCC を除く任意の値	0x55 および 0x33 以外の任意の値 (相補である必要はない)	レベル 1 (デフォルト)
0xCC	0x33	レベル 2

保護レベルにかかわらず、システムメモリ領域は読出しアクセス可能です。プログラム/消去操作の場合は、アクセスできません。

レベル 0 : 保護なし

メイン Flashメモリ領域に、読み出し、プログラム、および消去操作を実行できます。すべての操作でオプションバイト、SRAM2、バックアップレジスタにもアクセスできます。

レベル 1 : 読出し保護

これは、RDP オプションバイトが消去された場合のデフォルトの保護レベルです。RDP 値が 0xAA および 0xCC 以外の任意の値である場合も、または補数が正しくない場合でも、同様に定義されます。

- ユーザモード
ユーザモードで実行されるコード (Boot Flash) により、すべての操作でメイン Flashメモリ、オプションバイト、SRAM2、バックアップレジスタにアクセスできます。
- デバッグ、ブート RAM とブートローダ、および SFI/RSS モード
デバッグモードの場合、またはコードをブート RAM またはブートローダ、SFI/RSS から実行している場合は、メイン Flashメモリ、バックアップレジスタ (RTC の RTC_BKPxR)、SRAM2

には完全にアクセスできません。これらのモードでは、Flashメモリへの読出しまたは書込みアクセスでバスエラーやハードフォールト割込みが発生します。

注意： レベル 1 が設定されており、PCROP 領域が定義されていない場合、PCROP_RDP ビットを 1 にセットする必要があります (RDP レベルが 1 から 0 に下がった場合に完全全体消去)。レベル 1 が設定されており、PCROP 領域が定義されている場合、かつユーザコードが PCROP ではなく RDP で保護される必要がある場合、コードを PCROP 領域を含むページに配置してはなりません。

レベル 2：デバッグなし

このレベルでは、保護レベル 1 が保証されます。加えて、CPU1 および CPU2 デバッグポート、RAM からのブート (ブート RAM モード)、およびシステムメモリからのブート (ブートローダモード) は使用できなくなります。SFI/RSS モードでのブートは引き続き可能です。必要がないとき、これは C2BOOT_LOCK で CPU2 ブートをロックすることによって無効にできます。ユーザ実行モード (ブート Flash モード) では、メイン Flash メモリのすべての操作が許可されます。逆に、オプションバイトでは、読み出しおよびセキュア書込み操作のみを実行できます。オプションバイトは、セキュア CPU2 によってのみプログラム/消去できます。

システムが非セキュア (ESE = 0) の場合、レベル 2 をまったく削除できません。これは、元に戻すことのできない操作です。オプションバイトを変更しようとするとき、FLASH_SR および FLASH_C2SR の保護エラーフラグ WRPERR がセットされ、割込みが生成されます。

注： リセット後、デバッグ機能は無効化されます。

ST マイクロエレクトロニクスは、レベル 2 保護がセットされていて、システムが非セキュア (ESE = 0) である不良部品には分析を実施できません。

読出し保護レベルの変更

レベル 0 からレベル 1 への移動は、RDP バイトの値を任意の値 (0xCC を除く) に変更することで、簡単に行うことができます。RDP バイトに 0xCC 値をプログラミングすることで、直接レベル 0 またはレベル 1 からレベル 2 に移動することができます。レベル 2 にすると、システムが非セキュア (ESE = 0) である場合、読出し保護レベルを変更できなくなります。

レベル 1 からレベル 0 に移動するために RDP が値 0xAA に再プログラムされると、PCROP_RDP が FLASH_PCROP1AER でセットされている場合、メイン Flash メモリの全体消去が実行されます。バックアップレジスタ (RTC の RTC_BKPxR)、SRAM1、SRAM2、PKA SRAM も消去されます。PCROP 保護を除くユーザオプションは、FLASH_OPTR、FLASH_WRP1xR (x = A または B) からコピーされた以前の値にセットされます。PCROP は無効です。OTP エリアは全体消去に影響されませんので変化しません。

ビット PCROP_RDP が FLASH_PCROP1AER でクリアされると、完全全体消去は、PCROP によって保護されたページを除いて連続したページを消去する部分全体消去に変わります。これは、PCROP コードを維持するために実行されます。Flash メモリが消去された場合のみ、オプションが以前の値で再プログラムされます。これは、FLASH_PCROP1xSR レジスタおよび FLASH_PCROP1xER レジスタ (x = A または B) でも同様です。

CPU2 がセキュア (ESE = 1) の場合、完全全体消去は、CPU2 セキュリティ (SFSA) によって保護されたページを除いて連続したページを消去する部分全体消去に変わります。これは、CPU2 セキュアコードを維持するために実行されます。

表 19. レベル 1 からレベル 0 への RDP 回帰とメモリ消去

ESE	PCROP	PCROP_RDP	コメント
0	なし	x	Flash、SRAM1、SRAM2、PKA SRAM およびバックアップレジスタの全体消去
		1	
	部分	0	PCROP 以外のすべてのページの Flash 複数ページ消去 SRAM1、SRAM2、PKA SRAM およびバックアップレジスタは消去されます (PCROP Flash ページは保持)
	完了		Flash、SRAM1、SRAM2 およびバックアップレジスタは保持されます CCM SRAM は消去されます。
1 部分	なし	x	すべての非セキュアページの Flash 複数ページ消去
	部分	1	SRAM1、SRAM2、PKA SRAM およびバックアップレジスタは消去されます (セキュア Flash ページは保持)
		0	すべての非 PCROP ページと非セキュアページの Flash 複数ページ消去 SRAM1、SRAM2、PKA SRAM およびバックアップレジスタは消去されます (PCROP Flash ページとセキュア Flash ページは保持)。
	完全非 セキュア		Flash、SRAM1、SRAM2、およびバックアップレジスタは保持されます PKA SRAM は消去されます
1 完全 フラッシュ	x	x	Flash、SRAM1、SRAM2、およびバックアップレジスタは保持されます PKA SRAM は消去されます
1 → 0	なし	x	Flash、SRAM1、SRAM2、PKA SRAM およびバックアップレジスタの全体消去
		1	
	部分	0	すべての非セキュアな非 PCROP ページおよびセキュアページの Flash 複数ページ消去 SRAM1、SRAM2、PKA SRAM およびバックアップレジスタは消去されます (非セキュア PCROP Flash ページは保持)
	完全非 セキュア		すべてのセキュアページの Flash 複数ページ消去 SRAM1、SRAM2、PKA SRAM およびバックアップレジスタは消去されます (非セキュア PCROP Flash ページは保持)

注： 完全全体消去または部分全体消去は、レベル 1 がアクティブの状態ではレベル 0 が要求されたときのみ実施されます。保護レベルが引き上げられた場合には (0 から 1、1 から 2、0 から 2 へ、またはレベル 2 からレベル 0 へ直接引き下げられた場合)、全体消去は実施されません。

保護レベルの変更を有効にするには、FLASH_CR の OBL_LAUNCH ビット、POR、または STANDBY または SHUTDOWN モードからのウェイクアップを通じて、オプションバイトを再ロードする必要があります。

図 8. RDP レベルの変更

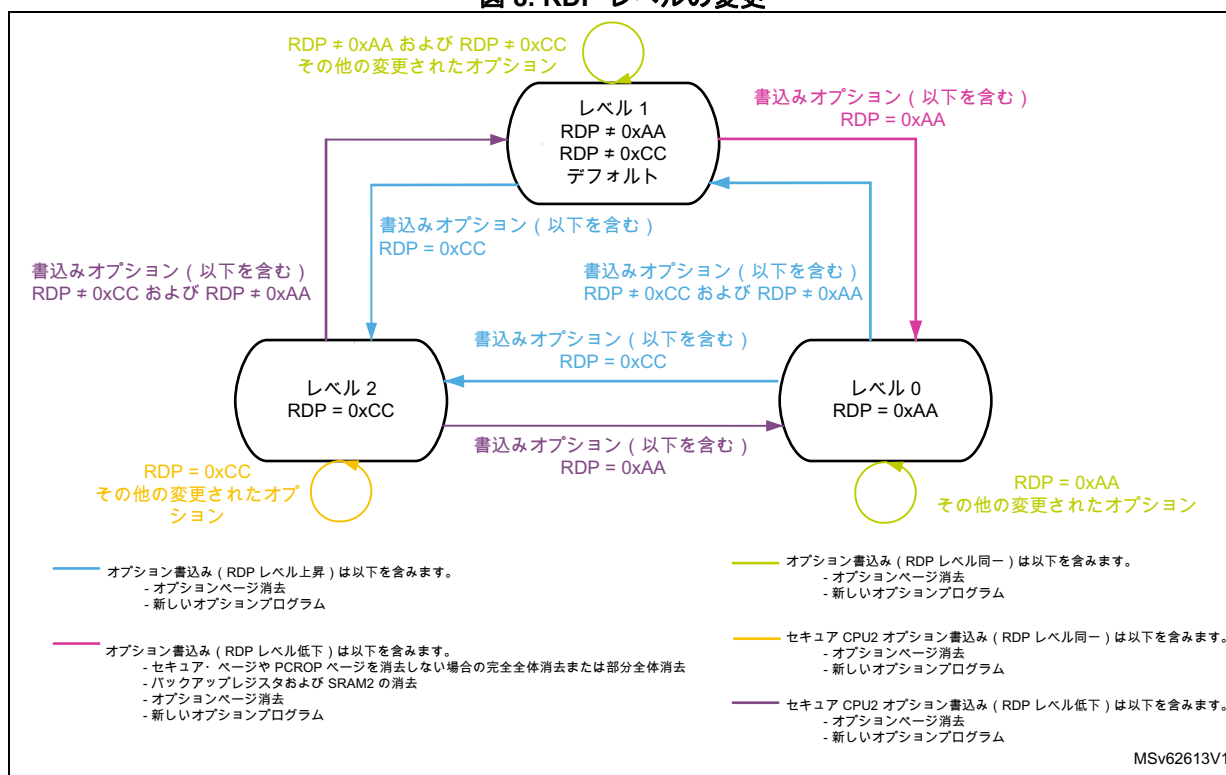


表 20. アクセス状態 対 保護レベルと実行モード

領域	保護レベル	ユーザ実行 (Flashからのブート)			デバッグ/RAMからのブート/ ローダからのブート/SFIからの ブート/RSS		
		読出し	書き込み	消去	読出し	書き込み	消去
メイン Flashメモリ	1	可能	可能	可能	不可	不可	なし ⁽⁴⁾
	2	可能	可能	可能	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾
システム メモリ ⁽²⁾	1	可能	不可	不可	可能	不可	不可
	2	可能	不可	不可	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾
オプション バイト	1	可能	可能 ⁽³⁾	可能	はい	あり ⁽³⁾	可能
	2	可能	CPU1 および CPU2 非セキュア - 不可	CPU1 および CPU2 非セキュア - 不可	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾
			CPU2 セキュア - 可能	CPU2 セキュア - 可能			
バックアップ レジスタ	1	可能	可能	N/A	不可	不可	不可 ⁽⁴⁾
	2	可能	可能	N/A	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾
SRAM2	1	可能	可能	N/A	不可	不可	不可 ⁽⁵⁾
	2	可能	可能	N/A	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾

- 保護レベル 2 が有効な場合、デバッグポート、RAMからのブート、およびシステムメモリからのブートは無効化されます。
- システムメモリは、保護レベル (0、1、または 2) および実行モードにかかわらず、読出しアクセスのみ可能です。
- Flash 非セキュアメインメモリは、RDP オプションバイトがレベル 1 からレベル 0 にプログラムで変更されると消去されます。Flash セキュアメインメモリは、RDP オプションバイトがレベル 1 からレベル 0 にプログラムで変更されるときに同時に ESE オプションバイトが復帰した場合にも消去されます。
- バックアップレジスタは、RDP がレベル 1 からレベル 0 に変更された場合に消去されます。
- SRAM1、SRAM2、PKA SRAM は、RDP がレベル 1 からレベル 0 に変更された場合に消去されます。

4.6.2 独自仕様コード読出し保護 (Proprietary code readout protection: PCROP)

Flashメモリの2つの部分を、第三者の読出しおよび書き込みから保護することができます。

保護領域は実行のみです。STM32 CPUs のみが命令コードとしてアクセスできますが、その他すべてのアクセス (DMA、デバッグ、CPU のデータ読出し、書き込み、消去) は厳しく禁じられています。PCROP 領域の単位は 1 KB です。追加のオプションビット (PCROP_RDP) では、RDP 保護がレベル 1 からレベル 0 に変更された場合、PCROP 領域を消去するかしないかを定義できます。(読出し保護レベルの変更を参照)。

各 PCROP 領域は、開始ページオフセットと終了ページオフセットによって Flashメモリ領域内で定義されます。これらのオフセットは PCROP アドレスレジスタの (FLASH_PCROP1ASR、FLASH_PCROP1AER、FLASH_PCROP1BSR、FLASH_PCROP1BER) で定義されます。

PCROP 領域は、次のアドレス範囲で定義されます。

Flashメモリのベースアドレス + [PCROP1x_STRT x 0x400] (含む) から

Flashメモリのベースアドレス + [(PCROP1x_END+1) x 0x400] (含まない)

PCROP 領域の最小サイズは 2 PCROP ページ (2 KB) で、PCROP1x_END = PCROP1x_STRT + 1 です。

PCROP1x_END = PCROP1x_STRT の場合、Flashメモリ全体が PCROP 保護されます。

たとえば、アドレス 0x0801 2F80 (含む) からアドレス 0x0801 D004 (含む) を PCROP によって保護するには、Flash でのブートが選択された場合、FLASH_PCROP1xSR および FLASH_PCROP1xER レジスタの 1 つ (x = A または B) に次のようにプログラムする必要があります。

- PCROP1x_STRT = 0x4B (PCROP 領域の最初のアドレス 0x0801 2C00)
- PCROP1x_END = 0x74 (PCROP 領域の終了アドレス 0x0801 D3FF)

PCROP 保護領域からのデータ読出しアクセスは、すべて RDERR フラグエラーとなります。

すべての PCROP 保護されたアドレスは書き込み保護もされており、これらのいずれかのアドレスへの書き込みアクセスによって、WRPERR がトリガされます。

PCROP 領域は自動的に消去保護もされます。結果として、このゾーンのページはすべて消去できません (このゾーンの開始アドレスおよび終了アドレスを含めたページを含みます)。さらに、ゾーンが 1 つ PCROP 保護されているとソフトウェアの全体消去が実施できません。

先ほどの例では、ページでの消去のため、ページ 0x4B ~ 0x74 の全ページが保護されています。ページ消去の場合、0x0801 2C00 から 0x0801 D3FF までのすべてのアドレスを消去することはできません。

RDP がレベル 1 からレベル 0 に変更された場合にのみ PCROP を無効にできます。ユーザオプションの変更で、PCROP のクリアや PCROP 領域の削減を試みると、オプションプログラミングは起動しますが、PCROP 領域は変更されません。逆に、PCROP 領域を増やすことはできません。

オプションビット PCROP_RDP をクリアする際に、RDP をレベル 1 からレベル 0 に変更している場合、PCROP 領域を維持するために完全全体消去が部分全体消去に変わります (読出し保護レベルの変更を参照してください)。この場合、PCROP1x_STRT および PCROP1x_END (x = A または B) は消去されません。

表 21. PCROP 保護

PCROP レジスタ値 (x = A または B)	PCROP 保護領域
PCROP1x_STRT = PCROP1x_END	PCROP1x なし、無保護
PCROP1x_STRT > PCROP1x_END	PCROP1x なし、無保護
PCROP1x_STRT < PCROP1x_END	PCROP1x_STRT から PCROP1x_END までのページが保護されます

注： PCROP_RDP を使用する際は PCROP 領域をページ単位に合わせるか、PCROP ソーンが開始または終了するページの残り部分を開放しておくことを推奨します。

4.6.3 書き込み保護 (WRP)

Flashメモリのユーザエリアを、望ましくない書き込み操作から保護できます。2つの書き込み保護 (WRP) 領域を、2 KB のページ単位で定義できます。各領域は、物理的な Flashメモリのベースアドレスに関連する開始ページオフセットと終了ページオフセットにより定義されます。これらのオフセットは WRP アドレスレジスタ FLASH_WRP1AR および FLASH_WRP1BR で定義されます。

WRP 「x」領域 (x = A、B) は、次のアドレス範囲で定義されます。:

Flashメモリのベースアドレス + [WRP1x_STRT x 0x800] (含む) から

Flashメモリのベースアドレス + [(WRP1x_END+1) x 0x800] (含まない)

WRP 領域の最小サイズは 1 WRP ページ (2_KB) で、WRP1x_END = WRP1x_STRT です。

たとえば、アドレス 0x0801 2000 (含む) からアドレス 0x0801 9FFF (含む) までを WRP によって保護するには、Flash ブートが選択されている場合、FLASH_WRP1AR レジスタに次のようにプログラムする必要があります。

- WRP1A_STRT 0x24
- WRP1A_END 0x33

FLASH_WRP1BR の WRP1B_STRT と WRP1B_END が代わりに使用できます (Flashメモリの領域「B」)。

WRP がアクティブの場合、消去やプログラムはできません。結果として、領域が 1 つ書き込み保護されているとソフトウェアの全体消去が実施できません。

Flashメモリの書き込み保護されているエリアに消去/プログラム操作の実施を試みると、FLASH_SR で書き込み保護エラーフラグ (WRPERR) がセットされます。このフラグは、次の領域への書き込みアクセスすべてにセットされます。

- OTP エリア
- ICP など書き込みできない Flashメモリの部分
- PCROP 領域

注： Flashメモリ読出し保護レベルが選択されると (RDP レベル 1)、CPU デバッグ機能が接続されている場合 (JTAG や単線) やブートコードが RAM やシステム Flash から実行されている場合には、WRP が有効ではないときでもメモリをプログラムしたり消去したりすることはできません。これを試みると、ハードフォールト (BusFault) が生成されます。

表 22. WRP 保護

WRPx レジスタ値 (x = A または B)	WRP 保護領域
WRP1x_STRT = WRP1x_END	ページ WRP1x は保護領域。
WRP1x_STRT > WRP1x_END	WRP なし、保護なし
WRP1x_STRT < WRP1x_END	WRP1x_STRT から WRP1x_END までのページが保護されます

注： WRP オプションを有効にするには、FLASH_CR の OBL_LAUNCH ビットを通じてオプションバイトを再ロードする必要があります。

4.6.4 CPU2 セキュリティ (ESE)

Flashメモリおよび SRAM1、SRAM2 メモリの全部または一部をセキュアにすること、CPU2 から排他的にアクセス、第三者からの実行／読出し／書込みから保護することができます。CPU2 のみが実行／読出し／書込み可能なこれらの領域では、CPU2 のみがアクセス可能で、他のすべてのアクセス (CPU1、DMA) は厳格に禁止されています。

CPU2 のセキュリティは、Flashメモリの一部またはすべてがセキュア (FSD = 0) の場合、またはオプションバイトローディングに失敗した場合に有効になります。この場合、FLASH_OPTR の ESE ビットがセットされます。

CPU2 セキュリティ・モードの変更

CPU2 のセキュリティを簡単に有効にするには、ユーザオプション FSD の値 0 をロードします。セキュリティは任意の RDP レベルで適用されます。

CPU2 のセキュリティ開始アドレスは、新しいユーザオプション SFSA をロードすることによって、セキュア CPU2 で変更できます。セキュリティを完全に無効にするには、CPU2 は FSD ビットをセットします。メモリの一部またはすべてからセキュリティを削除する前に、非セキュアになる Flashメモリの部分をページ消去することをお勧めします。

非セキュア CPU1 とセキュア CPU2 の両方とも、FLASH_OPTR の ESE ビットを 0 にセットし、RDP レベルをレベル 1 からレベル 0 に回帰させることによって、セキュリティを削除できます。この場合、[読出し保護レベルの変更](#)に示すように、メイン Flash メモリ、バックアップレジスタ (RTC の RTC_BKPxR)、SRAM1、SRAM2、および PKA SRAM が消去されます。

CPU2 のセキュア Flash 領域

CPU2 のセキュア Flash 領域は 2 KB 単位のセクタを持ち、Flashメモリへのセキュア Flash 開始ページオフセットユーザオプション (SFSA) によって定義されます。このオフセットは、FLASH_SFR の SFSA フィールドから制御されます。

CPU2 のセキュア Flash 領域は、次のように定義されます。

Flash メモリのベースアドレス + [SFSA x 0x0800] (含む) から Flash の終了アドレスまで

CPU2 のセキュリティが有効になっている場合、CPU2 の最小セキュア 領域サイズは 1 セクタ (2 KB) です。

たとえば、アドレス 0x0802 7000 (含む) からアドレス 0x0803 FFFF (含む) までの CPU2 のセキュア領域では、FLASH_SFR は SFSA = 0x4E でプログラムする必要があります。

FLASH_OPTR の ESE フラグは、CPU2 のセキュリティが有効かどうかを示します。

CPU2 のセキュリティ領域への CPU1 のアクセスによって、RDERR または WRPERR フラグエラーがトリガされます。

CPU2 のセキュア SRAM 領域

SRAM1 および SRAM2 領域がセキュアになるのは、Flashメモリのセキュリティが有効 (ESE = 1) の場合のみです。

CPU2 のセキュア SRAM2 および SRAM1 領域は 1 KB 単位で設定でき、Flashメモリへのセキュア「バックアップ」RAM (SRAM2) の開始アドレスユーザオプション (BRSD および SBRSA) とセキュア「非バックアップ」RAM (SRAM1) の開始アドレスユーザオプション (NBRSD および SNBRSA) によって定義されます。これらのオフセットは、FLASH_SRRVR の SBRSA および SNBRSA フィールドから制御されます。

CPU2 のセキュア SRAM2 領域は、次のように定義されます。

SRAM2 ベースアドレス + [SBRSA x 0x0400] (含む) から SRAM2 の終了アドレスまで。

たとえば、アドレス 0x2000 A800 (含む) からアドレス 0x2000 FFFF (含む) までの CPU2 のセキュア SRAM2 領域では、FLASH_SRRVR は SBRSA = 0x0A でプログラムする必要があります。

CPU1 読出しアクセスではゼロデータが返されます。CPU2 のセキュリティ SRAM2 領域への書込みアクセスは破棄され、不正アクセスイベントが生成されます。

BRSD が 1 にセットされた場合、SRAM2 は非セキュアです。

CPU2 のセキュア「非バックアップ」SRAM1 領域は、次のように定義されます。

「非バックアップ」SRAM1 ベースアドレス + [SNBRSA x 0x0400] (含む) から SRAM1 の終了アドレスまで。

たとえば、アドレス 0x2000 6C00 (含む) からアドレス 0x2000 FFFF (含む) までの CPU2 のセキュア SRAM1 領域では、FLASH_SRRVR は SNBRSA = 0x1B でプログラムする必要があります。

CPU1 読出しアクセスではゼロデータが返されます。CPU2 のセキュリティ SRAM1 領域への書込みアクセスは破棄され、不正アクセスイベントが生成されます。

NBRSD が 1 にセットされた場合、SRAM1 は非セキュアです。

CPU2 デバッグアクセス

CPU2 へのデバッグアクセスは、次のように制御されます。

- ユーザオプション DDS。この変数には、FLASH_SFR の DDS フィールドからアクセスできます。
- さらに、ユーザオプション DDS で CPU2 デバッグが有効になっている場合、CPU2 デバッグアクセスは、FLASH_ACR2 の C2SWDBGEN ビットでソフトウェアによって制御できます。ユーザオプション DDS で CPU2 デバッグが無効にされている場合、C2SWDBGEN は意味を持ちません。

CPU2 デバッグアクセスの選択は、セキュリティとは無関係です (ESE = 無視)。

CPU2 デバッグアクセスが無効の場合、デバッグは CPU2 およびセキュア領域にアクセスできません。

システムが非セキュア (ESE = 0) の場合、CPU1 と CPU2 は、FLASH_SFR の DDS ビットを介して、CPU2 デバッグアクセスの有効/無効を切り替えることができます。この場合、C2SWDBGEN ビットは書込み可能ではなく、デフォルト値はデバッグ有効です。CPU2 DDS デバッグは、OBL の再起動後に有効/無効になります。

システムがセキュア (ESE = 1) の場合、CPU2 デバッグアクセスは、セキュア CPU2 により、DDS および C2SWDBGEN ビットを介してのみ有効にできます。CPU2 デバッグは、CPU2 により、DDS ビットを介して直接無効にすることができ、ESE の復帰時に両方の CPU によって間接的に無効にすることができます。CPU2 デバッグは、OBL の再起動後に有効/無効になります。

ESE = 1 で、セキュア非表示保護領域が無効の場合、OBL の再起動後に、C2SWDBGEN ビットにより、CPU2 デバッグが有効になります。ただし、セキュア非表示保護領域が有効な場合、CPU2 デバッグは C2SWDBGEN ビットで無効にされ、後でソフトウェアによって有効にすることができます。

4.6.5 非表示保護領域(HDPAD)

この機能は、システムがセキュア (ESE = 1) の場合にのみ使用できます。

Flashメモリのすべてまたは一部を非表示保護にして、有効にされた場合この Flashメモリ領域へのアクセスのみを許可することができます。HDPADIS ビットで非表示保護アクセスを無効にすると、その領域は、あらゆるバスマスタからの実行、読出し、書込みから保護されます。Flash 非表示保護領域にはアクセスできなくなります。

非表示保護領域は、リセット後のアクセスが可能であり、HDPADIS ビットをセットすることによってすべてのアクセス (実行、読出し、書込み) を禁止できるユーザ Flash 内の領域です。この非表示保護のレジスタビットは、実行の最後に非表示保護コードによってセットされます。非表示保護領域は SFU 機能を提供するために有用であり、デバイスのリセット後にのみ使用可能です。

4.6.6 CPU1 ブートロックの信頼のチェーン

BOOT_LOCK を使用して、BOOT0 と BOOT1 による選択に関係なく、CPU1 を強制的にユーザ Flash メモリからブートすることができます。BOOT_LOCK が有効であり、BOOT0/BOOT1 によりユーザ Flashメモリブート以外が選択された場合でも、システムはユーザ Flashメモリからブートされます。SRAM1 またはブートローダからの、BOOT0/BOOT1 を介したシステムブート、あるいは CPU2 SFI/RSS ブートはできなくなります。

CPU1 のブートは、ソフトウェアで選択された再配置に従って、SRAM1 またはブートローダから SYSCFG メモリ再配置レジスタ (SYSCFG_MEMRMP) の MEM_MODE ビットによって行うことができます。

4.6.7 CPU2 ブートロックの信頼のチェーン

BOOT0/BOOT1 により CPU2 ブートモードが選択された場合、C2BOOT_LOCK に基づき、CPU2 が強制的に SBRV および C2OPT からブートされます。C2BOOT_LOCK が有効で、BOOT0/BOOT1 でシステム CPU2 SFI/RSSI ブートが選択された場合、システムは代わりにユーザ Flash SBRV と C2OPT からブートされます。この場合、CPU1 はホールド状態です。

C2BOOT_LOCK が有効になると、SBRV と C2OPT を変更できなくなります。

C2BOOT_LOCK は CPU1 のブートには影響しません。CPU1 は引き続き BOOT0 および BOOT1 の設定 (システム Flash、ユーザ Flash、または SRAM1) に従ってブートされます。

4.7 Flash のプログラム消去のサスペンド

Flash のプログラム/消去操作は、FLASH_ACR または FLASH_C2ACR の PES ビットをセットすることによってサスペンドできます。この機能は、CPU がタイムクリティカルセクションを実行する場合に有用です。新しいプログラムまたは消去操作の開始をサスペンドすることができ、CPU の命令やデータフェッチのブロックを防止することができます。

少なくとも 1 つの PES ビットがセットされている場合、次のようになります。

- 進行中のプログラムまたは消去操作はすべて完了します。

Flash プログラム消去のサスペンドにおける最大遅延は、1 回のプログラムまたは消去操作が完了するまでの最大時間です (Flash プログラムと消去のタイミングの詳細については、製品データシートを参照してください)。

- 新たに要求されたすべてのプログラムおよび消去操作は開始されず、サスペンドします。
FLASH_SR および FLASH_C2SR の PESD ビットは、プログラム/消去が現在サスペンド中かどうかに関係なく、任意の PES がセットされるとすぐに、セットされます。これにより、CPU は、プログラムまたは消去動作が要求される前に、PESD をテストすることができます。

すべての PES ビットが 0 にリセットされると、サスペンド状態のプログラムまたは消去操作が開始され、PESD ビットがクリアされます。

4.8 Flash 割込み

表 23. Flash割込みリクエスト

割込みイベント	イベントフラグ	イベントフラグ/ 割込みのクリア方法	割込み有効制御ビット
操作終了	EOP ⁽¹⁾	EOP=1 を書き込む	EOPIE
操作エラー	OPERR ⁽²⁾	OPERR=1 を書き込む	ERRIE
読出し保護エラー	RDERR	RDERR=1 を書き込む	RDERRIE
書き込み保護エラー	WRPERR	WRPERR=1 を書き込む	N/A
サイズエラー	SIZERR	SIZERR=1 を書き込む	N/A
プログラミングシーケンスエラー	PROGERR	PROGERR=1 を書き込む	N/A
プログラミング配置エラー	PGAERR	PGAERR=1 を書き込む	N/A
プログラミングシーケンスエラー	PGSERR	PGSERR=1 を書き込む	N/A
高速プログラミングエラー中のデータミス	MISSERR	MISSERR=1 を書き込む	N/A
高速プログラミングエラー	FASTERR	FASTERR=1 を書き込む	N/A
ECC エラー訂正	ECCC	ECCC=1 を書き込む	ECCCIE
ECC ダブルエラー (NMI)	ECCD	ECCD=1 を書き込む	N/A

1. EOPIE がセットされる場合のみ、EOP がセットされます。

2. ERRIE がセットされる場合のみ、OPERR がセットされます。

4.8.1 不正アクセス割込み

特権レジスタへの非特権アクセスでは、不正アクセスイベントが生成されます。このイベントは GTZC_TZIC に接続されます。

セキュアレジスタへの非セキュアアクセスにより、不正アクセスイベントが生成されます。このイベントは GTZC_TZIC に接続されます。

不正アクセスイベントの詳細については、[セクション 3: グローバル・セキュリティ・コントローラ \(GTZC\)](#) を参照してください。

4.9 レジスタのアクセス保護

ユーザオプション・レジスタは、セキュリティと特権によって保護される場合があります。

システムがセキュア (ESE = 1) であり、Flashメモリのユーザオプション・レジスタも特権によって保護されている (FLASH_PRIVMODER.PRIV = 1) 場合、Flashメモリ・セキュアユーザオプション・ビット (FSD、SFSA、BRSD、SBRSA、NBRSD、SNBRSA、SBRV、C2OPT、HDPAD、HDPISA、および DDS) はセキュアであり、特権があります。セキュア特権 CPU2 によってのみ書込みができ、セキュア/非セキュア、非特権/特権 CPU によって読出しができます。CPU1 または非特権 CPU2 が書込みを試みた場合、書込みは破棄され、Flashメモリ不正アクセス割込みが生成されます。

システムがセキュア (ESE = 1) で、Flashメモリのユーザオプションビットも特権によって保護されている場合 (FLASH_PRIVMODER.PRIV = 1)、その他の非セキュアユーザオプション・ビットは特権になります。特権 CPU1 または CPU2 によってのみ書込みができ、非特権/特権 CPU1、CPU2 によって読出しができます。非特権書込みアクセスの場合、書込みは破棄され、Flashメモリ不正アクセス割込みが生成されます。

表 24. レジスタ保護の概要

レジスタ	セキュリティ	PRIVMODE ⁽¹⁾
FLASH_CxACR	不可	いいえ
FLASH_ACR2	可能 ⁽²⁾	不可
Flash_KEYR	不可	いいえ
Flash_OPTKEYR	不可	いいえ
FLASH_CxSR	不可	いいえ
FLASH_CxCR	不可	いいえ
Flash_ECCR	不可	いいえ
Flash_OPTR	不可	はい
FLASH_PCROP1xSR/ER	不可	はい
FLASH_WRP1xR	不可	はい
FLASH_IPCCBR	不可	はい
FLASH_SFR	可能 ⁽³⁾	可能
FLASH_SRRVR	あり ⁽³⁾	可能

1. PRIVMODE 特権保護は、デバイスがセキュア (ESE = 1) の場合のみ使用できます。
2. デバイスセキュリティの ESE および PRIVMODE の値にかかわらず、常にセキュア特権書込みアクセスが保護されます。
3. セキュア書込みアクセス保護は、デバイスがセキュア (ESE = 1) の場合のみ適用できます。

4.10 Flashレジスタ

4.10.1 Flashアクセス制御レジスタ (Flash_ACR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EMPTY
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PES	Res.	Res.	DCRST	ICRST	DCEN	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	LATENCY[2:0]		
rw			rw	rw	rw	rw	rw						rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **EMPTY** : Flash ユーザ領域が空

読出し時、このビットは、ユーザ Flash の最初の位置が消去されているかプログラムされた値を持っているかを示します。

- 0 : 読出し : ユーザ Flash がプログラム済み
- 1 : 読出し : ユーザ Flash が空

ビット 15 **PES** : CPU1 プログラム/消去サスペンド要求

- 0 : Flash のプログラムおよび消去操作を許可
- 1 : 新しい Flash のプログラムおよび消去操作は、このビットと FLASH_C2ACR の同じビットがクリアされるまでサスペンドされます。FLASH_SR および FLASH_C2SR の PESD ビットがセットされるのは、FLASH_ACR または FLASH_C2ACR の少なくとも 1 つの PES ビットがセットされた場合です。

ビット 14:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DCRST** : CPU1 のデータキャッシュのリセット

- 0 : CPU1 データキャッシュをリセットしません。
 - 1 : CPU1 のデータキャッシュをリセットします。
- このビットに書き込めるのは、データキャッシュが無効のときだけです。

ビット 11 **ICRST** : CPU1 の命令キャッシュのリセット

- 0 : CPU1 命令キャッシュをリセットしません。
 - 1 : CPU1 の命令キャッシュをリセットします。
- このビットに書き込めるのは、命令キャッシュが無効のときだけです。

ビット 10 **DCEN** : CPU1 のデータキャッシュの有効化

- 0 : CPU1 のデータキャッシュは無効です。
- 1 : CPU1 のデータキャッシュは有効です。

ビット 9 **ICEN** : CPU1 の命令キャッシュの有効化

- 0 : CPU1 の命令キャッシュは無効です。
- 1 : CPU1 の命令キャッシュは有効です。

ビット 8 **PRFTEN** : CPU1 のプリフェッチの有効化

- 0 : CPU1 プリフェッチは無効です。
- 1 : CPU1 プリフェッチは有効です。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **LATENCY[2:0]** : 遅延

これらのビットは、Flashメモリアクセス時間に対する Flash HCLK クロック周期の割合を表します。
 000 : ウェイトステート 0 個
 001 : ウェイトステート 1 個
 010 : ウェイトステート 2 個
 その他 : 予約済み

4.10.2 Flashアクセス制御レジスタ 2 (FLASH_ACR2)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000 (デフォルト)

HDPAD = 0 の場合はデフォルトリセット、HDPAD = 1 の場合は 0x0000 0004

このレジスタには、書き込みアクセスのセキュリティと特権が設定されます。書き込めるのは、セキュア特権 CPU2 のみです。非特権 CPU2 または CPU1 からの書き込みアクセスは無視されます。非セキュアまたは非特権の書き込みアクセスでは、不正アクセスイベントが生成されます。読出しアクセス時には、レジスタ値が返されます。

読出しに関する制約はありません。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタへの書き込みはできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2SWDBGEN	HDPADIS	PRIVMODE
													r/w	r/w	r/w

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 C2SWDBGEN : CPU2 のソフト・ウェアデバッグの有効化

このビットは、ソフトウェアによってセット/リセットされます。
 HDPAD = 0 (非表示保護領域が有効) の場合、システムリセット後、CPU2 のソフトウェア・デバッグは無効になります。
 HDPAD = 1 (非表示保護領域が無効) の場合、システムリセット後、CPU2 のソフトウェア・デバッグは有効になります。
 0 : CPU2 のデバッグアクセスは無効です。
 1 : CPU2 のデバッグアクセスは有効です (DDS でも有効になっている場合)。

ビット 1 HDPADIS : Flash ユーザーの非表示保護領域へのアクセスの無効化

このビットは、ソフトウェアでセットされ、システムリセット時にハードウェアによってのみリセットされます。
 0 : ユーザ Flash 非表示保護領域へのアクセスは有効です。
 1 : ユーザ Flash 非表示保護領域へのアクセスは無効です。

ビット 0 PRIVMODE : FLASH 特権モードの有効化

このビットは、ソフトウェアによってセット/リセットされます。
 0 : Flash レジスタアクセス特権モードは無効です。
 1 : Flash レジスタアクセス特権モードは有効です。



4.10.3 Flash キーレジスタ (FLASH_KEYR)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[31:0]** : Flashキー

FLASH_CR および FLASH_C2CR をアンロックし、Flash のプログラミングや消去操作を有効にするには、次の値を連続して書き込む必要があります。

KEY1 : 0x4567 0123

KEY2 : 0xCDEF : 89AB

4.10.4 Flashオプションキーレジスタ (Flash_OPTKEYR)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **OPTKEY[31:0]** : オプションバイトキー下位ビット

Flashメモリオプションレジスタをアンロックし、オプションバイトのプログラミングや消去操作を有効にするには、次の値を連続して書き込む必要があります。

KEY1 : 0x0819 : 2A3B

KEY2 : 0x4C5D : 6E7F

4.10.5 Flashステータスレジスタ (Flash_SR)

アドレス・オフセット : 0x010

リセット値 : 0x000X 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY
												r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTVERR	RDERR	OPTNV	Res.	Res.	Res.	FASTERR	MISSERR	PGSERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
rc_w1	rc_w1	r				rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **PESD** : プログラム/消去操作がサスペンド

このビットは、ハードウェアによってセット/リセットされます。

FLASH_ACR または FLASH_C2ACR の少なくとも 1 つの PES ビットがセットされた場合にセットされます。

FLASH_ACR および FLASH_C2ACR の両方の PES ビットがクリアされた場合にクリアされます。

セットすると、新しいプログラムまたは消去操作は開始されません。

ビット 18 **CFGBSY** : ビジー状態のプログラムまたは消去設定

このビットは、ハードウェアによってセット/リセットされます (最初のワード送信時にセットされ、プログラム操作の完了時またはエラーによる割込み時にリセットされます)。

セットされると、FLASH_CR の PG、PNB[6:0]、PER、および MER ビットのプログラムおよび消去設定が使用され (ビジー)、変更できません (プログラミングまたは消去動作が進行中)。

リセットすると、FLASH_CR の PG、PNB[6:0]、PER、および MER ビットのプログラムおよび消去設定を変更できます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BSY** : ビジー

このビットは、FLASH_CR で要求された Flash 操作が進行中であることを示します。このビットは Flash 操作の開始時にセットされ、操作が終了するかエラーが発生するとリセットされます。

ビット 15 **OPTVERR** : オプションとエンジニアリングビットのローディング有効性エラー

オプションとエンジニアリングビットが読み込まれる時に、製造者とユーザによって設定されていない値の場合にハードウェアによってセットされます。オプションとエンジニアリングビットが適切にロードされない場合、各システムリセット後に OPTVERR が再びセットされます。ローディングに失敗したオプションバイトは、安全な値になります (セクション 4.4.2: オプションバイトのプログラミングを参照)。

このビットは、1 を書き込むことによってクリアされます。

ビット 14 **RDERR** : PCROP 読出しエラー

D-バスを通じて読み出すアドレスが Flashメモリの読出し保護領域 (PCROP 保護) のアドレスである場合、ハードウェアによってセットされます。Flash_CR で RDERRIE がセットされると、割込みが生成されます。

このビットは、1 を書き込むことによってクリアされます。

ビット 13 **OPTNV** : ユーザオプション OPTVAL の表示

このビットは、ハードウェアによってセット/リセットされます。

0 : OBL ユーザオプション OPTVAL が「有効」(ユーザオプションプログラムシーケンスが完全に終了していない) を示します。

1 : OBL ユーザオプション OPTVAL が「無効」(OPTVAL チェックワードが誤って読み出された) を示します。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FASTERR** : 高速プログラミングエラー

高速プログラミングシーケンス (FSTPG によって有効化) がエラー (配置、サイズ、書き込み保護、データミス) により割り込まれたときにハードウェアによってセットされます。対応するステータスビット (PGAERR、SIZERR、WRPERR または MISSERR) が同時にセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 8 **MISSERR** : 高速プログラミングデータミスエラー

高速プログラミングモードで、32 ダブルワード (256 バイト) を連続で Flashメモリに送信して、現在のデータが完全にプログラムされる前にロジック制御に新しいデータを送信する必要があります。

このビットは、新しいデータが間に合わず存在しなくて、1 を書き込むことでクリアされた場合にハードウェアによってセットされます。

ビット 7 **PGSERR** : プログラミングシーケンスエラー

PG または FSTPG が以前に設定されていない時にコードによって Flashメモリへの書き込みアクセスが実施されると、このビットがハードウェアによってセットされます。以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR または FASTERR がセットされている場合にも、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 6 **SIZERR** : サイズエラー

プログラムまたは高速プログラムシーケンス中のアクセスのサイズが、バイトまたはハーフワードである場合に、このビットがハードウェアによってセットされます。ダブルワードのプログラミングだけが可能です (結果としてワードアクセス)。

このビットは、1 を書き込むことによってクリアされます。

ビット 5 **PGAERR** : プログラミング配置エラー

標準プログラミングの場合、または高速プログラミング中にページの変更がある場合、プログラムするデータを同じダブルワード (64 ビット) アライメントの Flashメモリに格納できない場合は、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 4 **WRPERR** : 書き込み保護エラー

消去/プログラムするアドレスが (WRP、PCROP または RDP レベル 1 によって) Flashメモリの書き込み保護された部分のアドレスである場合、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 3 **PROGERR** : プログラミングエラー

書き込むデータが「0x0000 0000 0000 0000」である場合を除き、プログラムする前に、プログラム対象のダブルワードアドレスに「0xFFFF FFFF FFFF FFFF」以外の値が含まれる場合、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OPERR** : 操作エラー

Flashメモリ操作 (プログラム/消去) が異常終了すると、このビットがハードウェアによってセットされます。このビットは、エラー割込みが有効になっている場合 (ERRIE = 1) にのみセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 0 **EOP** : 操作終了

1 つまたは複数の Flashメモリ操作 (プログラム/消去) が正常に完了した場合に、このビットがハードウェアによってセットされます。このビットは、操作終了割込みが有効になっている場合 (EOPIE = 1) にのみセットされます。

このビットは、1 を書き込むことによってクリアされます。

4.10.6 Flash 制御レジスタ (FLASH_CR)

アドレス・オフセット : 0x014

リセット値 : 0xC000 0000

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワード、バイトアクセス。

このレジスタは、FLASH_SR で CFGBSY がセットされているときには変更できません。

PESD が FLASH_SR でクリアされると、レジスタ書込みアクセスは CFGBSY ビットがクリアされるまでストールされます。(たとえば、他の CPU によって)。

PESD が FLASH_SR でセットされていて、プログラムまたは消去動作を実行中の場合、レジスタ書込みアクセスによりバSErrorが発生します。

PESD が FLASH_SR にセットされているが、進行中のプログラミングまたは消去操作がない場合、レジスタ書込みアクセスは完了しますが、要求された動作はサスペンドされます。BSY/CFGBSY がセットされ、FLASH_ACR および FLASH_C2ACR の PES ビットをクリアしてサスペンドが非アクティブ化されるまで 1 が保持されます。その結果、PESD は 0 に戻り、サスペンドされた動作が完了します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OPTLOCK	Res.	Res.	OBL_LAUNCH	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPTSTRT	STRT
rs	rs			rc_w1	rw	rw	rw						rw	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	PNB[6:0]						MER	PER	PG	
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 LOCK : FLASH_CR ロック

このビットは、ソフトウェアでのみセットできます。セットされると、Flash_CR レジスタがロックされます。このビットは、アンロックシーケンスが検出されると、ハードウェアによってクリアされます。アンロック操作が成功しない場合には、このビットは次のシステムリセットまでセットされたままとなります。

ビット 30 OPTLOCK : オプションロック

このビットは、ソフトウェアでのみセットできます。セットされると、FLASH_CR のユーザオプションに関するすべてのビットおよびオプションページがロックされます。このビットは、オプションのアンロックシーケンスが検出されると、ハードウェアによってクリアされます。LOCK ビットは、OPTLOCK ビットに対してアンロックシーケンスを行う前にクリアする必要があります。オプションのアンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 OBL_LAUNCH : オプションバイトローディングの強制

1 にセットすると、このビットではオプションバイトの再ロードを強制的に行います。このビットは、オプションバイトローディングが完了したときのみクリアされます。OPTLOCK がセットされた場合、書き込みません。

0 : オプションバイトローディングが完了します。

1 : オプションバイトローディングがリクエストされました。

- ビット 26 **RDERRIE** : PCROP 読出しエラー割込み有効化
このビットは、FLASH_SR の RDERR ビットが 1 にセットされると割込み生成を有効にします。
0 : PCROP 読出しエラー割込みが無効です。
1 : PCROP 読出しエラー割込みが有効です。
- ビット 25 **ERRIE** : エラー割込み有効化
このビットは、FLASH_SR の OPERR ビットが 1 にセットされると割込み生成を有効にします。
0 : OPERR エラー割込みが無効です。
1 : OPERR エラー割込みが有効です。
- ビット 24 **EOPIE** : 操作終了割込み有効化
このビットは、FLASH_SR の EOP ビットが 1 にセットされると割込み生成を有効にします。
0 : EOP 割込みは無効です。
1 : EOP 割込みは有効です。
- ビット 23:19 予約済みであり、リセット値に保持する必要があります。
- ビット 18 **FSTPG** : 高速プログラミング
0 : 高速プログラミングは無効です。
1 : 高速プログラミングは有効です。
- ビット 17 **OPTSTRT** : オプション変更開始
このビットがセットされた場合、オプションプログラミング操作がトリガされます。RDP のレベルがレベル 1 からレベル 0 に回帰する場合、このビットにより Flashメモリ、SRAM1、および SRAM2 の消去も起動されます。
このビットはソフトウェアによってのみセットされ、FLASH_SR で BSY がクリアされるとクリアされます。
- ビット 16 **STRT** : 開始
このビットがセットされた場合、消去操作がトリガされます。MER および PER がどちらもリセットされ、STRT がセットされると、エラーフラグを生成せずに予測不可能な動作を実行することがあります。この条件は禁止されます。
このビットはソフトウェアによってのみセットされ、FLASH_SR で BSY がクリアされるとクリアされます。
システムがセキュア (ESE = 1) であり、CPU1 による動作を開始するとき、関連するセキュア Flash ページは拒否され、バスエラーが生成されます。
- ビット 15:10 予約済みであり、リセット値に保持する必要があります。
- ビット 9:3 **PNB[6:0]** : ページ番号選択
これらのビットは、消去するページ (2 KB) を選択します。
0x00 : ページ 0
0x01 : ページ 1
...
0x7F : ページ 127
- ビット 2 **MER** : 全体消去
このビットがセットされると、全体消去 (ユーザページすべて) がトリガされます。
- ビット 1 **PER** : ページ消去
0 : ページ消去は無効です。
1 : ページ消去は有効です。
- ビット 0 **PG** : プログラミング
0 : Flashプログラミングは無効です。
1 : Flashプログラミングは有効です。

4.10.7 Flash ECC レジスタ (Flash_ECCR)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCD	ECCC	Res.	CPUID[2:0]			Res.	ECCCIE	Res.	Res.	Res.	SYSF_ECC	Res.	Res.	Res.	ADDR_ECC[16]
rc_w1	rc_w1		r	r	r		rw				r				r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_ECC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 **ECCD** : ECC 検出

2つの ECC エラーが検出されたときに、ハードウェアによってセットされます。このビットがセットされた場合、NMI が生成されます。

このビットは、1 を書き込むことによってクリアされます。

ビット 30 **ECCC** : ECC 訂正

1つの ECC エラーが検出され訂正されたときに、ハードウェアによってセットされます。ECCCIE がセットされると、割込みが生成されます。

このビットは、1 を書き込むことによってクリアされます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:26 **CPUID[2:0]** : CPU の識別

ハードウェアによってセット。このビットは、ECC 障害の原因となった CPU アクセスのバス ID を示します。

000 : CPU1 バス ID 値用の CPUID

001 : CPU2 バス ID 値用の CPUID

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ECCCIE** : ECC 訂正割込み有効化

0 : ECCC 割込み無効

1 : ECCC 割込み有効

ビット 23:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **SYSF_ECC** : システムFlashメモリ ECC 失敗

このビットは、ECC エラー訂正またはダブル ECC エラー検出がシステムFlashメモリで発生したことを示します。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:0 **ADDR_ECC[16:0]** : ECC 失敗ダブルワードアドレス

このビットは、ダブルワードアドレスが ECC エラー訂正と関連しているか、ダブル ECC エラー検出の原因であることを示します。

4.10.8 Flashオプションレジスタ (Flash_OTPR)

アドレス・オフセット : 0x020

リセット値 : 0x3FFF : F0AA

ST 製造時のデフォルトリセット値が与えられます。その後、リセット解除時に、0bXX11 XXXX X111 XXXX 1XXX XXXX XXXX XXXX のオプションビットに Flashメモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワード、バイトアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読み出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C2BOOT_LOCK	BOOT_LOCK	Res.	Res.	nBOOT0	nSWBOOT0	SRAM_RST	SRAM2_PE	nBOOT1	Res.	Res.	Res.	WWDG_SW	IWDG_S TDBY	IWDG_S TOP	IWDG_S W
rw	rw			rw	rw	rw	rw	rw				rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	nRST_S HDW	nRST_S TDBY	nRST_S TOP	BOR_LEV[2:0]			ESE	RDP[7:0]							
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 C2BOOT_LOCK : CPU2 ブートロック・イネーブル・オプションビット

このビットはソフトウェアによっていつでもセットできますが、クリアのための書き込みは次の条件のいずれかでのみ考慮されます。

- ESE = 0 で、RDP レベル 0 にとどまる場合
 - ESE = 1 で、FSD の回帰によって RDP レベル 0 にとどまる場合
 - ESE = 0 で、RDP レベルが 1 から 0 に回帰する場合
 - ESE = 1 で、RDP レベルが 1 から 0 に回帰し、ESE か FSD (または両方) が回帰する場合。
- 0 : CPU2 ブートロックは無効です。
 1 : CPU2 ブートロックは有効です。

ビット 30 BOOT_LOCK : CPU1 ブートロック・イネーブル・オプションビット

このビットはソフトウェアによっていつでもセットできますが、クリアのための書き込みは次の条件のいずれかでのみ考慮されます。

- RDP レベル 0 にとどまる場合
 - RDP レベルが 1 から 0 に回帰するとき
- 0 : CPU1 ブートロックは無効です。
 1 : CPU1 ブートロックは有効です。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 nBOOT0 : nBOOT0 オプションビット

nSWBOOT0 ビットで BOOT0 がオプションビット nBOOT0 から取得されるように選択した場合、このビットとオプション nBOOT1 により、(ユーザ Flashメモリ、SRAM1、またはシステム Flashメモリから) ブートモードが選択されます。[セクション 2.2: ブート設定](#)を参照してください。

- 0 : nBOOT0 = 0
- 1 : nBOOT0 = 1



- ビット 26 **nSWBOOT0** : ソフトウェア BOOT0 の選択
0 : オプションビット nBOOT0 から取得した BOOT0 です。
1 : PH3/BOOT0 ピンから取得した BOOT0 です。
- ビット 25 **SRAM_RST** : システムリセット時の SRAM1 および SRAM2 の消去
0 : システムリセットが発生した際に SRAM1 および SRAM2 を消します。
1 : システムリセットが発生した際に SRAM1 および SRAM2 を消しません。
注 : PKA SRAM は、どのシステムでも常に消去されます。
- ビット 24 **SRAM2_PE** : SRAM2 パリティチェックは有効です。
0 : SRAM2 パリティチェックは有効です。
1 : SRAM2 パリティチェックは無効です。
- ビット 23 **nBOOT1** : ブート設定
このビットでは、(nSWBOOT0 オプションビットの設定に応じて) BOOT0 ピンまたはオプションビット nBOOT0 と一緒に、ユーザ Flashメモリ、SRAM1、システム Flashメモリからブートモードを選択します。[セクション 2.2: ブート設定](#)を参照してください。
- ビット 22:20 予約済みであり、リセット値に保持する必要があります。
- ビット 19 **WWDG_SW** : ウィンドウ型ウォッチドッグ選択
0 : ハードウェアによるウィンドウ型ウォッチドッグです。
1 : ソフトウェアによるウィンドウ型ウォッチドッグです。
- ビット 18 **IWDG_STDBY** : STANDBY モードでの独立型ウォッチドッグカウンタの凍結
0 : STANDBY モードでの独立型ウォッチドッグカウンタが凍結中
1 : STANDBY モードでの独立型ウォッチドッグカウンタが動作中
- ビット 17 **IWDG_STOP** : STOP モードでの独立型ウォッチドッグカウンタの凍結
0 : STOP モードでの独立型ウォッチドッグカウンタが凍結中
1 : STOP モードでの独立型ウォッチドッグカウンタが動作中
- ビット 16 **IWDG_SW** : 独立型ウォッチドッグの選択
0 : ハードウェアに依存しないウォッチドッグです。
1 : ソフトウェアに依存しないウォッチドッグです。
- ビット 15 予約済みであり、リセット値に保持する必要があります。
- ビット 14 **nRST_SHDW** : SHUTDOWN モードでのリセットの生成
0 : SHUTDOWN モードに入るときにリセットを生成します。
1 : SHUTDOWN モードに入るときにリセットを生成しません。
- ビット 13 **nRST_STDBY** : STANDBY モードでのリセットの生成
0 : STANDBY モードに入るときにリセットを生成します。
1 : STANDBY モードに入るときにリセットを生成しません。
- ビット 12 **nRST_STOP** : STOP モードでのリセットの生成
0 : STOP モードに入るときにリセットを生成します。
1 : STOP モードに入るときにリセットを生成しません。
- ビット 11:9 **BOR_LEV[2:0]** : BOR リセットレベル
このビットには、リセットをアクティブにしたりリセットを解除したりする V_{DD} 供給レベル閾値が含まれています。
000 : BOR レベル 0リセットレベル閾値は約 1.7 V です。
001 : BOR レベル 1リセットレベル閾値は約 2.0 V です。
010 : BOR レベル 2リセットレベル閾値は約 2.2 V です。
011 : BOR レベル 3リセットレベル閾値は約 2.5 V です。
100 : BOR レベル 4リセットレベル閾値は約 2.8 V です。

ビット 8 **ESE** : システムセキュリティ・イネーブル・フラグ

このビットが読み出されると、システムセキュリティが有効になっているかどうか（つまり、ユーザオプション FSD = 0）を示します。このビットに 0 を書き込み、RDP をレベル 1 からレベル 0 に回帰させると、セキュリティが無効になります。

0 : セキュリティは無効です。

1 : セキュリティは有効です。

ビット 7:0 **RDP[7:0]** : 読出し保護レベル

0xAA : レベル 0、読出し保護はアクティブではありません。

0xCC : レベル 2、チップ読出し保護はアクティブです。

その他 : レベル 1、メモリ読出し保護がアクティブです。

注 : レベル 1 では PCROP_RDP 設定に注意してください。詳細については、[レベル 1 : 読出し保護](#)を参照してください。

4.10.9 FLASH PCROP ゾーン A 開始アドレスレジスタ (FLASH_PCROP1ASR)

アドレス・オフセット : 0x024

リセット値 : 0xFFFF FFFF

ST 製造時のデフォルトリセット値が与えられます。その後、リセット解除時に、0b1111 1111 1111 1111 1111 1111 XXXX XXXX のオプションビットに Flash メモリのユーザ値がロードされます。

アクセス : ノーウェイトステート（進行中の Flashメモリ操作がない場合）。ワード、ハーフワードアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PCROP1A_STRT[7:0]** : PCROP1A 領域開始オフセット

PCROP1A_STRT は、PCROP1A 領域の最初の 1 KB のページを含んでいます。

4.10.10 FLASH PCROP ゾーン A 終了アドレスレジスタ (FLASH_PCROP1AER)

アドレス・オフセット : 0x028

リセット値 : 0xFFFF FF00

ST 製造時のデフォルトリセット値が与えられます。その後、リセット解除時に、0bX111 1111 1111 1111 1111 1111 XXXX XXXX のオプションビットに Flashメモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワードアクセス。PCROP_RDP ビットへはバイトアクセスでアクセスできます。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE =1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END [7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **PCROP_RDP** : RDP レベルが下がると保存される PCROP 領域

このビットはセット専用です。RDP レベルの 1 から 0 への変更による完全全体消去の後にリセットされます。

0 : RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されません

1 : RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されます (完全全体消去)

ビット 30:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PCROP1A_END[7:0]** : PCROP1A 領域終了オフセット

PCROP1A_END は、PCROP1A 領域の最後の 1 KB のページを含んでいます。

4.10.11 FLASH WRP 領域 A アドレスレジスタ (FLASH_WRP1AR)

アドレス・オフセット : 0x02C

リセット値 : 0xFF80 FFFF

ST 製造時のデフォルトリセット値が 0b1111 1111 1XXX XXXX 1111 1111 1XXX XXXX の場合、リセット解除時にこのオプションビットに Flashメモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワード、バイトアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END [6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT [6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **WRP1A_END[6:0]** : WRP 領域 A 終了オフセット
WRP 領域 A の最後の 2 KB のページを含みます。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **WRP1A_STRT[6:0]** : WRP 領域 A 開始オフセット
WRP 領域 A の最初の 2 KB のページを含みます。

4.10.12 FLASH WRP 領域 B アドレスレジスタ (FLASH_WRP1BR)

アドレス・オフセット : 0x030

リセット値 : 0xFF80 FFFF

ST 製造時のデフォルトリセット値が 0b1111 1111 1XXX XXXX 1111 1111 1XXX XXXX である場合、リセット解除時に、このオプションビットに Flashメモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワード、ハーフワード、バイトアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END [6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT [6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **WRP1B_END[6:0]** : WRP 領域 B 終了オフセット

WRPB1_END は、WRP 領域 B の最後の 2 KB のページを含みます。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **WRP1B_STRT[6:0]** : WRP 領域 B 開始オフセット

WRPB1_END は、WRP 領域 B の最初の 2 KB のページを含みます。

4.10.13 FLASH PCROP ゾーン B 開始アドレスレジスタ (FLASH_PCROP1BSR)

アドレス・オフセット : 0x034

リセット値 : 0xFFFF FFFF

ST 製造時のデフォルトリセット値が与えられます。その後、リセット解除時に、0b1111 1111 1111 1111 1111 1111 XXXX XXXX のオプションビットに Flash メモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワードおよびハーフワードアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読み出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PCROP1B_STRT[7:0]** : PCROP1B 領域開始オフセット
 PCROP1B 領域の最初の 1 KB のページを含みます。

4.10.14 FLASH PCROP ゾーン B 終了アドレスレジスタ (FLASH_PCROP1BER)

アドレス・オフセット : 0x038

リセット値 : 0xFFFF FF00

ST 製造時のデフォルトリセット値が与えられます。その後、リセット解除時に、0b1111 1111 1111 1111 1111 1111 XXXX XXXX のオプションビットに Flash メモリのユーザ値がロードされます。

アクセス : ノーウェイトステート (進行中の Flashメモリ操作がない場合)。ワードおよびハーフワードアクセス。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込みます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読み出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PCROP1B_END[7:0]** : PCROP1B 領域終了オフセット
PCROP1B 領域の最初の 1 KB のページを含みます。

4.10.15 FLASH IPCC メールボックスデータバッファアドレスレジスタ (FLASH_IPCCBR)

アドレス・オフセット : 0x03C

リセット値 : 0xFFFF FFFF

ST 製造時のデフォルトリセット値が与えられます。続いて、パワーオン・リセット解除時に、0b1111 1111 1111 11XX XXXX XXXX XXXX のオプションビットに Flashメモリのユーザ値がロードされます。

このレジスタは、RDP レベル 0 または RDP レベル 1 の CPU1 によってのみ書き込めます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読み出しアクセスは許可されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	IPCCDBA[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 IPCCDBA[13:0] : IPCC メールボックスデータバッファベースアドレス・オフセット

ソフトウェアでは IPCCDBA を使用して、IPCC バッファ構造のベースアドレスを示すことができます。定義と解決は、完全にソフトウェアによって制御されます。

4.10.16 FLASH CPU2 アクセス制御レジスタ (FLASH_C2ACR)

アドレス・オフセット : 0x05C

リセット値 : 0x0000 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PES	Res.	Res.	Res.	ICRST	Res.	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw				rw		rw	rw								

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 PES : CPU2 プログラムノ消去サスペンド要求

0 : Flash のプログラムおよび消去操作を許可

1 : 新しい Flash のプログラムおよび消去操作は、このビットと FLASH_ACR の同じビットがクリアされるまでサスペンドされます。FLASH_SR および FLASH_C2SR の PESD ビットがセットされるのは、少なくとも 1 つの FLASH_ACR または FLASH_C2ACR の PES ビットがセットされた場合です。

ビット 14:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **ICRST** : CPU2 命令キャッシュのリセット

0 : CPU2 命令キャッシュはリセットされません。

1 : CPU2 命令キャッシュはリセットされます。

このビットに書き込めるのは、命令キャッシュが無効のときだけです。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ICEN** : CPU2 命令キャッシュの有効化

0 : CPU2 命令キャッシュは無効です。

1 : CPU2 命令キャッシュは有効です。

ビット 8 **PRFTEN** : CPU2 プリフェッチの有効化

0 : CPU2 プリフェッチは無効です。

1 : CPU2 プリフェッチは有効です。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

4.10.17 FLASH CPU2 ステータスレジスタ (FLASH_C2SR)

アドレス・オフセット : 0x060

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート。ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY
												r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	RDERR	Res.	Res.	Res.	Res.	FASTERR	MISSERR	PGERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
	rc_w1					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **PESD** : プログラム/消去操作がサスペンド

このビットは、ハードウェアによってセット/リセットされます。このビットは、FLASH_ACR または FLASH_C2ACR の少なくとも 1 つの PES ビットがセットされるとセットされます。

このビットは、FLASH_ACR と FLASH_C2ACR の両方の PES がクリアされるとクリアされます。

セットすると、新しいプログラムまたは消去操作は開始されません。

ビット 18 **CFGBSY** : ビジー状態のプログラムまたは消去設定

このビットは、ハードウェアによってセット/リセットされます (最初のワード送信時にセットされ、プログラム操作の完了時またはエラーによる割込み時にリセットされます)。

セットされると、PG のプログラムおよび消去設定と FLASH_C2CR の PNB が使用され (ビジー)、変更はできません。Flash のプログラムまたは消去操作が進行中です。

リセットすると、PG のプログラムおよび消去設定と FLASH_C2CR の PNB の設定を変更できます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BSY** : ビジー

このビットは、FLASH_C2CR で要求された Flash 操作が進行中であることを示します。このビットは Flash 操作の開始時にセットされ、操作が終了するかエラーが発生するとリセットされます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 RDERR : PCROP 読出しエラー

D-バスを通じて読み出すアドレスが Flashメモリの読出し保護領域 (PCROP 保護) のアドレスである場合、このビットがハードウェアによってセットされます。Flash_CR で RDERRIE がセットされると、割込みが生成されます。

このビットは、1 を書き込むことによってクリアされます。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 FASTERR : 高速プログラミングエラー

高速プログラミングシーケンス (FSTPG によって有効化) がエラー (配置、サイズ、書き込み保護、データミス) により割り込まれた場合に、このビットがハードウェアによってセットされます。対応するステータスビット (PGAERR、SIZERR、WRPERR または MISSERR) が同時にセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 8 MISSERR : 高速プログラミングデータミスエラー

高速プログラミングモードで、32 ダブルワード (256 バイト) を連続で Flashメモリに送信して、現在のデータが完全にプログラムされる前に Flashメモリロジック制御に新しいデータを送信する必要があります。新しいデータが間に合わず存在しない場合に、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 7 PGSERR : プログラミングシーケンスエラー

PG または FSTPG が以前に設定されていない時にコードによって Flashメモリへの書き込みアクセスが実施されると、このビットがハードウェアによってセットされます。以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR または FASTERR がセットされている場合にも、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 6 SIZERR : サイズエラー

プログラムまたは高速プログラムシーケンス中のアクセスのサイズが、バイトまたはハーフワードである場合に、このビットがハードウェアによってセットされます。ダブルワードのプログラミングだけが可能です (結果としてワードアクセス)。

このビットは、1 を書き込むことによってクリアされます。

ビット 5 PGAERR : プログラミング配置エラー

標準プログラミングの場合、または高速プログラミング中にページの変更がある場合、プログラムするデータを同じダブルワード (64 ビット) アライメントの Flashメモリに格納できない場合は、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 4 WRPERR : 書き込み保護エラー

消去/プログラムするアドレスが (WRP、PCROP または RDP レベル 1 によって) Flashメモリの書き込み保護された部分のアドレスである場合、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 3 PROGERR : プログラミングエラー

書き込むダブルワードデータが「0x0000 0000 0000 0000」である場合を除き、プログラムする前に、プログラム対象のダブルワードアドレスに「0xFFFF FFFF FFFF FFFF」以外の値が含まれる場合、このビットがハードウェアによってセットされます。

このビットは、1 を書き込むことによってクリアされます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 OPERR : 操作エラー

Flashメモリ操作 (プログラム/消去) が異常終了すると、このビットがハードウェアによってセットされます。

このビットは、エラー割込みが有効になっていて (ERRIE = 1)、1 を書き込んでクリアされた場合にのみセットされます。

ビット 0 **EOP** : 演算終了

1 つまたは複数の Flashメモリ 操作 (プログラム/消去) が正常に完了した場合に、このビットがハードウェアによってセットされます。

このビットは、演算終了割込みが有効になっていて (EOPIE = 1)、1 を書き込んでクリアされた場合にのみセットされます。

4.10.18 FLASH CPU2 制御レジスタ (FLASH_C2CR)

アドレス・オフセット : 0x064

リセット値 : 0xC000 0000

アクセス : ノーウェイトステート (進行中の Flashメモリ 操作がない場合)。ワード、ハーフワード、バイトアクセス。

このレジスタは、FLASH_C2SR で CFGBSY がセットされているときには変更できません。

- PESD が FLASH_C2SR でクリアされると、レジスタ書込みアクセスは (たとえば、他の CPU によって) CFGBSY がクリアされるまでストールされます。
- FLASH_C2SR に PESD がセットされている場合、レジスタ書込みアクセスによってバスエラーが発生します。
- FLASH_C2SR に PESD がセットされているが、進行中のプログラムまたは消去操作がない場合、レジスタ書込みアクセスは完了します。要求されたプログラムまたは消去操作はサスペンドされ、BSY/CFGBSY がアサートされます。また、サスペンドが非アクティブ化されるまで 1 が保持されます。その結果、PESD ビットは 0 に戻り、サスペンドされた操作が完了します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	Res.	STRT
					rw	rw	rw						rw		rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	PNB[6:0]						MER	PER	PG	
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **RDERRIE** : PCROP 読出しエラー割込み有効化

このビットは、FLASH_SR の RDERR が 1 にセットされると割込み生成を有効にします。

0 : PCROP 読出しエラー割込みが無効です。

1 : PCROP 読出しエラー割込みが有効です。

ビット 25 **ERRIE** : エラー割込み有効化

このビットは、FLASH_SR の OPERR が 1 にセットされると割込み生成を有効にします。

0 : OPERR エラー割込みが無効です。

1 : OPERR エラー割込みが有効です。

ビット 24 **EOPIE** : 操作終了割込み有効化

このビットは、FLASH_SR の EOP が 1 にセットされると割込み生成を有効にします。

0 : EOP 割込みは無効です。

1 : EOP 割込みは有効です。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **FSTPG** : 高速プログラミング

0 : 高速プログラミングは無効です。

1 : 高速プログラミングは有効です。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **STRT** : 開始

このビットがセットされた場合、消去操作がトリガされます。MER および PER ビットがどちらもリセットされ、STRT ビットがセットされると、エラーフラグを生成せずに予測不可能な動作を実行することがあります。この条件は禁止されます。

このビットはソフトウェアによってのみセットされ、FLASH_SR で BSY がクリアされるとクリアされます。

システムがセキュア (ESE = 1) であり、CPU1 による動作を開始するとき、関連するセキュア Flash ページは拒否され、バスエラーが生成されます。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:3 **PNB[6:0]** : ページ番号選択

これらのビットは、消去するページ (2 KB) を選択します。

0x00 : ページ 0

0x01 : ページ 1

.....

0x7F : ページ 127

ビット 2 **MER** : 全体消去

このビットがセットされると、全体消去 (ユーザーページすべて) がトリガされます。

ビット 1 **PER** : ページ消去

0 : ページ消去は無効です。

1 : ページ消去は有効です。

ビット 0 **PG** : プログラミング

0 : Flash プログラミングは無効です。

1 : Flash プログラミングは有効です。

4.10.19 Flash セキュア Flash 開始アドレスレジスタ (FLASH_SFR)

アドレス・オフセット : 0x080

リセット値 : 0xFFFF EFFF

ST 製造時のデフォルトリセット値が 0bX111 1111 XXXX XXXX 111X 1111 XXXX XXXX の場合、パワーオン・リセット解除時に、このオプションビットに Flash メモリのユーザー値がロードされます。

システムがセキュアな場合 (ESE = 1)、このレジスタは書き込みアクセスのセキュリティを提供し、CPU2 によってのみ書き込みできます。CPU1 からの書き込みアクセスは無視され、不正アクセスイベントが生成されます。読出しアクセス時には、レジスタ値が返されます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

このレジスタは、DDS ビットを除き、HDPAD = 0 の場合、HDPADIS によってさらに書き込み保護されます。書き込み保護ビットに書き込めるのは、HDPADIS = 0 の場合のみです。HDPADIS = 1 の場合、書き込みアクセスは無視されます。読出しアクセスではレジスタデータが返されます。

書き込み値は OBL の後にのみ考慮されます。

読出しに関する制約はありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUBGHSPISD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HDPAD	HDPSA[6:0]						
	rw							rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DDS	Res.	Res.	Res.	Res.	FSD	SFSA[6:0]						
			rw					rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 SUBGHSPISD : Sub-GHz 無線のSPI セキュリティの無効化
 FSD = 1 の場合、この SUBGHSPISD ビットの値にかかわらず、Sub-GHz 無線のSPI セキュリティは無効です。
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 0 (かつ FSD = 0) : Sub-GHz 無線のSPI セキュリティは有効です。
 1 (かつ FSD = 0) : Sub-GHz 無線のSPI セキュリティは無効です。

ビット 30:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 HDPAD : ユーザ Flashメモリ非表示保護領域の無効化
 FSD = 1 の場合、この HDPAD ビットの値が何であれ、ユーザFlashメモリ非表示保護領域は無効です。
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 0 (かつ FSD = 0) : ユーザ Flashメモリ非表示保護領域は有効です。HDPSA[6:0] には、ユーザ Flashメモリ非表示保護領域の最初の 2 KB のページの開始アドレスが含まれます。
 1 (かつ FSD = 0) : ユーザ Flashメモリ非表示保護領域は無効です。

ビット 22:16 HDPSA[6:0] : ユーザ Flashメモリの非表示保護領域の開始アドレス
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 FSD = HDPAD = 0 の場合、ユーザ Flashメモリの非表示保護領域は有効です。
 HDPSA[6:0] には、ユーザ Flashメモリ非表示保護領域の最初の 2 KB のページの開始アドレスが含まれます。
 0x00 : Flashメモリ非表示保護開始アドレス・オフセット 0x0000 0000
 0x01 : Flashメモリ非表示保護開始アドレス・オフセット 0x0000 0800

 0x7F : Flashメモリ非表示保護開始アドレス・オフセット 0x0003 F800

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 DDS : CPU2 のデバッグアクセスの無効化
 0 : CPU2 のデバッグアクセスは有効です。(C2SWDBGEN によっても有効にされた場合)
 1 : CPU2 のデバッグアクセスは無効です。

ビット 11:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 FSD : Flashメモリセキュリティは無効です。
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 0 : システムおよび Flashメモリがセキュア (Flashメモリのセキュア領域を SFSA[6:0] とします)
 1 : システムおよび Flashメモリが非セキュア

ビット 6:0 SFSA[6:0] : セキュア Flashメモリの開始アドレス
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 FSD = 0 の場合、システムおよび Flashメモリはセキュアです。SFSA[6:0] には、セキュア Flashメモリ領域の最初の 2 KB のページのページ番号が含まれます。
 0X00 : セキュア Flashメモリ開始アドレス・オフセット 0x0000 0000
 0X01 : セキュア Flashメモリ開始アドレス・オフセット 0x0000 0800

 0x7F : セキュア Flashメモリ開始アドレス・オフセット 0x0003 F800



4.10.20 FLASH セキュア SRAM 開始アドレスおよび CPU2 リセット・ベクタ・レジスタ (FLASH_SRRVR)

アドレス・オフセット : 0x084

リセット値 : 0xFFFF 8000

ST 製造時のデフォルトリセット値が与えられます。その後、パワーオン・リセット解除時に、0bXXXX XXX1 XXXX XX11 XXXX XXXX XXXX XXXX のオプションビットに Flashメモリのユーザ値がロードされます。

システムがセキュアな場合 (ESE = 1)、このレジスタは書き込みアクセスのセキュリティを提供し、CPU2 によってのみ書き込みできます。CPU1 からの書き込みアクセスは無視され、不正アクセスイベントが生成されます。読出しアクセス時には、レジスタ値が返されます。

システムがセキュア (ESE = 1) の場合、このレジスタは PRIVMODE によってさらに保護されます。PRIVMODE で特権保護が有効になっている場合、このレジスタは書き込みアクセス特権を提供し、特権アクセスによってのみ書き込みできます。非特権書き込みアクセスは無視され、不正アクセスイベントが生成されます。非特権読出しアクセスは許可されます。

このレジスタは、C2OPT および SBRV ビットを除き、HDPAD = 0 の場合、HDPADIS によってさらに書き込み保護されます。書き込み保護ビットに書き込めるのは、HDPADIS = 0 の場合のみです。HDPADIS = 1 の場合、書き込みアクセスは無視されます。読出しアクセスではレジスタデータが返されます。

C2OPT および SBRV ビットは、C2BOOT_LOCK によってさらに保護されます。保護ビットにアクセスできるのは、C2BOOT_LOCK = 0 の場合のみです。C2BOOT_LOCK = 1 の場合、書き込みアクセスは無視され、読出しアクセスによってレジスタデータが返されます。

書き込み値は OBL の後にのみ考慮されます。

読出しに関する制約はありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C2OPT	NBRSD	SNBRSA[4:0]				Res.	BRSD	SBRSA[4:0]				Res.	Res.		
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBRV[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 C2OPT : CPU2 ブートリセット・ベクタのメモリ選択

このビットは、C2BOOT_LOCK = 0 の場合にソフトウェアによってのみアクセスできます。

0 : SBRV オフセットでは SRAM1 または SRAM2 のアドレス指定を、開始アドレス 0x2000 0000 + SBRV とします。

注 : SBRV オフセット値は SRAM 領域内に保持する必要があります。

1 : SBRV オフセットでは Flashメモリのアドレス指定を、開始アドレス 0x0800 0000 + SBRV とします。

ビット 30 NBRSD : 「非バックアップ」SRAM1 セキュリティの無効化

このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書き込み保護されます。

FSD = 1 の場合、この NBRSD ビットの値にかかわらず、SRAM1 は非セキュアです。

0 (かつ FSD = 0) : SRAM1 はセキュアです。SNBRSA[4:0] には、セキュア「非バックアップ」SRAM1 領域の最初の 1 KB ページの開始アドレスが含まれます。

1 (かつ FSD = 0) : SRAM1 は非セキュアです。



- ビット 29:25 **SNBRSA[4:0]** : セキュア「非バックアップ」SRAM1 の開始アドレス
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 FSD = NBRSD = 0 の場合、SRAM1 はセキュアです。SNBRSA[4:0] には、セキュア「非バックアップ」SRAM1 領域の最初の 1 KB ページの開始アドレスが含まれます。
 0x00 : 「非バックアップ」SRAM1 の開始アドレス・オフセット 0x0000 0000
 0x01 : 「非バックアップ」SRAM1 の開始アドレス・オフセット 0x0000 0400

 0x1F : 「非バックアップ」SRAM1 開始アドレス・オフセット 0x0000 7C00
- ビット 24 予約済みであり、リセット値に保持する必要があります。
- ビット 23 **BRSD** : 「バックアップ」SRAM2 セキュリティの無効化
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 FSD = 1 の場合、この BRSD ビットの値にかかわらず、SRAM2 は非セキュアです。
 0 (かつ FSD = 0) : SRAM2 はセキュアです。SBRSA[4:0] には、セキュア「バックアップ」SRAM2 領域の最初の 1 KB ページの開始アドレスが含まれます。
 1 (かつ FSD = 0) : SRAM2 は非セキュアです。
- ビット 22:18 **SBRSA[4:0]** : セキュア「バックアップ」SRAM2 の開始アドレス
 このビットは、HDPAD = 0 かつ HDPADIS = 1 のとき、書込み保護されます。
 FSD = BRSD = 0 の場合、SRAM2 はセキュアです。SBRSA[4:0] には、セキュアバックアップ SRAM2 領域の最初の 1 KB ページの開始アドレスが含まれます。
 0x00 : 「バックアップ」SRAM2 の開始アドレス・オフセット 0x0000 0000
 0x01 : 「バックアップ」SRAM2 の開始アドレス・オフセット 0x0000 0400

 0x1F : 「バックアップ」SRAM2 の開始アドレス・オフセット 0x0000 7C00
- ビット 17:16 予約済みであり、リセット値に保持する必要があります。
- ビット 15:0 **SBRV[15:0]** : CPU2 ブートリセット・ベクタ
 このビットは、C2BOOT_LOCK = 0 の場合にソフトウェアによってのみアクセスできます。
 C2OPT によって選択されたメモリ領域内でワード (4 バイト) に整列された CPU2 ブートリセット開始アドレス・オフセットが含まれます。
 0x0000 : CPU2 のブートアドレス・オフセット 0x0000 0000
 0x0001 : CPU2 のブートアドレス・オフセット 0x0000 0004

 0x1FFF : CPU2 のブートアドレス・オフセット 0x0000 7FFC
 ...
 0xFFFF : CPU2 のブートアドレス・オフセット 0x0003 FFFC

4.10.21 Flash レジスタマップ

表 25. Flash インタフェース レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x000	Flash_ACR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EMPTY	PES	Res	Res	DCRST	ICRST	DCEN	ICEN	PRFTEN	Res	Res	Res	Res	Res	Res	LATENCY [2:0]			
	リセット値																0	0				0	0	1	1	0						0	0	0	
0x004	FLASH_ACR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	C2SWDBGEN	HDPADIS	PRIVMODE
	リセット値																																X	0	0
0x008	Flash_KEYR	KEYR[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	Flash_OPTKEYR	OPTKEY[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	Flash_SR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値																																		
0x014	Flash_CR	LOCK	OPTLOCK	Res	Res	OBL_LAUNCH	RDRERIE	ERRIE	EOPIE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値	1	1			0	0	0	0																										
0x018	Flash_ECCR	ECCD	ECCC	Res	Res	CPUID [2:0]	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値	0	0			0	0	0	0																										
0x020	Flash_OPTR	C2BOOT_LOCK	BOOT_LOCK	Res	Res	nBOOT0	nSWBOOT0	SRAM_RST	SRAM2_PE	nBOOT1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値	0	0			1	1	1	1	1																									
0x024	Flash_PCROP1ASR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値																																		
0x028	Flash_PCROP1AER	PCROP_RDP	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値	1																																	
0x02C	Flash_WRP1AR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値																																		
0x030	Flash_WRP1BR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値																																		



表 25. Flash インタフェース レジスタマップとリセット値 (続き)

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x034	Flash_PCRP1BSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [7:0]											
	リセット値																										1	1	1	1	1	1	1	1	1		
0x038	Flash_PCRP1BER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [7:0]										
	リセット値																										0	0	0	0	0	0	0	0	0		
0x03C	Flash_IPCCBR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IPCCDBA[13:0]										
	リセット値																				1	1	1	1	1	1	1	1	1	1	1	1	1	1			
0x040 から 0x058	予約済みです。	予約済み。																																			
0x05C	FLASH_C2ACR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.			
	リセット値																																				
0x060	FLASH_C2SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.				
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x064	FLASH_C2CR	Res.	Res.	Res.	Res.	Res.	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PNB[6:0]						MER	PER	PG		
	リセット値						0	0	0						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x068 から 0x07C	予約済みです。	予約済み。																																			
0x080	FLASH_SFR	SUBGHZSPISD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.				
	リセット値	1																																			
0x084	FLASH_SRRVR	C2OPT	NBRSD	SNBRSA[4:0]				Res.	BRSD	SBRSA[4:0]				Res.	Res.	SBRV[15:0]																					
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				

レジスタ境界アドレスについては[セクション 2.6](#)を参照してください。

5 Sub-GHz 無線 (SUBGHZ)

5.1 Sub-GHz 無線の概要

Sub-GHz 無線は、150 ~ 960 MHz の ISM バンドで動作する超低電力 Sub-GHz 無線です。送受信における LoRa[®] および (G)FSK 変調と、送信のみにおける BPSK/ (G)MSK 変調により、通信範囲、データレート、および電力消費の間の最適なトレードオフが可能になります。この Sub-GHz 無線は、LoRaWAN[®] 仕様 v1.0 のほか、無線通信規則、たとえば ETSI EN 300 220、EN 300 113、EN 301 166、FCC CFR 47 パート 15、24、90、101、および ARIB STD-T30、T-67、T-108 に準拠しています。

LoRa 変調に関連する機能は、LoRa に対応した STM32WL55xx デバイスでのみ利用できます。

Sub-GHz 無線は以下で構成されています。

- アナログ・フロントエンド・トランシーバ：RFO_SP ピンで + 15 dBm の最大出力、RFO_HP ピンで + 22 dBm の最大出力が可能
- 次の変調方式を提供するデジタル・モデム・バンク：
 - バンド幅 (BW) 7.8 ~ 500 kHz、拡散係数 (SF) 5 ~ 12、ビット・レート (BR) 0.013 ~ 17.4 Kbit/s (実ビットレート) の LoRa Rx/Tx
 - FSK および GFSK Rx/Tx、BR : 0.6 ~ 300 Kbit/s
 - (G)MSK Tx、BR : 0.1 ~ 10 Kbit/s
 - BPSK Tx、BR : 100 および 600 bit/s
- すべてのデータ処理および Sub-GHz 無線の設定制御で構成されるデジタル制御
- ハイスピード・クロック生成

5.2 Sub-GHz 無線の主な機能

Sub-GHz 無線の主な機能を次に示します。

- 以下に対応する半二重 150 ~ 960 MHz ISM Sub-GHz 無線トランシーバ：
 - LoRa 変調
 - (G)FSK 変調
 - (G)MSK Tx 変調
 - BPSK Tx 変調
- 最大 + 22 dBm のプログラム可能な出力電力
- 低 IF アーキテクチャ：RF 受信信号を負の周波数にある信号トーンとミキシング
 $f_{i0} = -f_{rf} + f_{if}$: ここで、 f_{i0} はローカル RF-PLL オシレータ周波数、 f_{rf} は所望の受信信号、 f_{if} は中間周波数です。
- イメージ除去を改善する自動 I/Q 較正

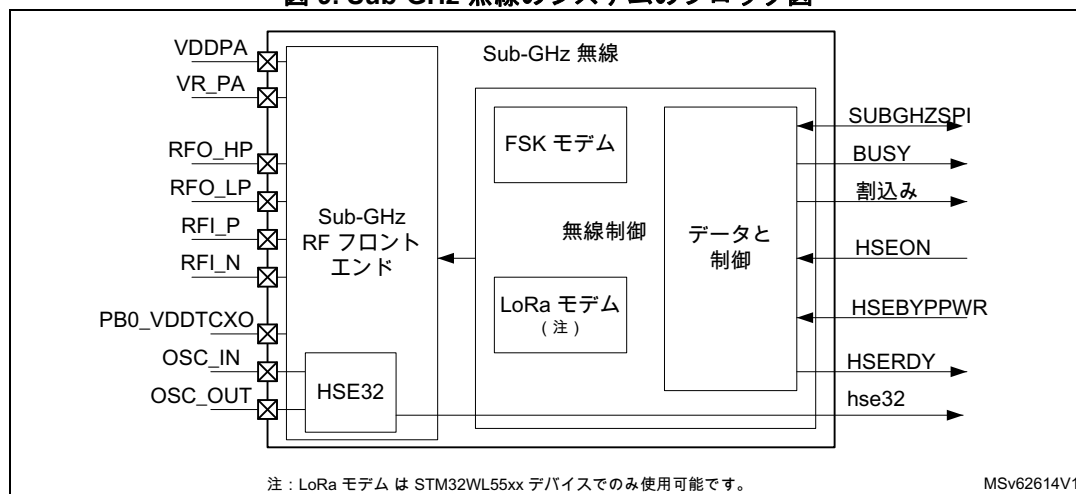
5.3 Sub-GHz 無線の機能説明

5.3.1 概要

Sub-GHz 無線は、システム CPU との通信を処理するための内部処理ユニットとして機能します。通信は SPI インタフェース経由で送信されるコマンドによって処理され、一連の割り込みを使用してイベントが通知されます。BUSY 情報は動作アクティビティを通知し、Sub-GHz 無線のコマンドを受信できないタイミングを示すために使用されます。

Sub-GHz 無線のシステムのブロック図を次の図に示します。

図 9. Sub-GHz 無線のシステムのブロック図



5.3.2 Sub-GHz 無線の信号

次の表に、Sub-GHz 無線の信号の一覧を示します。

表 26. Sub-GHz 内部入出力信号

信号名	信号タイプ	説明
RFO_HP	RF 出力	高電力 PA の出力
RFO_LP	RF 出力	低電力 PA の出力
RFI_P	RF 入力	レシーバの差動 P 入力
RFI_N	RF 入力	レシーバの差動 N 入力
OSC_IN	アナログ入力	HSE32 オシレータ入力
OSC_OUT	アナログ出力	HSE32 オシレータ出力
VDDPA	電源	PA レギュレータの入力電源
VR_PA	電源	安定化 PA 電源出力
PB0_VDDTCXO	電源	安定化 TCXO 電源出力
hse32	デジタル出力	CPU への HSE32 クロック 信号
HSEON	デジタル入力	CPU 使用率のための HSE32 クロックの有効化
HSEBYPWR	デジタル入力	VDDTCXO レギュレータ制御の有効化
HSERDY	デジタル出力	HSE32 クロックレディ表示

表 26. Sub-GHz 内部入出力信号 (続き)

信号名	信号タイプ	説明
SUBGHZSPI	デジタル入/出力	Sub-GHz 無線のSPI インタフェース
BUSY	デジタル出力	BUSY 信号
割込み	デジタル出力	IRQ 割込み

5.3.3 トランスミッタ

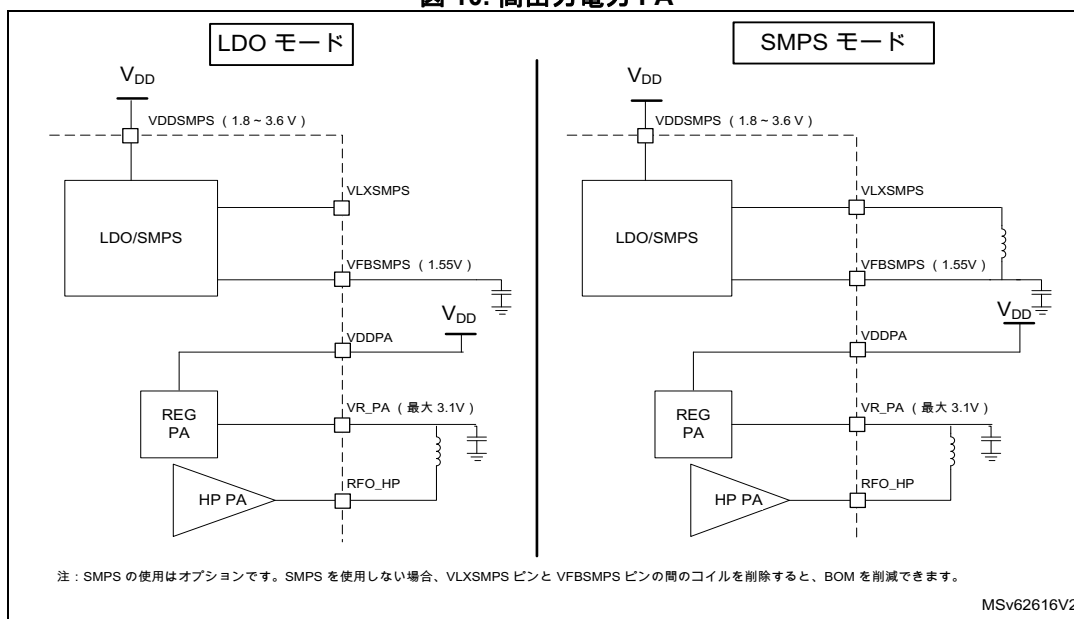
送信チェーンは、RF-PLL を直接変調するモデムからの変調出力で構成されます。ビットストリームのオプションの事前フィルタリングを有効にすることにより、選択した変調方式にも基づいて、隣接チャンネルの電力を低減することができます。RF-PLL からの変調信号は、高電力 PA (HP PA) または低電力 PA (LP PA) を直接駆動します。

トランスミッタ高出力電力

最大 +22 dBm の高出力電力は、RFO_HP RF ピンを通して送出されます。PA レギュレータ (REG PA) から HP PA に最大 3.1 V を供給できます。

このため、下図に示すように、V_{DD} (VDDSMPS ピン) から REG PA に直接電力を供給する必要があります。

図 10. 高出力電力 PA



次の表に、最大送信出力電力と V_{DDPA} の供給レベルを示します。

表 27. Sub-GHz 無線送信高出力電力

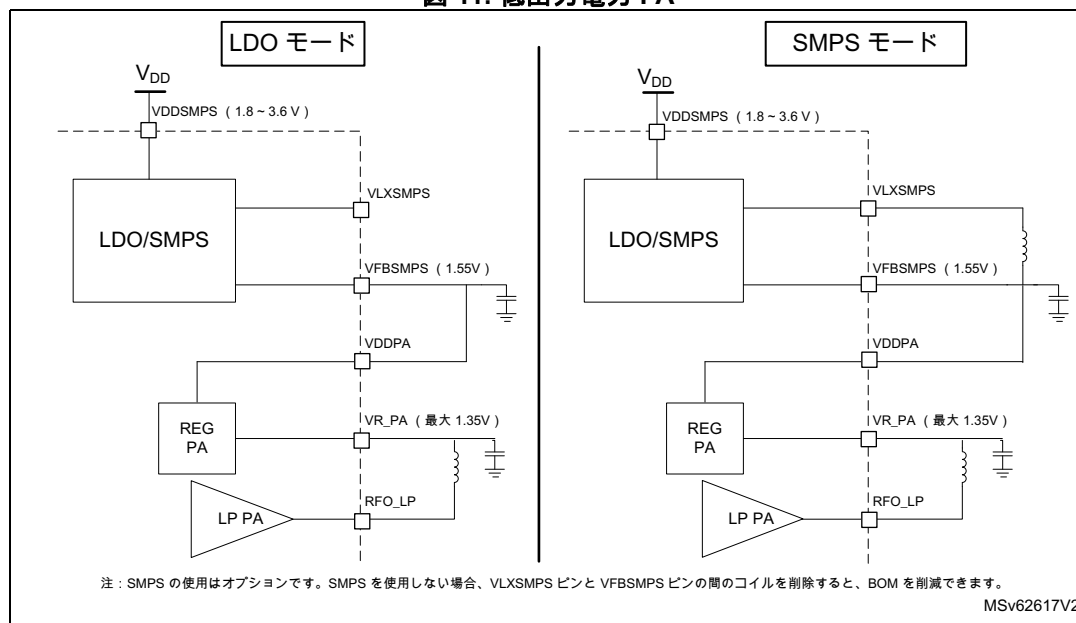
V _{DDPA} 電源 (V)	出力電力 (dBm)
3.3	+ 22
2.7	+ 20
2.0	+ 16

トランスミッタ低出力電力

最大 +15 dBm の低出力電力は、RFO_LP ピンを通して送出されます。PA レギュレータ (REG PA) から LP PA に最大 1.35 V が供給できます。このためには、下図に示すように、REG PA には 1.55 V の安定化された V_{FBSMPS} 電源を供給する必要があります。

出力電力範囲は、1 dB までの 32 段階でプログラムできます。パワーアンプの起動時間もプログラム可能です。これにより、無線通信規則に適合させることができます。

図 11. 低出力電力 PA



5.3.4 レシーバ

受信チェーンは、差動低ノイズアンプ (LNA) と、直交設定でのミキサ動作による低 IF へのダウンコンバータで構成されます。I および Q 信号はローパスフィルタがかけられ、 $\Sigma\Delta$ A/Dコンバータによりそれらがデジタルドメインに変換されます。デジタルモデムでは、信号が間引かれ、さらにダウンコンバートされ、チャンネルがフィルタリングされます。復調は、選択した変調方式に従って実行されます。

低 IF へのダウン・ミキシングは、受信信号を負の周波数にあるローカル RF-PLL でミキシングすることによって実行されます。ここで、 $-f_{lo} = -f_{rf} + f_{if}$ となります。(ここで f_{lo} はローカル RF-PLL 周波数、 f_{rf} は受信信号、 f_{if} は中間周波数)。所望の信号は $f_{rf} = f_{lo} + f_{if}$ にあります。

レシーバは、イメージ除去を改善する自動 I および Q 較正を備えています。較正は、起動時、レシーバを使用する前に自動的に実行され、コマンドで要求することができます (詳細は、[特定の周波数バンドのイメージ較正](#)を参照してください)。

レシーバは LoRa および (G)FSK 変調に対応しています。

5.3.5 RF-PLL

RF-PLL は、送信チェーンと受信チェーンの両方で局部オシレータ周波数 (f_{lo}) を生成するための周波数シンセサイザとして使用されます。RF-PLL は、自動較正を使用し、32 MHz HSE32 リファレンスを使用します。Sub-GHz 無線は、150 ~ 960 MHz の範囲のすべての連続周波数をカバーします。

5.3.6 中間周波数

Sub-GHz 無線のレシーバは、特定の高バンド幅設定を除き、ほとんどの場合、低 IF 設定で動作します。

表 28. FSK モードの中間周波数

設定名	バンド幅 (kHz)	f_{if} (kHz)
RX_BW_467	467.0	250
RX_BW_234	234.3	
RX_BW_117	117.3	
RX_BW_58	58.6	
RX_BW_29	29.3	
RX_BW_14	14.6	
RX_BW_7	7.3	
RX_BW_373	373.6	200
RX_BW_187	187.2	
RX_BW_93	93.8	
RX_BW_46	46.9	
RX_BW_23	23.4	
RX_BW_11	11.7	
RX_BW_5	5.8	
RX_BW_312	312.0	167
RX_BW_156	156.2	
RX_BW_78	78.2	
RX_BW_39	39.0	
RX_BW_19	19.5	
RX_BW_9	9.7	
RX_BW_4	4.8	

表 29. LoRa モードの中間周波数

設定名	バンド幅 [kHz]	f_{if} [kHz]
LORA_BW_500	500	0
LORA_BW_250	250	250
LORA_BW_125	125	
LORA_BW_62	62.5	167
LORA_BW_41	41.67	
LORA_BW_31	31.25	250
LORA_BW_20	20.83	167
LORA_BW_15	15.63	250
LORA_BW_10	10.42	167
LORA_BW_7	7.81	250

5.4 Sub-GHz 無線のクロック

5.4.1 内部オシレータ

次の Sub-GHz 無線専用の内部 RC オシレータが使用できます。

- 64 kHz RC オシレータ
 - Sub-GHz 無線の SLEEP モード時に、定期的またはデューティサイクル動作を実行するときにトランシーバをウェイクアップするために、オプションで使用します。
 - 時間ベースイベントのために、Sub-GHz 無線の RTC によって使用されます。
- 13 MHz RC オシレータ：すべての Sub-GHz 無線の SPI 通信で有効

各 Sub-GHz 無線の内部オシレータの周波数は、ディープスリープまたは SLEEP-to-STANDBY から各 Sub-GHz 無線の遷移時、および Sub-GHz 無線のリセット後に、HSE32 クロックを使用して校正されます。校正は、コマンド `Calibrate()` によって要求時に実行することもできます。

5.4.2 HSE32 リファレンスクロック

Sub-GHz 無線の送受信に必要な高精度 32 MHz 周波数は HSE32 から取得されます。HSE32 クロックは、マイクロコントローラによって使用することもできます。外部クリスタル (XTAL) または温度補償クリスタル・オシレータ (TCXO) にも対応しています。使用するクロックソースは RCC で設定します (詳細は、[セクション 7.2.1: トリミング機能付き HSE32 クロック](#)を参照してください)。

HSE32 を XTAL とともに使用する場合、負荷コンデンサはトリミング可能な内蔵コンデンサバンクによって提供されます。トリミングは、SUBGHZ_HSEINTRIMR および SUBGHZ_HSEOUTRIMR レジスタで提供されます。OSC_IN および OSC_OUT の負荷容量は個別にトリミングできます。ソフトウェア・トリミングは、Sub-GHz 無線が HSE32 モードで STANDBY に移行した後に適用する必要があります。

Sub-GHz 無線に内蔵されている TCXO レギュレータは、外部の温度補償クリスタル・オシレータ (TCXO) への電源供給に使用できます。安定化 V_{DDTCXO} の供給レベルは、`set_TcxoMode()` コマンドを通じて制御されます。

送信出力電力 (最大 +22 dBm) によっては、Sub-GHz 無線によってデバイスが加熱されることがあります。加熱の状況は、使用する送信出力電力とデバイスのパッケージによって変わります。HSE32 リファレンスクロック・ソースへの熱伝達を避けるために、熱放散技術を使用して慎重に PCB を設計する必要があります。Sub-GHz 無線に関連する HSE32 の周波数ドリフト要件については、[セクション 5.5.1: LoRa モデム](#)を参照してください。

5.5 Sub-GHz 無線のモデム

次のモデムにより、それぞれの変調と関連するフレーミングが有効化されます。

- LoRa フレーミングを使用した LoRa
- 汎用フレーミングを使用した FSK および MSK
- BPSK フレーミングを使用した BPSK

モデムとフレームタイプは、`Set_PacketType()` コマンドでセットされます。現在使用しているモデムとフレームタイプは、`Get_PacketType()` コマンドで取得できます。

使用するモデムとフレームを選択したら、変調とパケットのパラメータを `Set_ModulationParams()` および `Set_PacketParams()` コマンドで定義できます。

LoRa および (G)FSK^(a) モデムは送信と受信の両方に対応しています。

(G)MSK および BPSK モデムは送信のみに対応しています。

フレーミングにより、パケットでのビット・ストリームの変換方法と、データ・バッファでのデータの格納方法が規定されます。ホワイトニングや CRC 処理などの演算を行います。フレーミングは、`Set_PacketParams()` を使用して設定します。

5.5.1 LoRa モデム

LoRa モデムは、スペクトル拡散変調と前方誤り訂正技術に基づいて、Sub-GHz 無線の通信の範囲と信頼性を向上させます。LoRa モデムでは、同一チャネル拒否が改善されています。

LoRa 変調を `Set_ModulationParams()` コマンドで特定のアプリケーション用に最適化することにより、リンク・バジェット、干渉耐性、スペクトル占有、および公称データレートの間でのトレードオフが可能です。

以下のパラメータが最適化できます。

- 拡散係数 (SF)
- 変調バンド幅 (BW)
- エラー符号化率 (CR)
- 低データレート最適化 (LDRO)

LoRa シンボルレート (R_s) は、 $R_s = BW / 2^{SF}$ と定義されます。

送信信号は、定常的なエンベロープ信号です。同じように、バンド幅 1 Hz ごとに 1 秒あたり 1 チップが送信されます。

拡散係数 (SF)

LoRa スペクトル拡散変調は、パケット・ペイロードの各データビットを複数の情報チップで表すことによって実行されます。拡散情報の送信レートは、シンボルレート (R_s) と呼ばれます。公称データレートとチップレートの比率が拡散係数 (SF) です。データビットあたりのシンボル数を表します。

拡散係数は、リンクの送信側と受信側の両方で事前に知っておく必要があります。

レシーバ入力で後から必要となる信号対雑音比 (SNR) は、拡散係数の影響を受けます。これにより、レシーバ感度を高めることができ、リンク・バジェットと通信範囲を増やすことができます。

拡散係数が高いほど、レシーバ感度が向上し、リンク・バジェットが拡大し、通信範囲が拡大しますが、その代わりに送信時間は長くなります (下の表を参照)。

表 30. 拡散係数、チップ/シンボル、および LoRa SNR

拡散係数 (SF)	5	6 ⁽¹⁾	7 ⁽²⁾	8	9	10	11	12
2^{SF} (チップ/シンボル)	32	64	128	256	512	1024	2048	4096
LoRa 復調器の SNR (dB)	-2.5	-5	-7	-9.5	-12	-14.5	-17	-19

1. SF6 には、以前の LoRa デバイスとの下位互換性はありません。

2. デフォルト値

SF5 および SF6 では、シンボルレートが高いため、受信信号の正しい検出および復調を保証するために必要な最小プリアンブル長は 12 シンボルです。

a. (G)FSK モデムは、周波数偏差をビット・レートの 1/4 に設定する場合に、Tx および Rx での (G)MSK 変調に使用できます。

バンド幅 (BW)

信号バンド幅を増加させると、より高い有効データレートを使用できるようになり、送信時間は短縮されますが、その代わりに感度、リンク・バジェットが低下し、通信範囲が縮小されます。LoRa モデムは、プログラム可能な RF 周波数 (f_{rf}) に対応するプログラム可能なバンド幅 (BW) で動作します。

許可された占有バンド幅には、国固有の規制上の制約があります。LoRa 信号バンド幅は両側バンド幅 (DSB) を指します。バンド幅選択範囲を下の表に示します。

表 31. LoRa バンド幅設定

LoRa BW 設定	0	1	2	3	4	5	6	7	8 ⁽¹⁾	9 ⁽¹⁾
バンド幅 (kHz)	7.81	10.42	15.63	20.83	31.25	41.67	62.5	125	250	500

1. バンド幅 250 kHz および 500 kHz は 400 MHz RF 周波数未満では使用できません。

前方誤り訂正符号化率 (CR)

Sub-GHz 無線の通信は、前方誤り訂正を行うことにより、信頼性を高めることができます。これは、干渉が存在する場合に特に効果的です。符号化率は、チャンネルの状況に応じて変更することができます。符号化率情報は、レシーバによって使用できるように、パケット・ヘッダに組み込まれています。

符号化率が高いと、干渉に対する耐性が向上しますが、その代わりに送信時間は長くなります。通常の条件と係数 4/5 では、最良のトレードオフが得られます。干渉が強い場合には、より高い符号化率を使用することができます。

符号化率とオーバーヘッド比を下の表に示します。

表 32. 符号化率とオーバーヘッド比

CR 設定	0 ⁽¹⁾	1	2 ⁽²⁾	3	4
符号化率 (データビット/総符号化ビット)	4/4	4/5	4/6	4/7	4/8
オーバーヘッド比	1	1.25	1.5	1.75	2

1. 前方誤り訂正はありません。
2. デフォルト値

低データレート最適化 (LDRO)

低データレート (通常は高 SF または低 BW) であり、ペイロードが非常に長い (数秒続くことがあります) 場合、低データレート最適化 (LDRO) を有効にすることができます。これにより、シンボルあたりのビット数が指定の SF から 2 を差し引いた値まで低減され、レシーバが LoRa 受信信号をより良好にトラッキングできるようになります。ペイロード長にもよりますが、通常、LoRa シンボル時間が 16.38 ms 以上の場合は低データレートの最適化が推奨されます。

LoRa 変調を使用する場合、パケット時間における総周波数ドリフトは、Freq_drift_max 未満に保つ必要があります。

$$\text{Freq_drift_max} = \text{BW} / (3 \times 2^{\text{SF}})$$

可能な場合、低データレート最適化を有効にし (Set_ModulationParams() コマンド)、パケット時間の総周波数ドリフトを 16 だけ緩和します。

$$\text{Freq_drift_optimise_max} = 16 \times \text{Freq_drift_max}$$

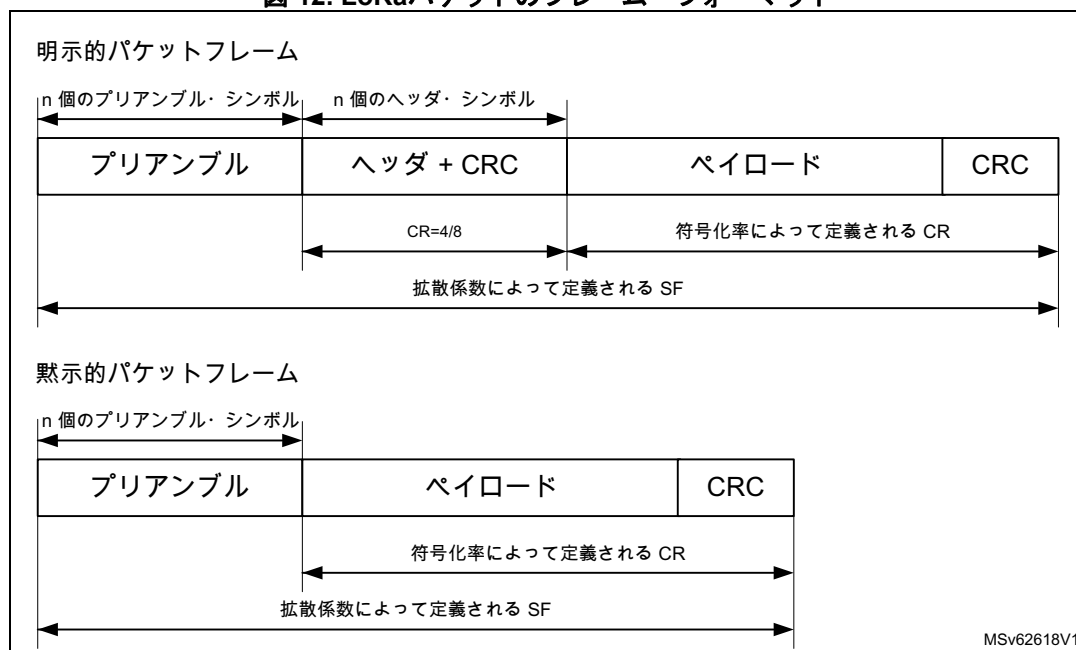
5.5.2 LoRa フレーミング

次のタイプの LoRa パケットフォーマットが使用できます。

- 明示的ヘッダ・モード・パケット：ペイロードのバイト数、符号化率、および CRC の有無に関する情報が記載されたショートヘッダが含まれます。
- 暗黙的ヘッダ・モード・パケット（ヘッダなし）

LoRa パケットのフレームを下図に示します。

図 12. LoRaパケットのフレーム・フォーマット



LoRa パケット・フレームは、レシーバを受信信号に同期させるためのプリアンブルで始まります。デフォルトでは、パケットは 12 シンボルの長さのプリアンブル・シーケンスを使用して設定されます。プリアンブル長は、`Set_PacketParams()` コマンドでプログラムできます。これにより、ほとんど無制限の長さのプリアンブルシーケンスを送信できます。

レシーバは、定期的に再開されるプリアンブル検出プロセスを実行します。このため、受信側のプリアンブル長は送信側と同じ設定にする必要があります。プリアンブル長が受信側で分からない場合、または変化する場合、受信側で最大プリアンブル長をプログラムする必要があります。

明示的パケットフォーマットでは、プリアンブルの後に CRC 付きのヘッダが続き、その後にペイロードとペイロード CRC が続きます。

黙示的パケットフォーマットでは、プリアンブルの直後にペイロードとペイロード CRC が続きます。

ペイロードは可変長フィールドであり、ここに含まれるユーザデータは、明示的ヘッダまたは黙示的モードの場合は Sub-GHz 設定で指定された符号化率で、`Set_PacketParams()` および `Set_ModulationParams()` コマンドにより符号化されています。

ペイロードの後に、オプションのペイロード CRC を配置することができます。

明示的ヘッダモード

デフォルトの動作モードは明示的ヘッダモードで、ヘッダによりペイロードに関する情報が提供されます。ヘッダの送信には、最大前方誤り訂正符号化率 4/8 が使用されます。レシーバが無効なヘッダを受信した場合にパケットを破棄できるように、独自のヘッダ CRC によって保護されています。

黙示的ヘッダモード

ペイロード符号化率と CRC の有無が固定または事前にわかっている特定の動作モードでは、黙示的ヘッダモードを呼び出して送信時間を短縮することが好都合な場合があります。このモードでは、パケット・フレームにヘッダは存在しません。ペイロード長、前方誤り訂正符号化率、およびペイロード CRC の有無は、Sub-GHz 無線のリンクの両側で設定する必要があります。

LoRa タイムオンエア

パケットの総送信時間は、次のように計算できます。

$$\text{TotalTimeOnAir} = (\text{PreambleSymbols} + \text{NbSymbolPayload} + 4.25 + 8) \times (2^{\text{SF}} / \text{BW})$$

ここで、PreambleSymbols は `Set_PacketParams (PbLength)` でプログラムされたプリアンブルシンボルの数です。

ペイロードシンボル数は、次のように計算できます。

$$\text{NbSymbolPayload} = \text{CEILING}(\text{NbSymbolPayloadFrac}, 4 + \text{CR})$$

ここで、CEILING は、小数の最初のパラメータの直前で $(4 + \text{CR})$ の整数倍に切り上げる関数です。

明示的モードでのペイロード小数部シンボル数は、次の式で計算できます。

$$\text{NbSymbolPayloadFrac} = ((\text{PL} \times 8 + \text{CRC} \times 16 - 4 \times (\text{SF} - 7)) \times (4 + \text{CR})) / (4 \times \text{SF})$$

黙示的モードでのペイロード小数部シンボル数は、次の式で計算できます。

$$\text{NbSymbolPayloadFrac} = ((\text{PL} \times 8 + \text{CRC} \times 16 - 4 \times (\text{SF} - 2)) \times (4 + \text{CR})) / (4 \times \text{SF})$$

ここで、

- CRC = 0 (CRC なし) または 1 (16 ビット CRC)
- CR = 0 ~ 4
- PL = 1 ~ 255、ユーザデータ・ペイロード長 (バイト数単位)
- SF = 7 ~ 12 の拡散係数

LoRa データレートの「生データレート」と「実データレート」は、次のように定義されています。

$$\text{RawBitRate} = ((\text{SF} \times \text{BW}) / 2^{\text{SF}}) \times (4 / (4 + \text{CR}))$$

$$\text{RealBitRate} = (\text{PayloadLength} \times 8) / \text{TotalTimeOnAir}$$

チャンネルアクティビティ検出 (CAD)

チャンネル・アクティビティ検出は、LoRa プリアンブルまたはデータシンボルを検出することによって、LoRa 信号の有無を検出するために使用されます。

チャンネル・アクティビティ検出モードになると、`Set_CadParams ()` コマンドで設定された時間だけ、バンドがスキャンされます。この期間に LoRa シンボルが検出されると、チャンネルアクティビティ検出された IRQ がセットされます。

チャンネル・アクティビティ検出を実行するために必要な時間は、LoRa 変調設定によって決まります。与えられた SF / BW に対して、標準的な CAD 検出時間を 1、2、4、8、または 16 シンボルから選択できます。CAD 継続時間は、1/2 シンボル分さらに延長されます。

5.5.3 FSK モデム

FSK モデムは、0.6 Kbit/s から最大 300 Kbit/s のデータレート範囲にわたって 2-FSK 変調に対応します。受信モードでは、バンド幅は選択したデータレートに一致するように自動的に調整されます。送信モードでは、周波数偏差は変調指数によって選択されます。オプションのガウス・フィルタを使用できます。すべての変調パラメータは、`Set_ModulationParams()` コマンドを使用してセットされます。

ビット・レート (または同等のチップ) は、HSE32 周波数を基準とし、次のように定義される BR パラメータによって制御されます。

$$BR = 32 \times HSE32_{FREQ} / BitRate \quad \text{ここで } HSE32_{FREQ} = 32 \text{ MHz}$$

FSK 変調は、分数分周器を変更することによって、RF-PLL のバンド幅内で実行されます。RF-PLL は高分解能であるため、非常に小さな周波数偏差に対応可能です。周波数偏差パラメータ `Fdev` は、`Set_ModulationParams()` のパラメータの 1 つです。`Fdev` は次のように定義されます。

$$Fdev = Fdev[Hz] / FreqStep \quad \text{ここで, } FreqStep = HSE32_{FREQ} / 2^{25}$$

正しい変調を保証するため、次の制限が適用されます。 $(Fdev + BR/2) < BW$ 。

バンド幅は、次のように選択する必要があります。

$$BW[DSB] \geq BR + 2 \times \text{周波数偏差} + \text{周波数誤差}$$

ここで、周波数誤差 = $2 \times HSE32_{FREQ}$ 誤差

FSK モデムの `PulseShape` パラメータにはいくつかのパルス整形オプションがあります。

5.5.4 MSK モデム

MSK モデムは、0.1 Kbit/s から最大 10 Kbit/s のデータレート範囲にわたって 2-MSK 変調に対応します。この MSK 変調は送信モードでのみ使用できます。変調指数は 0.5 に自動的に調整されます。オプションのガウス・フィルタを使用できます。すべての変調パラメータは、`Set_ModulationParams()` コマンドを使用してセットされます。

ビット・レート (または同等のチップ) は、HSE32 周波数を基準とし、次のように定義される BR パラメータによって制御されます。

$$BR = HSE32_{FREQ} / BitRate \quad \text{ここで } HSE32_{FREQ} = 32 \text{ MHz}$$

5.5.5 汎用フレーミング

汎用パケットフレーミングは、FSK および MSK モデムで使用されます。

汎用パケットは、独自の NRZ 符号化された長距離低エネルギー通信リンクのアプリケーションで使用できる従来のパケットフォーマットを備えています。汎用パケットフレーミングは、`Set_PacketParams()` コマンドで設定でき、疑似乱数生成、CRC 動作、およびパケット確認応答に基づいたホワイトニングを可能にします。

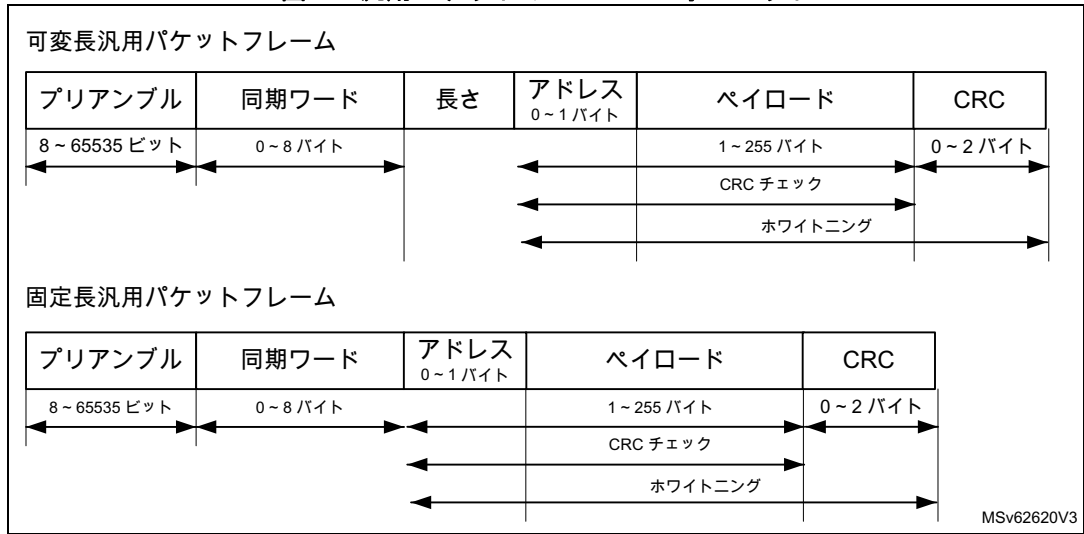
次のタイプの汎用パケットフォーマットを使用できます。

- 可変長パケット：ペイロードのバイト数に関する情報が記載されたショートヘッダ (名前付き長) を含みます。
- 固定長パケット：ヘッダなし

どちらのパケットフォーマットでも、アドレス・フィルタリングが有効なとき、ペイロード長は 254 に制限されます。

汎用パケットフレームを下の図に示します。

図 13. 汎用パケットのフレームフォーマット



1. ペイロード長は 255 バイトを超えて拡張できます。詳細については、[セクション 5.6: Sub-GHz 無線のデータ・バッファ](#) を参照してください。

汎用パケットフレームは、レシーバを受信信号に同期させるためのプリアンブルから始まります。プリアンブル長は、`Set_PacketParams()` コマンドでプログラムできます。

レシーバは、定期的に再開されるプリアンブル検出プロセスを実行します。このため、受信側のプリアンブル長は送信側と同じ設定にする必要があります。プリアンブル長が受信側で分からない場合、または変化する可能性がある場合、受信側で最大プリアンブル長をプログラムする必要があります。

プリアンブルの後に、`Set_PacketParams()` コマンドでプログラム可能な長さを持つ同期ワードフィールドが配置されます。

アドレスはオプションであり、いくつかのデバイスで同じ同期ワードを共有する場合にユニキャストに使用できます。

可変長汎用パケットフォーマットでは、同期ワードの後にペイロードの長さ（アドレス・フィールドが存在する場合、長さにはこの追加バイトを含む必要があります）が続き、その後にペイロードとペイロード CRC が続きます。

固定長汎用パケットフォーマットでは、同期ワードの直後にペイロードとペイロード CRC が続きます。

ペイロードは可変長フィールドであり、ここには可変長汎用パケットでの指定に従って、または `Set_PacketParams()` により固定長汎用パケットを使用する場合は Sub-GHz 無線の設定での指定に従って、ユーザデータが記述されます。

ペイロードの後に、`Set_PacketParams()` コマンドでプログラム可能な長さを持つオプションのペイロード CRC を配置できます。

フレームのエンディアンは MSB ファーストです。

可変長汎用パケットモード

パケットが不確定長または可変長の場合、ペイロード長の情報をパケット内で送信する必要があります。このため、同期ワードの後に、ペイロード長の情報が記載されたヘッダが送信されます。

固定長汎用パケットモード

ペイロード長が固定または事前にわかっている特定の動作モードでは、固定長の汎用パケットモードを呼び出して送信時間を短縮することが好都合な場合があります。このモードでは、パケットフレームにヘッダは存在しません。ペイロード長は、Sub-GHz 無線のリンクの両側で設定する必要があります。

ノードまたはブロードキャストアドレス

ノードまたはブロードキャストアドレスは、ペイロードの一部とはみなされません。Set_PacketParams() コマンドによって有効にされると、自動的に追加されます。これらのフィールドを追加すると、ユーザはヘッダレベルで追加のパケットフィルタリングを実行できます。

ホワイトニング

ホワイトニングは 9 ビット LFSR に基づき、ペイロードと、ヘッダと CRC (存在する場合は) を白色化するために使用されます。ホワイトニングでは、1 または 0 のビットが連続するシーケンスは 9 までに制限されます。ホワイトニング多項式は $x^9 + x^5 + 1$ であり、WHITEINI[8:0] のホワイトニング初期値で初期化できます。

CRC

多項式と初期値用に CRC 計算を設定でき、反転が可能です。設定は Set_PacketParams() コマンドを通して行います。

柔軟性の高い CRC 設定により、次のような任意の標準 CRC または独自の CRC を生成してチェックできます。

- IBM CRC の設定
 - CRC の多項式 0x8005
 - CRC の初期値 0xFFFF
 - 2 バイト長の CRC
- CCIT CRC の設定
 - CRC の多項式 0x1021
 - CRC の初期値 0x1D0F
 - 2 バイト長反転 CRC

5.5.6 BPSK モデム

BPSK モデムは、100 および 600 bit/s のデータレート用の BPSK 変調を備えています。BPSK 変調は送信モードでのみ使用できます。変調では、BT が 0.5 のレイズドコサインパルス整形フィルタが提供されます。BPSK 変調器は、送信されるデータに対してホスト前処理を施すことにより、DBPSK 変調に変換することができます。

すべての変調パラメータは、Set_ModulationParams() コマンドによってセットされます。

ビット・レート (または同等のチップ) は、次のように定義される Br パラメータによって制御されます。

$$Br = HSE32_{FREQ} / BitRate \quad \text{ここで } HSE32_{FREQ} = 32 \text{ MHz}$$

5.5.7 BPSK フレーミング

BPSK パケットフレーミングは、BPSK モデムとともに使用します。BPSK パケットフレーミングは、`Set_PacketParams()` コマンドによって設定でき、総フレーム長を定義できます。フルパケット（プリアンブル、同期ワード、デバイス ID から CRC まで）の送信には、送信データ・バッファを使用する必要があります。

5.6 Sub-GHz 無線のデータ・バッファ

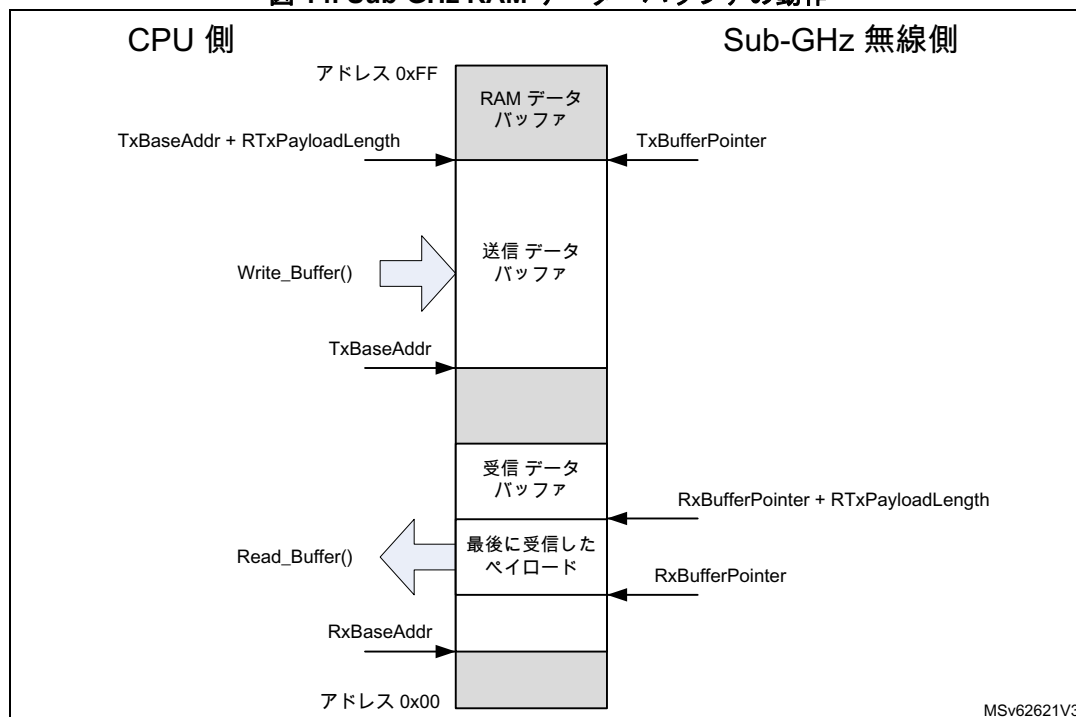
Sub-GHz 無線は 256 バイトの RAM データ・バッファを使用します。CPU はこのバッファに、SLEEP とディープスリープを除くすべての Sub-GHz 無線の動作モードで SUBGHZSPI インタフェースを通じてアクセスできます。RAM データ・バッファは、ディープスリープモードではクリアされ、SLEEP モードではオプションで保持され、他のすべてのモードでは常に保持されます。SLEEP およびディープスリープモードでは、`TxBASEADDR` および `RxBASEADDR` の値は消去されます。SLEEP モード保持後にデータを取得するには、デフォルト値 (`TxBASEADDR = 0x80` および `RxBASEADDR = 0x00`) を使用する必要があります。あるいは、`RxPayloadLength` と `RxBufferPointer` を CPU メモリに格納する必要があります。

ダイのリビジョン Y 以降では、`PayloadLength` を送信中に更新できます。この機能により、ロング・パケットをサポートできます。

以前のダイのリビジョンでは、`PayloadLength` は `SetTx()` コマンド後に固定（無線でラッチ）されます。

RAM データ・バッファはフルに設定可能です。送信データ・バッファと最後の受信データ・バッファへのアクセスが可能です。RAM データ・バッファ構成を下図に示します。

図 14. Sub-GHz RAM データ・バッファの動作



RAM データ・バッファには、`Write_Buffer()` および `Read_Buffer()` コマンドによってアクセスします。オフセットパラメータでは、SRAM データ・バッファのアドレスを定義します。受信データ・バッファから最初のバイトを読み出すには、オフセットを `RxBufferPointer` 値にセットする必要があります。送信データ・バッファの最初のバイトに書き込むには、オフセットを `TxBASEADDR` 値にセットする必要があります。

RAM データ・バッファには循環的な性質があります。アドレスのインクリメントが `0xFF` を超えると、アドレス `0x00` に戻ります。

5.6.1 受信データ・バッファの動作

受信モードでは、`Set_BufferBaseAddress()` を通して設定された `RxBASEADDR` によって、Sub-GHz 無線のRAM 内の受信バッファ・オフセットが決まります。`RxBASEADDR` は、RAM データ・バッファ内の任意の場所にセットできます。必要であれば、256 バイトの RAM データ・バッファ全体を使用することができます。

最初に受信したパケットでは、`RxBufferPointer` は `RxBASEADDR` にセットされます。最初に受信したパケットペイロードデータの最初のバイトが `RxBufferPointer` アドレスに書き込まれます。受信したパケットペイロードデータの最後のバイトは、`RxBufferPointer + RxPayloadLength` によって決定されるアドレスに書き込まれます。`RxBufferPointer` と `RxPayloadLength` は、`Get_RxBufferStatus()` コマンドによって読み出すことができます。

シングル受信およびリッスンモードでは、Sub-GHz 無線が RX モードになると、`RxBufferPointer` は新たに受信を行うたびに、`RxBASEADDR` に自動的に初期化されます。

連続受信モードでは、`RxBufferPointer` は、前に受信したパケットによって離された位置から連続的にインクリメントされます。このモードでは、その後受信したパケットは RAM データ・バッファに連続して格納されます。

注意： 受信データ量が定義された受信バッファサイズを超える場合、RAM 内の他のデータが上書きされます。

受信データは、受信した CRC ステータスに関係なく、受信データ・バッファに書き込まれます。CRC の受信に問題があった場合でも、CPU は、受信が正しく行われなかったデータの後処理を行うことができます。

注意： 受信パケット長が受信データ・バッファに割り当てられた領域を超える場合、RAM データ・バッファの送信データ・バッファ領域が上書きされることがあります。

5.6.2 送信データ・バッファの動作

送信モードでは、`TxBASEADDR` により、Sub-GHz 無線のRAM での送信バッファ・オフセットが決まります。送信ごとに、Sub-GHz 無線が TX モードになると、`TxBufferPointer` は自動的に `TxBASEADDR` に初期化されます。ペイロード・バイトが送信されるたびに、`TxBufferPointer` は、`Set_PacketParams()` コマンドによってセットされた `PayloadLength` に従って、すべてのバイトが送信されるまでインクリメントされます。

5.7 Sub-GHz 無線の動作モード

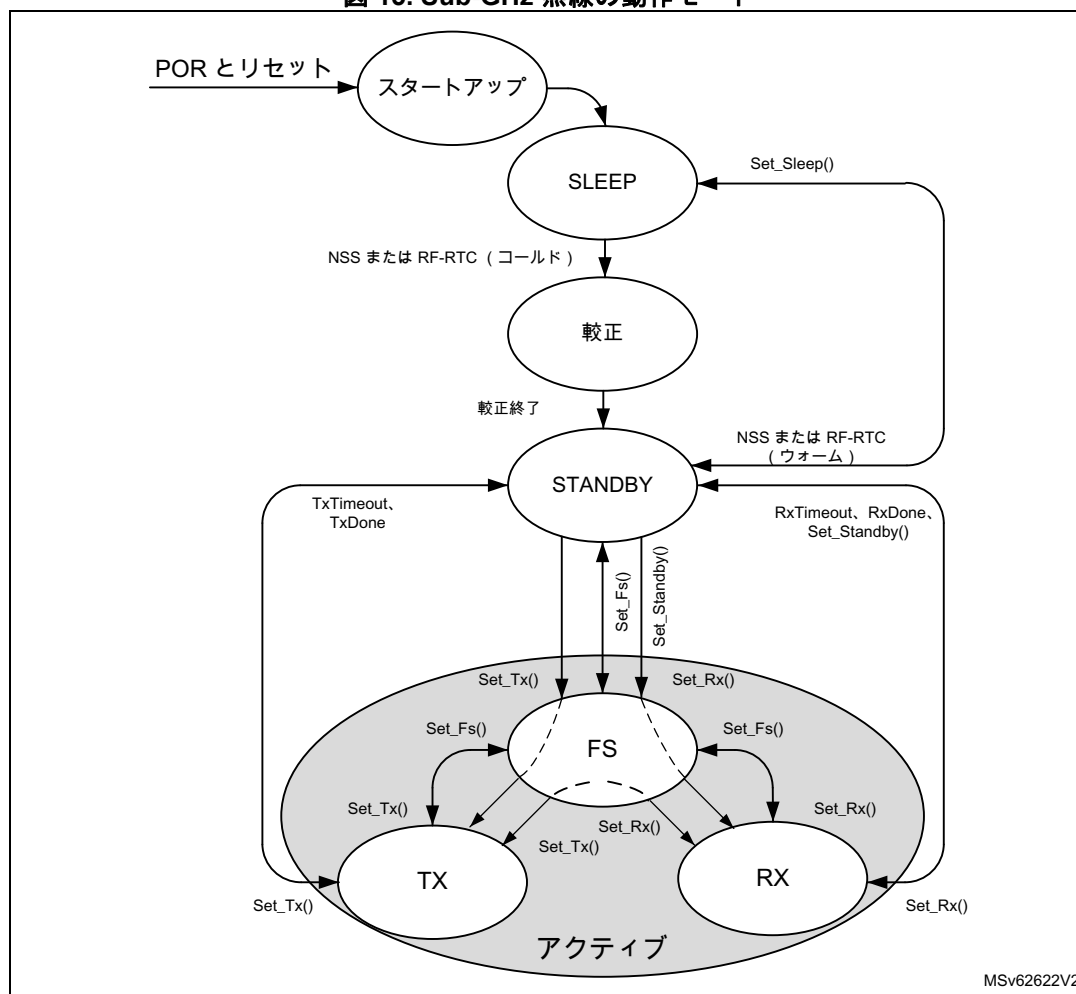
Sub-GHz 無線のリセット後、起動フェーズが開始されます。このフェーズ中は BUSY がアクティブであるため、コマンドを受け付けることができません。Sub-GHz 無線で電源とクロックが使用可能である場合、BUSY は非アクティブ化され、CPU による制御が可能です。

Sub-GHz 無線には、次の動作モードが用意されています。

- **SLEEP モード**
 - ディープスリープ：すべての Sub-GHz 電波クロックがオフになり、データメモリは消去されます。
 - RC 13 MHz クロックはオフ
 - RC 64 kHz とタイマの動作は継続可能（オプション）
 - オプションのレジスタとデータメモリの内容は保持
- **較正モード**
 - ディープスリープまたは SLEEP と STANDBY の中間モード
 - Sub-GHz 無線の RC 64 kHz、Sub-GHz 無線の RC 13 MHz、RF-PLL、RF-ADC およびイメージの較正に使用
- **STANDBY モード**
 - 内部 RC 13 MHz クロックによって Sub-GHz 無線にクロック供給
 - HSE32 クロックの動作は継続可能（オプション）。
 - データメモリは保持
- **アクティブ・モード (FS、TX、RX)**
 - 周波数合成 (FS) モード：RF-PLL のスイッチ・オン
 - 送信 (TX) モード：パワーアンプ (PA) が起動し、選択した変調方式に従ってデータ・バッファからデータが送信される
 - 受信 (RX) モード：Sub-GHz 無線で着信データ・パケットを探す

Sub-GHz 無線の動作モードを下図に示します。

図 15. Sub-GHz 無線の動作モード



MSv62622V2

5.7.1 起動モード

POR 時または Sub-GHz 無線のリセット後、起動モードに入ります。BUSY がセットされます。内部電源とクロックが使用可能になると、Sub-GHz 無線は SLEEP モードに入ります。

5.7.2 SLEEP モード

SLEEP モードでは、Sub-GHz 無線の起動とスリープ制御のみが動作可能であり、設定は消去されません。BUSY がセットされます。オプションで、設定レジスタとメモリを保持することができます。RC 64 kHz および Sub-GHz RTC は動作を続けることができます。

SLEEP モードでは、次のサブモードとオプションを使用できます。

- ディープスリープモード：すべての Sub-GHz 無線の機能がオフになり、set_sleep() コマンドによって制御されます。
- Sub-GHz 無線のRC 64 kHz をオンにしたままでスリープ：設定レジスタは set_sleep() コマンドでの設定に従って保持できます。
- データ RAM を保持したままスリープ：set_sleep() コマンドによって制御されます。

POR Sub-GHz 無線のリセット後、起動モードからディープスリープモードに入ります。
`Set_Sleep()` コマンドにより、STANDBY モードから SLEEP モードに入ることができます。

注意： `Set_Sleep()` コマンドの後では、Sub-GHz 無線は SPI コマンドを受信できません。ユーザは、500 μ s の間、Sub-GHz 無線の SPI NSS がローに設定されないことを保証する必要があります。

SLEEP モードの終了は、次の操作により実行できます。

- Sub-GHz 無線の SPI NSS 信号を介したファームウェア要求に応じて (Sub-GHz 無線の SPI NSS を少なくとも 20 μ s の間、ローに保持)
- カウント終了イベントを生成する Sub-GHz 無線の RTC タイマからの要求 (デューティ・サイクル動作に対応)

Sub-GHz 無線の設定レジスタが保持されている場合、SLEEP モードの終了時にウォームスタートが実行されます。ウォームスタート中、設定レジスタは保持されている値により復元され、較正状態はスキップされます。

5.7.3 較正モード

コールド・スタート時に、ディープスリープまたは SLEEP モードから STANDBY モードに移行すると、中間較正モードに入ります。較正モードでは、BUSY がセットされ、Sub-GHz 無線がビジーで SPI コマンドを受け付けられないことを示します。

較正フェーズは、次の操作で構成されます。

- Sub-GHz 無線の RC 64 kHz 周波数較正
- Sub-GHz 無線の RC 13 MHz 周波数較正
- RF-PLL 変調パスの較正
- RF-ADC の較正
- イメージ較正

総較正時間は 1.6 ms です。すべての較正結果はデータ RAM に格納されます。

SLEEP モードでデータ RAM が保持されている場合、Sub-GHz 無線は較正データを取得し、較正フェーズを繰り返すことなく STANDBY モードに移行します。

較正が終了すると、BUSY は非アクティブになり、Sub-GHz 無線は RC 13 MHz モードで STANDBY に入ります。

STANDBY モードの場合、さまざまなブロックの較正を `Calibrate()` コマンドにより要求できます。

特定の周波数バンドのイメージ較正

イメージ較正は較正プロセスの一部として実行され、デフォルトでは 902 ~ 928 MHz のバンドで実行されます。さらに、`CalibrateImage()` コマンドによって任意のバンドでのイメージ較正を要求できます。

RF 周波数を大幅に変更した場合や、温度変化が 20 °C 以上の場合は、イメージ較正をやり直す必要があります。

5.7.4 STANDBY モード

STANDBY モードには、較正モードから入ります。また、`Set_Standby()` コマンドによって入ることもできます。

STANDBY モードでは、BUSY はクリアされます。ソフトウェアにより、Sub-GHz 無線を FS、TX、RX、または SLEEP モードに設定する必要があります。デフォルトの STANDBY モードでは、Sub-GHz 無線は Sub-GHz RC 13 MHz によってクロック供給されます。速度重視のアプリケーションでは、HSE32 をオンにすることができます。RC 13 MHz と HSE32 のどちらを使用するかは、`Set_Standby()` コマンドによって選択します。

Sub-GHz での送受信中に SMPS を使用する場合、RC 13 MHz 使用 STANDBY モードで SMPS を有効にする必要があります。SMPS の選択は、`Set_RegulatorMode()` コマンドによって行います。選択すると、HSE32 使用 STANDBY モードに入るときに、SMPS が自動的に有効になります。PWR_CR5.SMPSEN を使用して CPU により SMPS が有効化されている場合、送受信を含むすべての Sub-GHz 無線の動作モードで SMPS が有効なままです。

5.7.5 周波数合成モード (FS)

FS モードに入るときに、BUSY がセットされます。FS モードでは、RF-PLL がアクティブになります。RF-PLL がロックすると、BUSY はローになります。Sub-GHz 無線は、`Set_Fs()` によってこのモードに入るよう要求できます。

低 IF アーキテクチャにより、RF-PLL の送受信の周波数は異なります。RF-PLL の受信周波数は、送信周波数から中間周波数オフセットを減算した値になります。

5.7.6 送信モード (TX)

STANDBY モードから TX モードに移行するよう要求できます。この場合、Sub-GHz 無線は RF-PLL をロックするために最初に FS モードに移行し、続いて TX モードに移行します。

パワーアンプ (PA) の起動後の TX モードで、データ・バッファのデータが送信されます。Sub-GHz 無線は、次のいずれかの送信モードで動作します。

- シングル送信モード
- タイムアウト付きシングル送信モード：送信が中断または失敗したときに、安全のためにタイムアウトが使用されます。タイムアウトにより、そのようなイベントがソフトウェアに通知されます。

Sub-GHz 無線は、パケットの最後のデータビットが送信されるか、タイムアウトになると、自動的に STANDBY モードに戻ります。

TX モードへの移行は `Set_Tx()` コマンドによって要求されます。

TX モードに入るときに、BUSY がセットされます。TX モードでは、PA の起動が行われ、プリアンプル送信が開始されると、BUSY はクリアされます。

PA の起動

`Set_TxParams()` による出力電力のセット時に PA の起動時間を選択できます。

5.7.7 受信モード (RX)

STANDBY モードから RX モードに移行するよう要求できます。この場合、Sub-GHz 無線は RF-PLL をロックするために最初に FS モードに移行し、続いて RX モードに移行します。

RX モードでは、LNA、RF-PLL、および選択したモデムは有効です。受信モードには、次の動作モードがあります。

- 連続モード：Sub-GHz 無線は、ソフトウェアが RX モードを終了するまで RX モードを維持し、着信パケットの受信を待ちます。
- シングルモード：Sub-GHz 無線は、パケットを受信するまで RX モードを維持し、パケットを受信すると自動的に STANDBY モードに入ります。
- タイムアウト付きシングルモード：Sub-GHz 無線は、パケットを受信するかタイムアウトになるまで RX モードを維持し、その後自動的に STANDBY モードに入ります。
- リッスンモード：Sub-GHz 無線は、IRQ がトリガされるまで、タイムアウト付き RX シングルモードと SLEEP モードを繰り返し切り替えます。

RX モードへの移行は `Set_Rx()` コマンドによって要求されます。

RX モードに入るときに、BUSY がセットされます。RX モードでは、レシーバがデータ受信の準備ができると、BUSY はクリアされます。

レシーバは省電力モードに対応していますが、その代わりに感度は低下します。レシーバ省電力モードは、SUBGHZ_RXGAINR レジスタで制御されます。

5.7.8 アクティブモード切り替え時間

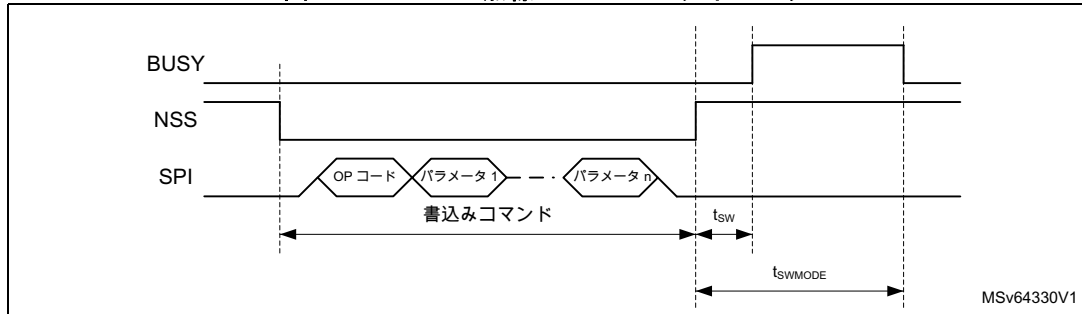
Sub-GHz 無線での各トランザクション（レジスタの読み出し／書き込み操作またはモード切り替え）では、トランザクション中および Sub-GHz 無線でのコマンドの処理中は、BUSY がセットされます。コマンド処理が終了するか安定した動作モードに達すると、BUSY はクリアされ、Sub-GHz 無線は新しいコマンドを受信できる状態になります。

すべての書き込みコマンドでは、BUSY がアクティブ化されます。読み出しコマンドの場合、BUSY はローのままです。

切り替え時間 (t_{SWMODE}) は、コマンドの処理時間、または安定動作モードに達するまでの時間と定義されます。つまり、Sub-GHz 無線の SPI NSS 立ち上がりエッジから始まり、SPI コマンド・トランザクションが終了し、BUSY が非アクティブになるまでの時間です。Sub-GHz 無線の SPI NSS 立ち上がりエッジと、SPI コマンド・トランザクションの終了、BUSY のセットの間には小さな遅延 (t_{sw}) があります。 t_{sw} の最大時間は 600 ns です。

BUSY のタイミングを下図に示します。

図 16. Sub-GHz 無線の BUSY のタイミング



さまざまなモード遷移に対する標準的なビジータイミング値を下の表に示します。

表 33. 動作モード遷移 BUSY 切り替え時間

モード遷移	SPI コマンド (Sub-GHz 無線イベント)	t _{SWMODE} Typical(μs)
SLEEP から STANDBY (データ保持なし)	SPI NSS ロー 20 μs	3500
SLEEP から STANDBY (データ保持あり)	SPI NSS ロー 20 μs (RTC カウント終了)	340
STANDBY から HSE32 使用 STANDBY	Set_Standby ()	31
STANDBY (HSE32 オフ) から FS ⁽¹⁾	Set_Fs ()	50
STANDBY (HSE32 オフ) から TX ⁽²⁾	すべて Set_Tx ()	126
STANDBY (HSE32 オフ) から RX ⁽³⁾	Set_Rx (), Set_Cad ()	83
STANDBY (HSE32 オン) から FS ⁽¹⁾	Set_Fs ()	40
STANDBY (HSE32 オン) から TX ⁽²⁾	すべて Set_Tx ()	105
STANDBY (HSE32 オン) から RX ⁽³⁾	Set_Rx (), Set_Cad ()	62
FS から TX ⁽²⁾	すべて Set_Tx ()	76
FS から RX ⁽³⁾	Set_Rx (), Set_Cad ()	41

1. FS モードに入るとき、BUSY は、RF-PLL がロックされている場合、BUSY が 0 にクリアされます。
2. TX モードに入るとき、PA が起動し、プリアンプルの送信が開始されると、BUSY が 0 にクリアされます。
3. RX モードに入るとき、レシーバがデータ受信の準備ができている場合、BUSY が 0 にクリアされます。

5.8 Sub-GHz 無線のSPI インタフェース

Sub-GHz 無線のSPI スレーブインタフェースから、SPI コマンドを通して Sub-GHz 無線の設定、レジスタ、およびバッファメモリにアクセスできます。CPU バスマトリックス上で SUBGHZSPI マスタインタフェース・ペリフェラルに接続されます。

書込みアクセスの場合、OP コードバイトが送信され、続いてコマンドパラメータバイトが送信されます。

読出しアクセスの場合、OP コードバイトが送信され、続いてデータバイトを受信します。

各アクセスに対して、Sub-GHz 無線のSPI NSS は、転送の開始時にローになり、すべてのバイトが転送された後、最後にハイにセットされます。

次のトランザクションタイプがサポートされています。

- 設定トランザクション: CPU に制御レジスタへの直接アクセスを渡します。Sub-GHz 無線の設定レジスタまたはバッファメモリの書込みまたは読出しに使用します。
- コマンドトランザクション: パケット送受信または動作モード変更など、より複雑な非アトミック操作が必要です。

BUSY は、Sub-GHz 無線のステータスと、SPI トランザクションを受信できること（またはできないこと）を示すために使用されます。新しい SPI トランザクションを発行する前に、CPU は BUSY ステータスをチェックして、新しいトランザクションを Sub-GHz 無線で受信できることを確認する必要があります。

Read_Register() コマンド

Read_Register(Addr, Status, Data0, Data1, ... Datan) では、指定されたアドレスから始まる連続したメモリ領域のバイトのブロックを読み出すことができます。アドレスは、バイトごとに自動インクリメントされます。

0	1	2	3	4	n+4
OP コード	Addr[15:0]		ステータス [7:0]	Data0 [7:0]	Datan[7:0]
w	w	w	r	r	r	r

- バイト 0 ビット 7:0 OP コード : 0x1D
- バイト 2:1 ビット 15:0 Addr[15:0]: 最初の読出しアドレス
- バイト 3 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。
- バイト 4 ビット 7:0 Data0[7:0] : 最初のアドレスから読み出すデータ
-
- バイト n+4 ビット 7:0 Datan[7:0]: アドレス + n (n = 読出しバイト数) から読み出すデータ

Write_Buffer() コマンド

Write_Buffer(Offset, Data0, Data1, ... Datan) では、送信パケットペイロードデータを、指定したオフセットから始まる連続したデータメモリ領域に書き込むことができます。オフセットは、バイトごとに自動インクリメントされます。オフセットが値 255 を超えると、0 に戻ります (256 バイトのサーキュラ・バッファを備えています)。

0	1	2	n+2
OP コード	Offset[7:0]	Data0 [7:0]	Datan[7:0]
w	w	w	w	w

- バイト 0 ビット 7:0 OP コード : 0x0E
- バイト 1 ビット 7:0 Offset[7:0]: 最初の書き込みアドレス・オフセット
- バイト 2 ビット 7:0 Data0[7:0] : オフセットアドレスに書き込むデータ
-
- バイト n+2 ビット 7:0 Datan[7:0] : オフセットアドレス+n (n = 書き込むバイト数) に書き込むデータ

Read_Buffer() コマンド

Read_Buffer(Offset, Status, Data0, Data1, ... Datan) では、受信パケットペイロードデータを、指定されたオフセットから始めて、連続したデータメモリ領域から読み出すことができます。オフセットは、バイトごとに自動インクリメントされます。オフセットが値 255 を超えると、0に戻ります (256 バイトのサーキュラバッファを備えています)。

0	1	2	3	n+3
OP コード	Offset[7:0]	ステータス [7:0]	Data0 [7:0]	Datan[7:0]
w	w	r	r	r	r

バイト 0 ビット 7:0 OP コード : 0x1E

バイト 1 ビット 7:0 **Offset[7:0]**: 最初の読出しアドレス・オフセット

バイト 2 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 3 ビット 7:0 **Data0[7:0]** : オフセットアドレスから読み出すデータ

.....

バイト n+3 ビット 7:0 **Datan[7:0]** : オフセットアドレス + n (n = 読出しバイト数) から読み出すデータ

5.8.3 動作モードコマンド

Set_Sleep() コマンド

Set_Sleep(SleepCfg) は、Sub-GHz 無線を SLEEP モードにセットするために使用されます。このコマンドは STANDBY モードでのみ受け付けられます。SleepCfg パラメータを使用すると、一部のオプション機能を SLEEP モードでも保持することができます。

0	1
OP コード	SleepCfg
w	w

バイト 0 ビット 7:0 OP コード : 0x84

バイト 1 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **SleepCfg_Start** : Sub-GHz 無線の起動選択

0 : コールドスタートアップ。SLEEP モード終了時に、設定レジスタがリセットされます。

1 : ウォームアップスタートアップ。SLEEP モード終了時に、設定レジスタの内容が保持されます。

注 : 有効にされたモデムの、SLEEP モードに移行する前の設定のみが保持されます。他のモードの設定は消去されるため、SLEEP モードの終了時に再設定する必要があります。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SleepCfg_RTCEn** : Sub-GHz 無線のRTC ウェイクアップの有効化

0 : Sub-GHz 無線のRTC ウェイクアップは無効です。

1 : Sub-GHz 無線のRTC ウェイクアップは有効です。

Set_Standby() コマンド

Set_Standby(StandbyCfg) は、Sub-GHz 無線を STANDBY モードにセットするために使用します。STANDBYCfg パラメータを使用すると、STANDBY モードで一部のオプション機能を選択できます。

0	1
OP コード	STANDBYCfg
w	w

バイト 0 ビット 7:0 OP コード : 0x80

バイト 1 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **StandbyCfg_StandbyClk** : クロックを STANDBY モードにセットします。

0 : RC 13 MHz を STANDBY モードで使用します

1 : HSE32 を STANDBY モードで使用します (HSE32 使用 STANDBY)

Set_Fs() コマンド

Set_Fs() は、Sub-GHz 無線を FS モードにセットするために使用します。このコマンドにより、RF-PLL のテストが行えます。

0
OP コード
w

バイト 0 ビット 7:0 OP コード : 0xC1

Set_Fs() を送信する前に、Set_RfFrequency() コマンドで RF-PLL 周波数をセットする必要があります。

Set_Tx() コマンド

Set_Tx(Timeout) は、Sub-GHz 無線を TX モードにセットするために使用されます。

0	1	2	3
OP コード	Timeout[23:0]		
w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x83

バイト 3:1 ビット 23:0 **Timeout[23:0]** : 送信パケットタイムアウト

0x000000 : タイムアウト無効

0x000001 ~ 0xFFFFFFFF : タイムアウト有効、分解能 15.625 μs

タイムアウト時間は、次のように計算されます。

タイムアウト時間 = タイムアウト x 15.625 μs (最大タイムアウト時間 = 262.14 秒)

Set_Tx(Timeout) が STANDBY モードまたは受信モードで送信されると、Sub-GHz 無線により FS モードが渡されます (Set_Fs() を送信する必要はありません)。この場合、Set_Tx(Timeout) を送信する前に、Set_RfFrequency() により RF-PLL 周波数をセットする必要があります。

Set_Rx() コマンド

Set_Rx(Timeout) は、Sub-GHz 無線を受信モードにセットするために使用されます。

0	1	2	3
OP コード	Timeout[23:0]		
w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x82

バイト 3:1 ビット 23:0 **Timeout[23:0]** : 送信パケットタイムアウト

0x000000 : タイムアウト無効

0x000001 ~ 0xFFFFFE : タイムアウト有効、シングルパケット受信モード、分解能 15.625 μs

0xFFFFF : タイムアウト無効、連続受信モード

タイムアウト時間は、次の式で計算されます。

$$\text{タイムアウト時間} = \text{タイムアウト} \times 15.625\mu\text{s} \quad (\text{最大タイムアウト時間} = 262.14 \text{ 秒})$$

Set_Rx(Timeout) が STANDBY モードまたは送信モードで送信された場合、Sub-GHz 無線により FS モードが渡されます (Set_Fs() を送信する必要はありません)。この場合、Set_Rx(Timeout) を送信する前に、Set_RfFrequency() により RF-PLL 周波数をセットする必要があります。

Set_StopRxTimerOnPreamble() コマンド

Set_StopRxTimerOnPreamble(RxTimeoutStop) では、レシーバタイムアウト・タイマ (Set_Rx() で) を停止させるレシーバ・イベントを選択することができます。

0	1
OP コード	RxTimeoutStop
w	w

バイト 0 ビット 7:0 OP コード : 0x9F

バイト 1 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RxTimeoutStop** : レシーバタイムアウト・タイマ停止イベントの選択

0 : 汎用パケットモードでの同期ワード検出時または LoRa パケットモードでのヘッダ検出時に受信タイムアウトを停止します。

1 : プリアンブル検出で受信タイムアウトを停止します。

注意 : プリアンブル検出時にレシーバタイムアウトを停止するように選択した場合、Sub-GHz 無線はパケットを受信するまで受信モードを維持します。誤ったプリアンブル検出が原因で、Sub-GHz 無線はモード設定コマンドによって停止されるまで、予期しない長い時間、受信モードのままになることがあります。

Set_RxDutyCycle() コマンド

Set_RxDutyCycle(RxPeriod, SleepPeriod) は Sub-GHz 無線のレシーバをリスンモードにセットし、定期的に新しいパケットの検出が行われるようにします。このコマンドは、STANDBY モードで送信する必要があります。このコマンドは、FSK および LoRa パケットタイプでのみ機能します。

次の手順が実行されます。

1. Sub-GHz 無線の設定を保存します。
2. 受信モードに入り、指定された RxPeriod 期間の間、プリアンブルをリスンします。
3. プリアンブルが検出されると、RxPeriod タイムアウトは停止され、 $2 \times \text{RxPeriod} + \text{SleepPeriod}$ の値で再開されます。この新しい期間中、Sub-GHz 無線は、(G)FSK 変調モードでは同期ワードが検出されるのを待ち、LoRa 変調モードではヘッダが検出されるのを待ちます。
4. $2 \times \text{RxPeriod} + \text{SleepPeriod}$ によって定義されるリスン期間中にパケットを受信しない場合、SLEEPPeriod の期間中、SLEEP モードに入ります。受信期間の終了時に、Sub-GHz 無線ではスリープ期間を開始する前に、コンテキストを保存するためにある程度の時間がかかります。
5. スリープ期間が終わると、新しいリスン期間が自動的に開始されます。Sub-GHz 無線で Sub-GHz 無線の設定が復元され、手順 2 に戻ります。

リスンモードは、次のいずれかの場合に終了します。

- リスン期間中にパケットを受信した場合：Sub-GHz 無線で RxDone 割り込みが発行され、STANDBY モードに入ります。
- リスン期間中、または Sub-GHz 無線の SPI NSS から Sub-GHz に SLEEP モードの終了要求が出された後に SetStandby() が送信された場合

0	1	2	3	4	5	6
OP コード	RxPeriod[23:0]			SleepPeriod[23:0]		
w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x94

バイト 3:1 ビット 23:0 RxPeriod[23:0] : 受信時間

0x000000 : 受信時間は無効、レシーバはパケットが検出されるまでアクティブのまま

0x000001 ~ 0xFFFFF : 受信時間、分解能 15.625 μ s

バイト 6:4 ビット 23:0 SleepPeriod[23:0] : スリープ時間、分解能 15.625 μ s

受信期間は、次のように計算されます。

$$\text{受信期間} = \text{RxPeriod} \times 15.625 \mu\text{s} \quad (\text{最大受信時間} = 262.14 \text{ 秒})$$

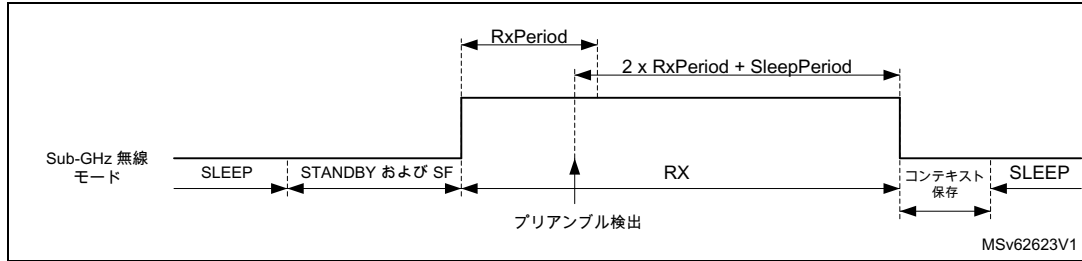
スリープ期間は、次の式で計算されます。

$$\text{スリープ期間} = \text{SleepPeriod} \times 15.625 \mu\text{s} \quad (\text{最大スリープ時間} = 262.14 \text{ 秒})$$

正しい動作のためには、次のことに注意してください。

- (G)FSK 変調 : $T_{\text{preamble}} + T_{\text{syncword}} \leq 2 \times \text{RxPeriod} + \text{SleepPeriod}$
- LoRa 変調 : $T_{\text{preamble}} + T_{\text{header}} \leq 2 \times \text{RxPeriod} + \text{SleepPeriod}$

図 17. レシーバのリッスンモードのタイミング



Set_Cad() コマンド

Set_Cad() はチャネルアクティビティの検出に使用され、LoRa パケットタイプと一緒に使用する必要があります。チャネルアクティビティ検出 (CAD) は特定の LoRa 動作モードであり、Sub-GHz 無線により LoRa 無線信号が検索されます。検索が完了すると、自動的に STANDBY モードになり、CAD が実行されて、IRQ が生成されます。LoRa 無線信号が検出されると、CAD で検出された IRQ も生成されます。

0
OP コード
w

バイト 0 ビット 7:0 OP コード : 0xC5

Set_Cad() を送信する前に、Set_CadParams() により検索の長さを設定する必要があります。

Set_TxContinuousWave() コマンド

Set_TxContinuousWave() は、RF-PLL 周波数で連続送信トーンを生成するためのテスト・コマンドです。Sub-GHz 無線は、モード設定コマンドを受信するまで、連続送信トーンモードのままとなります。

0
OP コード
w

バイト 0 ビット 7:0 OP コード : 0xD1

Set_TxContinuousPreamble() コマンド

Set_TxContinuousPreamble() は、RF-PLL 周波数で無限プリアンブルを生成するためのテスト・コマンドです。

プリアンブルは、一般的な (G)FSK および (G)MSK 変調での 0 と 1 の交互のシーケンスです。LoRa 変調では、プリアンブルはシンボル 0 です。

Sub-GHz 無線は、モード設定コマンドを受信するまで、無限プリアンブル・モードになります。

0
OP コード
w

バイト 0 ビット 7:0 OP コード : 0xD2

5.8.4 Sub-GHz 無線の設定コマンド

Set_PacketType() コマンド

Set_PacketType(PktType) では、パケットのフレーム・フォーマットを選択できます。このコマンドは、Sub-GHz 無線の設定シーケンスの最初のコマンドとする必要があります。

Sub-GHz 無線の設定から別の設定に変更するには、Set_PacketType() を使用します。前の Sub-GHz 無線の設定のパラメータは消去されます。ある設定モードから別の設定モードへの切り替えは、STANDBY モードでのみ許可されます。

0	1
OP コード	PktType
w	w

バイト0 ビット 7:0 OP コード : 0x8A.

バイト1 ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PktType[1:0]** : パケットタイプ定義

- 0 : FSK 汎用パケットタイプ
- 1 : LoRa パケットタイプ
- 2 : BPSK パケットタイプ
- 3 : MSK 汎用パケットタイプ
- その他 : 予約済み

Get_PacketType() コマンド

Get_PacketType(Status, PktType) では、選択したパケットのフレーム・フォーマットに関する情報が返されます。

Sub-GHz 無線の設定から別の設定に変更するには、Set_PacketType() を使用します。前の Sub-GHz 無線の設定のパラメータは消去されます。ある設定モードから別の設定モードへの切り替えは、STANDBY モードでのみ許可されます。

0	1	2
OP コード	ステータス [7:0]	PktType
w	r	r

バイト0 ビット 7:0 OP コード : 0x11

バイト1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト2 ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PktType[1:0]** : パケットタイプ定義

- 0 : FSK 汎用パケットタイプ
- 1 : LoRa パケットタイプ
- 2 : BPSK パケットタイプ
- 3 : MSK 汎用パケットタイプ
- その他 : 予約済み

Set_RfFrequency() コマンド

Set_RfFrequency(RfFreq) は、RF-PLL 周波数を送信および受信周波数にロックするために使用されます。

0	1	2	3	4
OP コード	RfFreq[31:0]			
w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x86

バイト 4:1 ビット RfFreq[31:0] : RF 周波数
 31:0 RF-PLL 周波数 = $32e^6 \times \text{RfFreq} / 2^{25}$

Set_TxParams() コマンド

Set_TxParams(Power, RampTime) は、送信出力電力と PA 起動時間の設定に使用されます。

0	1	2
OP コード	Power[7:0]	RampTime[7:0]
w	w	w

バイト 0 ビット 7:0 OP コード : 0x8E

バイト 1 ビット 7:0 Power[7:0] : 出力電力設定

Set_PaConfig() で LP PA を選択
 0x0E: +14 dB

.....
 0x00 : 0 dB

.....
 0xEF : -17 dB

その他 : 予約済み

Set_PaConfig() で HP PA を選択
 0x16: +22 dB

.....
 0x00 : 0 dB

.....
 0xF7 : -9 dB

その他 : 予約済み

バイト 2 ビット 7:0 RampTime[7:0] : FSK、MSK、および LoRa 変調のための PA 起動時間

0x00 : 10 μs

0x01 : 20 μs

0x02 : 40 μs

0x03 : 80 μs

0x04 : 200 μs

0x05 : 800 μs

0x06 : 1700 μs

0x07 : 3400 μs

その他 : 予約済み

注: BPSK モードでは、起動時間は固有のもので、RampTime[7:0] は使用されません。

Set_PaConfig() コマンド

Set_PaConfig(PaDutyCycle, HpMax, PaSel, 0x01) は、最大出力電力と PA 効率をカスタマイズするために使用されます。

0	1	2	3	4
OP コード	PaDutyCycle[2:0]	HpMax[2:0]	PaSel	0x01
w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x95

バイト 1 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **PaDutyCycle[2:0]** : PA デューティサイクル (電線管角) 制御

デューティサイクル = $0.2 + 0.04 \times \text{PaDutyCycle}[2:0]$ (設定については、表 35 を参照)

注意 : PA への過大なストレスを避けるため、次の制限に従う必要があります。

- LP PA モードで合成周波数 > 400 MHz の場合、PaDutyCycle は $\leq 0x7$
- LP PA モードで合成周波数 < 400 MHz の場合、PaDutyCycle は $\leq 0x4$
- HP PA モードの場合、PaDutyCycle は $\leq 0x4$

バイト 2 ビット 2:0 **HpMax[2:0]** : HP PA 出力電力 (設定については、表 35 を参照)

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

バイト 3 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **PaSel** : PA の選択。

0 : HP PA を選択

1 : LP PA を選択 (デフォルト)

バイト 4 ビット 7:0 0x01

目標とする最大出力電力を得るために PA 効率を最大にするには、下の表に示す PA の最適設定を使用する必要があります。マッチング・ネットワークの決定は、これらの設定に基づいて行う必要があります (詳細については、アプリケーション・ノート AN5457 を参照)。

表 35. PA の最適設定と動作モード

出力電力 (dBm)	PA モード	Set_PaConfig()			Set_TxParams()
		PaDutyCycle [2:0]	HpMax[2:0]	PaSel	パワー
+ 15	LP	0x6	0x0	1	0x0E
+ 14		0x4	0x0	1	0x0E
+ 10		0x1	0x0	1	0x0D
+ 22	HP	0x4	0x7	0	0x16
+ 20		0x3	0x5	0	0x16
+ 17		0x2	0x3	0	0x16
+ 14		0x2	0x2	0	0x16

Set_TxRxFallbackMode() コマンド

Set_TxRxFallbackMode(FallbackMode) では、パケット送信またはパケット受信が成功した後に移行する動作モードを定義します。

0	1
OP コード	FallbackMode[7:0]
w	w

バイト 0 ビット 7:0 OP コード : 0x93

バイト 1 ビット 7:0 **FallbackMode[7:0]**: パケット送信またはパケット受信の成功後のフォールバックモード
 0x20 : STANDBY モードに移行 (デフォルト)
 0x30 : HSE32 使用 STANDBY 有効モードに移行
 0x40 : FS モードに移行
 その他 : 予約済み

Set_CadParams() コマンド

Set_CadParams(NbCadSymbol, CadDetPeak, CadDetMin, CadExitMode, Timeout) では、LoRa パケットタイプについての CAD 設定ができます。

0	1	2	3	4	5	6	7
OP コード	NbCadSymbol[2:0]	CadDetPeak[7:0]	CadDetMin[7:0]	CadExitMode	Timeout[23:0]		
w	w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x88

バイト 1 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **NbCadSymbol[2:0]** : CAD スキャンに使用されるシンボル数
 0x0 : 1 シンボル
 0x1 : 2 シンボル
 0x2 : 4 シンボル
 0x3 : 8 シンボル
 0x4 : 16 シンボル
 その他 : 予約済み

バイト 2 ビット 7:0 **CadDetPeak[7:0]** : LoRa シンボルと関連付けるために、CadDetMin[7:0] と一緒に使用
[表 36](#) を参照してください。

バイト 3 ビット 7:0 **CadDetMin[7:0]** : LoRa シンボルと関連付けるために、CadDetPeak[7:0] と一緒に使用
[\(表 36 を参照してください。\)](#)

バイト4 ビット7:1 予約済みであり、リセット値に保持する必要があります。

ビット0 **CadExitMode** : CAD スキャンの終了後に移行する Sub-GHz 無線の動作モードを定義します。

0 : CAD スキャン中に検出された内容に関係なく、CAD 後に RC 13 MHz 使用 STANDBY モードに移行

1 : CAD スキャン中に LoRa シンボルが検出されない場合、CAD 後に RC 13 MHz 使用 STANDBY モードに移行

LoRa シンボルが検出された場合、Sub-GHz 無線は、パケットを受信するまで、または CAD タイムアウトに達するまで受信モードのままとなります。

バイト7:5 ビット23:0 **Timeout[23:0]** : CAD タイムアウト = Timeout[23:0] x 15.625 μs

CAD タイムアウトは、シンボルが検出され、CadExitMode = 1 (LoRa シンボル検出後も受信モードのまま) の場合にのみ使用されます。

0x000000 ~ 0xFFFFF : タイムアウト、分解能 15.625 μs

下の表で選択した正しい値は、感度レベルで良好な検出が行われ、誤検出の数が制限されるように、慎重にテストする必要があります。

表 36. CAD の推奨設定 [Settings]

拡散係数	cadDetMin	cadDetPeak	cadSymbolNum
SF7	10	22	2 シンボル
SF8			
SF9		23	4 シンボル
SF10		24	
SF11		25	
SF12		28	

Set_BufferBaseAddress() コマンド

Set_BufferBaseAddress(TxBaseAddr, RxBaseAddr) では、TX および RX でのパケット処理用のデータ・バッファ・ベースアドレスを設定します。

0	1	2
OP コード	TxBaseAddr[7:0]	RxBaseAddr[7:0]
w	w	w

バイト0 ビット7:0 OP コード : 0x8F

バイト1 ビット7:0 **TxBaseAddr[7:0]** : Sub-GHz RAM ベースアドレスに比例した Tx ベースアドレス・オフセット

バイト2 ビット7:0 **RxBaseAddr[7:0]** : Sub-GHz RAM ベースアドレスに比例した Rx ベースアドレス・オフセット

(G)FSK Set_ModulationParams() コマンド

Set_ModulationParams(Br, PulseShape, Bw, Fdev) は、Sub-GHz 無線用の (G)FSK 変調パラメータを設定するために使用されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、汎用パケットのパラメータは次のように解釈されます。

- Br と Fdev は送信と受信に使用されます。
- Bw は受信のみに使用されます。
- PulseShape は、トランスミッタで変調ストリームをフィルタリングするために使用できるガウスフィルタを表します。

0	1	2	3	4	5	6	7	8
OP コード	Br[23:0]			PulseShape[7:0]	Bw[7:0]	Fdev[23:0]		
w	w	w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x8B

バイト 3:1 ビット **Br[23:0]** : ビット・レート
 23:0 0x000000 : 予約済み
 0x000001 ~ 0xFFFFFFFF : Br = 32 x 32 MHz / ビット・レート

バイト 4 ビット 7:0 **PulseShape[7:0]** : パルス波形
 0x00 : フィルタは適用されません
 0x08 : ガウス BT 0.3
 0x09 : ガウス BT 0.5
 0x0A : ガウス BT 0.7
 0x0B : ガウス BT 1.0
 その他 : フィルタは適用されません

bytes5 ビット 7:0 **Bw[7:0]** : バンド幅

- 0x1F : BW4 4.8 kHz DSB
- 0x17 : BW5 5.8 kHz DSB
- 0x0F : BW7 7.3 kHz DSB
- 0x1E : BW9 9.7 kHz DSB
- 0x16 : BW11 11.7 kHz DSB
- 0x0E : BW14 14.6 kHz DSB
- 0x1D : BW19 19.5 kHz DSB
- 0x15 : BW23 23.4 kHz DSB
- 0x0D : BW29 29.3 kHz DSB
- 0x1C : BW39 39.0 kHz DSB
- 0x14 : BW46 46.9 kHz DSB
- 0x0C : BW58 58.6 kHz DSB
- 0x1B : BW78 78.2 kHz DSB
- 0x13 : BW93 93.8 kHz DSB
- 0x0B : BW117 117.3 kHz DSB
- 0x1A : BW156 156.2 kHz DSB
- 0x12 : BW187 187.2 kHz DSB
- 0x0A : BW234 234.3 kHz DSB
- 0x19 : BW312 312.0 kHz DSB
- 0x11 : BW373 373.6 kHz DSB
- 0x09 : BW467 467.0 kHz DSB
- その他 : 予約済み

バイト 8:6 ビット **Fdev[23:0]** : 周波数偏差
 23:0 0x000000 ~ 0xFFFFF : $Fdev = \text{周波数偏差} \times 2^{25} / 32 \text{ MHz}$

LoRa Set_ModulationParams() コマンド

Set_ModulationParams (Sf, Bw, Cr, Ldro) は、Sub-GHz 無線用の LoRa 変調パラメータを設定するために使用されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、LoRaのパラメータは次のように解釈されます。

0	1	2	3	4
OP コード	Sf[3:0]	Bw[7:0]	Cr[2:0]	Ldro
w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x8B

バイト 1 ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **Sf[3:0]** : 拡散係数

- 0x5 : 拡散係数 5
- 0x6 : 拡散係数 6
- 0x7 : 拡散係数 7
- 0x8 : 拡散係数 8
- 0x9 : 拡散係数 9
- 0xA : 拡散係数 10
- 0xB : 拡散係数 11
- 0xC : 拡散係数 12
- その他 : 予約済み

バイト 2 ビット 7:0 **Bw[7:0]** : バンド幅

- 0x00 : バンド幅 7 (7.81 kHz)
- 0x08 : バンド幅 10 (10.42 kHz)
- 0x01 : バンド幅 15 (15.63 kHz)
- 0x09 : バンド幅 20 (20.83 kHz)
- 0x02 : バンド幅 31 (31.25 kHz)
- 0x0A : バンド幅 41 (41.67 kHz)
- 0x03 : バンド幅 62 (62.50 kHz)
- 0x04 : バンド幅 125 (125 kHz)
- 0x05 : バンド幅 250 (250 kHz)
- 0x06 : バンド幅 500 (500 kHz)
- その他 : 予約済み

バイト 3 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **Cr[2:0]** : 前方誤り訂正符号化率

- 0x0 : 前方誤り訂正なし 符号化率 4/4
- 0x1 : 前方誤り訂正符号化率 4/5
- 0x2 : 前方誤り訂正符号化率 4/6
- 0x3 : 前方誤り訂正符号化率 4/7
- 0x4 : 前方誤り訂正符号化率 4/8
- その他 : 予約済み

バイト 4 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **Ldro** : 低データレート最適化の有効化

- 0 : 低データレートの最適化は無効です。
- 1 : 低データレート最適化は有効です。

BPSK Set_ModulationParams() コマンド

Set_ModulationParams(Br, PulseShape) は、Sub-GHz 無線用の BPSK 変調パラメータを設定するために使用されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、BPSKパケットのパラメータは次のように解釈されます。

- BPSK パケットタイプの場合、送信には BitRate が使用されます。
- PulseShape は、トランスミッタで変調ストリームをフィルタリングするために使用できるガウスフィルタを表します。

0	1	2	3	4
OP コード	Br[23:0]			PulseShape[7:0]
w	w	w	w	w

バイト 0 ビット 7:0 **OP コード** : 0x8B

バイト 3:1 ビット 23:0 **Br[23:0]** : ビット・レート

- 0x000000 : 予約済み
- 0x000001 ~ 0xFFFFF : Br = 32 x 32 MHz / ビット・レート
- 0x1A0AAA : 600 bit/s
- 0x9C4000 : 100 bit/s

バイト 4 ビット 7:0 **PulseShape[7:0]** : パルス波形

- 0x16 : ガウス BT 0.5
- その他 : 予約済み

汎用 Set_PacketParams() コマンド

Set_PacketParams (PbLength, PbDetLength, SynchWordLength, AddrComp, PktType, PayloadLength, CrcType, Whitening) は、Sub-GHz 無線用のパケット処理を設定するために使用されます。この関数の前に送信された Set_PacketType() でパケットタイプと一緒に汎用パケットが選択されている場合、パラメータは次のように解釈されます。

0	1	2	3	4	5	6	7	8	9
OP コード	PbLength[15:0]		PbDetLength[2:0]	SyncWordLength[6:0]	AddrComp[1:0]	PktType	PayloadLength[7:0]	CrcType[2:0]	Whitening
w	w	w	w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x8C.

バイト 2:1 ビット 15:0 **PbLength[15:0]** : シンボル数でのプリアンブル長

- 0x0000 : 予約済み
- 0x0001 ~ 0xFFFF : 1 ~ 65535 のシンボル

バイト 3 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **PbDetLength[2:0]** : ビットシンボル数でのプリアンブル検出長

- 0x0 : プリアンブル検出は無効です。
- 0x4 : 8 ビットプリアンブル検出
- 0x5 : 16 ビットプリアンブル検出
- 0x6 : 24 ビットプリアンブル検出
- 0x7 : 32 ビットプリアンブル検出
- その他 : 予約済み

バイト 4 ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット : 6:0 **SyncWordLength[6:0]** : ビットシンボル数での同期ワード長

- 0x00 ~ 0x40 : 0 ~ 64 ビット同期ワード (同期ワードデータは SUBGHZ_GSYNCR[0:7] で定義)
- その他 : 予約済み

バイト 5 ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット : 1:0 **AddrComp[1:0]** : アドレス比較/フィルタリング

- 0x0 : アドレス比較/フィルタリング無効
- 0x1 : ノードアドレスでのアドレス比較/フィルタリング
- 0x2 : ノードおよびブロードキャストアドレスでのアドレス比較/フィルタリング
- その他 : 予約済み

バイト 6 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **PktType** : パケットタイプ定義

- 0 : 固定ペイロード長で、ヘッダフィールドをパケットに追加しない
- 1 : 可変ペイロード長で、ヘッダフィールドをパケットに追加

バイト 7 ビット 7:0 **PayloadLength[7:0]** : バイト数でのペイロード長

- 0x00 ~ 0xFF : 0 ~ 255 バイト

バイト 8 ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **CrcType[2:0]** : CRC タイプの定義

CRC 初期化値は、SUBGHZ_GCRCINIRL および SUBGHZ_GCRCINIRH に設定されます。多項式は SUBGHZ_GCRCPOLRL および SUBGHZ_GCRCPOLRH で定義されます。

- 0x0 : 1 バイト CRC
- 0x1 : CRC なし
- 0x2 : 2 バイト CRC
- 0x4 : 1 バイト反転 CRC
- 0x6 : 2 バイト反転 CRC
- その他 : 予約済み

バイト 9 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 Whitening : ホワイトニングの有効化

ホワイトニングの初期値が WHITEINI[8:0] に設定されます。

- 0 : ホワイトニングは無効です。
- 1 : ホワイトニングは有効です。

LoRa Set_PacketParams() コマンド

Set_PacketParams(PbLength, HeaderType, PayloadLength, CrcType, InvertIQ) は、Sub-GHz 無線用のパケット処理を設定するために使用されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、パラメータは次のように解釈されます。

0	1	2	3	4	5	6
OP コード	PbLength[15:0]		HeaderType	PayloadLength[7:0]	CrcType	InvertIQ
w	w	w	w	w	w	w

バイト 0 ビット 7:0 **OP コード** : 0x8C.

バイト 2:1 ビット 15:0 **PbLength[15:0]** : シンボル数でのプリアンブル長

- 0x0000 : 予約済み
- 0x0001 ~ 0xFFFF : 1 ~ 65535 のシンボル

バイト 3 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **HeaderType** : ヘッダタイプの定義

- 0 : 可変長ペイロードの明示的ヘッダ
- 1 : 固定長ペイロードの黙示的ヘッダ

バイト 4 ビット 7:0 **PayloadLength[7:0]** : バイト数でのペイロード長

- 0x00 ~ 0xFF : 0 ~ 255 バイト

バイト 5 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CrcType** CRC の有効化

0 : CRC は無効です。

1 : CRC は有効です。

バイト 6 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **InvertIQ** : IQ セットアップ

0 : 標準 IQ セットアップ

1 : 反転 IQ セットアップ

BPSK Set_PacketParams() コマンド

`Set_PacketParams(PayloadLength)` は、Sub-GHz 無線用のパケット処理を設定するために使用されます。この関数の前に送信された `Set_PacketType()` でパケットタイプと一緒に BPSK パケットが選択されている場合、パラメータは次のように解釈されます。

0	1
OP コード	PayloadLength[7:0]
w	w

バイト 0 ビット 7:0 OP コード : 0x8C.

バイト 1 ビット 7:0 **PayloadLength[7:0]** : プリアンブル、同期ワード、デバイス ID、CRC を含む BPSK パケット (ペイロード) 長 (バイト数)

0x00 ~ 0xFF : 0 ~ 255 バイト

LoRa Set_LoRaSymbTimeout() コマンド

`Set_LoRaSymbTimeout(SymbNum)` は、LoRa パケットの受信を開始する前に受信する LoRa シンボルの数を設定するために使用されます。

0	1
OP コード	SymbNum[7:0]
w	w

バイト 0 ビット 7:0 OP コード : 0xA0.

バイト 1 ビット 7:0 **SymbNum[7:0]** : タイムアウトまでにプリアンブルの終了が検出されず、IRQ が生成された LoRa シンボルの数

0x0 : プリアンブルの終了を検出しません。

その他 : SymbNum を値 $\neq 0$ にセットした場合、モデムでは最初の LoRa チャープが検出された後に受信したチャープの数がカウントされます。モデムでは、最初のチャープが検出された後、LoRa シンボルの SymbNum 番号を取得する前に、プリアンブルの終了が検出されたかどうかチェックされます。検出されていない場合、タイムアウトが発生します。

注 : LoRa パケットタイプでは、**SymbNum[7:0] = 0x0** の状態で受信モードに入った場合、1 つの LoRa シンボルが検出されると直ちにモデムがロックします。これは、誤検出につながる可能性があります。誤検出を避けるために、検出される LoRa シンボルの数を増やすことができます。

5.8.5 通信ステータス情報コマンド

Get_Status() コマンド

Get_Status(Status) はいつでも発行できます。

0	1
OP コード	ステータス [7:0]
w	r

バイト 0 ビット 7:0 OP コード : 0xC0

バイト 1 ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **Status_Mode[2:0]** : Sub-GHz 無線の動作モード

0x2 : RC 13 MHz 使用 STANDBY モード

0x3 : HSE32 使用 STANDBY モード

0x4 : FS モード

0x5 : RX モード

0x6 : TX モード

その他 : 予約済み

ビット 3:1 **Status_CmdStatus[2:0]** : コマンドステータス

0x2 : ホストはデータを使用可能 (パケットは正常に受信され、データを取得可能)

0x3 : コマンドタイムアウト (コマンドに時間がかかりすぎ、Sub-GHz 無線のウォッチドッグタイムアウトのトリガを完了不可)

0x4 : コマンド処理エラー (無効な OP コードまたはパラメータ数不正)

0x5 : コマンド実行失敗 (コマンドは正常に受信されたが現時点では実行不可、要求された動作モードへの移行不可、または要求されたデータの送信不可)

0x6 : 送信コマンド完了 (現在のパケット送信完了)

その他 : 予約済み

ビット 0 予約済みであり、リセット値に保持する必要があります。

Get_RxBufferStatus() コマンド

Get_RxBufferStatus(Status, RxPayloadLength, RxBufferPointer) では、Sub-GHz 無線のステータス、最後に受信したパケットの長さ (RxPayloadLength)、最初に受信したペイロードバイトのバッファアドレス (RxBufferPointer) が返されます。

0	1	2	3
OP コード	ステータス [7:0]	RxPayloadLength[7:0]	RxBufferPointer[7:0]
w	r	r	r

バイト 0 ビット 7:0 OP コード : 0x13.

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#) を参照してください。

バイト 2 ビット 7:0 **RxPayloadLength[7:0]** : 最後の受信パケットで受信したバイト数を示します。

バイト 3 ビット 7:0 **RxBufferPointer[7:0]** : 最後に受信したパケットの最初のバイトが格納される RAM データ・バッファ内のオフセットを示します。

(G)FSK Get_PacketStatus() コマンド

Get_PacketStatus (Status, RxStatus, RssiSync, RssiAvg) では、最後に受信したパケットに関する情報が返されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、汎用パケットのパラメータは次のように解釈されます。

0	1	2	3	4
OP コード	ステータス [7:0]	RxStatus[7:0]	RssiSync[7:0]	RssiAvg[7:0]
w	r	r	r	r

バイト 0 ビット 7:0 OP コード : 0x14

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 2 ビット 7 RxStatus_PreambleErr : プリアンブル・エラーが発生したときにセットされます。

ビット 6 RxStatus_SyncErr : 同期エラーが発生したときにセットされます。

ビット 5 RxStatus_AdrsErr : アドレス・エラーが発生したときにセットされます。

ビット 4 RxStatus_CrcErr : CRC エラーが発生したときにセットされます。

ビット 3 RxStatus_LengthErr : 長さエラーが発生したときにセットされます。

ビット 2 RxStatus_AbortErr : アボート・エラーが発生したときにセットされます。

ビット 1 RxStatus_PktReceived : パケットが受信されたときにセットされます。

ビット 0 RxStatus_PktSent : パケットが送信されたときにセットされます。

バイト 3 ビット 7:0 RssiSync[7:0] : 同期アドレス検出時の RSSI レベル

信号電力 = $-RssiSync / 2$ (dBm)

バイト 4 ビット 7:0 RssiAvg[7:0] : 受信パケットでの平均 RSSI レベル

信号電力 = $-RssiAvg / 2$ (dBm)

LoRa Get_PacketStatus() コマンド

Get_PacketStatus (Status, RssiPkt, SnrPkt, SignalRssiPkt) では、最後に受信したパケットに関する情報が返されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、LoRaパケットのパラメータは次のように解釈されます。

0	1	2	3	4
OP コード	Status[7:0]	RssiPkt[7:0]	SnrPkt[7:0]	SignalRssiPkt
w	r	r	r	r

バイト 0 ビット 7:0 OP コード : 0x14

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 2 ビット 7:0 RssiPkt[7:0] : 受信パケットでの平均 RSSI レベル

信号電力 = $-RssiPkt / 2$ (dBm)

バイト 3 ビット 7:0 SnrPkt[7:0] : 受信パケットの SNR の推定

SNR = $SnrPkt / 4$ (dB)

バイト 4 ビット 7:0 SignalRssiPkt[7:0] : 逆拡散後の LoRa 信号の RSSI レベルの推定

信号電力 = $-SignalRssiPkt / 2$ (dBm)

Get_RssiInst() コマンド

Get_RssiInst(Status, RssiInst) では、パケット受信中の瞬間信号強度が返されます。

0	1	2
OP コード	ステータス [7:0]	RssiInst[7:0]
w	r	r

バイト 0 ビット 7:0 OP コード : 0x15

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 2 ビット 7:0 **RssiInst[7:0]** : 受信時の瞬間 RSSI レベル
信号電力 = - RssiInst / 2 (dBm)

(G)FSK Get_Stats() コマンド

Get_Stats(Status, NbPktReceived, NbPktCrcError, NpPktLengthError) では、最後に受信したパケットに関する統計情報が返されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、汎用パケットのパラメータは次のように解釈されます。

0	1	2	3	4	5	6	7
OP コード	ステータス [7:0]	NbPktReceived[15:0]		NbPktCrcError[15:0]		NbPktLengthError[15:0]	
w	r	r	r	r	r	r	r

バイト 0 ビット 7:0 OP コード : 0x10

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 3:2 ビット 15:0 **NbPktReceived[15:0]** : 受信パケット数

バイト 5:4 ビット 15:0 **NbPktCrcError[15:0]** : ペイロード CRC エラーありの受信パケット数

バイト 7:6 ビット 15:0 **NbPktLengthError[15:0]** : ペイロード長エラーありの受信パケット数

LoRa Get_Stats() コマンド

Get_Stats(Status, NbPktReceived, NbPktCrcError, NpPktHeaderError) では、最後に受信したパケットに関する統計情報が返されます。この関数の前に送信された Set_PacketType() で選択したパケットタイプに応じて、LoRaパケットのパラメータは次のように解釈されます。

0	1	2	3	4	5	6	7
OP コード	ステータス [7:0]	NbPktReceived[15:0]		NbPktCrcError[15:0]		NbPktHeaderError[15:0]	
w	r	r	r	r	r	r	r

バイト 0 ビット 7:0 OP コード : 0x10

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 3:2 ビット 15:0 **NbPktReceived[15:0]** : 受信パケット数

バイト 5:4 ビット 15:0 **NbPktCrcError[15:0]** : ペイロード CRC エラーありの受信パケット数

バイト 7:6 ビット 15:0 **NbPktHeaderError[15:0]** : ヘッダ CRC エラーありの受信パケット数

Reset_Stats() コマンド

Reset_Stats (0x00, 0x00, 0x00, 0x00, 0x00, 0x00) では、Get_Stats () でレポートされた内容に従って、受信パケットの統計情報がリセットされます (NbPktReceived、NbPktCrcError、NbPktlengthError、および NbPktHeaderError)。

0	1	2	3	4	5	6
OP コード	0x00	0x00	0x00	0x00	0x00	0x00
w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x0

バイト 1 ビット 7:0 0x0

バイト 2 ビット 7:0 0x0

バイト 3 ビット 7:0 0x0

バイト 4 ビット 7:0 0x0

バイト 5 ビット 7:0 0x0

バイト 6 ビット 7:0 0x0

5.8.6 IRQ 割り込みコマンド

いくつかの Sub-GHz 無線の割り込みソースにマッピングできる 3 つの IRQ 割り込みがあります。割り込みのソースは、デバイス・ステータスを読み出すことによって判断されます。割り込みをクリアするには、Clr_IrqStatus () を使用します。

パケットタイプと動作モードに応じて、10 種類の割り込みソースが使用できます。これらの割り込みソースはそれぞれ、有効したり、マスクして任意の IRQ 割り込みにマッピングしたりすることができます。

IRQ ソースと割り込み生成の設定と制御には、一連のコマンドを使用します。

表 37. IRQ ビットのマッピングと定義

ビット	転送元	説明	パケットタイプ	動作
0	TxDone	パケット送信終了	LoRa と GFSK	Tx
1	RxDone	パケット受信終了	LoRa と GFSK	Rx
2	PreambleDetected	プリアンブルの検出	LoRa と GFSK	Rx
3	SyncDetected	同期ワード有効	GFSK	Rx
4	HeaderValid	ヘッダ有効	LoRa	Rx
5	HeaderErr	ヘッダ CRC エラー	LoRa	Rx
6	Err	プリアンブル、同期ワード、アドレス、CRC、または長さエラー	GFSK	Rx
	CrcErr	CRC エラー	LoRa	Rx
7	CadDone	チャンネルアクティビティ検出が終了	LoRa	Cad
8	CadDetected	チャンネルアクティビティの検出	LoRa	Cad
9	タイムアウト	RX または TX タイムアウト	LoRa と GFSK	Rx と Tx
15:10	適用外	予約済みです。	適用外	

Cfg_DioIrq() コマンド

Cfg_DioIrq(IrqMask, Irq1Mask, Irq2Mask, Irq3Mask) では、割り込みをマスクして、IRQ ラインにマッピングすることができます。

0	1	2	3	4	5	6	7	8
OP コード	IrqMask[15:0]		Irq1Mask [15:0]		Irq2Mask [15:0]		Irq3Mask [15:0]	
w	w	w	w	w	w	w	w	w

バイト 0 ビット 7:0 OP コード : 0x08

バイト 2:1 ビット 15:0 **IrqMask[15:0]** : グローバル割り込みイネーブル

割り込みビットマップの定義については、表 37 を参照してください。各ビットに対して:

0 : IRQ は無効です。

1 : IRQ は有効です。

バイト 4:3 ビット 15:0 **Irq1Mask[15:0]** : IRQ1 ライン割り込みの有効化

0 : IRQ1 ラインでの割り込みが無効です。

1 : IRQ1 ラインでの割り込みが有効です。

バイト 6:5 ビット 15:0 **Irq2Mask[15:0]** : IRQ2 ライン割り込みの有効化

0 : IRQ2 ラインでの割り込みが無効です。

1 : IRQ2 ラインでの割り込みが有効です。

バイト 8:7 ビット 15:0 **Irq3Mask[15:0]** : IRQ3 ライン割り込みの有効化

0 : IRQ3 ラインでの割り込みが無効です。

1 : IRQ3 ラインでの割り込みが有効です。

Get_IrqStatus() コマンド

Get_IrqStatus(Status, IrqStatus) では、IRQ ステータスが返されます。

0	1	2	3
OP コード	ステータス [7:0]	IrqStatus[15:0]	
w	r	r	r

バイト 0 ビット 7:0 OP コード : 0x12

バイト 1 ビット 7:0 Status[7:0] : [Get_Status\(\) コマンド](#)を参照してください。

バイト 3:2 ビット 15:0 **IrqStatus[15:0]** : 割り込みペンディング・ステータス情報

割り込みビットマップの定義については、表 37 を参照してください。各ビットに対して:

0 : IRQ はペンディング中でない

1 : IRQ はペンディング中

Clr_IrqStatus() コマンド

Clr_IrqStatus(ClrIrq) では、IRQ ステータ・スフラグ (IrqStatus[15:0]) がクリアされます。

0	1	2
OP コード	ClrIrq[15:0]	
w	w	w

バイト 0 ビット 7:0 OP コード : 0x02

バイト 2:1 ビット 15:0 **ClrIrq[15:0]** : クリア割込みステータス

割り込みビットマップの定義については、表 37 を参照してください。各ビットに対して:

0 : クリアなし

1 : IRQ ペンディング・ステータス・フラグのクリア

5.8.7 その他のコマンド

Calibrate() コマンド

Calibrate(CalibCfg) では、STANDBY モードの任意の時点で、1 つまたは複数のブロックを校正できます。校正するブロックは、CalibCfg パラメーターで定義します。校正の進行中は、BUSY がセットされます。BUSY の立ち下がリエッジは、有効なすべての校正が終了したことを示します。

0	1
OP コード	CalibCfg[7:0]
w	w

バイト 0 ビット 7:0 OP コード : 0x89

バイト 1 ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CalibCfg_Image** : イメージの校正

0 : イメージの校正は無効です。

1 : イメージの校正は有効です。

ビット 5 **CalibCfg_AdcBulkP** : RF-ADC バルク P の校正

0 : RF-ADC バルク P 校正は無効です。

1 : RF-ADC バルク P 校正は有効です。

ビット 4 **CalibCfg_AdcBulkN** : RF-ADC バルク N の校正

0 : RF-ADC バルク N の校正は無効です。

1 : RF-ADC バルク N の校正は有効です。

ビット 3 **CalibCfg_AdcPulse** : RF-ADC パルスの校正

0 : RF-ADC パルスの校正は無効です。

1 : RF-ADC パルスの校正は有効です。

ビット 2 **CalibCfg_Pll** : RF-PLL の校正

0 : RF-PLL の校正は無効です。

1 : RF-PLL の校正は有効です。

ビット 1 **CalibCfg_RC13M** : Sub-GHz 無線の RC 13 MHz の校正

0 : Sub-GHz 無線の RC 13 MHz の校正は無効です。

1 : Sub-GHz 無線の RC 13 MHz の校正は有効です。

ビット 0 **CalibCfg_RC64K** : Sub-GHz 無線の RC 64 kHz の校正

0 : Sub-GHz 無線の RC 64 kHz の校正は無効です。

1 : Sub-GHz 無線の RC 64 kHz の校正は有効です。

CalibrateImage() コマンド

CalibrateImage(CalFreq1, CalFreq2) では、STANDBY モードの任意の時点で、指定された周波数でイメージを校正できます。校正周波数は、CalFreq1 と CalFreq2 によって定義されます。校正の進行中は、BUSY がセットされます。BUSY の立ち下がりエッジは、校正が終了したことを示します。校正を実行した場合、その校正は選択した 2 つの校正周波数の間のすべての周波数に対して有効です。CalFreq1 と CalFreq2 の該当する周波数を選択することで、あらゆる ISM バンドをカバーできます。

表 38. ISM バンドのイメージ校正

ISM バンド [MHz]	CalFreq1	CalFreq2
430~440	0x6B	0x6F
470~510	0x75	0x81
779~787	0xC1	0xC5
863~870	0xD7	0xDB
902~928	0xE1 (デフォルト)	0xE9 (デフォルト)

デフォルトでは、イメージ校正は 902 ~ 928 MHz のバンドで実行されます。ただし、他の周波数での校正を新たに要求することもできます。

0	1	2
OP コード	CalFreq1 [7:0]	CalFreq2 [7:0]
w	w	w

バイト 0 ビット 7:0 OP コード : 0x98

バイト 1 ビット 7:0 CalFreq1[7:0] : 校正するバンドの下限周波数 (表 38を参照)

バイト 2 ビット 7:0 CalFreq2[7:0] : 校正するバンドの高周波数 (表 38を参照)

校正周波数は、次のように計算されます。

$$\text{Calibration}_{\text{freq}} = \text{CalFreq} * 4 \text{ MHz} \text{ ここで, } \text{CalFreq1} \leq \text{CalFreq2}$$

例 : 0x6B = 428 MHz

CalFreq1 = CalFreq2 の場合、イメージの校正は単一周波数で実行されます。

CalFreq1 と CalFreq2 の間の周波数では、校正係数は、CalFreq1 および CalFreq2 でのイメージ校正中に取得された値から線形補完されます。

周波数が \leq CalFreq1 の場合は、CalFreq1 でのイメージ校正中に取得された係数が使用されます。

周波数が \geq CalFreq2 の場合、CalFreq2 でのイメージ校正中に取得された係数が使用されます。

Set_RegulatorMode() コマンド

Set_RegulatorMode(RegMode) では、HSE32 使用 STANDBY モードおよびアクティブモードのときの Sub-GHz 無線の電源の動作モードを、LDO モード (デフォルト) と SMPS モードから選択できます。

0	1
OP コード	RegMode
w	w

バイト0 ビット 7:0 OP コード : 0x96

バイト1 ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット0 **RegMode** : Sub-GHz 無線がアクティブな場合のレギュレータモードの選択

0 : LDO モード

1 : HSE32 使用 STANDBY、FS、RX、および TX モードで SMPS モードを使用

注 : CPU 動作モードが異なる場合、LDO または SMPS モードは、**PWR 制御レジスタ 5 (PWR_CR5)** の **SMPSEN** ビットによって制御されます。Sub-GHz 無線または CPU で SMPS モードが選択された場合、LDO モードの選択は破棄されます。

Get_Error() コマンド

Get_Error(Status, OpError) では、Sub-GHz 無線の動作エラーが返されます。

0	1	2	3
OP コード	ステータス [7:0]	OpError[15:0]	
w	r	r	r

バイト0 ビット 7:0 OP コード : 0x17

バイト1 ビット 7:0 Status[7:0] : **Get_Status() コマンド**を参照してください。

バイト3:2 ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット8 **OpError_PaRampError** : PA の起動に失敗しました。

ビット7 予約済みであり、リセット値に保持する必要があります。

ビット6 **OpError_PllLockError** : RF-PLL ロックに失敗しました。

ビット5 **OpError_XoscStartError** : HSE32 クロック起動に失敗しました。

ビット4 **OpError_ImageCalibrationError** : イメージの較正に失敗しました。

ビット3 **OpError_AdcCalibrationError** : RF-ADC の較正に失敗しました。

ビット2 **OpError_PllCalibrationError** : RF-PLL の較正に失敗しました。

ビット1 **OpError_RC13MCalibrationError** : Sub-GHz 無線のRC 13 MHz オシレータの較正に失敗しました。

ビット0 **OpError_RC64KCalibrationError** : Sub-GHz 無線のRC 64 kHz オシレータの較正に失敗しました。

Clr_Error() コマンド

Clr_Error(0x00) では、Get_Error() でレポートされた内容に従って、記録されたすべての Sub-GHz 無線のエラー (RC64KCalibrationError、RC13MCalibrationError、PllCalibrationError、AdcCalibrationError、ImageCalibrationError、XscoStartError、PllLockError、および PaRampError) がクリアされます。

0	1
OP コード	0x00
w	w

バイト0 ビット 7:0 OP コード : 0x07

バイト1 ビット 7:0 0x00

5.8.8 Set_TcxoMode コマンド

Set_TcxoMode (RegTcxoTrim, Timeout) は、TCXO および HSE32 のレディ・タイムアウトの設定に使用されます。

表 39. コマンドフォーマット Set_TcxoMode()

バイト 0	バイト 1	バイト 2~4
OP コード = 0x97	RegTcxoTrim[2:0]	Timeout[23:0]

RegTcxoTrim および Timeout バイトの定義を下の表に示します。

表 40. RegTcxoTrim および Timeout バイトの定義

バイト 1 [7:3]	バイト 1 RegTcxoTrim[2:0 ⁽¹⁾] (V)	バイト 2~4 [23:0] タイムアウト
予約済みです。	0x0 = 1.6	0X000000 = タイムアウトは無効です。
	0x1 = 1.7	その他 = タイムアウトは有効です。 ⁽²⁾
	0x2 = 1.8	-
	0x3 = 2.2	-
	0x4 = 2.4	-
	0x5 = 2.7	-
	0x6 = 3.0	-
	0x7 = 3.3	-

- V_{DDTCXO} を使用するには、V_{DDRF} 電源は選択した RegTcxoTrim 電圧レベルよりも少なくとも +200 mV 高くなければなりません。
- HSEStartErr がセットされる前に、HSE32 クロックがレディになるまでシステムが待機する最大時間。

タイムアウト時間は、次の式で計算されます。

$$\text{タイムアウト時間} = \text{Timeout} \times 15.625 \mu\text{s} \quad (\text{最大タイムアウト時間} = 262.14 \text{ s})$$

5.8.9 Sub-GHz 無線のコマンドの概要

Sub-GHz 無線のコマンドは、下の表に示すように、8 ビットのアドレス指定可能な SPI コマンドとしてマッピングされます。

表 41. Sub-GHz 無線の SPI コマンドの概要

コマンド	OP コード	パラメータ
CalibratImage()	0x98	CalFreq1, CalFreq2
Calibrate()	0x89	CalibCfg
Cfg_DioIrq()	0x08	IrqMask, Irq1Mask, Irq2Mask, Irq3Mask
Clr_Error()	0x07	0x00
Clr_IrqStatus()	0x02	ClrIrq
Get_Error()	0x17	Status, OpError
Get_IrqStatus()	0x12	Status, IrqStatus

表 41. Sub-GHz 無線の SPI コマンドの概要 (続き)

コマンド		OP コード	パラメータ
Get_PacketStatus()	FSK	0x14	Status, RxStatus, RssiSync, RssiAvg
	LoRa		Status, RssiPkt, SnrPkt, SignalRssiPkt
Get_PacketType()		0x11	Status, PktType
Get_RssiInst()		0x15	Status, RssiInst
Get_RxBufferStatus()		0x13	Status, RxPayloadLength, RxBufferPointer
Get_Stats()	FSK	0x10	Status, NbPktReceived, NbPktCrcError, NbPktLengthError
	LoRa		Status, NbPktReceived, NbPktCrcError, NbPktHeaderError
Get_Status()		0xC0	ステータス
Read_Buffer()		0x1E	Offset, Status, Data0, Data1, ..., Datan
Read_Register()		0x1D	Addr, Status, Data0, Data1, ..., Datan
Reset_Stats()		0x00	0x00, 0x00, 0x00, 0x00, 0x00, 0x00
Set_BufferBaseAddress()		0x8F	TxBASEAddr, RxBaseAddr
Set_Cad()		0xC5	-
Set_CadParams()		0x88	NbCadSymbol, CadDetPeak, CadDetMin, CadExitMode, Timeout
Set_Fs()		0xC1	-
Set_LoRaSymbTimeout()		0xA0	SymbNum
Set_ModulationParams()	FSK	0x8B	Br, PulseShape, Bw, Fdev
	LoRa		Sf, Bw, Cr, Ldro
	BPSK		Br, PulseShape
Set_PaConfig()		0x95	PaDutyCycle, HpMax, HpSel, 0x01
Set_PacketParams()	汎用	0x8C	PbLength, PdDetLength, SyncWordLength, AddrComp, PktType, PayloadLength, CrcType, Whitening
	LoRa		PbLength, HeaderType, PayloadLength, CrcType, InvertIQ
	BPSK		PayloadLength
Set_PacketType()		0x8A	PktType
Set_RegulatorMode()		0x96	RegMode
Set_RfFrequency()		0x86	RfFreq
Set_Rx()		0x82	タイムアウト
Set_RxDutyCycle()		0x94	RxPeriod, SleepPeriod
Set_TxRxFallbackMode()		0x93	FallbackMode
Set_Sleep()		0x84	SleepCfg
Set_Standby()		0x80	STANDBYCfg
Set_StopRxTimerOnPreamble()		0x9F	RxTimeoutStop
Set_TcxoMode()		0x97	RegTcxoTrim, Timeout
Set_Tx()		0x83	タイムアウト
Set_TxContinuousWave()		0xD1	-
Set_TxContinuousPreamble()		0xD2	-

表 41. Sub-GHz 無線の SPI コマンドの概要 (続き)

コマンド	OP コード	パラメータ
Set_TxParams()	0x8E	Power, RampTime
Write_Buffer()	0x0E	Offset, Data0, Data1, ..., Datan
Write_Register()	0x0D	Addr, Data0, Data1, ..., Datan

5.9 Sub-GHz 無線のアプリケーション設定

Sub-GHz 無線は、SPI コマンド・インターフェースを通して制御されます。次のセクションでは、Sub-GHz 無線の動作の基本シーケンスについて説明します。

Sub-GHz 無線のリセットをリリースし、Sub-GHz 無線のSPI NSS でウェイクアップした後、Sub-GHz 無線では自動的に較正が実行され、STANDBY モードに入ります。Sub-GHz 無線がすでにアクティブである場合、Set_Standby() により STANDBY モードを要求できます。BUSY がローになれば、Sub-GHz 無線をアクティブモードにセットできます。

5.9.1 LoRa、(G)MSK および (G)FSK 送信動作の基本シーケンス

Sub-GHz 無線は、次の手順で LoRa、(G)MSK、または (G)FSK の送信動作モードにセットできます。

1. Set_BufferBaseAddress() により、データ・バッファ内の送信ペイロードデータの位置を定義します。
2. Write_Buffer() により、ペイロードデータを送信データ・バッファに書き込みます。
3. Set_PacketType() により、パケットタイプ (汎用または LoRa) を選択します。
4. Set_PacketParams() により、フレーム・フォーマットを定義します。
5. Write_Register() により、関連するパケットタイプ SUBGHZ_xSYNCR(n) で同期ワードを定義します。
6. Set_RfFrequency() により、RF 周波数を定義します。
7. Set_PaConfig() により、PA 設定を定義します。
8. Set_TxParams() により、PA 出力電力と起動を定義します。
9. Set_ModulationParams() により、変調パラメータを定義します。
10. Cfg_DioIrq() により IRQ を設定して、TxDone とタイムアウトの割込みを有効にします。
11. Set_Tx() により Sub-GHz 無線を TX モードにセットし、送信を開始します。送信終了後、Sub-GHz 無線は自動的に STANDBY モードに入ります。
12. Get_IrqStatus() により、Sub-GHz 無線の IRQ 割込みを待ち、割込みステータスを読み出します。
 - a) TxDone 割込みでは、パケットは正常に送信されます。
 - b) タイムアウト割込みでは、送信はタイムアウトになります。
13. Clr_IrqStatus() により、割込みをクリアします。
14. オプションで、Set_Sleep() コマンドを送信し、Sub-GHz 無線を強制的に SLEEP モードにします。

5.9.2 LoRa および (G)FSK 受信動作の基本シーケンス

Sub-GHz 無線は、次の手順で LoRa または (G)FSK 受信動作モードにセットできます。

1. `Set_BufferBaseAddress()` により、受信したペイロードデータを格納するデータ・バッファ内の位置を定義します。
2. `Set_PacketType()` により、パケットタイプ (汎用または LoRa) を選択します。
3. `Set_PacketParams()` により、フレーム・フォーマットを定義します。
4. `Write_Register()` により、関連するパケットタイプ `SUBGHZ_xSYNCR(n)` で同期ワードを定義します。
5. `Set_RfFrequency()` により、RF 周波数を定義します。
6. `Set_ModulationParams()` により、変調パラメータを定義します。
7. `Cfg_DioIrq()` により IRQ を設定して、`RxDone` とタイムアウトの割り込みを有効にします。
8. `Set_Rx()` により Sub-GHz 無線を RX モードにセットし、受信を開始します。
 - 連続受信モードの場合、Sub-GHz 無線は RX モードにとどまり、`Set_Standby()` により停止するまで、パケットの到着を待ちます。
 - シングルモード (タイムアウトあり/なし) の場合、受信が完了すると、Sub-GHz 無線は自動的に STANDBY モードに入ります。
 - リッスンモードの場合、Sub-GHz 無線ではタイムアウトありの RX シングルモードと SLEEP モードが繰り返し切り替わります。
9. `Get_IrqStatus()` により、Sub-GHz 無線の IRQ 割り込みを待ち、割り込みステータスを読み出します。
 - a) `RxDone` 割り込みでは、パケットが受信されます。
 - `Get_IrqStatus()` により、受信パケットのエラーステータス (ヘッダエラー、crc エラー) をチェックします。
 - 有効なパケットを受信したとき、`Get_RxBufferStatus()` により、受信開始バッファ・ポインタと受信ペイロード長を読み出します。
 - `Read_Buffer()` により、受信データ・バッファから受信ペイロードデータを読み出します。
 - b) タイムアウト割り込み時には、受信はタイムアウトします。
10. `Clr_IrqStatus()` により、割り込みをクリアします。
11. オプションで、`Set_Sleep()` コマンドを送信し、Sub-GHz 無線を強制的に SLEEP モードにします。

5.9.3 BPSK 送信動作の基本シーケンス

Sub-GHz 無線は、次の手順で BPSK 送信動作モードにセットできます。

1. Set_BufferBaseAddress() により、データ・バッファ内の送信ペイロードデータの位置を定義します。
2. Write_Buffer() により、パケットデータ（同期ワード、ペイロードデータ）を送信データ・バッファに書き込みます。
3. Set_PacketType() により、パケットタイプ（BPSK）を選択します。
4. Set_PacketParams() により、フレーム・フォーマットを定義します。
5. Set_RfFrequency() により、RF 周波数を定義します。
6. Set_PaConfig() により、PA 設定を定義します。
7. Set_TxParams() により、PA 出力電力と起動を定義します。
8. Set_ModulationParams() により、変調パラメータを定義します。
9. Cfg_DiOlrq() により IRQ を設定して、TxDone とタイムアウトの割り込みを有効にします。
10. Set_Tx() により Sub-GHz 無線を TX モードにセットし、送信を開始します。送信終了後、Sub-GHz 無線は自動的に STANDBY モードに入ります。
11. Get_IrqStatus() により、Sub-GHz 無線の IRQ 割り込みを待ち、割り込みステータスを読み出します。
 - a) TxDone 割り込みでは、パケットは正常に送信されます。
 - b) タイムアウト割り込み時には、送信はタイムアウトします。
12. Clr_IrqStatus() により、割り込みをクリアします。
13. オプションで、Set_Sleep() コマンドを送信し、Sub-GHz 無線を強制的に SLEEP モードに入ります。

5.10 Sub-GHz 無線のレジスタ

Sub-GHz 無線のペリフェラル・レジスタへは、Sub-GHz 無線のコマンド Write_Register() および Read_Register() によってアクセスできます。

5.10.1 Sub-GHz 無線の起動 MSB レジスタ (SUBGHZ_RAM_RAMPUPH)

アドレス・オフセット : 0x0F0

リセット値 : 0x00

7	6	5	4	3	2	1	0
RAMPUP[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RAMPUP[15:8] : 起動 MSB ビット

5.10.2 Sub-GHz 無線の起動 LSB レジスタ (SUBGHZ_RAM_RAMPUPL)

アドレス・オフセット : 0x0F1

リセット値 : 0x00

7	6	5	4	3	2	1	0
RAMPUP[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RAMPUP[7:0] : 起動 LSB ビット

5.10.3 Sub-GHz 無線の停止 MSB レジスタ (SUBGHZ_RAM_RAMPDNH)

アドレス・オフセット : 0x0F2

リセット値 : 0x00

7	6	5	4	3	2	1	0
RAMPDN[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RAMPDN[15:8] : 停止 MSB ビット

5.10.4 Sub-GHz 無線の停止 LSB レジスタ (SUBGHZ_RAM_RAMPDNL)

アドレス・オフセット : 0x0F3

リセット値 : 0x00

7	6	5	4	3	2	1	0
RAMPDN[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RAMPDN[7:0] : 停止 LSB ビット

5.10.5 Sub-GHz 無線のフレーム制限 MSB レジスタ (SUBGHZ_RAM_FRAMELIMH)

アドレス・オフセット : 0x0F4

リセット値 : 0x00

7	6	5	4	3	2	1	0
FRAMELIMH[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 FRAMELIMH[15:8] : フレーム制限 MSB ビット

5.10.6 Sub-GHz 無線のフレーム制限 LSB レジスタ (SUBGHZ_RAM_FRAMELIML)

アドレス・オフセット : 0x0F5

リセット値 : 0x00

7	6	5	4	3	2	1	0
FRAMELIML[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 FRAMELIML[7:0] : フレーム制限 LSB ビット

5.10.7 Sub-GHz 無線の汎用ビット同期レジスタ (SUBGHZ_GBSYNCR)

アドレス・オフセット : 0x6AC

リセット値 : 0x00

LoRa 以外のパケットタイプを使用する場合、このレジスタを 0x00 にクリアする必要があります。

7	6	5	4	3	2	1	0
Res.	SBITSYNCR	RXDINV	BITSYNCRDIS	Res.	Res.	Res.	Res.
	rw	rw	rw				

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SBITSYNCR** : LoRa シンプル・ビット同期の有効化

汎用パケットと BPSK タイプを使用する場合、このビットを 0 にクリアする必要があります。

0 : シンプル・ビット同期は無効です。

1 : シンプル・ビット同期は有効です。

ビット 5 **RXDINV** : LoRa 受信データの反転

汎用パケットと BPSK タイプを使用する場合、このビットを 0 にクリアする必要があります。

0 : 受信データを反転しません。

1 : 受信データを反転します。

ビット 4 **BITSYNCRDIS** : LoRa ノーマル・ビット同期の有効化

汎用パケットと BPSK タイプを使用する場合、このビットを 0 にクリアする必要があります。

0 : ノーマル・ビット同期は有効です。

1 : ノーマル・ビット同期は無効です。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

5.10.8 Sub-GHz 無線の汎用 CFO MSB レジスタ (SUBGHZ_GCFORH)

アドレス・オフセット : 0x6B0

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	DEMOD_CFO[3:0]			
				r	r	r	r

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **DEMOD_CFO[3:0]** : 正規化値からの周波数実際値の誤差 (MSB ビット)

5.10.9 Sub-GHz 無線の汎用 CFO LSB レジスタ (SUBGHZ_GCFORL)

アドレス・オフセット : 0x6B1

リセット値 : 0x00

7	6	5	4	3	2	1	0
DEMOD_CFO[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **DEMOD_CFO[7:0]** : 正規化値からの周波数実際値の誤差 (LSB ビット)

5.10.10 Sub-GHz 無線の汎用パケット制御 1 レジスタ (SUBGHZ_GPKTCTL1R)

アドレス・オフセット : 0x06B4

リセット値 : 0x04

LoRa 以外のパケットタイプを使用する場合、このレジスタを 0x00 にクリアする必要があります。

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	PBDETON	PBDETLLEN[1:0]	
					rw	rw	rw

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **PBDETON** : プリアンブル検出の有効化

ビット 1:0 **PBDETLLEN** : レシーバのプリアンブル検出長

0b00 : 8 ビットプリアンブル検出

0b01 : 16 ビットプリアンブル検出

0b10 : 24 ビットプリアンブル検出

0b11 : 32 ビットプリアンブル検出

5.10.11 Sub-GHz 無線の汎用パケット制御 1A レジスタ (SUBGHZ_GPKTCTL1AR)

アドレス・オフセット : 0x6B8

リセット値 : 0x21

7	6	5	4	3	2	1	0
Res.	Res.	SYNCDETEN	CONTTX	INFSEQSEL[1:0]		INFSQEQEN	WHITEINI[8]
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **SYNCDETEN** : 汎用パケット同期ワード検出の有効化

ビット 4 **CONTTX** : 汎用パケット連続送信の有効化

ビット 3:2 **INFSEQSEL[1:0]** : 汎用パケット無限シーケンスの選択

00 : プリアンブル 0x5555

01 : すべて 0 (0x0000)

10 : すべて 1 (0xFFFF)

11 : PRBS9

ビット 1 **INFSQEQEN** : 汎用パケット無限シーケンスの有効化

ビット 0 **WHITEINI[8]** : 汎用パケットホワイトニング初期値 MSB ビット [8]

5.10.12 Sub-GHz 無線の汎用ホワイトニング LSB レジスタ (SUBGHZ_GWHITEINIRL)

アドレス・オフセット : 0x6B9

リセット値 : 0x00

7	6	5	4	3	2	1	0
WHITEINI[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **WHITEINI[7:0]** : 汎用パケットホワイトニング初期値 LSB ビット [7:0]

5.10.13 Sub-GHz 無線の汎用ペイロード長レジスタ (SUBGHZ_GRTXPLDLEN)

アドレス・オフセット : 0x6BB

リセット値 : 0x0F

7	6	5	4	3	2	1	0
RTXPLDLEN[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **RTXPLDLEN[7:0]** : Rx および Tx のペイロード長 FIFO 一致値

5.10.14 Sub-GHz 無線の汎用 CRC 初期 MSB レジスタ (SUBGHZ_GCRCINIRH)

アドレス・オフセット : 0x6BC

リセット値 : 0x1D

7	6	5	4	3	2	1	0
CRCINI[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CRCINI[15:8]** : 汎用パケット CRC 初期多項式の MSB ビット [15:8]
これらのビットは、CRC 初期化に使用されます。

5.10.15 Sub-GHz 無線の汎用 CRC 初期 LSB レジスタ (SUBGHZ_GCRCINIRL)

アドレス・オフセット : 0x6BD

リセット値 : 0x0F

7	6	5	4	3	2	1	0
CRCINI[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CRCINI[7:0]** : 汎用パケット CRC 初期多項式の LSB ビット [7:0]
これらのビットは、CRC 初期化に使用されます。

5.10.16 Sub-GHz 無線の汎用 CRC 多項式の MSB レジスタ (SUBGHZ_GCRCPOLRH)

アドレス・オフセット : 0x6BE

リセット値 : 0x10

7	6	5	4	3	2	1	0
CRCPOL[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CRCPOL[15:8]** : 汎用パケット CRC 多項式の MSB ビット [15:8]
これらのビットは、CRC 初期化に使用されます。

5.10.17 Sub-GHz 無線の汎用 CRC 多項式の LSB レジスタ (SUBGHZ_GCRCPOLRL)

アドレス・オフセット : 0x6BF

リセット値 : 0x21

7	6	5	4	3	2	1	0
CRCPOLI[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CRCPOLI[7:0]** : 汎用パケット CRC 初期多項式の LSB ビット [7:0]
 これらのビットは、CRC 初期化に使用されます。

5.10.18 Sub-GHz 無線の汎用同期ワード制御レジスタ 7 (SUBGHZ_GSYNCR7)

アドレス・オフセット : 0x6C0

リセット値 : 0x97

7	6	5	4	3	2	1	0
SYNCWORD[63:56]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **SYNCWORD[63:56]** : 8 バイトの汎用パケット同期ワード

5.10.19 Sub-GHz 無線の汎用同期ワード制御レジスタ 6 (SUBGHZ_GSYNCR6)

アドレス・オフセット : 0x6C1

リセット値 : 0x23

7	6	5	4	3	2	1	0
SYNCWORD[55:48]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **SYNCWORD[55:48]** : 汎用パケット同期ワードの第 7 バイト

5.10.20 Sub-GHz 無線の汎用同期ワード制御レジスタ 5 (SUBGHZ_GSYNCR5)

アドレス・オフセット : 0x6C2

リセット値 : 0x52

7	6	5	4	3	2	1	0
SYNCWORD[47:40]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCWORD[47:40] : 汎用パケット同期ワードの第 6 バイト

5.10.21 Sub-GHz 無線の汎用同期ワード制御レジスタ 4 (SUBGHZ_GSYNCR4)

アドレス・オフセット : 0x6C3

リセット値 : 0x25

7	6	5	4	3	2	1	0
SYNCWORD[39:32]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCWORD[39:32] : 汎用パケット同期ワードの第 5 バイト

5.10.22 Sub-GHz 無線の汎用同期ワード制御レジスタ 3 (SUBGHZ_GSYNCR3)

アドレス・オフセット : 0x6C4

リセット値 : 0x56

7	6	5	4	3	2	1	0
SYNCWORD[31:24]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCWORD[31:24] : 汎用パケット同期ワードの第 4 バイト

5.10.23 Sub-GHz 無線の汎用同期ワード制御レジスタ 2 (SUBGHZ_GSYNCR2)

アドレス・オフセット : 0x6C5

リセット値 : 0x53

7	6	5	4	3	2	1	0
SYNCWORD[23:16]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCWORD[23:16] : 汎用パケット同期ワードの第 3 バイト

5.10.24 Sub-GHz 無線の汎用同期ワード制御レジスタ 1 (SUBGHZ_GSYNCR1)

アドレス・オフセット : 0x6C6

リセット値 : 0x65

7	6	5	4	3	2	1	0
SYNCR1[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCR1[15:8] : 汎用同期ワードの第 2 バイト

5.10.25 Sub-GHz 無線の汎用同期ワード制御レジスタ 0 (SUBGHZ_GSYNCR0)

アドレス・オフセット : 0x6C7

リセット値 : 0x64

7	6	5	4	3	2	1	0
SYNCR0[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SYNCR0[7:0] : 汎用同期ワードの第 1 バイト

5.10.26 Sub-GHz 無線の汎用ノードアドレスレジスタ (SUBGHZ_GNODEADR)

アドレス・オフセット : 0x6CD

リセット値 : 0x00

7	6	5	4	3	2	1	0
NODEADR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 NODEADR[7:0] : FSK モード・レジスタで使用されるノードアドレス

5.10.27 Sub-GHz 無線の汎用ブロードキャストアドレスレジスタ (SUBGHZ_GBCASTADDR)

アドレス・オフセット : 0x6CE

リセット値 : 0x00

7	6	5	4	3	2	1	0
BCASTADDR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 BCASTADDR[7:0] : FSK モード・レジスタで使用されるブロードキャストアドレス



5.10.28 Sub-GHz 無線の汎用 AFC レジスタ (SUBGHZ_GAFCR)

アドレス・オフセット : 0x6D1

リセット値 : 0x18

7	6	5	4	3	2	1	0
AFC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 AFC[7:0] : 自動周波数制御レジスタ

5.10.29 Sub-GHz 無線の LoRa ペイロード長レジスタ (SUBGHZ_LPLDLENR)

アドレス・オフセット : 0x702

リセット値 : 0x00

7	6	5	4	3	2	1	0
PLDLEN[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 PLDLEN[7:0] : LoRa 固定ヘッダの場合のバイト数単位のペイロード長

5.10.30 Sub-GHz 無線の同期タイムアウト・レジスタ (SUBGHZ_LSYNCTIMEOUTR)

アドレス・オフセット : 0x706

リセット値 : 0x00

7	6	5	4	3	2	1	0
SYNCTIMEOUT[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 SYNCTIMEOUT[7:0] : $TimeoutValue = synctimeout[7:3] * 2^{\wedge}(2 * synctimeout[2:0] + 1)$

TimeoutValue までに検出が行われていない場合、STANDBY モードに戻るか、連続受信モードで同期を再開します。

ビット 7:3 synctimeout(7:3) の整数部

ビット 2:0 synctimeout(2:0) の指数部

5.10.31 Sub-GHz 無線の Lora IQ 極性 MSB レジスタ (SUBGHZ_LIQPOLR)

アドレス・オフセット : 0x735

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.32 Sub-GHz 無線の Lora IQ 極性 LSB レジスタ (SUBGHZ_LIQPOLR)

アドレス・オフセット : 0x736

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.33 Sub-GHz 無線の LoRa 同期ワード MSB レジスタ (SUBGHZ_LSYNCRH)

アドレス・オフセット : 0x740

リセット値 : 0x14

7	6	5	4	3	2	1	0
SYNCWORD[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **SYNCWORD[15:8]** : LoRa 同期ワードの MSB ビット [15:8]

0x14 : LoRa プライベート・ネットワーク

0x34 : LoRa 公開ネットワーク

その他 : 予約済み

5.10.34 Sub-GHz 無線の LoRa 同期ワード LSB レジスタ (SUBGHZ_LSYNCRL)

アドレス・オフセット : 0x741

リセット値 : 0x24

7	6	5	4	3	2	1	0
SYNCWORD[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **SYNCWORD[7:0]** : LoRa 同期ワードの LSB ビット [7:0]

0x24 : LoRa プライベート・ネットワーク

0x44 : LoRa 公開ネットワーク

その他 : 予約済み

5.10.35 Sub-GHz 無線の Tx アドレスポインタレジスタ (SUBGHZ_TXADRPTR)

アドレス・オフセット : 0x0802

リセット値 : 0x00

7	6	5	4	3	2	1	0
PTR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PTR[7:0]** : TX バッファアドレス・ポインタ

5.10.36 Sub-GHz 無線の Rx アドレス・ポインタ・レジスタ (SUBGHZ_RXADRPTRR)

アドレス・オフセット : 0x0803

リセット値 : 0x00

7	6	5	4	3	2	1	0
PTR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PTR[7:0]** : RX バッファアドレス・ポインタ

5.10.37 Sub-GHz 無線のバンド幅選択レジスタ (SUBGHZ_BWSELR)

アドレス・オフセット : 0x807

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	CHBWMANT[1:0]		CHBWEXPO[2:0]		
			r	r	r	r	r

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:3 CHBWMANT[1:0]: チャンネル・バンド幅の整数部

ビット 2:0 CHBWEXP[2:0]: チャンネル・バンド幅の指数部

5.10.38 Sub-GHz 無線の乱数レジスタ 3 (SUBGHZ_RNGR3)

アドレス・オフセット : 0x819

リセット値 : 0x00

7	6	5	4	3	2	1	0
RNDATA[31:24]							
r	r	r	r	r	r	r	r

ビット 7:0 RNDATA[31:24]: 乱数データビット [31:24]

5.10.39 Sub-GHz 無線の乱数レジスタ 2 (SUBGHZ_RNGR2)

アドレス・オフセット : 0x81A

リセット値 : 0x00

7	6	5	4	3	2	1	0
RNDATA[23:16]							
r	r	r	r	r	r	r	r

ビット 7:0 RNDATA[23:16]: 乱数データビット [23:16]

5.10.40 Sub-GHz 無線の乱数レジスタ 1 (SUBGHZ_RNGR1)

アドレス・オフセット : 0x81B

リセット値 : 0x00

7	6	5	4	3	2	1	0
RNDATA[15:8]							
r	r	r	r	r	r	r	r

ビット 7:0 RNDATA[15:8]: 乱数データビット [15:8]

5.10.41 Sub-GHz 無線の乱数レジスタ 0 (SUBGHZ_RNGR0)

アドレス・オフセット : 0x81C

リセット値 : 0x00

7	6	5	4	3	2	1	0
RNDATA[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 RNDATA[7:0]: 乱数データビット [7:0]

5.10.42 Sub-GHz 無線の SD 分解能レジスタ (SUBGHZ_SDCFG0R)

アドレス・オフセット : 0x889

リセット値 : 0x00

7	6	5	4	3	2	1	0
SD[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 SD[7:0] : 無線 SD 分解能

5.10.43 Sub-GHz 無線の AGC RSSI 制御レジスタ (SUBGHZ_AGCRSSICTL0R)

アドレス・オフセット : 0x89D

リセット値 : 0x00

7	6	5	4	3	2	1	0
CALDATA[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 CALDATA[7:0] : AGC RSSI の制御

5.10.44 Sub-GHz 無線のレシーバ・ゲイン制御レジスタ (SUBGHZ_RXGAINCR)

アドレス・オフセット : 0x8AC

リセット値 : 0x94

7	6	5	4	3	2	1	0
SENSI_ADJUST[5:0]						PMODE[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:2 SENSI_ADJUST[5:0] : AGC の感度フロア

このビットフィールドは 0x25 に保持する必要があります。

ビット 1:0 PMODE[1:0] : レシーバの電力モードの通常モード/省電力モードの選択

00 : 省電力モード (感度低減)

01 : ブースト・モード・レベル 1 がアクティブ (感度は向上しますが電力は消費します)

10 : ブースト・モード・レベル 2 がアクティブ (設定された感度がさらに向上しますが、電力もさらに消費します)

その他 : ブースト・モード (最高のレシーバ感度)

5.10.45 Sub-GHz 無線の AGC リセット設定レジスタ (SUBGHZ_AGCGFORSTCFGR)

アドレス・オフセット : 0x8B8

リセット値 : 0x14

7	6	5	4	3	2	1	0
EN[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 EN[7:0] : 周波数オフセット推定のリセット生成を有効にします。

5.10.46 Sub-GHz 無線の AGC リセット電力閾値レジスタ (SUBGHZ_AGCGFORSTPOWTHR)

アドレス・オフセット : 0x8B9

リセット値 : 0x0A

7	6	5	4	3	2	1	0
PWRTHR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 PWRTHR[7:0] : 周波数オフセット推定のための電力閾値リセット

5.10.47 Sub-GHz 無線の Tx クランプ・レジスタ (SUBGHZ_TXCLAMPR)

アドレス・オフセット : 0x8D8

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.48 Sub-GHz 無線の無効化 LNA レジスタ (REG_ANA_LNA)

アドレス・オフセット : 0x8E2

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.49 Sub-GHz 無線の無効化ミキサ・レジスタ (REG_ANA_MIXER)

アドレス・オフセット : 0x8E5

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.50 Sub-GHz 無線の PA 過電流保護レジスタ (SUBGHZ_PAOCP)

アドレス・オフセット : 0x8E7

リセット値 : 0x18

7	6	5	4	3	2	1	0
Res.	Res.	OCP[5:0]					
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **OCP[5:0]** : パワーアンプ過電流保護レベル

0x18 : LP PA モードで最大電流 60 mA

0x38 : HP PA モードで最大電流 140mA

その他 : 予約済み

5.10.51 Sub-GHz 無線の RTC 制御レジスタ (SUBGHZ_RTCCTLR)

アドレス・オフセット : 0x902

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	RTCEN
							rw

ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RTCEN** : 1 を書き込むと、無線 RTC が再起動されます。

5.10.52 Sub-GHz 無線の RTC 期間 MSB レジスタ (SUBGHZ_RTCPRDR2)

アドレス・オフセット : 0x906

リセット値 : 0x00

7	6	5	4	3	2	1	0
RTCPRD[31:16]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RTCPRD[31:16] : 無線 RTC 期間 (MSB) を更新します。

5.10.53 Sub-GHz 無線の RTC 期間中間バイト・レジスタ (SUBGHZ_RTCPRDR1)

アドレス・オフセット : 0x907

リセット値 : 0x00

7	6	5	4	3	2	1	0
RTCPRD[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RTCPRD[15:8] : 無線 RTC 期間を更新します (中間バイト)。

5.10.54 Sub-GHz 無線の RTC 期間 LSB レジスタ (SUBGHZ_RTCPRDR0)

アドレス・オフセット : 0x908

リセット値 : 0x00

7	6	5	4	3	2	1	0
RTCPRD[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 RTCPRD[7:0] : 無線 RTC 期間 (LSB) を更新します。

5.10.55 Sub-GHz 無線の HSE32 OSC_IN コンデンサ・トリミング・レジスタ (SUBGHZ_HSEINTRIMR)

アドレス・オフセット : 0x911

リセット値 : 0x12

このレジスタの内容は SLEEP モードでは保持されますが、ディープスリープモードでは消去されます。

7	6	5	4	3	2	1	0
Res.	Res.	TRIM[5:0]					
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **TRIM[5:0]** : HSE32 XTAL モードの OSC_IN 負荷コンデンサ・トリミング

負荷コンデンサのトリミング・ステップ・サイズ ~0.47 pf

0x00 : 最小値 ~11.3 pF

.....

0x12 : 値 ~20.3 pF (デフォルト)

.....

0x2F : コンデンサの最大値 ~33.4 pF

その他 : 予約済み

5.10.56 Sub-GHz 無線の HSE32 OSC_OUT コンデンサ・トリミング・レジスタ (SUBGHZ_HSEOUTTRIMR)

アドレス・オフセット : 0x912

リセット値 : 0x12

このレジスタの内容は SLEEP モードでは保持されますが、ディープスリープモードでは消去されます。

7	6	5	4	3	2	1	0
Res.	Res.	TRIM[5:0]					
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **TRIM[5:0]** : HSE32 XTAL モードの OSC_OUT 負荷コンデンサ・トリミング

負荷コンデンサのトリミング・ステップ・サイズ ~0.47 pf

0x00 : 最小値 ~11.3 pF

.....

0x12 : 値 ~20.3 pF (デフォルト)

.....

0x2F : コンデンサの最大値 ~33.4 pF

その他 : 予約済み

5.10.57 Sub-GHz 無線の SMPS 制御 0 レジスタ (SUBGHZ_SMPSC0R)

アドレス・オフセット : 0x916

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res.	CLKDE	Res.	Res.	Res.	Res.	Res.	Res.
	rw						

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CLKDE** : SMPS クロック検出の有効化

アプリケーションで (XO または TCXO ではなく別のデバイスからの) 外部 HSE クロックソースを使用する場合、SMPS を有効にする前に SMPS クロック検出を有効にする必要があります。

0 : SMPS クロック検出は無効です。

1 : SMPS クロック検出は有効です。

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

5.10.58 Sub-GHz 無線の電力制御レジスタ (SUBGHZ_PCR)

アドレス・オフセット : 0x91A

リセット値 : 0x50

このレジスタの内容は SLEEP モードでは保持されますが、ディープスリープモードでは消去されます。

7	6	5	4	3	2	1	0
Res.	CLE	CLV[1:0]		Res.	Res.	Res.	Res.
	rw	rw	rw				

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CLE** : 電源電流リミッタの有効化

0 : 電源電流リミッタは無効です (電流無制限)

1 : 電源電流リミッタは有効です (CLV[1:0] に従って電流制限)

ビット 5:4 **CLV[1:0]** : 電源電流リミッタ値

電源電流リミッタが CLEN によって有効にされた場合、これらのビットにより最大電流制限レベルが定義されます。

0x0 : 電源電流制限レベル 25 mA

0x1 : 電源電流制限レベル 50 mA (デフォルト)

0x2 : 電源電流制限レベル 100 mA

0x3 : 電源電流制限レベル 200 mA

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

5.10.59 Sub-GHz 無線の SMPS 制御 2 レジスタ (SUBGHZ_SMPSC2R)

アドレス・オフセット : 0x923

リセット値 : 0x06

このレジスタの内容は SLEEP モードでは保持されますが、ディープスリープモードでは消去されます。

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	DRV[1:0]		Res
					rw	rw	

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:1 **DRV[1:0]** : SMPS の最大駆動能力

0x0 : 20 mA

0x1 : 40 mA

0x2 : 60 mA

0x3 : 100 mA (デフォルト)

ビット 0 予約済みであり、リセット値に保持する必要があります。

5.10.60 Sub-GHz 無線の RTC 制御レジスタ (SUBGHZ_EVENTMASKR)

アドレス・オフセット : 0x944

リセット値 : 0x00

7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

5.10.61 Sub-GHz 無線のレジスタマップ

表 42. SUBGHZ レジスタマップとリセット値

オフセット	レジスタ名	7	6	5	4	3	2	1	0
0x6AC	SUBGHZ_GBSYNCR	Res.	SBITSYNCR	RXDINV	BITSYNCRIS	Res.	Res.	Res.	Res.
	リセット値		0	0	0				
0x6AC - 0x6B4	予約済みです。	予約済みです。							
0x6B8	SUBGHZ_GPKTCTL1AR	Res.	Res.	SYNCRDETEN	CONTTX	INFSREQSEL[1:0]		INFSREQEN	WHITEINI[8]
	リセット値			1	0	0	0	0	1
0x6B9	SUBGHZ_GWHITEINIRL	WHITEINI[7:0]							
	リセット値	0	0	0	0	0	0	0	0
0x6BC	SUBGHZ_GCRCINIRH	CRCIN[15:8]							
	リセット値	0	0	0	1	1	1	0	1
0x6BD	SUBGHZ_GCRCINIRL	CRCIN[7:0]							
	リセット値	0	0	0	0	1	1	1	1
0x6BE	SUBGHZ_GCRCPOLRH	CRCPOL[15:8]							
	リセット値	0	0	0	1	0	0	0	0
0x6BF	SUBGHZ_GCRCPOLRL	CRCPOL[7:0]							
	リセット値	0	0	1	0	0	0	0	1
0x6C0	SUBGHZ_GSYNCR7	SYNCWORD[63:56]							
	リセット値	1	0	0	1	0	1	1	1
0x6C1	SUBGHZ_GSYNCR6	SYNCWORD[55:48]							
	リセット値	0	0	1	0	0	0	1	1
0x6C2	SUBGHZ_GSYNCR5	SYNCWORD[47:40]							
	リセット値	0	1	0	1	0	0	1	0
0x6C3	SUBGHZ_GSYNCR4	SYNCWORD[39:32]							
	リセット値	0	0	1	0	0	1	0	1
0x6C4	SUBGHZ_GSYNCR3	SYNCWORD[31:24]							
	リセット値	0	1	0	1	0	1	1	0
0x6C5	SUBGHZ_GSYNCR2	SYNCWORD[23:16]							
	リセット値	0	1	0	1	0	0	1	1
0x6C6	SUBGHZ_GSYNCR1	SYNCWORD[15:8]							
	リセット値	0	1	1	0	0	1	0	1
0x6C7	SUBGHZ_GSYNCR0	SYNCWORD[7:0]							
	リセット値	0	1	1	0	0	1	0	0
0x6C8-0x73C	予約済みです。	予約済みです。							
0x740	SUBGHZ_LSYNCRH	SYNCWORD[15:8]							
	リセット値	0	0	0	1	0	1	0	0
0x741	SUBGHZ_LSYNCR L	SYNCWORD[7:0]							
	リセット値	0	0	1	0	0	1	0	0
0x742-0x818	予約済みです。	予約済みです。							
0x819	SUBGHZ_RNGR3	RNDATA[31:24]							
	リセット値	0	0	0	0	0	0	0	0

表 42. SUBGHZ レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	7	6	5	4	3	2	1	0	
0x81A	SUBGHZ_RNGR2	RNDATA[23:16]								
	リセット値	0	0	0	0	0	0	0	0	
0x81B	SUBGHZ_RNGR1	RNDATA[15:8]								
	リセット値	0	0	0	0	0	0	0	0	
0x81C	SUBGHZ_RNGR0	RNDATA[7:0]								
	リセット値	0	0	0	0	0	0	0	0	
0x820- 0x8AB	予約済みです。	予約済みです。								
0x8AC	SUBGHZ_RXGAINCR	SENSI_ADJUST[5:0]							PMODE[1:0]	
	リセット値	1	0	0	1	0	1	0	0	
0x8B0 - 0x8E6	予約済みです。	予約済みです。								
0x8E7	SUBGHZ_PAOCPR	Res.	Res.	OCP[5:0]						
	リセット値			0	1	1	0	0	0	
0x8E8~ 0x910	予約済みです。	予約済みです。								
0x911	SUBGHZ_HSEINTRIMR	Res.	Res.	TRIM[5:0]						
	リセット値			0	1	0	0	1	0	
0x912	SUBGHZ_HSEOUTTRIMR	Res.	Res.	TRIM[5:0]						
	リセット値			0	1	0	0	1	0	
0x913- 0x915	予約済みです。	予約済みです。								
0x916	SUBGHZ_SMPSC0R	Res.	CLKDE	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値		0							
0x917- 0x919	予約済みです。	予約済みです。								
0x91A	SUBGHZ_PCR	Res.	CLE	CLV[1:0]		Res.	Res.	Res.	Res.	
	リセット値		1	0	1					
0x91B~ 0x920	予約済みです。	予約済みです。								
0x923	SUBGHZ_SMPSC2R	Res.	Res.	Res.	Res.	Res.	DRV[1:0]		Res.	
	リセット値						1	1		

レジスタ境界アドレスについては[セクション 2.6](#)を参照してください。

6 電源制御 (PWR)

6.1 電源

STM32WL5x デバイスには 1.71 V ~ 3.6 V の V_{DD} 動作電圧供給 V が必要です。特定のペリフェラルに応じた複数の独立した電源 (V_{DDSMPS} 、 V_{FBSMPS} 、 V_{DDA} 、 V_{DDRF}) をご用意しています。

- $V_{DD} = 1.71 \sim 3.6 \text{ V}$
 V_{DD} は I/O、リセットなどのシステムアナログブロック、電源管理、内部クロック、低電力レギュレータ用の外部電源です。VDD ピンから外部より供給されます。
- $V_{DDSMPS} = 1.71 \sim 3.6 \text{ V}$
 V_{DDSMPS} は SMPS ステップ-ダウンコンバータ用の外部電源です。VDDSMPS 電源ピンから外部より供給され、 V_{DD} と同じ電源に接続する必要があります。
- $V_{FBSMPS} = 1.55 \text{ V}$
 V_{FBSMPS} はメインシステムレギュレータ用の外部電源です。VFBSMPS ピンから外部より供給され、SMPS ステップダウンコンバータから供給されます。
- $V_{DDA} = 0 \sim 3.6 \text{ V}$ (DAC/COMP の最小電圧は 1.62 V、ADC の最小電圧は 1.8 V、VREFBUF の最小電圧は 2.4 V)。
 V_{DDA} は、A/D コンバータ、D/A コンバータ、電圧リファレンスバッファ、コンパレータ用の外部アナログ電源です。 V_{DDA} 電圧レベルは V_{DD} 電圧から独立して (下記のパワーアップとパワーダウンの制限を参照)、これらのペリフェラルを使用しない場合、できれば V_{DD} に接続する必要があります。
- $V_{DDRF} = 1.71 \sim 3.6 \text{ V}$
 V_{DDRF} は無線用の外部電源です。VDDRF ピンから外部より供給され、 V_{DD} と同じ電源に接続されます。
- $V_{DDRF1V5} = 1.45 \sim 1.62 \text{ V}$
 $V_{DDRF1V5}$ は無線用の外部電源です。VDDRF1V5 ピンから外部より供給されます。
- $V_{BAT} = 1.55 \sim 3.6 \text{ V}$
 V_{BAT} は、 V_{DD} が存在しない場合の、RTC、TAMP、外部クロック 32 kHz オシレータおよびバックアップレジスタ (電源スイッチ経由) 用の電源となります。
- VREF-、VREF+
 V_{REF+} は ADC 用の入力リファレンス電圧です。有効時、内部電圧リファレンスバッファの出力にもなります。
 - V_{DDA} が 2 V 未満の場合、 V_{REF+} は V_{DDA} と同じである必要があります。
 - V_{DDA} が 2 V 以上の場合、 V_{REF+} は 2 V と V_{DDA} の範囲内である必要があります。
 ADC がアクティブでない場合、 V_{REF+} はアース接続できます。内部電圧リファレンスバッファは次の出力電圧をサポートしており、VREFBUF_CSR レジスタの VRS ビットで設定します。
 - V_{REF+} 約 2.048 V : このためには、 $V_{DDA} \geq 2.4 \text{ V}$ であることが必要。
 - V_{REF+} 約 2.5 V : このためには、 $V_{DDA} \geq 2.8 \text{ V}$ であることが必要。 V_{REF+} ピンはすべてのパッケージで使用できるわけではありません。使用できない場合、このピンは内部で V_{DDA} に接続されます。 V_{REF+} がパッケージの V_{DDA} と二重結合されている場合、内部電圧リファレンスバッファは使用できず、無効にしておく必要があります (パッケージのピン配置の説明については、データシートを参照してください)。

パワーアップとパワーダウンの間は、次の電源シーケンスが必要です。

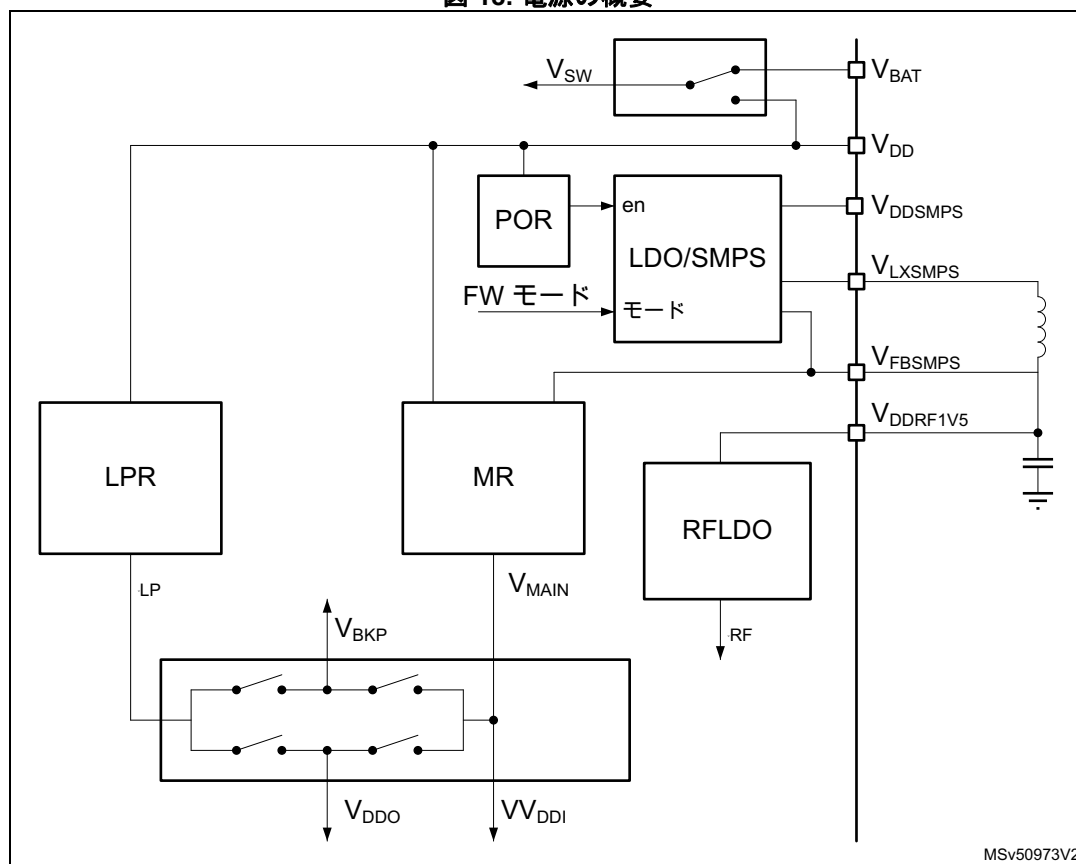
1. $V_{DD} < 1V$ のとき、その他の電源 (V_{DDA}) は $V_{DD} + 300\text{ mV}$ 未満でなければなりません。

パワーダウン中、 V_{DD} はデバイスに供給されるエネルギーが 1 mJ 未満に留まっている場合限り、一時的に V_{DD} が他の電源よりも低い電圧となっても構いません。これにより、この遷移フェーズ中に、外部デカップリングコンデンサを異なる時定数で放電させることが可能となります。

2. $V_{DD} > 1V$ の場合、その他すべての電源 (V_{DDA}) は独立となります。

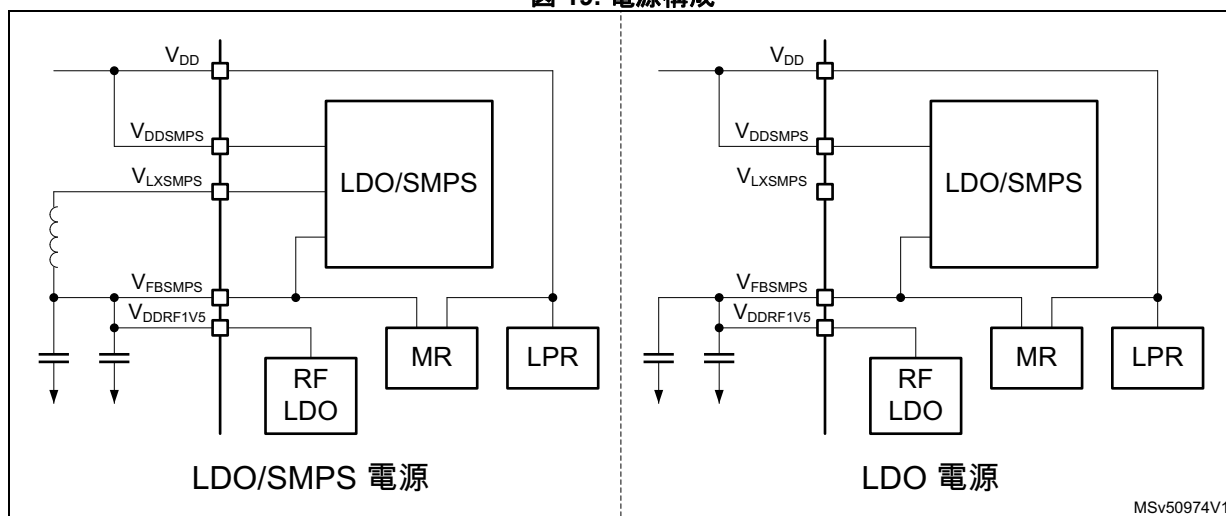
内部のデジタル電源 V_{CORE} を供給するために、リニア電圧レギュレータが搭載されています。 V_{CORE} は、デジタルペリフェラル、SRAM1、および SRAM2 用の電源です。Flashメモリは、 V_{CORE} と V_{DD} によって電源供給されています。 V_{CORE} は 2 つの部分に分割されてます。 V_{DDO} パートと割込み可能なパート V_{DDI} です。

図 18. 電源の概要



異なるタイプの電源構成を下図に示します。

図 19. 電源構成



LDO または SMPS ステップダウンコンバータの動作モードは、次のいずれかの方法で設定できます。

- MCU (マイクロコントローラ) で **PWR 制御レジスタ 5 (PWR_CR5)** の SMPSEN 設定を使用して。これは MCU システムの動作モード (Run、STOP、STANDBY、または SHUTDOWN) に依存します。
- Sub-GHz 無線で `Set_RegulatorMode()` コマンドおよび Sub-GHz 無線の動作モード (SLEEP、較正、STANDBY、HSE32 使用 STANDBY またはアクティブ) を使用して。

POR および NRST リセット後は、LDO モードが選択されます。SMPS の選択は、LDO の選択よりも優先されます。

Sub-GHz 無線が HSE32 使用 STANDBY またはアクティブモードの間、供給モードは、Sub-GHz 無線が STANDBY または SLEEP モードに入るまで変更されません。Sub-GHz 無線のアクティビティにより、MCU のソフトウェア要求供給モードに入るまでの遅延が発生することがあります。

LDO または SMPS の電源モードは、**電源ステータスレジスタ 2 (PWR_SR2)** の SMPSRDY フラグでチェックできます。

注： 無線がアクティブの場合、補給モードは無線のアクティビティが終了するまで変更されません。

STOP 1、STOP 2、および STANDBY モードの間、Sub-GHz 無線がアクティブでない場合、LDO または SMPS ステップダウンコンバータはオフになります。低電力モード (SHUTDOWN を除く) を終了すると、SMPS ステップダウンコンバータはハードウェアによって、**PWR 制御レジスタ 5 (PWR_CR5)** の SMPSEN ビットで選択されたモードにセットされます。SMPSEN は、STOP および STANDBY モードが保持されます。

Sub-GHz 無線では、MCU のソフトウェアによって選択された供給動作モードとは独立して、Sub-GHz 無線のアクティブ中に (Sub-GHz 無線の `Set_RegulatorMode()` コマンドにより) 供給モードを選択できます。詳細については、**MCU と Sub-GHz 無線の動作モードの関係** を参照してください。

SMPS によって供給される最大負荷電流は、Sub-GHz 無線の SUBGHZ_SMPSC2R レジスタで選択できます。詳細については、**セクション 5: Sub-GHz 無線 (SUBGHZ)** を参照してください。

LDO および SMPS ステップダウンコンバータの突入電流は、Sub-GHz 無線の SUBGHZ_PCR レジスタで制御できます。この情報は、Sub-GHz 無線のディープスリープモード以外のすべてのモードで保持されます。詳細については、**セクション 5: Sub-GHz 無線 (SUBGHZ)** を参照してください。

SMPS が機能するためにはクロックが必要です。なんらかの理由でこのクロックが停止すると、デバイスが破壊される可能性があります。HSE が外部クロックソース (図 28: HSE32 のクロックソース) で供給される場合、SMPS が有効な間にこのクロックが消失するリスクがあります。この状況を回避するため、クロック障害が発生した場合にクロック検出を使用して、SMPS のスイッチをオフにし、LDO を有効にします。SMPS クロック検出を有効にするには、Sub-GHz 無線の SUBGHZ_SMPSCOR.CLKDE を使用します。SMPS クロック検出はデフォルトで無効になっているため、SMPS を有効にする前に有効にする必要があります。詳細については、[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照してください。

6.1.1 独立したアナログペリフェラルの電源

ADC 変換の精度を向上させ、供給の柔軟性を拡張させるため、アナログペリフェラルには独立した電源が供給されます。この電源は、PCB のノイズを防ぐために、個別にフィルタしシールドすることができます。

アナログペリフェラル用の電源入力は、独立した VDDA ピンから供給されます。

電源のグラウンドは、独立した VSSA ピンとして用意されています。

V_{DDA} 電源電圧は V_{DD} とは異なる場合があります。V_{DDA} の有無は、V_{DDA} により電源供給されるアナログペリフェラル (A/D コンバータ、コンパレータ、電圧リファレンスバッファ) のいずれかを有効にする前に確認する必要があります。

V_{DDA} 電源は、ペリフェラル電圧モニタで監視し、閾値と比較することができます (PVM3 では 1.65 V)。詳細は、[セクション 6.2.3: ペリフェラル電圧モニタ \(PVM\)](#) を参照してください。

単電源を使用している場合、ノイズフリーの V_{DDA} リファレンス電圧を確保するために、外部フィルタ回路を通して V_{DDA} を V_{DD} に外部的に接続することができます。

ADC 基準電圧

低電圧入力および出力時の精度を確保するため、V_{DDA} より低い独立したリファレンス電圧を V_{REF+} に接続できます。V_{REF+} は、アナログ入力 (ADC) 信号のフルスケール値に相当する最高電圧です。

V_{REF+} は、外部リファレンスまたは内部バッファ付き電圧リファレンス (VREFBUF) のいずれかによって供給されます。

内部電圧リファレンスは、[VREFBUF 制御およびステータスレジスタ \(VREFBUF_CSR\)](#) の ENVR ビットをセットすると有効になります。電圧リファレンスは、VRS ビットがセットされている場合 2.5 V に、VRS ビットがクリアされている場合 2.048 V にセットされます。内部電圧リファレンスは、V_{REF+} ピンから外部コンポーネントに電圧を供給することもできます。詳細については、製品データシートおよび[電圧基準バッファ \(VREFBUF\)](#) を参照してください。

6.1.2 バッテリバックアップドメイン

V_{DD} がオフになった場合に、バックアップレジスタの内容を保持し、RTC および TAMP の機能への電源供給を維持するために、VBAT ピンをバッテリーやその他の電源から供給されるオプションのバックアップ電源に接続することができます。

VBAT ピンから RTC および TAMP、LSE オシレータ、および PC13 から PC15 の I/O に電源が供給され、主電源がオフの場合でも RTC および TAMP が動作できるようにします。 V_{BAT} 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

警告： $t_{RSTTEMPO}$ (V_{DD} 起動時の過渡期間) 中や PDR の検出後、 V_{BAT} と V_{DD} の間の電源スイッチは V_{BAT} に接続されたままになります。起動フェーズ中、 V_{DD} が $t_{RSTTEMPO}$ 以内に規定値に達し ($t_{RSTTEMPO}$ の値については、データシートを参照)、かつ $V_{DD} > V_{BAT} + 0.6\text{ V}$ である場合、電流は V_{BAT} まで V_{DD} と電源スイッチ (V_{BAT}) の間に接続された内部ダイオードを通して注入されます。VBAT ピンに接続された電源/バッテリーがこの電流注入に対応できない場合は、この電源と VBAT ピンの間に外部低電圧降下ダイオードを接続することを強く推奨します。

外部バッテリーを使用しないアプリケーションでは、 V_{BAT} を V_{DD} に外部接続し、デカップリング用の 100 nF の外部セラミックコンデンサを接続することを推奨します。

バックアップドメインが V_{DD} から供給を受けている場合 (アナログスイッチが V_{DD} に接続された状態)、次のピンが使用できます。

- PC13、PC14、および PC15 は、GPIO ピンとして使用可能
- PC13、PC14、および PC15 は、RTC、TAMP または LSE で設定可能 (セクション 32: リアルタイムクロック (RTC) および セクション 33: タンパおよびバックアップレジスタ (TAMP) を参照)
- タンパピンとして TAMP で設定する場合、PA0/TAMP_IN2 および PB3/TAMP_IN3

注： アナログスイッチは限られた電流 (3 mA) しか転送できないため、出力モードでの GPIO の PC13 から PC15 までの使用には制限があります。最大負荷 30 pF で最大速度 2 MHz に制限する必要があります。これらの I/O を電流ソースとして使用することはできません (たとえば、LED を駆動するなど)。

バックアップドメインが V_{BAT} から電源供給を受けている場合 (V_{DD} が印加されないため、アナログスイッチが V_{BAT} に接続された状態)、次の機能が使用できます。

- PC13、PC14、および PC15 は、RTC、TAMP、または LSE でのみ制御可能 (セクション 32: リアルタイムクロック (RTC) および セクション 33: タンパおよびバックアップレジスタ (TAMP) を参照)
- タンパピンとして TAMP で設定する場合、PA0/TAMP_IN2 および PB3/TAMP_IN3

バックアップドメインアクセス

システムリセット後、バックアップドメイン (RTC および TAMP バックアップレジスタ) は、予期しない書込みアクセスから保護されます。バックアップドメインへのアクセスを有効にするには、PWR 制御レジスタ 1 (PWR_CR1) の DBP ビットをセットする必要があります。

VBAT バッテリ充電

V_{DD} が存在する場合、内部抵抗を通して VBAT の外部バッテリーを充電できます。

VBAT 充電は、[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の VBRS ビット値に応じて、5 k Ω レジスタまたは 1.5 k Ω レジスタを通して行われます。

バッテリー充電は、[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の VBE ビットをセットすることによって有効になります。VBAT モードでは自動的に無効になります。

6.1.3 電圧レギュレータ

STANDBY 回路およびバックアップドメイン以外のすべてのデジタル回路に電圧を供給する 2 つのリニア電圧レギュレータが組み込まれています。メインレギュレータの (MR) 出力電圧 (V_{CORE}) は、ソフトウェア 2 つの異なる電源範囲 (レンジ 1 およびレンジ 2) にプログラムして、システムの最大動作周波数に応じて消費量を最適化できます ([セクション 7.2.9: クロックソースの周波数と電圧スケーリング](#) および [セクション 4.3.4: 読出しアクセスの遅延](#) を参照してください)。

リセット後、電圧レギュレータは常に有効になります。以下に示すように、アプリケーションモードに応じて、 V_{CORE} はメインレギュレータまたは低電力レギュレータ (LPR) によって供給されます。

- RUN モード、SLEEP モードおよび STOP 0 モードでは、両レギュレータが有効になり、メインレギュレータ (MR) は V_{CORE} ドメイン (コア、メモリ、デジタルペリフェラル) にフル電力を供給します。
- LPRun および LPSleep モードでは、メインレギュレータ (MR) はオフになり、低電力レギュレータ (LPR) はレジスタ、内部 SRAM1 および SRAM2 の内容を保持したまま、 V_{CORE} ドメインに低減電力を供給します。
- STOP 1 および STOP 2 モードでは、メインレギュレータ (MR) はオフになり、低電力レギュレータ (LPR) はレジスタ、内部 SRAM1 および SRAM2 の全部または一部の内容を保持したまま、 V_{CORE} ドメインの全部または一部に低電力を供給します。
- SRAM2 の内容を保持した STANDBY モード (RRS ビットが [PWR 制御レジスタ 3 \(PWR_CR3\)](#) でセットされている) では、メインレギュレータ (MR) はオフになり、低電力レギュレータ (LPR) は SRAM2 にのみ電源を供給します。コア、デジタルペリフェラル (STANDBY 回路およびバックアップドメイン以外)、SRAM1 の電源がオフになります。
- STANDBY モードでは、両レギュレータの電源 (MR および LPR) がオフになります。STANDBY 回路とバックアップドメインを除き、レジスタ、SRAM1、および SRAM2 の内容は失われます。
- SHUTDOWN モードでは、両レギュレータの電源がオフになります。SHUTDOWN モードが終了すると、パワーオンリセットが生成されます。結果として、バックアップドメインを除き、レジスタと SRAM1 および SRAM2 の内容は失われます。

6.1.4 ダイナミック電圧スケーリングの管理

ダイナミック電圧スケーリングは、アプリケーションパフォーマンスおよび消費電力ニーズに応じて、デジタルペリフェラル (V_{CORE}) で使用する電圧の増減を行う電源管理技術です。

V_{CORE} を増加するダイナミック電圧スケーリングは、「オーバーボルティング」と呼ばれています。これはデバイスの性能を向上させるために使用されます。

V_{CORE} を減少するダイナミック電圧スケーリングは、「アンダーボルティング」と呼ばれています。特に電源がバッテリーから供給されるために制限される、ノート PC やその他のモバイルデバイスなどの節電のために使用されます。

- レンジ 1: ハイパフォーマンスレンジ
メインレギュレータは標準電圧 1.2 V で出力します。システムクロック周波数は最大 64 MHz まで可能です。読出しアクセスの Flash メモリアクセス時間は最短です。書込み/消去動作が可能です。

- レンジ 2 : 低電力レンジ
メインレギュレータは標準電圧 1.0 V で出力します。システムクロック周波数は最大 16 MHz まで可能です。読み出しアクセスの Flash メモリアクセス時間はレンジ 1 と比べて増加します。書き込み/消去動作が可能です。

電圧スケールリングは、**PWR 制御レジスタ 1 (PWR_CR1)** の VOS ビットで選択します。

レンジ 1 から レンジ 2 に移行するシーケンスは次のとおりです。

- システム周波数を 16 MHz 以下の値に下げます。
- レンジ 2 の新しい周波数ターゲット (FLASH_ACR の LATENCY ビット) に応じてウェイトステートの数を調整します。
- PWR 制御レジスタ 1 (PWR_CR1)** の VOS ビットでレンジ 2 を選択します。

レンジ 2 から レンジ 1 に移行するシーケンスは次のとおりです。

- PWR 制御レジスタ 1 (PWR_CR1)** の VOS ビットでレンジ 1 を選択します。
- VOSF フラグが**電源ステータスレジスタ 2 (PWR_SR2)** でクリアされるまで待ちます。
- レンジ 1 の新しい周波数ターゲット (FLASH_ACR の LATENCY ビット) に応じてウェイトステートの数を調整します。
- システム周波数を上げます。

6.2 電源供給スーパバイザ

6.2.1 パワーオンリセット (POR) / パワーダウンリセット (PDR) / ブラウンアウトリセット (BOR)

このデバイスには、統合パワーオンリセット/パワーダウンリセットに加え、ブラウンアウトリセット回路が搭載されています。

BOR の閾値はオプションバイトで 5 種類から選択できます。

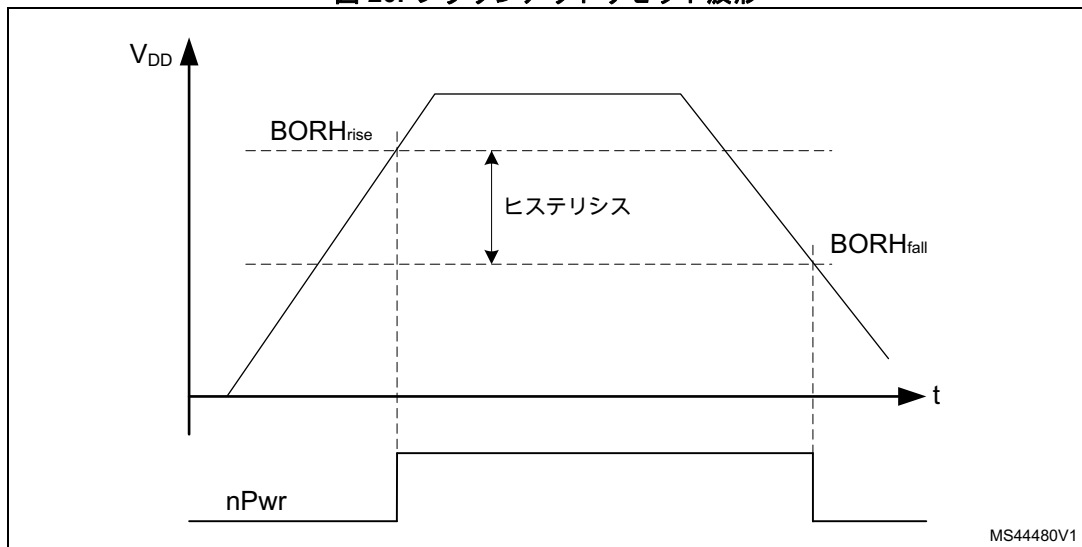
BOR0 レベルは無効にできません。それ以外の BOR レベルはユーザオプションで有効にできます。有効にすると、BOR は SHUTDOWN を除くすべての電力モードでアクティブになります。

リセットモード

パワーオン時、電源電圧 V_{DD} が規定の V_{BORx} の閾値に達するまで、BOR によってデバイスリセット状態に保持されます。 V_{DD} が、選択された閾値を下回ると、デバイスリセットが生成されます。 V_{DD} が V_{BORx} の上限を上回る場合、デバイスリセットは解放され、システムを開始できます。

ブラウンアウトリセットの閾値の詳細については、データシートの電気的特性セクションの項を参照してください。

図 20. ブラウンアウトリセット波形



1. リセットの過渡期間 $t_{RSTTEMPO}$ は、BOR 最低閾値 (V_{BOR0}) にのみ存在します。

6.2.2 プログラム可能な電圧検出器 (PVD)

PVD を使用して、**PWR 制御レジスタ 2 (PWR_CR2)** の PLS[2:0] ビットで選択した閾値と比較することで、 V_{DD} を監視できます。

PVD は PVD_IN ピンの電圧レベルの監視にも使用できます。この場合、PVD_IN の電圧レベルが内部 VREFINT レベルと比較されます。

PVD は PVDE ビットをセットすることで有効になります。

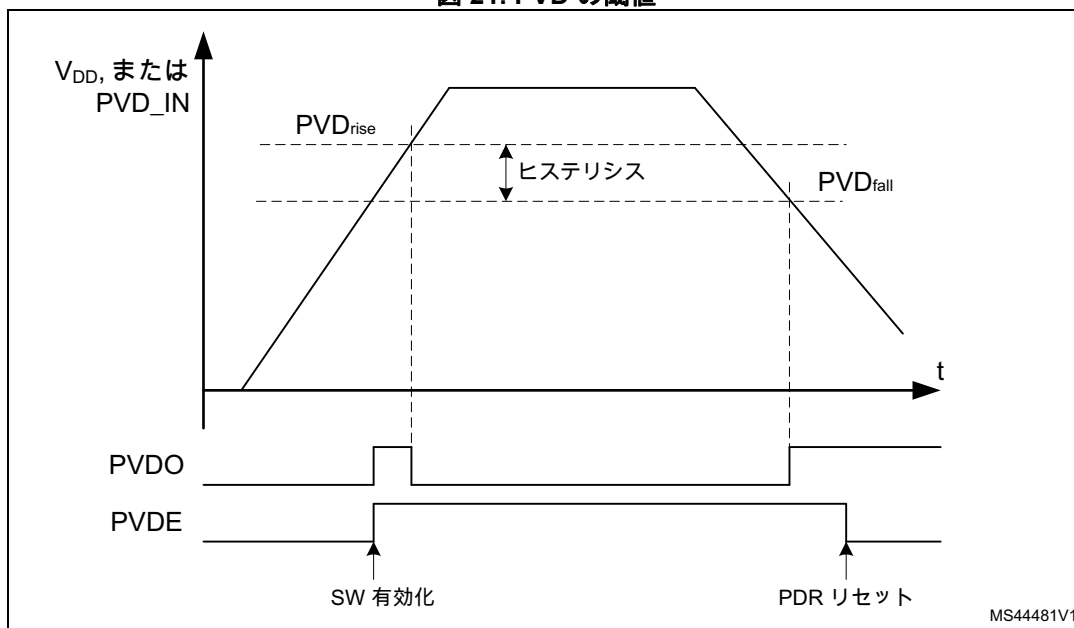
電源ステータスレジスタ 2 (PWR_SR2) の PVDO フラグを使用して、 V_{DD} または PVD_IN の電圧レベルが PVD の閾値よりも高いか低いを示すことができます。このイベントは EXTI ライン 16 に内部接続され、EXTI レジスタで有効化されている場合は、割込みを生成することができます。

EXTI ライン 16 の立ち上がり/立ち下がりエッジの設定に応じて、 V_{DD} または PVD_IN の電圧レベルが PVD の閾値を下回るか、 V_{DD} または PVD_IN の電圧レベルが PVD の閾値を上回ったとき、あるいはその両方で、PVD 出力割込みを生成することができます。たとえば、サービスルーチンで、緊急停止処理を実行することなどが可能です。

PVD は、Sub-GHz 無線の動作に必要な V_{DD} 電源レベルを監視するように設定できます。このため、PVD はその最低レベルと PVD を選択し、EWPVD でウェイクアップを有効にする必要があります。電圧が PVD レベルを下回る場合にのみ、ウェイクアップイベントが生成されます。

BOR0 レベルは無効にできません。それ以外の BOR レベルはユーザオプションで有効にできます。有効にすると、BOR は SHUTDOWN を除くすべての電力モードでアクティブになります。

図 21. PVD の閾値



6.2.3 ペリフェラル電圧モニタ (PVM)

V_{DD} のみすべてのシステム関連機能に必要な唯一の電源であるため、デフォルトで監視されます。その他の電源 (V_{DDA} など) は V_{DD} から独立しており、ペリフェラル電圧モニタ (PVM) で監視できます。

PVMx はそれぞれ、固定閾値 V_{PVMx} と選択された電源の間のコンパレータです。PVM0x フラグは、独立した電源が PVMx 閾値より高いか低いを示します。PVM0x フラグは、電源電圧が PVMx 閾値を超えるとクリアされ、PVMx 閾値を下回るとセットされます。

各 PVM 出力は EXTI ラインに接続され、EXTI レジスタで有効な場合は割り込みを生成させることができます。独立した電源が PVMx 閾値を下回るか、上回ったとき、あるいはその両方で、EXTI ラインの立ち上がり/立ち下がりエッジの設定に応じて、PVMx 出力割り込みが生成されます。

各 PVM は、STOP 0、STOP 1、STOP 2 モードでアクティブな状態のままにでき、PVM 割り込みで STOP モードからウェイクアップできます。

表 43. PVM の機能

PVM	電源	PVM 閾値	EXTI ライン
PVM1	未使用	-	-
PVM2	未使用	-	-
PVM3	V_{DDA}	V_{PVM3} (約 1.65 V)	34
PVM4	未使用	-	-

独立した電源 V_{DDA} はデフォルトでは存在するとはみなされず、論理的および電気的分離を適用して、これらの専用電源が供給するペリフェラルからの情報を無視します:

- V_{DDA} が V_{DD} に対して外部で短絡された場合、アプリケーションはペリフェラル電圧モニタを有効にせず使用できるものと想定する必要があります。
- V_{DDA} が V_{DD} から独立している場合、ペリフェラル電圧モニタ (PVM) を有効にして V_{DDA} 電源が存在するかどうか確認できます。

アナログペリフェラル、つまり ADC、DAC、コンパレータ、または電圧リファレンスバッファを使用する前に、次のシーケンスを適用する必要があります。

1. V_{DDA} が V_{DD} から独立している場合 :
 - a) **PWR 制御レジスタ 2 (PWR_CR2)** の PVME3 ビットをセットして、PVM3 を有効にします。
 - b) PVM3 ウェイクアップ時間を待ちます。
 - c) **電源ステータスレジスタ 2 (PWR_SR2)** の PVMO3 がクリアされるまで待ちます。
 - d) 消費電力削減のために PVM3 を無効にします (オプション)。
2. アナログペリフェラルを有効にします。これにより、 V_{DDA} 分離が自動的に削除されます。

6.2.4 無線の機能停止 (EOL)

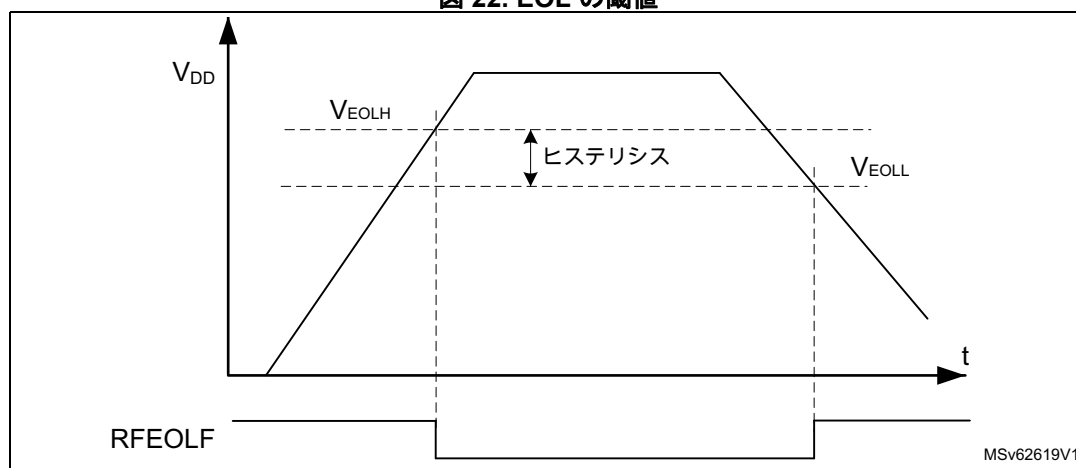
無線の機能停止モニタを使用して、Sub-GHz 無線を動作させられないほど V_{DD} の電力供給が低下している場合に、その情報を取得できます。EOL レベルに達すると、ソフトウェアにより安全な方法ですべての無線のアクティビティを停止する必要があります。

EOL は RFEOLEN ビットをセットすることで有効になります。

電源ステータスレジスタ 2 (PWR_SR2) の RFEOLF フラグを使用して V_{DD} の電圧レベルが EOL の閾値未満であることを示すことができます。

EOL は、Sub-GHz 無線が較正、STANDBY、またはアクティブモードの場合にのみ生成されます。

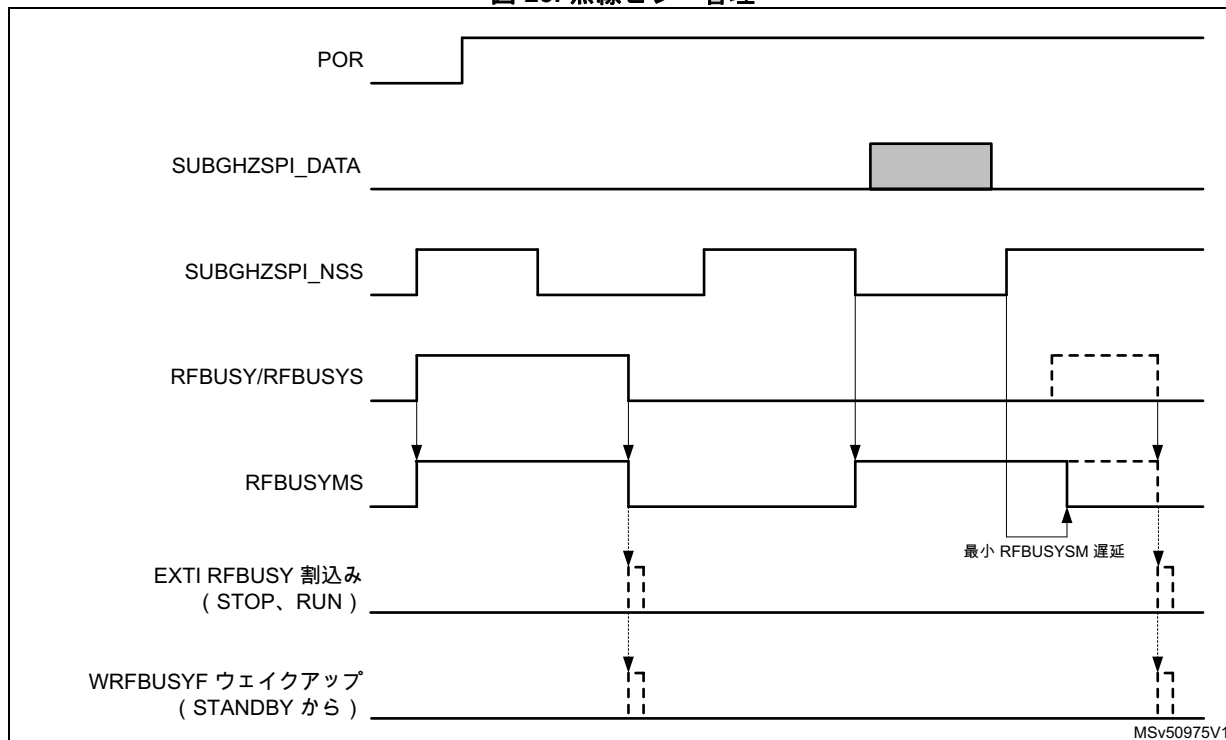
図 22. EOL の閾値



6.3 無線ビジー管理

無線ビジー信号 RFBUSY をソフトウェアで正しく処理するための、追加のビジー制御が PWR コントローラに組み込まれています。これにより、SUBGHZSPI_NSS のアクティビティに基づいてビジーマスク RFBUSYMS ステータスが生成され、SPI コマンド転送後は RFBUSYS ステータスのロー時間（ビジーではない）をマスクします（下図を参照）。

図 23. 無線ビジー管理



リセット時、無線はビジーです（RFBUSY 信号によって通知されます）。このとき、RFBUSYMS 信号は同じ情報を提供します。その後、無線は SUBGHZSPI_NSS の立ち下がりエッジによってウェイクアップします。無線でコマンド受信の準備ができると、RFBUSYS と RFBUSYMS がローになります。リセット後、RFBUSYS または RFBUSYMS ステータスを使用して、無線のレディ状態をチェックできます。

後続のコマンドに対して、SUBGHZSPI_NSS がローになると直ちに、RFBUSYMS ステータスが無線ビジーを通知するようセットされます。SUBGHZSPI_NSS がハイにセットされた後、または RFBUSY 信号がハイを維持している限り、RFBUSYMS は、少なくとも最小 RFBUSYMS 遅延の間はハイを維持します。

- コマンド送信時に、予想される無線ビジーの通知を指定する場合は、無線ビジー状態を検出するために RFBUSYMS ステータスを使用する必要があります。
- コマンド送信時に、予想される無線ビジーの通知を指定しない場合、ビジーステータスをチェックする必要はありません。RFBUSYMS ステータスで無線ビジーが示されている場合でも、新しいコマンドを送信できます。

SUBGHZSPI_NSS が PWR_CR1.SUBGHZSPINSSSEL の LPTIM3_OUT によって駆動されるように選択された場合、RFBUSYMS ステータスは無効になり、ソフトウェアで使用できません。

STANDBY モードのとき、CPU は、[セクション 6.6.3: PWR 制御レジスタ 3 \(PWR_CR3\)](#) または [セクション 6.6.18: PWR CPU2 制御レジスタ 3 \(PWR_C2CR3\)](#) の EWRFBUSY によって有効にされている場合、WRFBUSYF ウェイクアップフラグを介してウェイクアップさせることができます。

STOP または RUN モードのときに、CPU はウェイクアップされ、RFBUSY 信号の EXTI 設定可能イベントによって割込みを受けることができます。([セクション 16.3.1: EXTI ウェイクアップ割込みリスト](#) を参照。)

6.4 CPU2 ブート

CPU2 のブートは以下のソースによって制御されます。

- **PWR 制御レジスタ 4 (PWR_CR4)** の C2BOOT ビットから
これにより、CPU1 は、リセットまたはシステムの低電力モードからのウェイクアップ後、CPU2 をブートする前に、システムを初期化できます。
- システムがセキュア (ESE = 1) のとき、CPU1 によって C2BOOT が 1 にセットされる前に、不正アクセスウェイクアップイベントから
これにより、C2BOOT によってブートされる前に、確実にセキュア CPU2 に不正アクセスが通知されます。

リセット後、C2BOOT ビットによる CPU2 のブートは行われません (デバイスを RSS/SFI モードでブートする場合を除く)。CPU1 により C2BOOT ビットがセットされた場合、または不正アクセスイベントが検出された場合にのみ、CPU2 がブートします。

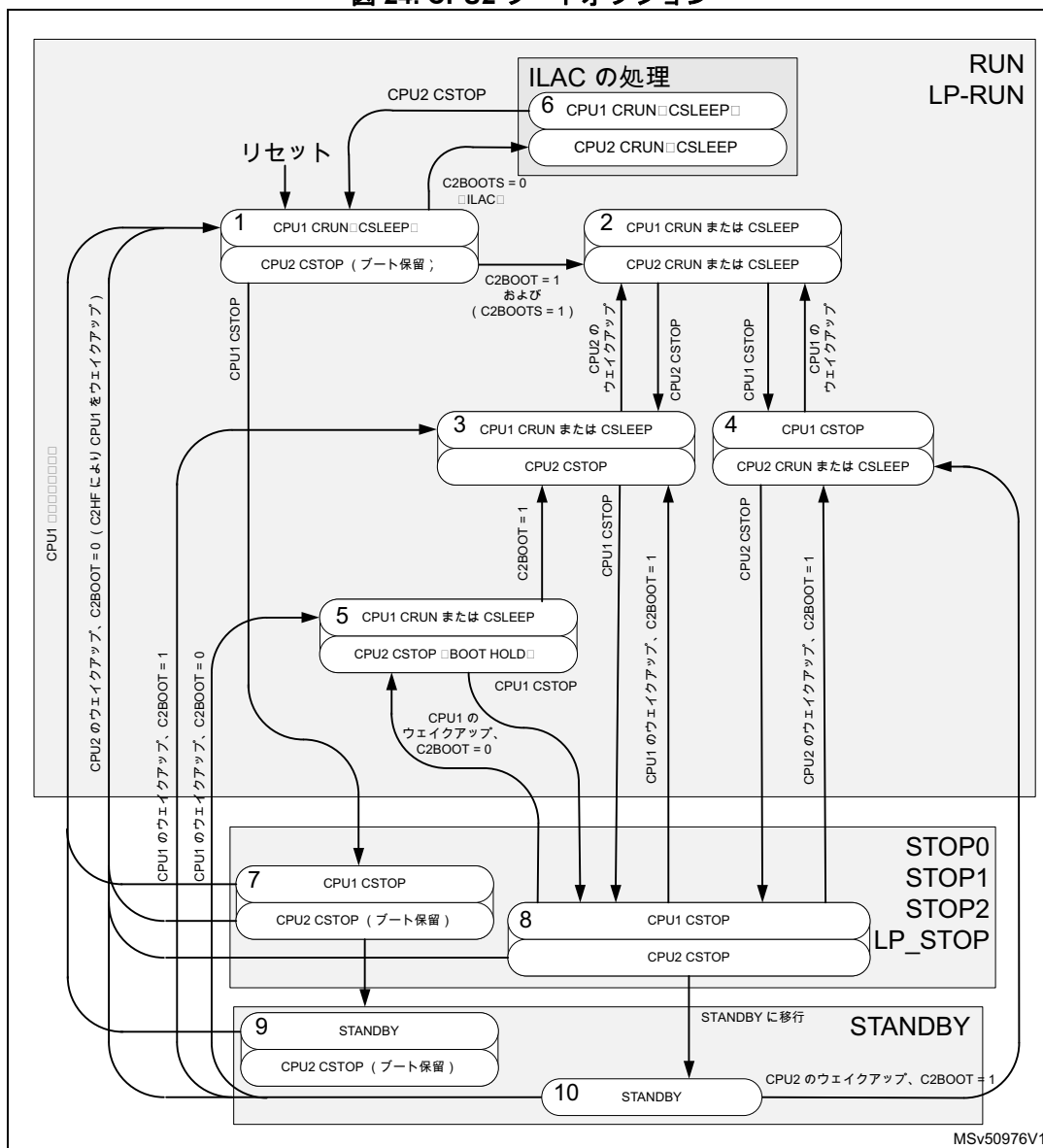
システムの低電力モード (STOP 0、1、2、または STANDBY) を終了する場合、CPU2 のブートを C2BOOT ビットで次のように制御できます。

- C2BOOT=1 : システム低電力モードの終了時、CPU2 はウェイクアップソースによりウェイクアップが行われた場合にブートします。
- C2BOOT=0 : システム低電力モードの終了時、CPU2 はブートされません。ただし、システムがセキュアであり、不正アクセスウェイクアップイベントが検出された場合は例外です。不正アクセスウェイクアップイベント以外の CPU2 ウェイクアップソースの場合、C2HF を介して CPU1 がウェイクアップされます。その後、CPU1 により、C2BOOT ビットがセットされ、CPU2 がブートされます。

セキュアシステムでは、不正アクセスによって CPU2 がブートすると、C2BOOTS フラグによりその状況が示され、ILAC ステータスレジスタに不正アクセスソースがセットされます。システムリセット後でも、不正アクセスにより CPU2 はブートを続けます。ただし、この場合、ILAC ステータスレジスタの不正アクセスソースはクリアされます。CPU2 が CStop モードに移行したとき、または POR リセット後にのみ、不正アクセスによる CPU2 のブートは停止します。

不正アクセスによる CPU2 のブート (C2BOOTS) 中に C2BOOT がセットされた場合、CPU2 を CStop モードに移行させることによって、まずこの不正アクセスブートを完了させる必要があります。これにより、不正アクセスブートモードがクリアされ、CPU2 は通常ブートモードで再起動されます。

図 24. CPU2 ブートオプション



CPU2 をブートする前に CPU1 を使用してシステムを初期化する場合の手順は、次のとおりです。

- CPU1 は CStop モードに移行する前に、C2BOOT ビットをクリアします。
- CPU1 の CStop が終了すると、次のようになります。
 - RUN モードが維持され、C2BOOT ビットがセットされた後、ウェイクアップイベントが処理されます。
 - CPU1 のウェイクアップソースからシステムの低電力モードが終了します。これにより、システムが初期化され、C2BOOT ビットがセットされた後、ウェイクアップイベントが処理されます。
 - CPU2 のウェイクアップソースからシステムの低電力モードが終了します。C2HF ウェイクアップソースにより CPU1 がウェイクアップされます。システムが初期化され、C2BOOT ビットがセットされた後、CPU1 は CStop に戻ります。C2BOOT がセットされた後、ウェイクアップソースにより CPU2 がウェイクアップされます。

CPU2 のブートが禁止されている場合 (C2BOOT = 0、ブート保留)、低電力モードからのウェイクアップのブート手順は次のとおりです。

- システムがセキュア (ESE = 1) であり、セキュア CPU2 がリセット後にブート (POR/NRST または STANDBY からのウェイクアップ) する場合、CPU2 では次のように C2BOOTS ビットでリセットソース (C2BOOT または不正アクセス) がチェックされます。
 - C2BOOTS=1: セキュア CPU2 が C2BOOT からブートし、通常アプリケーションが開始されます。
 - C2BOOTS=0: 不正アクセスのため、セキュア CPU2 がブートします。この場合、CPU2 は不正アクセスを処理して、CStop モードに再び入ります。これにより、CPU2 はリセットに戻され、C2BOOTS フラグがクリアされます。
- CStop モードからのウェイクアップ時に、CPU2 では次のようにウェイクアップソース (C2BOOT または不正アクセス) がチェックされます。
 - C2BOOTS=1: セキュア CPU2 が C2BOOT によって再起動され、通常アプリケーションが開始されます。システムは CPU1 によって初期化されます。したがって、CPU2 ではウェイクアップイベントを直接処理できます。
 - C2BOOTS=0: セキュア CPU2 が不正アクセスのため再起動されます。この場合、CPU2 は不正アクセスを処理して、CStop モードに再び入ります。これにより、CPU2 は CStop モードに戻ります。

(1 つの CPU が原因で)システムが RUN モードのままである場合、システムは低電力モードに移行することなく、もう 1 つの CPU は CStop モードからウェイクアップします。

6.5 低電力モード

デフォルトでは、マイクロコントローラはシステムリセットまたは電源リセット後に RUN モードになり、少なくとも 1 つの CPU が CRun モードとなって、コードを実行します。外部イベント待ちなど、CPU を連続して実行する必要がない場合のために、低電力モードが用意されています。ユーザは消費電力、起動時間、使用可能なウェイクアップソースを考慮して、最適なモードを選択する必要があります。

各 CPU には、次の低電力モードがあります。CPU は、WFI、WFE の実行時、または CPU の SLEEPONEXIT が有効な場合に例外ハンドラからの戻り時に、これらの低電力モードに移行します。

- CSleep モード: CPU が低電力モードに移行し、CPU SLEEPDEEP が無効になっている場合
- CStop モード: CPU が低電力モードに移行し、CPU SLEEPDEEP が有効になっている場合

これらの低電力モードの詳細を以下に示します。

- **SLEEP モード**: CPU クロックがオフとなり、CPU コアペリフェラル (NVIC や SysTick など) を含むすべてのペリフェラルが実行でき、割り込みやイベントが発生したときに CPU をウェイクアップさせます。
- **低電力 RUN モード (LPRun)**: システムクロック周波数が 2 MHz 未満に下がったときに設定できます。コードは SRAM または Flash メモリから実行されます。レギュレータは低電力モードで、動作電流が最小限で済みます。
- **低電力 SLEEP モード (LPSleep)**: LPRun モードから移行しました。
- **STOP 0 モード**、および **STOP 1 モード**: SRAM1、SRAM2 およびすべてのレジスタの内容が保持されます。V_{CORE} ドメインのすべてのクロックが停止します。PLL、MSI、HSI16、および HSE32 は無効になります。LSI および LSE の動作は継続できます。

RTC をアクティブなままにできます (RTC ありの STOP モード、RTC なしの STOP モード)。Sub-GHz 無線は、CPU からは独立してアクティブ状態を維持できます。

ウェイクアップ機能付きペリフェラルは、STOP モード中に HSI16 RC を有効にして、ウェイクアップ条件を検出できます。

STOP 1 は最大数のアクティブなペリフェラル、ウェイクアップソース、短いウェイクアップ時間を提供しますが、STOP 2 と比較して消費電力が大きくなります。

STOP 0 モードでは、メインレギュレータがオンのままになり、最速のウェイクアップ時間が実現されますが、消費電力は大幅に増加します。アクティブなペリフェラルおよびウェイクアップソースは、低電力レギュレータを使用する STOP 1 モードと同じです。

STOP 0 または STOP 1 モードを終了する際に、システムクロックはソフトウェア設定に応じて MSI 最大 48 MHz または HSI16 のいずれかにできます。

- **STOP 2 モード** : V_{CORE} ドメインの一部の電源がオフになっています。SRAM1、SRAM2、CPU、一部のペリフェラルでのみ、内容が保持されます (表 45: システムの動作モードに応じた機能を参照)。

V_{CORE} ドメインのすべてのクロックが停止します。PLL、MSI、HSI16、および HSE32 は無効になります。LSI および LSE の動作は継続できます。

RTC をアクティブなままにできます (RTC ありの STOP 2 モード、RTC なしの STOP 2 モード)。Sub-GHz 無線は、CPU から独立してアクティブ状態を維持できます。

ウェイクアップ機能付きペリフェラルは、STOP 2 モード中に HSI16 RC を有効にして、ウェイクアップ条件を検出できます (表 45: システムの動作モードに応じた機能を参照)。

STOP 2 モードを終了する際に、システムクロックはソフトウェア設定に応じて MSI 最大 48 MHz または HSI16 のいずれかにできます。

- **STANDBY モード** : V_{CORE} ドメインの電源がオフになります。ただし、下記のように、SRAM2 の内容は保持できます。
 - STANDBY モードで **PWR 制御レジスタ 3 (PWR_CR3)** の RRS ビットがセットされた状態で SRAM2 を保持。この場合、SRAM2 は低電力レギュレータによって電源供給されます。
 - STANDBY モードで **PWR 制御レジスタ 3 (PWR_CR3)** の RRS ビットがクリアされた場合。この場合、メインレギュレータおよび低電力レギュレータの電源がオフになります。

V_{CORE} ドメインのすべてのクロックが停止します。PLL、MSI、HSI16、および HSE32 は無効になります。LSI および LSE の動作は継続できます。

RTC をアクティブなままにできます (RTC ありの STANDBY モード、RTC なしの STANDBY モード)。Sub-GHz 無線と PVD も、有効にした場合、CPU から独立してアクティブ状態を維持できます。STANDBY モードでは、PVD は最低レベルを選択します。

STANDBY モードが終了すると、システムクロックは MSI 4 MHz になります。

- **SHUTDOWN モード** : V_{CORE} ドメインの電源がオフになります。 V_{CORE} ドメインのすべてのクロックが停止します。PLL、MSI、HSI16、LSI、および HSE32 は無効です。LSE の動作は継続できます。SHUTDOWN モードが終了すると、システムクロックは MSI 4 MHz になります。このモードでは、電源電圧モニタが無効になり、電圧低下時の製品の動作は保証されません。

注 : STOP、STANDBY、および SHUTDOWN モードには、両方の CPU が CStop モードの場合にのみ移行します。

デバイスが RSS/SFI モードでブートした場合、低電力モードの STOP、STANDBY、および SHUTDOWN には移行できません。

さらに、RUN モードでの消費電力を低減するために、システムクロックを低速化したり、APB および AHB ペリフェラルが使用されない場合にそれらへのクロックをゲーティングすることができます。

システムの動作モードは、CPU1 および CPU2 のサブシステムの動作モードによって決まります。システムは、両方のサブシステムで許可されている場合のみ、低電力モードに移行します。

システムリセット後、CPU1 は CRUN モードに移行します。CPU2 は、C2BOOT ビットを介して CPU1 によって有効にされた場合、または不正アクセス検出に関してシステムがセキュアな場合のみブートします。CPU2 が CPU1 によってブートされない限り、デバイスはシングル CPU システム

として動作します。CPU1 は、自動的にシステム低電力モードへ移行し、システム低電力モードからウェイクアップできます。

CPU2 がブートすると、CPU1、CPU2、および無線サブシステムは、自動的にシステムの低電力モードへ移行し、システム低電力モードからウェイクアップできます。

移行するシステム低電力モードは、[PWR 制御レジスタ 1 \(PWR_CR1\)](#) および [PWR CPU2 制御レジスタ 1 \(PWR_C2CR1\)](#) の LPMS[2:0] ビットに設定された CPU によって選択された許可モードによって決まります。

[図 25](#)に、動作モードの状態図を示します。CPU1 および CPU2 サブシステムは、それぞれのサブシステムの状態に応じて、相互に影響しながら動作します。各サブシステムには独自のウェイクアップソースがあり、それにより STOP および STANDBY モードからのウェイクアップが可能になります。デバイスが STOP、STANDBY、または SHUTDOWN モードになるためには、両方のサブシステムが CStop である必要があります。1 つのサブシステムが CRun モードに移行すると、デバイスは Run モードに移行します。

表 44. 低消費電力モードの概要

モード名	エントリ	ウェイクアップ ソース ⁽¹⁾	ウェイクアップ システムクロック	クロックへの影響	電圧 レギュレータ	
					MR	LPR
SLEEP (Sleep-now または Sleep-on-exit)	WFI または ISR からの復帰	割り込み	SLEEP モードへの移 行前と同様	CPU クロックオフ 他のクロックおよび アナログクロック ソースへの影響なし	オン	オン
	WFE	ウェイクアップ イベント				
LPRun	LPR ビットの セット	LPR ビットの クリア	LPRun クロックと同じ	なし	オフ	オン
LPSleep	LPR ビットのセット + WFI または ISR からの 復帰	割り込み	LPSleep モードへの移 行前と同様	CPU クロックオフ 他のクロックおよび アナログクロック ソースへの影響なし	オフ	オン
	LPR ビットの セット + WFE	ウェイクアップ イベント			オフ	オン
STOP 0	LPMS=0b000 + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE	任意の EXTI ライン (EXTI レジスタで設定)。 特定の ペリフェラル イベント	HSI16 (RCC_CFGR の STOPWUCK=1 の とき)。 STOP モードに 移行する前の 周波数での MSI (STOPWUCK=0 の とき)	全クロックオフ HSI16、LSI、および LSE を除く	オン	オン
STOP 1	LPMS=0b001 + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE				オフ	
STOP 2 (I2C3、 LPUART1、 LPTIM1、 SRAM1、 SRAM2 の 場合)	LPMS=0b010 + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE					
STANDBY (SRAM2 で)	LPMS=0b011 + RRS ビットのセット + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE	ウェイクアップ PVD、RFIRQ、 ウェイクアップ RFBUSY、WKUP ピンエッジ、RTC および TAMP イベ ント、LSECSS、 NRST ピンの外部 リセット、 IWDG リセット	MSI 4 MHz	全クロックオフ LSI および LSE を除く	オフ	オフ
STANDBY	LPMS=0b011 + RRS ビットのクリア + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE	ウェイクアップ PVD、RFIRQ、 ウェイクアップ RFBUSY、WKUP ピンエッジ、RTC および TAMP イベ ント、LSECSS、 NRST ピンの外部 リセット、 IWDG リセット	MSI 4 MHz	全クロックオフ LSE を除く	オフ	オフ
SHUTDOWN	LPMS=0b1xx + SLEEPDEEP ビット + WFI または ISR からの 復帰または WFE	WKUP ピンのエッ ジ、RTC および TAMP イベント、 NRST ピンでの外 部リセット	MSI 4 MHz	全クロックオフ LSE を除く	オフ	オフ

1. 表 45: システムの動作モードに応じた機能 を参照してください。

表 45. システムの動作モードに応じた機能⁽¹⁾

ペリフェラル	RUN	SLEEP	LPRun	LPStleep	STOP 0		STOP 1		STOP 2		STANDBY		SHUTDO		VBAT
					-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	
CPU1	Y	-	Y	-	R	-	R	-	R	-	-	-	-	-	-
CPU2	Y	-	Y	-	R	-	R	-	R	-	-	-	-	-	-
無線システム (Sub-GHz)	O	O	O	O	O	O	O	O	O	O	O	O	O	-	-
Flashメモリ (最大 256 KB)	Y	O ⁽²⁾	O ⁽³⁾	O ⁽²⁾ (3)	R	-	R	-	R	-	R	-	R	-	R
Flashメモリインタフェース	Y	Y	Y	Y	R	-	R	-	R	-	-	-	-	-	-
SRAM1	Y	O ⁽²⁾	Y	O ⁽²⁾	R	-	R	-	R	-	-	-	-	-	-
SRAM2	Y	O ⁽²⁾	Y	O ⁽²⁾	R	-	R	-	R	-	O ⁽⁴⁾	-	-	-	-
バックアップレジスタ	Y	Y	Y	Y	R	-	R	-	R	-	R	-	R	-	R
ブラウンアウトリセット (BOR)	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-
プログラム可能な電圧検出器 (PVD)	O	O	O	O	O	O	O	O	O	O	O ⁽⁵⁾	O ⁽⁵⁾	-	-	-
ペリフェラル電圧モニタ (PVM3)	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
DMAx (x = 1、2)	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
DMAMUX1	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
ハイスピード内部 (HSI16)	O	O	O	O	O ⁽⁶⁾	-	O ⁽⁶⁾	-	O ⁽⁶⁾	-	-	-	-	-	-
ハイスピード外部 (HSE32)	O	O	O ⁽⁷⁾	O ⁽⁷⁾	O ⁽⁷⁾	-	O ⁽⁷⁾	-	O ⁽⁷⁾	-	O ⁽⁷⁾	-	-	-	-
ロースピード内部 (LSI)	O	O	O	O	O	-	O	-	O	-	O	-	-	-	-
ロースピード外部 (LSE)	O	O	O	O	O	-	O	-	O	-	O	-	O	-	O
マルチスピード内部 (MSI)	O	O	O	O	O	-	O	-	O	-	-	-	-	-	-
クロックセキュリティシステム (CSS)	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
LSE のクロックセキュリティシステム	O	O	O	O	O	O	O	O	O	O	O	O	-	-	-
RTC/自動ウェイクアップ	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O
TAMP タンパピンの数	3	3	3	3	3	O	3	O	3	O	3	O	3	O	3
USARTx (x = 1、2)	O	O	O	O	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	-	-	-	-	-	-	-
低電力 UART (LPUART1)	O	O	O	O	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	O ⁽⁸⁾	-	-	-	-	-
I2Cx (x = 1、2)	O	O	O	O	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	-	-	-	-	-	-	-
I2C3	O	O	O	O	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	O ⁽⁹⁾	-	-	-	-	-
SPI1	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
SUBGHZSPI	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-



表 45. システムの動作モードに応じた機能⁽¹⁾ (続き)

ペリフェラル	RUN	SLEEP	LPRun	LPSleep	STOP 0		STOP 1		STOP 2		STANDBY		SHUTDO		VBAT
					-	ウエイクアップ機能	-	ウエイクアップ機能	-	ウエイクアップ機能	-	ウエイクアップ機能	-	ウエイクアップ機能	
SPI2S2	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
ADC	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
DAC	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
VREFBUF	O	O	O	O	O	-	O	-	R	-	-	-	-	-	-
COMPx (x = 1, 2)	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
温度センサ	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
タイマ (TIMx) (x = 1, 2, 16, 17)	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
LPTIM1	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
LPTIMx (x = 2, 3)	O	O	O	O	O	O	O	O	-	-	-	-	-	-	-
独立型ウォッチドッグ (IWDG)	O	O	O	O	O	O	O	O	O	O	O	O	-	-	-
ウィンドウ型ウォッチドッグ (WWDG)	O	O	O	O	R	-	R	-	R	-	-	-	-	-	-
SysTick タイマ	O	O	O	O	R	-	R	-	R	-	-	-	-	-	-
真性乱数発生器 (RNG)	O ₍₁₀₎	O ₍₁₀₎	R	R	R	-	R	-	-	-	-	-	-	-	-
AES ハードウェアアクセラレータ	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
PKA ハードウェアアクセラレータ	O	O	O	O	R	-	R	-	-	-	-	-	-	-	-
CRC 計算ユニット	O	O	O	O	R	-	R	-	R	-	-	-	-	-	-
IPCC	O	R	O	R	R	-	R	-	R	-	-	-	-	-	-
HSEM	O	R	O	R	R	-	R	-	-	-	-	-	-	-	-
GTZC TZSC	O	R	O	R	R	-	R	-	R	-	-	-	-	-	-
GTZC TZIC	O	R	O	R	R	-	R	-	R	-	-	-	-	-	-
EXTI	O	O	O	O	R	O	R	O	R	O	-	-	-	-	-
GPIO	O	O	O	O	O	O	O	O	O	O	R ⁽¹¹⁾	ピン : 3本 (12)	⁽¹³⁾	ピン : 3本 (12)	-

1. 凡例 : Y = 使用可 (有効) O = オプション (デフォルトでは無効、ソフトウェアによって有効にできる) R = データ保持
- = 該当なし 灰色のセルはウエイクアップ機能を示します。
2. SRAM クロックのゲートオン/オフ可能
3. Flashメモリはパワーダウンモードで配置できます。
4. PWR_CR3.RRS ビットをセットすることにより、オプションで SRAM2 の内容を保持することができます。
5. Sub-GHz 無線がアクティブな場合のみ。



6. STOP モードからのウェイクアップ機能を持つ一部のペリフェラルは、HSI16 の有効化をリクエストできます。この場合、HSI16 はペリフェラルによってウェイクアップされ、HSI16 を要求したペリフェラルだけにクロックを供給します。ペリフェラルが HSI16 を必要としなくなると、HSI16 は自動的にオフされます。
7. HSE32 は Sub-GHz 無線システムで使用できます。
8. UART 受信は、STOP 0 モードおよび 1 モードで機能します。LPUART1 受信は STOP 0、1、および 2 モードで機能します。LPUART1 は、開始アドレス一致または受信フレームイベント時にウェイクアップ割込みを生成します。
9. I2Cx (x= 1, 2) アドレス検出は、STOP 0 および 1 モードで機能します。I2C3 アドレス検出は、STOP 0、1、および 2 モードで機能します。アドレスが一致する場合、I2C3 によりウェイクアップ割込みが生成されます。
10. 電圧スケーリングレンジ 1 のみです。
11. I/O は、STANDBY モードで内部プルアップ、プルダウンまたはフローティングに設定できます。
12. STANDBY/SHUTDOWN モードからのウェイクアップ機能が付いた I/O は、PA0、PC13、および PB3 です。
13. I/O は、SHUTDOWN モードで内部プルアップ、プルダウンまたはフローティングで設定できますが、SHUTDOWN モードを終了すると設定が失われます。

MCU と Sub-GHz 無線の動作モードの関係

CPU と Sub-GHz 無線には、下の表に定義されているように、独自の動作モードがあります。

表 46. MCU と Sub-GHz 無線の動作モード

CPU 動作モード	Sub-GHz 無線の動作モード ⁽¹⁾	説明
RUN、SLEEP	SLEEP、較正、STANDBY、アクティブ (FS、TX、RX) ⁽²⁾	LDO または SMPS レギュレータがアクティブで、MCU はメインレギュレータ (MR) モードで動作します。
LPRun、LPSleep	ディープスリープ	LDO および SMPS レギュレータがオフで、MCU は低電力レギュレータ (LPR) モードで動作します。
	SLEEP、較正、STANDBY、アクティブ (FS、TX、RX)	LDO または SMPS レギュレータがアクティブで、MCU は低電力レギュレータ (LPR) モードで動作します。
STOP 0	SLEEP、較正、STANDBY、アクティブ (FS、TX、RX) ⁽²⁾	LDO または SMPS レギュレータがアクティブで、MCU はメインレギュレータ (MR) モードで動作します。
STOP 1 および STOP 2	ディープスリープ	LDO および SMPS レギュレータがオフで、MCU では低電力レギュレータ (LPR) モードを使用します。
	SLEEP、較正、STANDBY、アクティブ (FS、TX、RX)	LDO または SMPS レギュレータがアクティブで、MCU では低電力レギュレータ (LPR) モードを使用します。
STANDBY	ディープスリープ	LDO および SMPS レギュレータがオフで、MCU レギュレータは低電力 (LPR) モードではオフまたはオンです。 ⁽³⁾
	SLEEP、較正、STANDBY、アクティブ (FS、TX、RX)	LDO または SMPS レギュレータがアクティブで、MCU レギュレータは低電力 (LPR) モードでオフまたはオンです。 ⁽³⁾
SHUTDOWN	ディープスリープ ⁽⁴⁾	LDO および SMPS レギュレータがオフで、MCU レギュレータはオフです。

1. Sub-GHz 無線の動作モードの詳細については、[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照してください。
2. MCU の RUN、SLEEP、および STOP 0 モードでは、Sub-GHz 無線はディープスリープモードに移行することができません。
3. SRAM2 を STANDBY モードで保持するとき、MCU は低電力レギュレータ (LPR) モードを使用します。
4. CPU が SHUTDOWN モードの場合、Sub-GHz 無線はアクティブ化できず、強制的にディープスリープモードになります。

デバッグモード

デフォルトでは、デバッグ機能が使用されているときにアプリケーションが MCU を STOP 0、STOP 1、STOP 2、STANDBY、または SHUTDOWN モードにすると、デバッグ接続は失われます。これは、CPU コアにクロックが供給されなくなったためです。

ただし、DBGMCU_CR レジスタの設定ビットをセットすることによって、低電力モードを多用しているときでも、CPU1 ソフトウェアのデバッグを行うことができます。詳細については、[セクション 38.3.7: シリアルワイヤおよび JTAG デバッグポート](#)を参照してください。

STOP 0 および STOP 1 モードでは、デバッグでは EXTI CDBGPWRUPREQ ウェイクアップイベントを使用して、CPU クロックを再起動できます。詳細については、[セクション 16.3.1: EXTI ウェイクアップ割込みリスト](#)を参照してください。

6.5.1 RUN モード

システムクロックの低速化

RUN モードでは、プリスケアラレジスタをプログラミングすることによって、システムクロック (SYSCLK、HCLK、PCLK) の速度を下げるすることができます。SLEEP モードに移行する前にペリフェラルの速度を下げるため、これらのプリスケアラを使用することもできます。

詳細については、[RCC クロック設定レジスタ \(RCC_CFGR\)](#)を参照してください。

ペリフェラルクロックゲーティング

RUN モードでは、消費電力を低減するため、個々のペリフェラルとメモリへの HCLK および PCLK をいつでも停止することができます。

SLEEP モードでは、消費電力をさらに下げるため、WFI または WFE 命令を実行する前にペリフェラルクロックを無効にすることができます。

ペリフェラルクロックゲーティングは、RCC_AHBxENR および RCC_APBxENR レジスタで制御されます。

RCC_AHBxSMENR レジスタと RCC_APBxSMENR レジスタの対応ビットをリセットすることで、SLEEP モード時のペリフェラルクロックを自動的に停止させることができます。

6.5.2 低電力 RUN モード (LPRun)

システムが RUN モードの場合に消費電力を削減するために、レギュレータを低電力モードで設定することができます。このモードでは、HCLK バス周波数は 2 MHz を超えてはいけません。LPRun モードに入る前に、HPRE、C2HPRE、SHDHPRE を使用して SYSCLK 周波数を分周する必要があります (または 2 MHz 以下の MSI を使用する必要があります)。

警告： LPRun モードでは、HSE32 は使用できないため、LPRun モードに移行する前に無効にする必要があります。

LPRun モードでは、HSI16 はペリフェラルのカーネルクロックとして使用でき、PLL は無効にする必要があります。

低電力レギュレータがレディになってはじめて、デバイスは LPRun モードに移行します。REGLPS ビットを使用して、低電力レギュレータがレディであることを確認できます。デバイスが LPRun モードかどうかを知るには、REGLPF ビットを使用する必要があります。

電圧レギュレータおよびペリフェラルの動作条件の詳細は、製品データシートを参照してください。

LPRun モードにおける I/O の状態

LPRun モードで、すべての I/O ピンは RUN モードと同じ状態を保持します。

LPRun モードへの移行

LPRun モードに移行するには、次の手順に従います (表 47を参照してください)。

1. SRAM にジャンプし、[セクション 6.6.1: PWR 制御レジスタ 1 \(PWR_CR1\)](#) の FPDR ビットをセットして、Flashメモリをパワーダウンさせます (オプション)。
2. HSE32 クロックの無効化
3. HCLK クロック周波数を 2 MHz 未満に下げます。
4. [PWR 制御レジスタ 1 \(PWR_CR1\)](#) の LPR ビットをセットして、レギュレータを強制的に低電力モードにします。

LPRun モードの終了

LPRun モードを終了するには、次の手順に従います (表 47を参照してください)。

1. [PWR 制御レジスタ 1 \(PWR_CR1\)](#) の LPR ビットをクリアして、レギュレータを強制的にメインモードにします。
2. [電源ステータスレジスタ 2 \(PWR_SR2\)](#) の REGLPF ビットがクリアされるまで待ちます。
3. HCLK クロック周波数を上げます (必要に応じて HSE32 クロックを有効にします)。

表 47. LPRun

LPRun モード	説明
モードへの移行	システムクロック周波数を 2 MHz 未満に下げます。LPR = 1。
モードの終了	LPR = 0。REGLPF = 0 になるまで待ちます。システムクロック周波数を上げます。
ウェイクアップ遅延時間	低電力モードからのレギュレータのウェイクアップ時間です。

6.5.3 低電力モードへの移行

次のいずれかのイベントの後、MCU は低電力モードに移行します。

- MCU が WFI (Wait For Interrupt) を実行したとき
- MCU が WFE (Wait for Event) を実行したとき
- CPU システム制御レジスタの SLEEPONEXIT ビットがセットされている状態で ISR から戻ったとき

保留中の割り込みまたはイベントがない場合にのみ、低電力モードに移行します。

6.5.4 低電力モードの終了

CPU は、モードへの移行方法に応じて、以下のように低電力の SLEEP および STOP モードを終了します。

- WFI 命令または 割り込みサービスルーチン (ISR) からの復帰によって低電力モードに移行した場合、NVIC によって認識されたペリフェラル割り込みであればどれでもデバイスをウェイクアップすることができます。
- WFE 命令によって低電力モードに移行した場合、CPU はイベントの発生直後に低電力モードを終了します。ウェイクアップイベントは、NVIC IRQ 割り込みまたはイベントによって生成されます。

- **CPU のシステム制御レジスタが SEVONPEND = 0 に設定された状態で NVIC IRQ によって生成されたウェイクアップ：ペリフェラル制御レジスタおよび NVIC での割込みを有効化**
CPU が WFE からリスタートするときには、ペリフェラル割込みペンディングビットと (NVIC 割込みクリアペンディングレジスタの) NVIC ペリフェラル IRQ チャンネルペンディングビットをクリアする必要があります。十分な優先度の NVIC 割込みのみが CPU をウェイクアップし、割込みを生成します。
- **CPU のシステム制御レジスタが SEVONPEND = 1 に設定された状態で NVIC IRQ によって生成されたウェイクアップ：ペリフェラル制御レジスタと、オプションで NVIC での割込みを有効化**
CPU が WFE からリスタートするときには、ペリフェラル割込みビットと、有効であれば (NVIC 割込みクリアペンディングレジスタの) NVIC ペリフェラル IRQ チャンネルペンディングビットをクリアする必要があります。すべての NVIC 割込み (無効化されているものも含む) によって CPU をウェイクアップします。十分な優先度で有効化された NVIC 割込みのみが CPU をウェイクアップし、割込みを生成します。
- **イベントによって生成されたウェイクアップ：EXTI ラインをイベントモードに設定**
CPU が WFE からリスタートするときには、イベントラインに対応するペンディングビットはセットされていないので、EXTI ペリフェラル割込みペンディングビットや NVIC IRQ チャンネルペンディングをクリアする必要はありません。ペリフェラルの割込みフラグをクリアする必要があるかもしれません。

STANDBY モードおよび SHUTDOWN モードから、外部リセット (NRST ピン)、IWDG リセット、Sub-GHz 無線の IRQ、PVD イベント、Sub-GHz 無線のビジー信号、有効化されたいずれかの WKUPx ピンのエッジ、RTC および TAMP イベント、または無線イベント (STANDBY のみ) を通して CPU の低電流モードを終了します。

STANDBY または SHUTDOWN モードからのウェイクアップ後、プログラム実行はリセット後と同様にリスタートされます (ブートピン信号のサンプリング、オプションバイトローディング、リセットベクタのフェッチ)。

低電力モードからウェイクアップするときのシステムモードは、**PWR 拡張ステータス/ステータスクリアレジスタ (PWR_EXTSCR)** の CnSTOPF、CnSTOP2F および Cn の SBF ビットから決定できます。

表 48. CPU ウェイクアップとシステム動作モード

システム モード	CPU1		CPU2		CPU1 ウェイクアップ	CPU2 ウェイクアップ
	C1SBF	C1STOPxF	C2SBF	C2STOPxF		
RUN	0	0	0	0	RUN からのウェイクアップ	RUN からのウェイクアップ
	0	1	0	0	STOP からのウェイクアップですが、CPU2 によりシステムはすでに RUN 状態です。	RUN からのウェイクアップ
	0	0	0	1	RUN からのウェイクアップ	STOP からのウェイクアップですが、CPU1 によりシステムはすでに RUN 状態です。
	1	0	0	0	STANDBY からのウェイクアップですが、CPU2 によりシステムはすでに RUN 状態です。	RUN からのウェイクアップ
	0	0	1	0	RUN からのウェイクアップ	STANDBY からのウェイクアップですが、CPU1 によりシステムはすでに RUN 状態です。
	1	1	0	0	STANDBY からのウェイクアップに続いて STOP になりましたが、CPU2 によりシステムはすでに RUN 状態です。	RUN からのウェイクアップ
	0	0	1	1	RUN からのウェイクアップ	STANDBY からのウェイクアップに続いて STOP になりましたが、CPU1 によりシステムはすでに RUN 状態です。
STOP ⁽¹⁾	0	1	0	1	STOP からのウェイクアップ (CPU2 はまだ CStop の状態)	STOP からのウェイクアップ (CPU1 はまだ CStop の状態)
	1	1	0	1	システムが STANDBY になった後の STOP からのウェイクアップ (CPU2 はまだ CStop の状態)	STOP からのウェイクアップ (CPU1 はまだ CStop の状態)
	0	1	1	1	STOP からのウェイクアップ (CPU2 はまだ CStop の状態)	システムが STANDBY になった後の STOP からのウェイクアップ (CPU1 はまだ CStop の状態)
STANDBY	1	0	1	0	STANDBY からのウェイクアップ (CPU2 はまだ CStop の状態)	STANDBY からのウェイクアップ (CPU1 はまだ CStop の状態)
N/A	その他				無効。発生しません。	

1. STOP 0 および 1、または STOP 2 モードからのウェイクアップは、対応する CnSTOPF と CnSTOP2F により検出できます。

6.5.5 SLEEP モード

SLEEP モードにおける I/O の状態

SLEEP モードで、すべての I/O ピンは RUN モードと同じ状態を保持します。

SLEEP モードへの移行

RUN モードから SLEEP モードへの移行は、CPU のシステム制御レジスタの SLEEPDEEP ビットがクリアされている場合に、[低電力モードへの移行](#)に従って実行されます (表 49 を参照)。

SLEEP モードの終了

MCU は、[低電力モードの終了](#)に示すように SLEEP モードを終了します (表 49 を参照)。

表 49. SLEEP モード

SLEEP モード	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) – SLEEPDEEP = 0 – ペンディング状態の割り込み (WFI) やイベント (WFE) なし Cortex システム制御レジスタを参照。
	次の条件下での割り込みサービスルーチン (ISR) からの復帰時 – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 – ペンディング状態の割り込みなし Cortex システム制御レジスタを参照。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割り込み : 表 89: CPU1 ベクタテーブル 、および 表 90: CPU2 ベクタテーブル を参照 WFE 命令を使用して移行し、SEVONPEND = 0 の場合 : ウェイクアップイベント : 表 93: ウェイクアップ割り込み を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合 : 割り込み (NVIC で無効化されている場合も含む) : 表 89: CPU1 ベクタテーブル 、および 表 90: CPU2 ベクタテーブル を参照。またはウェイクアップイベント : 表 93: ウェイクアップ割り込み を参照
ウェイクアップ遅延時間	なし

6.5.6 低電力 SLEEP モード (LPSleep)

電圧レギュレータおよびペリフェラルの動作条件の詳細は、製品データシートを参照してください。

LPSleep モードにおける I/O の状態

LPSleep モードで、すべての I/O ピンは RUN モードと同じ状態を保持します。

LPSleep モードへの移行

LPRun モードから LPSleep モードへの移行は、[セクション 6.5.3: 低電力モードへの移行](#)に示すように、Cortex システム制御レジスタの SLEEPDEEP ビットがクリアされている場合に実行されます。

LPSleep モードへの移行方法の詳細については、[表 50](#) を参照してください。

LPSleep モードの終了

LPSleep モードは、[セクション 6.5.4: 低電力モードの終了](#)に示すように終了します。割り込みまたはイベントの発行によって LPSleep モードを終了する場合、MCU は LPRun モードになります。

次の表に、LPSleep モードの終了方法の詳細を示します。

表 50. LPSleep

LPSleep モード	説明
モードへの移行	LPSleep モードから LPSleep モードに移行します。 次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) – SLEEPDEEP = 0 – ペンディング状態の割り込み (WFI) やイベント (WFE) なし Cortex システム制御レジスタを参照。
	LPSleep モードから LPSleep モードに移行します。 次の条件下での割り込みサービスルーチン (ISR) からの復帰時 – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 – ペンディング状態の割り込みなし Cortex システム制御レジスタを参照。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割り込み : 表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照 WFE 命令を使用して移行し、SEVONPEND = 0 の場合 : ウェイクアップイベント : 表 93: ウェイクアップ割り込みを参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合 : 割り込み (NVIC で無効化されている場合も含む) : 表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照 ウェイクアップイベント : 表 93: ウェイクアップ割り込みを参照してください。 LPSleep モードの終了後、MCU は LPSleep モードになります。
ウェイクアップ遅延時間	なし

6.5.7 STOP 0 モード

STOP 0 モードは、ペリフェラルクロックゲーティングと組み合わせた CPU のディープスリープモードに基づきます。電圧レギュレータは、メインレギュレータモードで設定されます。STOP 0 モードでは、V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16、および HSE32 オシレータが無効になります。ウェイクアップ機能を搭載したいくつかのペリフェラル (I2Cx (x = 1, 3)、USARTx (x = 1, 2)、LPUART1) は、フレームを受信するために HSI16 をオンにでき、フレーム受信後、それがウェイクアップフレームでない場合は HSI16 をオフにできます。この場合、HSI16 クロックはフレームをリクエストしているペリフェラルに対してのみ伝達されます。

SRAM1、SRAM2 およびレジスタの内容は保持されます。

BOR は常に STOP 0 モードで使用できます。V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

BOR と PDR は、電源電圧を定期的にサンプリングするために有効化できます。このオプションは PWR_CR3 レジスタの ULPEN ビットをセットして有効化でき、このモードの消費電流を低減します。ただし、供給検出器の 2 つのアクティブ期間において電圧が動作条件を少しでも下回ると、PDR リセットは生成されません。

STOP 0 モードにおける I/O の状態

STOP 0 モードでは、すべての I/O ピンは RUN モードと同じ状態を保持します。

STOP 0 モードへの移行

STOP 0 モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、[セクション 6.5.3](#)に従って実行されます (表 51 を参照)。

Flashメモリがプログラミング中の場合、動作が完了してから、STOP 0 モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP 0 モードに移行します。

STOP 0 モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ (IWDG) : IWDG は、キーレジスタへの書き込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。[セクション 30.3: IWDG の機能説明](#)を参照してください。
- リアルタイムクロック (RTC) : この設定は[RCC バックアップドメイン制御レジスタ \(RCC_BDCR\)](#) の RTCEN ビットで行います。
- 内部 RC オシレータ (LSI) : この設定は[RCC 制御/ステータスレジスタ \(RCC_CSR\)](#) の LSIxON ビットで行います。
- 外部 32.768 kHz オシレータ (LSE) : この設定は[RCC バックアップドメイン制御レジスタ \(RCC_BDCR\)](#) の LSEON ビットで行います。
- プログラムされた Sub-GHz 無線のアクティビティは、[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照してください。
- [PWR 制御レジスタ 3 \(PWR_CR3\)](#) で設定された PVD 検出の設定

次のようないくつかのペリフェラルは、LSI や LSE で有効化されクロック供給されている場合、STOP 0 モードで使用でき、消費電力を追加できます。LPTIMx (x = 1, 2, 3)、I2Cx (x = 1, 2, 3)、USARTx (x = 1, 2)、LPUART1。

STOP 0 モードで HSIKERON が有効な場合、HSI16 からのクロック供給時に一部のペリフェラルのウェイクアップ機能も使用できます。I2Cx (x = 1, 2, 3)、USARTx (x = 1, 2)、または LPUART1。

コンパレータは STOP 0 モードで使用でき、PVM3 および PVD も同様です。これらが必要ではない場合、消費電力を低減するためにソフトウェアで無効にする必要があります。

ADC、温度センサおよび VREFBUF バッファは、STOP 0 モードに移行する前に無効にしない限り、STOP 0 モード中に電力を消費します。

STOP 0 モードの終了

STOP 0 モードは、[セクション 6.5.4](#)に示すように終了します (詳細については、表 51 を参照してください)。

割込みまたはウェイクアップイベントの発行によって STOP 0 モードを終了する場合、[RCC クロック設定レジスタ \(RCC_CFGR\)](#) の STOPWUCK ビットがセットされると、システムクロックとして HSI16 RC オシレータが選択されます。STOPWUCK ビットがクリアされると、システムクロックとして MSI オシレータが選択されます。HSI16 がウェイクアップシステムクロックとして選択される場合、ウェイクアップ時間が短くなります。MSI を選択すると、より高い周波数 (最大 48 MHz) でウェイクアップが有効になります。

電圧レギュレータが低電力モードで動作している場合、HSI16 で STOP 0 モードからウェイクアップする際、更なる起動時間が必要になります。STOP 0 モードの間も内蔵レギュレータをオン状態に保つことによって、消費電力は増加しますが、起動時間は短縮されます。

STOP 0 モードを終了すると、同じレジスタで LPR ビットがセットされている場合、MCU は RUN モード ([PWR 制御レジスタ 1 \(PWR_CR1\)](#) の VOS ビットに応じてレンジ 1 またはレンジ 2) または LPRun モードになります。

表 51. STOP 0 モード

STOP 0	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) <ul style="list-style-type: none"> - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - ペンディング状態の割り込み (WFI) やイベント (WFE) なし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b000
	次の条件下での割り込みサービスルーチン (ISR) からの復帰時 <ul style="list-style-type: none"> - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - SLEEPONEXIT = 1 - ペンディング状態の割り込みなし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b000
	注： STOP 0 モードに移行するには、すべての EXTI ラインのペンディングビット (EXTI ペンディングレジスタ (EXTI_PR1) および EXTI ペンディングレジスタ (EXTI_PR2) 内) とウェイクアップ割り込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STOP 0 モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	<p>WFI または ISR からの復帰を使用して移行した場合 割り込みモードに設定されている任意の EXTI ライン (対応する EXTI 割り込みベクタが NVIC で有効になっている必要があります)。割り込みソースは、ウェイクアップ機能を備えた外部割り込みまたはペリフェラルになることがあります。表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照してください。</p> <p>WFE 命令を使用して移行し、SEVONPEND = 0 の場合： イベントモードに設定されている任意の EXTI ライン表 93: ウェイクアップ割り込みを参照してください。</p> <p>WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割り込みモードに設定されている任意の EXTI ライン (対応する EXTI 割り込みベクタが NVIC で無効になっている場合も含む)。割り込みソースは、ウェイクアップ機能を備えた外部割り込みまたはペリフェラルになることがあります。表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照してください。 ウェイクアップイベント：表 93: ウェイクアップ割り込みを参照。</p>
ウェイクアップ遅延時間	最長ウェイクアップ時間：MSI または HSI16 ウェイクアップ時間および STOP 0 モードからの Flash メモリウェイクアップ時間です。

6.5.8 STOP 1 モード

STOP 1 モードは、メインレギュレータがオフになっており、低電力レギュレータのみがオンになっていることを除き、STOP 0 モードと同じです。STOP 1 モードは、RUN モードおよび LPRun モードから移行できます。低電力レギュレータがレディになってはじめて、デバイスは STOP 1 モードに移行します。REGLPS ビットは、低電力レギュレータのレディ状態を確認するために使用できます (下の表を参照)。

表 52. STOP 1 モード

STOP 1	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - ペンディング状態の割り込み (WFI) やイベント (WFE) なし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b001
	次の条件下での割り込みサービスルーチン (ISR) からの復帰時 - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - SLEEPONEXIT = 1 - ペンディング状態の割り込みなし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b001
	注: STOP 1 モードに移行するには、すべての EXTI ラインのペンディングビット (EXTI ペンディングレジスタ (EXTI_PR1) および EXTI ペンディングレジスタ (EXTI_PR2) 内) とウェイクアップ割り込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STOP 1 モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割り込みモードに設定されている任意の EXTI ライン (対応する EXTI 割り込みベクタが NVIC で有効になっている必要があります)。割り込みソースは、ウェイクアップ機能を備えた外部割り込みまたはペリフェラルになることがあります。表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照してください。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合: イベントモードに設定されている任意の EXTI ライン セクション 16.4.1: EXTI の設定可能なイベント入力ウェイクアップ を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合: 割り込みモードに設定されている任意の EXTI ライン (対応する EXTI 割り込みベクタが NVIC で無効になっている場合も含む)。割り込みソースは、ウェイクアップ機能を備えた外部割り込みまたはペリフェラルになることがあります。表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照してください。 ウェイクアップイベント: 表 93: ウェイクアップ割り込み を参照してください。
ウェイクアップ遅延時間	最長ウェイクアップ時間: MSI または HSI16 ウェイクアップ時間および低電力モードからのレギュレータウェイクアップ時間 + STOP 1 モードからの Flash メモリウェイクアップ時間

6.5.9 STOP 2 モード

STOP 2 モードは、CPU ディープスリープモードとペリフェラルクロックゲーティング、および V_{CORE} ドメインの部分的なパワーダウンの組み合わせに基づきます。STOP 2 モードでは、 V_{CORE} ドメインのすべてのクロックが停止します。PLL、MSI、HSI16、および HSE32 オシレータは無効です。一部のロジックはパワーダウンされますが、CPU1、CPU2 およびウェイクアップ機能付きの一部のペリフェラル (I2C3、LPTIM1、および LPUART1) はパワーダウンされません。ここでは、フレームを受信するために HSI16 をオンにでき、フレーム受信後、それがウェイクアップフレームでない場合は HSI16 をオフにできます。この場合、HSI16 クロックはフレームをリクエストしているペリフェラルに対してのみ伝達されます。STOP 2 モードでは低電力レギュレータが使用されるため、デバイスは低電力レギュレータがレディになったときだけ STOP 2 モードに移行します。REGLPS ビットを使用して、低電力レギュレータのレディを確認できます。

SRAM1、SRAM2、PWR、Flash メモリインタフェース、バックアップドメインの RCC、GTZC TZSC、GTZC TZIC、EXTI、IPCC、IWDG、WWDG、GPIO、CRC、SYSCFG、RTC、および TAMP の内容とレジスタも保持されます。他のすべてのペリフェラルの内容はリセットされるため、再プログラムが必要です。

BOR は常に STOP 2 モードで使用できます。 V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

BOR と PDR は、電源電圧を定期的にサンプリングするために有効化できます。このオプションは PWR_CR3 レジスタの ULPEN ビットをセットして有効化でき、このモードの消費電流を低減します。ただし、供給検出器の 2 つのアクティブ期間において電圧が動作条件を少しでも下回ると、PDR リセットは生成されません。

注： コンパレータ、LPUART1 出力、LPTIM1 出力は、STANDBY モードの間、強制的にロースピード (OSPEEDy = 0b00) に設定されます。

STOP 2 モードにおける I/O の状態

STOP 2 モードでは、すべての I/O ピンは RUN モードと同じ状態を保持します。

STOP 2 モードへの移行

STOP 2 モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、[セクション 6.5.3](#) に従って実行されます (表 53 を参照)。

STOP 2 モードは、RUN モードからのみ移行できます。LPRun モードから STOP 2 モードへは移行できません。

Flash メモリがプログラミング中の場合、メモリアクセスが終了してから、STOP 2 モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP 2 モードに移行します。

次のようないくつかのペリフェラルは、LSI や LSE で有効化されクロック供給されている場合、STOP 2 モードで使用でき、消費電力を追加できます。LPTIM1、I2C3 および LPUART1。

STOP 2 モードで HSIKERON が有効な場合、HSI16 からのクロック供給時に一部のペリフェラルのウェイクアップ機能も使用できます。I2C3 または LPUART1。

コンパレータは STOP 2 モードで使用でき、PVM3 および PVD も同様です。これらが必要ではない場合、消費電力を低減するためにソフトウェアで無効にする必要があります。

ADC、温度センサおよび VREFBUF バッファは、STOP 2 モードに移行する前に無効にしない限り、STOP 2 モード中に電力を消費します。

STOP 2 モードで使用できないすべてのペリフェラルがパワーダウンされます。

STOP 2 モードの終了

STOP 2 モードは、[セクション 6.5.4](#)に従って終了します (表 53 を参照)

割り込みまたはウェイクアップイベントの発行によって STOP 2 モードを終了する場合、[RCC クロック設定レジスタ \(RCC_CFGR\)](#) の STOPWUCK ビットがセットされると、システムクロックとして HSI16 RC オシレータが選択されます。STOPWUCK ビットがクリアされると、システムクロックとして MSI オシレータが選択されます。HSI16 がウェイクアップシステムクロックとして選択される場合、ウェイクアップ時間が短くなります。MSI を選択すると、より高い周波数 (最大 48 MHz) でウェイクアップできます。

[PWR 制御レジスタ 3 \(PWR_CR3\)](#) の STOP2F ステータスフラグは MCU が STOP 2 モードにあったことを示します。保持されないすべてのレジスタは、STOP 2 からのウェイクアップ後にリセットされます。STOP 2 モードを終了すると、MCU は RUN モード (PWR_CR1 の VOS ビットに応じてレンジ 1 またはレンジ 2) になります。

表 53. STOP 2 モード

STOP 2	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) <ul style="list-style-type: none"> - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - ペンディング状態の割り込み (WFI) やイベント (WFE) なし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b010
	次の条件下での割り込みサービスルーチン (ISR) からの復帰時 <ul style="list-style-type: none"> - Cortex システム制御レジスタの SLEEPDEEP ビットをセット - SLEEPONEXIT = 1 - ペンディング状態の割り込みなし - PWR_CR1、PWR_C2CR1 以上で LPMS = 0b010
	注: STOP 2 モードに移行するには、すべての EXTI ラインのペンディングビット (EXTI ペンディングレジスタ (EXTI_PR1) および EXTI ペンディングレジスタ (EXTI_PR2) 内) とウェイクアップ割り込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STANDBY モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	割り込みモードまたはイベントモードに設定されている任意の EXTI ライン (対応する EXTI 割り込みベクタが NVIC で有効になっている場合も含む)。割り込みソースは、ウェイクアップ機能を備えた外部割り込みまたはペリフェラルになることがあります。表 89: CPU1 ベクタテーブル、および表 90: CPU2 ベクタテーブルを参照してください。
ウェイクアップ遅延時間	最長ウェイクアップ時間: MSI または HSI16 ウェイクアップ時間および低電力モードからのレギュレータウェイクアップ時間 + STOP 2 モードからの Flash ウェイクアップ時間

6.5.10 STANDBY モード

STANDBY モードでは、BOR を使用すると最小の消費電力を実現できます。このモードは、電圧レギュレータを無効にした状態 (SRAM2 の内容が保持されている場合を除く) の CPU のディープスリープモードに基づきます。PLL、HSI16、MSI、および HSE32 オシレータもオフになります。

バックアップドメインと STANDBY 回路のレジスタを除いて、SRAM1 とレジスタの内容は失われず (図 18 を参照)。PWR 制御レジスタ 3 (PWR_CR3) の RRS ビットがセットされた場合、SRAM2 の内容を保持できます。この場合、低電力レギュレータが有効になり、SRAM2 に対してのみ電源供給されます。SRAM2 の保持が有効な場合、デバイスは低電力レギュレータがレディ状態になってはじめて STANDBY モードに移行します。REGLPS ビットを使用して、低電力レギュレータのレディ

を確認できます。SRAM2 を保持したままの STANDBY モードの即時終了は、低電力レギュレータがレディ状態になるまで遅延することがあります。

BOR は常に STANDBY モードで使用できます。V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

BOR と PDR は電源電圧を定期的にサンプリングするために有効化できます。このオプションは PWR_CR3 レジスタの ULPEN ビットをセットして有効化でき、このモードの消費電流を低減します。ただし、供給検出器の 2 つのアクティブ期間において電圧が動作条件を少しでも下回ると、PDR リセットは生成されません。

STANDBY モードにおける I/O の状態

STANDBY モードでは、I/O をプルアップ (PWR_PUCRx レジスタ (x = A、B、C、H) を参照) またはプルダウン (PWR_PDCCRx レジスタ (x = A、B、C、H) を参照) で設定したり、アナログ状態のままに設定したりできます。

PC13 の RTC 出力は STANDBY モードで機能します。LSE に使用される PC14 と PC15 も機能します。3 つのウェイクアップピン (WKUPx、x = 1、2、3) および 3 つの TAMP タンパが使用できます。

Sub-GHz 無線は機能しており、PVD を有効にできます。

STANDBY モードへの移行

STANDBY モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、[セクション 6.5.3](#) に従って実行されます (詳細は [表 54](#) を参照)。

STANDBY モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ (IWDG) : IWDG は、キーレジスタへの書き込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。[セクション 30.3: IWDG の機能説明](#)を参照してください。
- リアルタイムクロック (RTC) : この設定は、バックアップドメイン制御レジスタ (RCC_BDCR) の RTCEN ビットで行います。
- 内部 RC オシレータ (LSI) : この設定は、制御/ステータスレジスタ (RCC_CSR) の LSIxON ビットで行います。
- 外部 32.768 kHz オシレータ (LSE) : この設定は、バックアップドメイン制御レジスタ (RCC_BDCR) の LSEON ビットで行います。
- プログラムされた Sub-GHz 無線のアクティビティは、[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照してください。
- [PWR 制御レジスタ 3 \(PWR_CR3\)](#) で設定された PVD 検出の設定

STANDBY モードの終了

STANDBY モードは、[セクション 6.5.4](#) に従って終了します。[PWR 拡張ステータス/ステータスクリアレジスタ \(PWR_EXTSCR\)](#) の SBF ステータスフラグ (CnSBF) は MCU が STANDBY モードにあったことを示します。[PWR 拡張ステータス/ステータスクリアレジスタ \(PWR_EXTSCR\)](#) を除くすべてのレジスタは、STANDBY モードからのウェイクアップ後にリセットされます。

STANDBY モードの終了方法の詳細については、下の表を参照してください。

表 54. STANDBY モード

STANDBY	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) <ul style="list-style-type: none"> – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み (WFI) やイベント (WFE) なし – PWR_CR1、PWR_C2CR1 以上で LPMS = 0b011 – 電源ステータスレジスタ 1 (PWR_SR1) の WUFx ビットをクリア
	次の条件下での割込みサービスルーチン (ISR) からの復帰時 <ul style="list-style-type: none"> – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXIT = 1 – ペンディング状態の割込みなし – PWR_CR1、PWR_C2CR1 以上で LPMS = 0b011 – 無線 IRQ は、Sub-GHz 無線でクリアされます。 – 電源ステータスレジスタ 1 (PWR_SR1) の WPVDF、WRFBUSY、WUFx ビットをクリア – 選択されたウェイクアップソース (RTC アラーム A、RTC アラーム B、RTC ウェイクアップ、同期バイナリカウンタ、タイムスタンプフラグ) に対応する RTC フラグをクリア – TAMP フラグ ITAMPxF と TAMPxF をクリア
モードの終了	PVD イベント、RFIRQ 割込み、RFBUSY ウェイクアップイベント、WKUPx ピンエッジ、RTC および TAMP イベント、NRST ピンの外部リセット、IWDG リセット、BOR リセット
ウェイクアップ 遅延時間	リセットフェーズ

6.5.11 SHUTDOWN モード

消費電力を最小にするには、SHUTDOWN モードを使用します。このモードは、電圧レギュレータを無効にした状態のディープスリープモードに基づきます。結果として、V_{CORE} ドメインの電源がオフになります。PLL、HSI16、MSI、LSI、および HSE32 オシレータもオフになります。

バックアップドメインのレジスタを除いて、SRAM1、SRAM2、およびレジスタの内容は失われます。BOR は SHUTDOWN モードで使用できません。このモードで電源電圧監視はできないため、バックアップドメインへの切り替えはサポートされません。

SHUTDOWN モードにおける I/O の状態

SHUTDOWN モードでは、I/O をプルアップ (PWR_PUCRx レジスタ (x = A、B、C、H) を参照) またはプルダウン (PWR_PDCRx レジスタ (x = A、B、C、H) を参照) で設定したり、アナログモードのままに設定したりできます。ただし、パワーオンリセットにより SHUTDOWN モードが終了すると、この設定は失われます。

PC13 の RTC 出力は SHUTDOWN モードで機能します。LSE に使用される PC14 と PC15 も機能します。3 つのウェイクアップピン (WKUPx、x = 1、2、3) および 3 つの TAMP タンパが使用できます。

SHUTDOWN モードへの移行

SHUTDOWN モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、[セクション 6.5.3](#) に従って実行されます (詳細は [表 55](#) を参照)。

SHUTDOWN モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- リアルタイムクロック (RTC) : この設定は、バックアップドメイン制御レジスタ (RCC_BDCR) の RTCEN ビットで行います。

注意 : V_{DD} がパワーダウンすると、RTC の内容は失われます。

- 外部 32.768 kHz オシレータ (LSE) : この設定は、バックアップドメイン制御レジスタ (RCC_BDCR) の LSEON ビットで行います。

SHUTDOWN モードの終了

SHUTDOWN モードは、[セクション 6.5.4](#) に従って終了します。SHUTDOWN モードを終了すると、パワーオンリセットが発生します。SHUTDOWN モードからウェイクアップ後、すべてのレジスタ (バックアップドメインのものを除く) がリセットされます。

SHUTDOWN モードの終了方法の詳細については、下の表を参照してください。

表 55. SHUTDOWN モード

SHUTDOWN モード	説明
モードへの移行	次の条件下での WFI (Wait for Interrupt) または WFE (Wait for Event) – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割り込み (WFI) やイベント (WFE) なし – PWR_CR1 および PWR_C2CR1 で LPMS = 0b1xx – 電源ステータスレジスタ 1 (PWR_SR1) の WUFx ビットをクリア
	次の条件下での割り込みサービスルーチン (ISR) からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXT = 1 – ペンディング状態の割り込みなし – PWR_CR1 および PWR_C2CR1 で LPMS = 0b1xx – 無線 IRQ は、Sub-GHz 無線でクリアされます。 – 電源ステータスレジスタ 1 (PWR_SR1) の WPVDF、WRFBUSY、WUFx ビットをクリア – 選択されたウェイクアップソース (RTC アラーム A、RTC アラーム B、RTC ウェイクアップ、同期バイナリカウンタ、タイムスタンプフラグ) に対応する RTC フラグをクリア – TAMP フラグ ITAMPxF と TAMPxF をクリア
モードの終了	WKUPx ピンのエッジ、RTC および TAMP イベント、NRST ピンでの外部リセット
ウェイクアップ遅延時間	リセットフェーズ

6.5.12 低電力モードからの自動ウェイクアップ

RTC は、外部割込みに頼ることなく、低電力モードから MCU をウェイクアップするために使用できます (自動ウェイクアップモード)。RTC を、一定の時間間隔で STOP (0、1 または 2) モードや STANDBY モードからウェイクアップさせるためのプログラム可能なタイムベースとすることができます。この目的のため、[RCC バックアップドメイン制御レジスタ \(RCC_BDCR\)](#) の RTCSEL[1:0] ビットをプログラムすることによって、次の代替 RTC クロックソースを選択できます。

- 低電力 32.768 kHz 外部クリスタルオシレータ (LSE OSC)
このクロックソースは、非常に少ない消費電力で高精度のタイムベースとなります。
- 低電力内部 RC オシレータ (LSI)
このクロックソースには、32.768 kHz クリスタルのコストを節約できるという利点があります。この内部 RC オシレータは、最小限の消費電力を追加するように設計されています。

RTC アラームイベントによって STOP モードからウェイクアップさせるには、次の設定が必要です。

- 立ち上がりエッジを検知するように EXTI ライン 18 を設定します。
- RTC アラームを生成するように RTC を設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 18 の設定は必要ありません。

RTC ウェイクアップイベントによって STOP モードからウェイクアップさせるには、次の設定が必要です。

- 立ち上がりエッジを検知するように EXTI ライン 20 を設定します。
- RTC アラームを生成するように RTC を設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 20 の設定は必要ありません。

6.6 PWR レジスタ

ペリフェラルレジスタには、ハーフワード (16 ビット) またはワード (32 ビット) 単位でアクセスする必要があります。

6.6.1 PWR 制御レジスタ 1 (PWR_CR1)

このレジスタは、ビットフィールド LPMS[2:0] を除いて、STANDBY モードからのウェイクアップ後にリセットされます。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが使用されます（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x000

リセット値：0x0000 0200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	FPDS	FPDR	SUBGHZSPINSSSEL	LPMS[2:0]		
	rw				rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **LPR** : LPRun

このビットがセットされると、電源モードはメインレギュレータモード (MR) から低電力レギュレータモード (LPR) に切り替わります。

注： LPR ビットがセットされている場合、STOP 2 モードに移行できません。代わりに、STOP 1 に移行します。

ビット 13:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:9 **VOS[1:0]** : 電圧スケーリングレンジの選択

電圧範囲を再び連結する前に、前の電圧範囲の変更を完了する必要があります。

0b00 : 書込み不可 (ハードウェアによって禁止されています)

0b01 : レンジ1

0b10 : レンジ2

0b11 : 書込み不可 (ハードウェアによって禁止されています)

ビット 8 **DBP** : バックアップドメイン書込み保護の無効化

リセット状態で、RTC およびバックアップレジスタは不要な書込みアクセスから保護されます。これらのレジスタへの書込みアクセスを可能にするには、このビットをセットする必要があります。

0 : RTC およびバックアップレジスタへのアクセスは無効です。

1 : RTC およびバックアップレジスタへのアクセスは有効です。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **FPDS** : CPU1 の LPSleep 時の Flashメモリパワーダウンモード

両方の CPU が SLEEP モードの場合に、このビットにより、Flashメモリをパワーダウンモードとアイドルモードのどちらにするかが選択されます。Flashメモリは、システムが LPSleep モードのときのみ、パワーダウンモードにセットされます。また、CPU2 の PWR_C2CR1.FPDS ビットでも同様にセットできます。

0 : システムが LPSleep モードの場合、Flashメモリをアイドルモードにします。

1 : システムが LPSleep モードの場合、Flashメモリをパワーダウンモードにします。

ビット 4 **FPDR** : CPU1 の LPRun 中の Flashメモリパワーダウンモード

このビットに 1 を書き込むには、このレジスタビットをアンロックした後に、このレジスタに最初に (コード 0xC1B0 を) 書き込む必要があります (コードを書くだけではレジスタビットは更新されません)。LPRun モードのときの Flashメモリをパワーダウンモードにするかアイドルモードにするかを選択します (コードが SRAM から実行されているときのみ、Flashメモリをパワーダウンモードにできません)。Flashメモリは、システムが LPRun モードの場合にのみ、パワーダウンモードにセットされます。また、CPU2 の PWR_C2CR1.FPDR ビットでも同様にセットできます。
 0 : システムが LPRun モードの場合、Flashメモリをアイドルモードにします。
 1 : システムが LPRun モードの場合、Flashメモリをパワーダウンモードにします。

ビット 3 **SUBGHZSPINSSSEL** : Sub-GHz SPI NSS ソースの選択

このビットは、ソフトウェアによってセット/クリアされます。
 0 : Sub-GHz SPI NSS 信号を PWR_SUBGHZSPICR.NSS から駆動 (RFBUSYMS 機能は有効)
 1 : Sub-GHz SPI NSS 信号を LPTIM3_OUT から駆動 (RFBUSYMS 機能は無効)

ビット 2:0 **LPMS[2:0]** : CPU1 用の低電力モードの選択

これらのビットは、STANDBY モードの終了時にリセットされません。
 これらのビットでは、CPU1 がディープスリープモードへ移行する時に移行可能な低電力モードを選択します。システムが移行可能な低電力モードには、CPU2 から PWR_C2CR1.LPMS[2:0] によって許可される低電力モードも関係します。
 000 : STOP 0 モード
 001 : STOP 1 モード
 010 : STOP 2 モード
 011 : STANDBY モード
 1xx : SHUTDOWN モード

注 : LPR ビットがセットされると、STOP 2 モードは選択できず、STOP 2 の代わりに STOP 1 モードに移行する必要があります。
 STANDBY モードでは、PWR_CR3 の RRS ビットの設定に応じて、SRAM2 が保持されます。

6.6.2 PWR 制御レジスタ 2 (PWR_CR2)

このレジスタは、STANDBY モード終了時にリセットされます。

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVME3	Res.	Res.	PLS[2:0]			PVDE
									rw			rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PVME3** : ペリフェラル電圧モニタ 3 有効化 : V_{DDA} と 1.62 V
 0 : PVM3 (V_{DDA} 監視と 1.62 V 閾値) を無効にします。
 1 : PVM3 (V_{DDA} 監視と 1.62 V 閾値) を有効にします。

ビット 5:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:1 **PLS[2:0]** : プログラム可能な電圧検出器のレベル選択。

これらのビットでは、プログラム可能な電圧検出器によって検出される電圧閾値を選択します。

000 : V_{PVD0} 約 2.0 V

001 : V_{PVD1} 約 2.2 V

010 : V_{PVD2} 約 2.4 V

011 : V_{PVD3} 約 2.5 V

100 : V_{PVD4} 約 2.6 V

101 : V_{PVD5} 約 2.8 V

110 : V_{PVD6} 約 2.9 V

111 : 外部入力アナログ電圧 PVD_IN (内部的に $VREFINT$ と比較されます)

注 : これらのビットは、**SYSCFG_CBR** レジスタの **PVDL** ビット (PVD ロック) がセットされているとき、書き込み保護されます。

これらのビットは、システムリセットによってのみリセットされます。

ビット 0 **PVDE** : プログラム可能な電圧検出器有効化

0 : プログラム可能な電圧検出器を無効化します。

1 : プログラム可能な電圧検出器を有効化します。

注 : このビットは、**SYSCFG_CBR** レジスタの **PVDL** ビット (PVD ロック) がセットされているとき、書き込み保護されます。

このビットは、システムリセットによってのみリセットされます。

6.6.3 PWR 制御レジスタ 3 (PWR_CR3)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス : このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です (書き込みは 3 つ、読み出しは 2 つ)。

アドレス・オフセット : 0x008

リセット値 : 0x0000 8000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	EC2H	EWRFIRQ	Res.	EWRFBUSY	APC	RRS	EWMPVD	ULPEN	Res.	Res.	Res.	Res.	EWUP3	EWUP2	EWUP1
rw	rw	rw		rw	rw	rw	rw	rw					rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EIWUL** : CPU1 の内部ウェイクアップラインの有効化

0 : CPU1 への内部ウェイクアップライン割込みを無効化します。

1 : CPU1 への内部ウェイクアップライン割込みを有効化します。

ビット 14 **EC2H** : CPU1 への CPU2 ホールド割込みの有効化

C2BOOT により CPU2 をホールド状態にして、CPU1 への割込みを有効化

0 : CPU1 への割り込みを無効化します。

1 : CPU1 への割り込みを有効化します。

- ビット 13 **EWRFIRQ**: CPU1 の無線 IRQ[2:0] ウェイクアップの有効化
このビットをセットすると、無線 IRQ[2:0] が有効になり、CPU1 への STANDBY イベントからのウェイクアップがトリガされます。
- ビット 12 予約済みであり、リセット値に保持する必要があります。
- ビット 11 **EWRFBUSY**: CPU1 の STANDBY からの無線ビジーウェイクアップを有効化
このビットをセットすると、立ち上がりまたは立ち下がリエッジが発生した際に、無線ビジーが有効になり、CPU1 への STANDBY イベントからのウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WRFBUSYP ビットでアクティブなエッジが設定されます。
- ビット 10 **APC**: CPU1 からプルアップおよびプルダウン設定を適用
CPU1 用のこのビットと、CPU2 用の PWR_C2CR3.APC ビットをセットすると、PWR_PUCRx および PWR_PDCRx レジスタで定義されている I/O のプルアップおよびプルダウンの設定が適用されます。このビットがクリアされると、PWR_PUCRx および PWR_PDCRx レジスタは I/O に適用されません。
- ビット 9 **RRS**: STANDBY モードでの SRAM2 保持
0: SRAM2 が STANDBY モードで電源オフになります (SRAM2 の内容は失われます)。
1: SRAM2 が STANDBY モードで低電力レギュレータにより電源供給されます (SRAM2 の内容は保持されます)。
- ビット 8 **EWPVD**: PVD と CPU1 のウェイクアップの有効化 (Sub-GHz 無線がアクティブ状態の場合)
このビットは、ソフトウェアによってセット/リセットされます。
このビットをセットすると、Sub-GHz 無線がアクティブ状態の間、PVD が有効になり、STOP と CPU1 への STANDBY イベントからの割り込みとウェイクアップがトリガされます。(電圧レベルが PVD 閾値レベルを下回ったとき)。
0: PVD は Sub-GHz 無線のアクティブ状態により有効化されません。
1: Sub-GHz 無線がアクティブ状態の間、PVD は有効です。
- ビット 7 **ULPEN**: 超低電力有効化
PDR および BOR リセットの条件を検出するために、STOP および STANDBY モードでの電源電圧の定期的なサンプリングを有効化/無効化します。
0: 無効化 (電源電圧を継続監視)
1: 有効化。セットすると、電源電圧は節電のため、PDR/BOR リセット条件を連続的ではなく定期的のみサンプリングします。サンプリング周期は通常 12 ms ですが、温度と密接に関係しています (温度が上昇すると、周期は短くなります)。
注意: 有効化した場合で、電源電圧が 2 つの電圧サンプル間で最小動作条件を下回る場合は、リセット条件を満たさないためリセットを生成できません。
- ビット 6:3 予約済みであり、リセット値に保持する必要があります。
- ビット 2 **EWUP3**: CPU1 のウェイクアップピン WKUP3 の有効化
このビットをセットすると、立ち上がりまたは立ち下がリエッジが CPU1 に発生した際に、外部ウェイクアップピン WKUP3 が有効になり、STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP3 ビットでアクティブなエッジが設定されます。
- ビット 1 **EWUP2**: CPU1 のウェイクアップピン WKUP2 の有効化
このビットをセットすると、立ち上がりまたは立ち下がリエッジが CPU1 に発生した際に、外部ウェイクアップピン WKUP2 が有効になり、STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP2 ビットでアクティブなエッジが設定されます。
- ビット 0 **EWUP1**: CPU1 のウェイクアップピン WKUP1 の有効化
このビットをセットすると、立ち上がりまたは立ち下がリエッジが CPU1 に発生した際に、外部ウェイクアップピン WKUP1 が有効になり、STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP1 ビットでアクティブなエッジが設定されます。

6.6.4 PWR 制御レジスタ 4 (PWR_CR4)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2BOOT	Res.	Res.	Res.	WRFBUSYP	Res.	VBRS	VBE	Res.	Res.	Res.	Res.	Res.	WP3	WP2	WP1
rw				rw		rw	rw						rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **C2BOOT**: リセット後、あるいは STOP または STANDBY モードからのウェイクアップ後の CPU2 ブート
 0: リセット後、あるいは STOP または STANDBY モードからのウェイクアップ後に CPU2 をブートしません。
 1: リセット後、および STOP または STANDBY モードからのウェイクアップ後に CPU2 をブートします (CPU2 ウェイクアップイベントがある場合)。

ビット 14:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WRFBUSYP**: 無線ビジーウェイクアップの極性
 このビットでは、無線ビジー信号のイベントの検出に使用される極性を定義します。
 0: 高レベルで検出します (立ち上がりエッジ)。
 1: 低レベルで検出します (立ち下がりエッジ)。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **VBRS**: V_{BAT} バッテリ充電抵抗の選択
 0: 5 k Ω の抵抗で V_{BAT} 充電をします
 1: 1.5 k Ω の抵抗で V_{BAT} 充電をします

ビット 8 **VBE**: V_{BAT} バッテリ充電は有効です。
 0: V_{BAT} バッテリ充電を無効化します。
 1: V_{BAT} バッテリ充電を有効化します。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **WP3**: ウェイクアップピン WKUP3 の極性
 このビットは、外部ウェイクアップピン WKUP3 のイベントの検出に使用される極性を定義します。
 0: 高レベルで検出します (立ち上がりエッジ)。
 1: 低レベルで検出します (立ち下がりエッジ)。

ビット 1 **WP2**: ウェイクアップピン WKUP2 の極性
 このビットは、外部ウェイクアップピン WKUP2 のイベントの検出に使用される極性を定義します。
 0: 高レベルで検出します (立ち上がりエッジ)。
 1: 低レベルで検出します (立ち下がりエッジ)。

ビット 0 **WP1** : ウェイクアップピン WKUP1 の極性

このビットは、外部ウェイクアップピン WKUP1 のイベントの検出に使用される極性を定義します。

0 : 高レベルで検出します (立ち上がりエッジ)。

1 : 低レベルで検出します (立ち下がりエッジ)。

6.6.5 PWR ステータスレジスタ 1 (PWR_SR1)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス : このレジスタを読み出すには、通常の APB 読出しのほか、2 つの追加の APB サイクルが必要です。

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUFI	C2HF	Res.	Res.	WRFBUSYF	Res.	Res.	WPVDF	Res.	Res.	Res.	Res.	Res.	WUF3	WUF2	WUF1
r	r			r			r						r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **WUFI** : 内部ウェイクアップ割込みフラグ

このビットは、内部ウェイクアップラインにウェイクアップが検出されたときにセットされます。また、すべての内部ウェイクアップソースがクリアされたときにクリアされます。

ビット 14 **C2HF** : CPU2 ホールド割込みフラグ

C2BOOT = 0 のときに、CPU2 ウェイクアップが検出されると (不正アクセスウェイクアップを除く)、このビットがセットされます。PWR_SCR.CC2HF によってクリアされます。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WRFBUSYF** : 無線ビジーウェイクアップフラグ

このビットは、無線ビジーのウェイクアップイベントが検出されたときにセットされます。PWR_SCR レジスタの CWRFBUSYF ビットに「1」を書き込むと、クリアされます。

ビット 10:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **WPVDF** : ウェイクアップ PVD フラグ

このビットは、PVD でウェイクアップイベントが検出されたときにセットされます。PWR_SCR レジスタの CWPVDF ビットに「1」を書き込むと、クリアされます。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **WUF3** : ウェイクアップフラグ 3

このビットは、ウェイクアップピン WKUP3 でウェイクアップイベントが検出されたときにセットされます。PWRステータスクリアレジスタ (PWR_SCR) の CWUF3 ビットに「1」を書き込むと、クリアされます。

ビット 1 **WUF2** : ウェイクアップフラグ 2

このビットは、ウェイクアップピン WKUP2 でウェイクアップイベントが検出されたときにセットされます。PWRステータスクリアレジスタ (PWR_SCR) の CWUF2 ビットに「1」を書き込むと、クリアされます。

ビット 0 **WUF1** : ウェイクアップフラグ 1

このビットは、ウェイクアップピン WKUP1 でウェイクアップイベントが検出されたときにセットされます。PWRステータスクリアレジスタ (PWR_SCR) の CWUF1 ビットに「1」を書き込むと、クリアされます。

6.6.6 電源ステータスレジスタ 2 (PWR_SR2)

このレジスタは、STANDBY/SHUTDOWN モード終了時に一部リセットされます。

アドレス・オフセット : 0x014

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PVMO3	Res.	Res.	PVDO	VOSF	REGLPF	REGLPS	FLASHRDY	REGMRS	RFEOLF	LDORDY	SMPSRDY	RFBUSYMS	RFBUSYS	C2BOOTS
	r			r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **PVMO3** : ペリフェラル電圧モニタの出力 : V_{DDA} と 1.62 V

0 : V_{DDA} 電圧が、PVM3 閾値 (約 1.62 V) を超えます。

1 : V_{DDA} 電圧が、PVM3 閾値 (約 1.62 V) を下回ります。

注 : **PVM3 が無効になったとき (PVME3 = 0) に PVMO3 がクリアされます。PVM3 を有効にすると、PVM3 ウェイクアップ時間後、PVM3 出力が有効になります。**

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **PVDO** : プログラム可能な電圧検出器の出力

0 : V_{DD} または PVD_IN の電圧レベルが選択された PVD 閾値を超えます。

1 : V_{DD} または PVD_IN の電圧レベルが選択された PVD 閾値を下回ります。

ビット 10 **VOSF** : 電圧スケーリングフラグ

電圧スケーリング変更後に内蔵レギュレータがレディ状態になるには、遅延が必要です。VOSF は、レギュレータがPWR 制御レジスタ 1 (PWR_CR1) の VOS ビットで定義された電圧レベルに達したことを示します。

0 : レギュレータは選択された電圧レンジでレディ状態です。

1 : レギュレータの電圧出力が、必要な電圧レベルに変化しました。

ビット 9 **REGLPF** : 低電力レギュレータフラグ

このビットは、MCU が LPRun モードである場合に、ハードウェアによってセットされます。MCU の LPRun モードが終了すると、このビットは、メインレギュレータがレディ状態になるまで 1 のままです。製品の周波数を上げる前に、このビットのポーリングが必須です。

このビットは、メインレギュレータがレディ状態になると、ハードウェアによってクリアされます。

0 : メインレギュレータ (MR) がレディで、使用されます。

1 : 低電力レギュレータ (LPR) が使用されます。

- ビット 8 **REGLPS** : 低電力レギュレータが始動 (レディ状態)
このビットは、パワーオンリセット後または STANDBY/SHUTDOWN 後に低電力レギュレータがレディ状態になっているかどうかの情報を提供します。REGLPS ビットがクリアされている状態 (「バックアップ」SRAM2 が無効) で STANDBY モードに移行すると、STANDBY モードからのウェイクアップ時間が増加する場合があります。
0 : LPR がレディ状態でない
1 : LPR レディ
- ビット 7 **FLASHRDY** : Flashメモリがレディ状態
このビットは、ソフトウェア制御された Flash のパワーダウン (LPRunモード) 後にソフトウェアによって Flash メモリにアクセスできる場合に、ハードウェアによってセットされます。このビットは、Flashメモリがパワーダウン状態になると、ハードウェアによってクリアされます。
0 : Flashメモリはアクセス可能状態ではありません。
1 : Flashメモリはアクセス可能状態です。
- ビット 6 **REGMRS** : メインレギュレータのステータス
このビットは、メインレギュレータが有効な状態で LDO または SMPS によって電力が供給されると、ハードウェアによってセットされます。このビットがクリアされた場合、メインレギュレータには V_{DD} から直接電力供給されます。
0 : メインレギュレータには V_{DD} から直接電力供給されます。
1 : メインレギュレータには LDO または SMPS を介して電力供給されます。
- ビット 5 **RFEOLF** : 無線の機能停止フラグ
RFEOLEBN によって有効にされると、このビットは、供給電圧が無線の機能停止の低動作レベルに達したことを示します。
0 : 供給電圧が無線の機能停止の低動作レベルを上回っています。
1 : 供給電圧が無線の機能停止の低動作レベルを下回っています。
- ビット 4 **LDORDY** : LDO レディフラグ
このビットは LDO がレディ状態であることを示します。
0 : LDO ノットレディまたはオフ
1 : LDO レディ
- ビット 3 **SMPSRDY** : SMPS レディフラグ
このビットは、SMPS ステップダウンコンバータがレディ状態であることを示します。
0 : SMPS ステップダウンコンバータがノットレディまたはオフ状態です。
1 : SMPS ステップダウンコンバータがレディ状態です。
- ビット 2 **RFBUSYMS** : 無線ビジーのマスク信号のステータス
このビットは、無線ビジーのマスク信号の実際のステータスを示します。
0 : 無線ビジーのマスク信号ロー (ビジーではない)
1 : 無線ビジーのマスク信号ハイ (ビジー)
- ビット 1 **RFBUSYS** : 無線ビジー信号のステータス
このビットは、無線ビジー信号の実際のステータスを示します。
0 : 無線ビジー信号ロー (ビジーではない)
1 : 無線ビジー信号ハイ (ビジー)
- ビット 0 **C2BOOTS** : CPU2 ブート/ウェイクアップ要求元情報
このビットは、CPU2 ブート/ウェイクアップの要求元を示します。
0 : CPU2 が不正アクセスイベントからブートされました。
1 : CPU2 が C2BOOT 要求からブートされました。

6.6.7 PWRステータスクリアレジスタ (PWR_SCR)

アクセス：このレジスタに書き込むには、通常の APB 書き込みのほか、追加の APB サイクルが 3 つ必要です。

アドレス・オフセット：0x018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CC2HF	Res.	Res.	CWRFBUSYF	Res.	Res.	CWPVDF	Res.	Res.	Res.	Res.	Res.	CWUF3	CWUF2	CWUF1
	w			w			w						w	w	w

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **CC2HF**：CPU2 ホールド割込みフラグのクリア

このビットをセットすると PWR_SR1 の C2HF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **CWRFBUSYF**：ウェイクアップ無線ビジーフラグのクリア

このビットをセットすると PWR_SR1 の WRFBUSYF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 10:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **CWPVDF**：ウェイクアップ PVD 割込みフラグのクリア

このビットをセットすると PWR_SR1 の WPVDF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CWUF3**：ウェイクアップフラグ 3 のクリア

このビットをセットすると PWR_SR1 レジスタの WUF3 フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 1 **CWUF2**：ウェイクアップフラグ 2 のクリア

このビットをセットすると PWR_SR1 レジスタの WUF2 フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 0 **CWUF1**：ウェイクアップフラグ 1 のクリア

このビットをセットすると PWR_SR1 レジスタの WUF1 フラグがクリアされます。このビットは常に 0 として読み出されます。

6.6.8 PWR 制御レジスタ 5 (PWR_CR5)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタに書き込むには、通常の APB 書き込みのほか、追加の APB サイクルが 3 つ必要です。

アドレス・オフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMPSEN	RFEOLEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r/w	r/w														

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **SMPSEN** : SMPS ステップダウンコンバータの有効化

このビットでは、SMPS ステップダウンコンバータを有効にします。

0 : SMPS ステップダウンコンバータの SMPS モードを無効にします (LDO モード有効)

1 : SMPS ステップダウンコンバータの SMPS モードを有効にします。

注意： アプリケーションで外部 HSE クロックソース (XO や TCXO ではなく別のデバイスから供給される) を使用する場合、SMPS を有効にする前に、SUBGHZ_SMPSC0R.CLKDE で SMPS クロック検出を有効にする必要があります。

ビット 14 **RFEOLEN** : Sub-GHz 無線の機能停止検出器の有効化

0 : 無線の機能停止検出器を無効化します。

1 : 無線の機能停止検出器を有効化します。

ビット 13:0 予約済みであり、リセット値に保持する必要があります。

6.6.9 PWRポート A プルアップ制御レジスタ (PWR_PUCRA)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PU[15:0]**：ポート PA[y] プルアップビット y (y = 0 ~ 15)

セットすると、[PWR 制御レジスタ 3 \(PWR_CR3\)](#) と [PWR CPU2 制御レジスタ 3 \(PWR_C2CR3\)](#) で両方の APC ビットがセットされたときに、各ビットにより PA[y] でプルアップが有効になります。対応する PA[y] ビットもセットされている場合、プルアップは有効になりません。

6.6.10 PWRポート A プルダウン制御レジスタ (PWR_PDCRA)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x024

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **RD[15:0]**：ポート PA[y] プルダウン (y = 0 ~ 15)

セットすると、[PWR 制御レジスタ 3 \(PWR_CR3\)](#) と [PWR CPU2 制御レジスタ 3 \(PWR_C2CR3\)](#) で両方の APC ビットがセットされたときに、両方のビットにより PA[y] でプルダウンが有効になります。

6.6.11 PWR ポート B プルアップ制御レジスタ (PWR_PUCRB)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PU[15:0]**：ポート PB[y] プルアップ (y=0~15)

セットすると、[PWR 制御レジスタ 3 \(PWR_CR3\)](#) と [PWR CPU2 制御レジスタ 3 \(PWR_C2CR3\)](#) で両方の APC ビットがセットされたときに、各ビットにより PB[y] でプルアップが有効になります。対応する PB[y] ビットもセットされている場合、プルアップは有効になりません。

6.6.12 PWR ポート B プルダウン制御レジスタ (PWR_PDCRB)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x02C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **RD[15:0]**：ポート PB[y] プルダウン (y=0~15)

セットすると、[PWR 制御レジスタ 3 \(PWR_CR3\)](#) と [PWR CPU2 制御レジスタ 3 \(PWR_C2CR3\)](#) で両方の APC ビットがセットされたときに、両方のビットにより PB[y] でプルダウンが有効になります。

6.6.13 PWR ポート C プルアップ制御レジスタ (PWR_PUCRC)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x030

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	Res.	Res.	Res.	Res.	Res.	Res.	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW							rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **PU[15:13]**：ポート PC[y] プルアップ (y = 13 ~ 15)

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、各ビットにより PC[y] でプルアップが有効になります。対応する PC[y] ビットもセットされている場合、プルアップは有効になりません。

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **PU[6:0]**：ポート PC[y] プルアップ (y = 0 ~ 6)

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、各ビットにより PC[y] でプルアップが有効になります。対応する PC[y] ビットもセットされている場合、プルアップは有効になりません。

6.6.14 PWR ポート C プルダウン制御レジスタ (PWR_PDCRC)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x034

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	Res.	Res.	Res.	Res.	Res.	Res.	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW							rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **PD[15:13]**：ポート PC[y] プルダウン (y = 13 ~ 15)

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、各ビットにより PC[y] でプルダウンが有効になります。

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **PD[6:0]** : ポート PC[y] y (y = 0 ~ 6)

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、各ビットにより PC[y] でプルダウンが有効になります。

6.6.15 PWR ポート H プルアップ制御レジスタ (PWR_PUCRH)

このレジスタは、RCC_APB1RSTR1 レジスタの PWRRST ビットで STANDBY モードを終了するとリセットされません。

アクセス : このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です (書込みは 3 つ、読出しは 2 つ)。

アドレス・オフセット : 0x058

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU3	Res.	Res.	Res.
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **PU3** : ポート PH[3] プルアップ

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、このビットにより PH[3] でプルアップが有効になります。対応する PH[3]もセットされている場合、プルアップは有効になりません。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

6.6.16 PWR ポート H プルダウン制御レジスタ (PWR_PDCRH)

このレジスタは、RCC_APB1RSTR1 レジスタの PWRRST ビットで STANDBY モードを終了するとリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

アドレス・オフセット：0x05C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD3	Res.	Res.	Res.
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **PD3**：ポート PH[3] プルダウン

セットすると、**PWR 制御レジスタ 3 (PWR_CR3)** と **PWR CPU2 制御レジスタ 3 (PWR_C2CR3)** で両方の APC ビットがセットされたときに、このビットにより PH[3] でプルダウンが有効になります。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

6.6.17 PWR CPU2 制御レジスタ 1 (PWR_C2CR1)

このレジスタは、ビット [2:0] を除き、STANDBY モードからのウェイクアップ後にリセットされます。

レジスタリセット値 (0x0000 0007) により SHUTDOWN モードが選択されます。

アドレス・オフセット：0x080

リセット値：0x0000 0007

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FPDS	FPDR	Res.	LPMS[2:0]		
										rw	rw		rw	rw	rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **FPDS**：CPU2 の LPSleep 時の Flash メモリパワーダウンモード

両方の CPU が SLEEP モードの場合に、このビットにより、Flash メモリをパワーダウンモードにするかアイドルモードにするかが選択されます。Flash メモリは、システムが LPSleep モードの場合にのみ、パワーダウンモードにセットされます。また、CPU1 の PWR_CR1.FPDS ビットでも同様にセットできます。

0：システムが LPSleep モードの場合、Flash メモリをアイドルモードにします。

1：システムが LPSleep モードの場合、Flash メモリをパワーダウンモードにします。

ビット 4 **FPDR** : CPU2 の LPRun 中の Flashメモリパワーダウンモード

このビットに 1 を書き込むには、このレジスタビットをアンロックした後に、このレジスタに最初に (コード 0xC1B0 を) 書き込む必要があります (コードを書くだけではレジスタビットは更新されません)。LPRun モードのときの Flashメモリをパワーダウンモードにするかアイドルモードにするかを選択します (コードが SRAM から実行されているときのみ、Flashメモリをパワーダウンモードにできません)。Flashメモリは、システムが LPRun モードの場合にのみパワーダウンモードにセットされます。また、CPU1 の PWR_CR1.FPDR ビットでも同様にセットできます。

0 : システムが LPRun モードの場合、Flashメモリをアイドルモードにします。

1 : システムが LPRun モードの場合、Flashメモリをパワーダウンモードにします。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **LPMS[2:0]** : CPU2 の低電力モードの選択

これらのビットは、STANDBY モードの終了時にリセットされません。

これらのビットでは、CPU2 がディープスリープモードへ移行する時に移行可能な低電力モードを選択します。システムが移行可能な低電力モードには、CPU1 から PWR_CR1.LPMS[2:0] によって許可される低電力モードも関係します。

000 : STOP 0 モード

001 : STOP 1 モード

010 : STOP 2 モード

011 : STANDBY モード

1xx : SHUTDOWN モード

注 : LPR ビットがセットされると、STOP 2 モードは選択できず、STOP 2 の代わりに STOP 1 モードに移行する必要があります。

STANDBY モードでは、PWR 制御レジスタ 3 (PWR_CR3) の RRS ビットの設定に応じて、SRAM2 が保持されます。

6.6.18 PWR CPU2 制御レジスタ 3 (PWR_C2CR3)

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス : このレジスタへのアクセスには、通常の APB アクセス用のもののほか、追加の APB サイクルが必要です (書込みは 3 つ、読出しは 2 つ)。

アドレス・オフセット : 0x084

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	Res.	EWRFI RQ	Res.	EWRB USY	APC	Res.	EWPV D	Res.	Res.	Res.	Res.	Res.	EWUP 3	EWUP 2	EWUP 1
rw		rw		rw	rw		rw						rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EIWUL** : CPU2 のための内部ウェイクアップラインの有効化

0 : CPU2 のための内部ウェイクアップラインを無効化します。

1 : CPU2 のための内部ウェイクアップラインを有効化します。

ビット 14 予約済みであり、リセット値に保持する必要があります。

- ビット 13 **EWRFIQ** : CPU2 の無線 IRQ[2:0] ウェイクアップの有効化
このビットをセットすると、無線 IRQ[2:0] が有効になり、CPU2 への STANDBY イベントからのウェイクアップがトリガされます。
- ビット 12 予約済みであり、リセット値に保持する必要があります。
- ビット 11 **EWRBUSY** : CPU2 の無線ビジーウェイクアップの有効化
このビットをセットすると、立ち上がりまたは立ち下がりエッジが発生した際に、無線ビジーが有効になり、CPU2 への STANDBY イベントからのウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WRFBUSYP ビットでアクティブなエッジが設定されます。
- ビット 10 **APC** : CPU2 のプルアップおよびプルダウン設定の適用
CPU2 用のこのビットと、CPU1 用の PWR_CR3.APC ビットをセットすると、PWR_PUCRx および PWR_PDCRx レジスタで定義されている I/O のプルアップおよびプルダウンの設定が適用されます。このビットがクリアされると、PWR_PUCRx および PWR_PDCRx レジスタは I/O に適用されません。
- ビット 9 予約済みであり、リセット値に保持する必要があります。
- ビット 8 **EWPVD** : PVD と CPU2 のウェイクアップの有効化 (Sub-GHz 無線がアクティブ状態の場合)
このビットは、ソフトウェアによってセット/リセットされます。
このビットをセットすると、Sub-GHz 無線がアクティブ状態の間、PVD が有効になり、CPU2 への STANDBY イベントからの割り込みとウェイクアップがトリガされます (電圧レベルが PVD 閾値レベルを下回ったとき)。
0 : PVD は Sub-GHz 無線のアクティブ状態により有効化されません。
1 : Sub-GHz 無線がアクティブ状態の間、PVD は有効です。
- ビット 7:3 予約済みであり、リセット値に保持する必要があります。
- ビット 2 **EWUP3** : CPU2 のウェイクアップピン WKUP3 の有効化
このビットをセットすると、立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP3 が有効になり、CPU2 への STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP3 ビットでアクティブなエッジが設定されます。
- ビット 1 **EWUP2** : CPU2 のウェイクアップピン WKUP2 の有効化
このビットをセットすると、立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP2 が有効になり、CPU2 への STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP2 ビットでアクティブなエッジが設定されます。
- ビット 0 **EWUP1** : CPU2 のウェイクアップピン WKUP1 の有効化
このビットをセットすると、立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP1 が有効になり、CPU2 への STOP、STANDBY または SHUTDOWN イベントからの割り込みとウェイクアップがトリガされます。[PWR 制御レジスタ 4 \(PWR_CR4\)](#) の WP1 ビットでアクティブなエッジが設定されます。

6.6.19 PWR 拡張ステータス/ステータスクリアレジスタ (PWR_EXTSCR)

アクセス：このレジスタに書き込むには、通常の APB 書き込みのほか、追加の APB サイクルが 3 つ必要です。

アドレス・オフセット：0x088

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2DS	C1DS	C2STO PF	C2STO P2F	C2SBF	C1STO PF	C1STO P2F	C1SBF	Res.	Res.	Res.	Res.	Res.	Res.	C2CSS F	C1CSS F
r	r	r	r	r	r	r	r							w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **C2DS** : CPU2 ディープスリープモード

このビットは、CPU2 がディープスリープモードに移行したとき、または C2BOOT によってホールドされたときに、ハードウェアによってセットされます。

0 : CPU2 は動作中、または SLEEP 状態です。

1 : CPU2 はディープスリープ状態、または C2BOOT によりホールドされています。

ビット 14 **C1DS** : CPU1 ディープスリープモード

このビットは、CPU1 がディープスリープモードに移行したときに、ハードウェアによりセットされます。

0 : CPU1 は動作中、または SLEEP 状態です。

1 : CPU1 はディープスリープ状態です。

ビット 13 **C2STOPF** : CPU2 のシステム STOP 0、1 フラグ (すべてのコア状態を保持)

このビットはハードウェアによってセットされ、クリアするには、リセットまたは C2CSSF ビットのセットが必要です。

0 : システムが STOP 0 または 1 モードではありません。

1 : システムが STOP 0 または 1 モードです。

ビット 12 **C2STOP2F** : CPU2 のシステム STOP 2 フラグ (一部のコア状態を保持)

このビットはハードウェアによってセットされ、クリアするには、リセットまたは C2CSSF ビットのセットが必要です。

0 : システムが STOP 2 モードではありません。

1 : システムが STOP 2 モードです。

ビット 11 **C2SBF** : CPU2 のシステム STANDBY フラグ (コア状態の保持なし)

このビットはハードウェアによってセットされ、クリアするには、POR のリセットまたは C2CSSF ビットのセットが必要です。

0 : システムが STANDBY モードではありません。

1 : システムが STANDBY モードです。

ビット 10 **C1STOPF** : CPU1 用のシステム STOP 0、1 フラグ (すべてのコア状態を保持)

このビットはハードウェアによってセットされ、クリアするには、リセットまたは C1CSSF ビットのセットが必要です。

0 : システムが STOP 0 または 1 モードではありません。

1 : システムが STOP 0 または 1 モードです。

ビット 9 **C1STOP2F** : CPU1 用システム STOP 2 フラグ (一部のコア状態を保持)
 このビットはハードウェアによってセットされ、クリアするには、リセットまたは C1CSSF ビットのセットが必要です。
 0 : システムが STOP 2 モードではありません。
 1 : システムが STOP 2 モードです。

ビット 8 **C1SBF** : CPU1 のシステム STANDBY フラグ (コア状態の保持なし)。
 このビットはハードウェアによってセットされ、クリアするには、POR のリセットまたは C1CSSF ビットのセットが必要です。
 0 : システムが STANDBY モードでない場合
 1 : システムが STANDBY モードです。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **C2CSSF** : CPU2 STOP STANDBY フラグのクリア
 このビットをセットすると C2STOPF および C2SBF ビットがクリアされます。

ビット 0 **C1CSSF** : CPU1 STOP STANDBY フラグのクリア
 このビットをセットすると C1STOPF および C1SBF ビットがクリアされます。

6.6.20 PWR セキュリティ設定レジスタ (PWR_SECCFGR)

アドレス・オフセット : 0x08C

リセット値 : 0x0000 8000

このレジスタは、STANDBY モードの終了時にリセットされません。

アクセス : このレジスタに書き込むには、通常の APB 書き込みのほか、追加の APB サイクルが 3 つ必要です。

このレジスタには、読出しおよび書き込み用のセキュア特権アクセスによってのみアクセスできます。非セキュアおよび非特権アクセスは無視され、ゼロデータが返されます。さらに、不正アクセスイベントが生成されます。

注 : システムが非セキュア (ESE = 0) の場合、このレジスタは書き込めず、0 として読み出されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2EWILA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw															

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **C2EWILA** : CPU2 の不正アクセス割込み時のウェイクアップの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : 不正アクセス割込み時の CPU2 のウェイクアップを無効化します (CPU2 を低電力モードからウェイクアップしません)。
 1 : 不正アクセス割込み時の CPU2 のウェイクアップを有効化します (CPU2 を低電力モードからウェイクアップします)。

ビット 14:0 予約済みであり、リセット値に保持する必要があります。



6.6.21 PWR Sub-GHz SPI 制御レジスタ (PWR_SUBGHZSPICR)

アドレス・オフセット : 0x090

リセット値 : 0x0000 8000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NSS	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw															

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **NSS** : Sub-GHz SPI NSS 制御

このビットは、ソフトウェアによってセット/クリアされ、Sub-GHz SPI NSS レベルをソフトウェアから制御するために使用されます。

0 : Sub-GHz SPI NSS 信号はローレベルです。

1 : Sub-GHz SPI NSS 信号はハイレベルです。

ビット 14:0 予約済みであり、リセット値に保持する必要があります。

6.6.22 PWS RSS コマンドレジスタ (SYSCFG_RSSCMDR)

このレジスタは、パワーオンリセットでのみリセットされます (NRST でのリセット、STANDBY の終了は実行されません)。

アドレス・オフセット : 0x098

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSSCMD[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **RSSCMD[7:0]** : RSS コマンド

RSS によって実行されるコマンドを定義します。

6.6.23 PWR レジスタマップ

表 56. PWR レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x000	PWR_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPMS [2:0]		
	リセット値																		0				0	1	0			0					0	0	0		
0x004	PWR_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVME3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PLS[2:0]	
	リセット値																										0								0	0	
0x008	PWR_CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																		1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x00C	PWR_CR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x010	PWR_SR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x014	PWR_SR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x018	PWR_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x01C	PWR_CR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x020	PWR_PUCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x024	PWR_PDCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x028	PWR_PUCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x02C	PWR_PDCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				
0x030	PWR_PUCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																				



表 56. PWR レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x034	PWR_PDCRC	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																		PD15	PD14	PD13						PD6	PD5	PD4	PD3	PD2	PD1	PD0		
0x058	PWR_PUCRH	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																												PU3						
0x05C	PWR_PDCRH	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																												PD3						
0x080	PWR_C2CR1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																		LPMS[2:0]
0x084	PWR_C2CR3	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																		EWUL	EWRFIRQ			EWRFBUSY	APC		EWVVD									
0x088	PWR_EXTSCR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																		C2DS	C1DS	C2STOPF	C2STOP2F	C2SBF	C1STOPF	C1STOP2F	C1SBF									
0x08C	PWR_SECCFGR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																		C2EWILA																
0x090	PWR_SUBGHZSPICR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																		NSS																
0x098	PWR_RSSCMDR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																		

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

7 リセットおよびクロック制御 (RCC)

7.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの3種類があります。

7.1.1 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

- ブラウンアウトリセット (BOR)
- STANDBY モードの終了
- SHUTDOWN モードの終了

パワーオンリセットまたはパワーダウンリセット (POR/PDR) を含むブラウンアウトリセットは、バックアップドメインを除くすべてのレジスタをリセット値に設定します。

STANDBY モードを終了すると、 V_{CORE} ドメインのすべてのレジスタがリセット値にセットされます。 V_{CORE} ドメイン以外のレジスタ (RTC、WKUP、IWDG および STANDBY/SHUTDOWN モード制御) は影響を受けません。

SHUTDOWN モードを終了すると、ブラウンアウトリセットが生成され、バックアップドメイン以外のすべてのレジスタがリセットされます。

7.1.2 システムリセット

システムリセットは、レジスタの説明に特に記載がない限り、すべてのレジスタをリセット値にセットします。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

- NRST ピンのローレベル (外部リセット)
- ウィンドウ型ウォッチドッグイベント (WWDG リセット)
- 独立型ウォッチドッグイベント (IWDG リセット)
- ソフトウェアリセット (SW リセット) ([ソフトウェアリセット](#)を参照)
- 低消費電力モードセキュリティリセット ([低消費電力モードセキュリティリセット](#)を参照)
- オプションバイトローダリセット ([オプションバイトローダリセット](#)を参照)
- ブラウンアウトリセット
- Sub-GHz 無線の不正アクセス (Sub-GHz 無線プロトコルエラーリセット) (非 LoRa デバイス、STM32WL54xxに対してのみ有効)

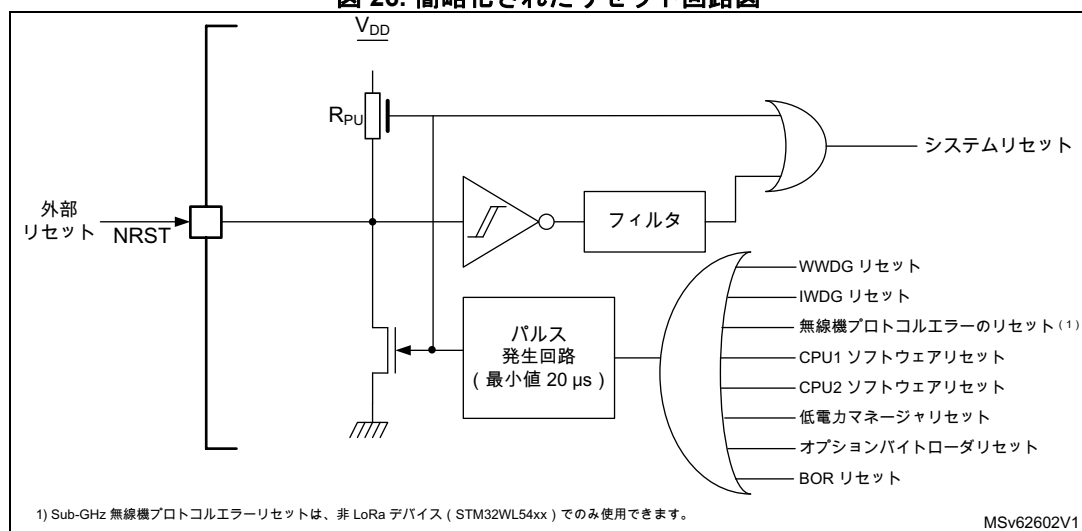
リセットソースは、クロック制御/ステータスレジスタ (RCC_CSR) のリセットフラグを確認することによって識別できます ([セクション 7.4.31: RCC 制御/ステータスレジスタ \(RCC_CSR\)](#)を参照)。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。CPU1 RESET サービスルーチンのベクタは、BOOT0 と BOOT1 によって選択します。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各内部リセットソースについて 20 μ s の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

内部リセットの場合、プルアップレジスタで消費電力を削減するために、内部プルアップ R_{PU} が無効化されます。

図 26. 簡略化されたリセット回路図



ソフトウェアリセット

デバイス上でソフトウェアリセットを実行するには、CPU1 のアプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットする必要があります (STM32 Cortex[®]-M4 MCUs および MPUs プログラミングマニュアル (PM0214) を参照)。

デバイスでソフトウェアリセットを実行するには、CPU2 のアプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットする必要があります。

低消費電力モードセキュリティリセット

誤って重要なアプリケーションが低消費電力モードに移行しないように、2 つの低消費電力モードセキュリティリセットが使用できます。

オプションバイトで有効になっている場合、以下の条件下でリセットを生成します。

- STANDBY モードへの移行：このリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに移行する代わりにデバイスがリセットされます。
- STOP モードへの移行：このリセットは、ユーザオプションバイトの nRST_STOP ビットをリセットすることによって有効になります。この場合、STOP モードへの遷移シーケンスが正常に実行されるたびに、STOP モードに移行する代わりにデバイスがリセットされます。
- SHUTDOWN モードへの移行：このリセットは、ユーザオプションバイトの nRST_SHDW ビットをリセットすることによって有効になります。この場合、SHUTDOWN モードへの遷移シーケンスが正常に実行されるたびに、SHUTDOWN モードに移行する代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、[セクション 4.4.1: オプションバイトの説明](#)を参照してください。

オプションバイトローダリセット

FLASH_CR レジスタの OBL_LAUNCH ビットがセットされると、オプションバイトローダリセットが生成されます。このビットは、ソフトウェアによるオプションバイトローディングを起動するために使用されます。

7.1.3 バックアップドメインリセット

バックアップドメインは2つの固有のリセットがあります。

バックアップドメインのリセットは、次のいずれかのイベントが発生したときに生成されます。

- **RCC バックアップドメイン制御レジスタ (RCC_BDCR)** の BDRST ビットをセットすることでトリガされるソフトウェアリセット
- V_{DD} または V_{BAT} パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。

バックアップドメインリセットは、LSE オシレータ、RTC、バックアップレジスタ、および RCC バックアップドメイン制御レジスタにのみ影響します。

7.1.4 Sub-GHz 無線のリセット

Sub-GHz 無線は、RFRST レジスタビットでリセットできます。Sub-GHz 無線のリセットステータスフラグが、RFRSTF レジスタビットに用意されています。リセットステータスフラグ RFRSTF により、Sub-GHz 無線がリセット中であることが示されている場合、Sub-GHz 無線にはアクセスできません。

SHUTDOWN モードに移行した場合も、Sub-GHz 無線はリセットされます。

7.1.5 PKA SRAM リセット

PKA SRAM は、電源リセットおよびシステムリセット時に、ハードウェアによって消去されます。PKA SRAM 消去操作のステータスは、SYSCFG_SCSR.PKASRAMBSY フラグレジスタビットで監視できます。

7.2 クロック

次のクロックソースを使用して、システムクロック (SYSCLK) を駆動できます。

- HSI16 (ハイスピード内部) 16 MHz RC オシレータクロック
- MSI (マルチスピード内部) RC オシレータクロック 100 kHz ~ 48 MHz
- HSE32 (ハイスピード外部) トリミングコンデンサ付きの 32 MHz オシレータクロック。
- PLL クロック

MSI は、4 MHz で設定され、リセットからの起動後、システムクロックソースとして使用されます。

デバイスには、次の追加のクロックソースがあります。

- LSI : 32 kHz ロースピード内部 RC。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- LSE : 32.768 kHz ロースピード外部クリスタル発振子。オプションで、STOP/STANDBY/SHUTDOWN モードからの自動ウェイクアップに使用される RTC またはリアルタイムクロック (RTCCLK) を駆動します。

それぞれのクロックソースは、使用しないときに個別にオン/オフを切り替えて、電力消費を最適化可能です。

複数のプリスケラを使用して AHB 周波数 (HCLK3/PCLK3、HCLK1、HCLK2)、ハイスピード APB2 (PCLK2) およびロースピード APB1 (PCLK1) ドメインの周波数を設定します。AHB (HCLK3、HCLK1、および HCLK2)、PCLK1 および PCLK2 ドメインの最高周波数は 48 MHz です。

大部分のペリフェラルクロックは、それぞれのバスクロック (HCLK、PLCK) から生成されます。ただし、次のものを除きます。

- ハードウェア乱数発生器に使用されるクロックは、次のうちのいずれかのソースから生成されず (ソフトウェアによって選択される)。
 - PLL VCO (PLLQCLK) (RUN モードでのみ使用可能)
 - MSI (RUN モードでのみ使用可能)
 - LSI クロック
 - LSE クロック
- ADC クロックは次のうちのいずれかのソースから生成されます (ソフトウェアによって選択される)。
 - システムクロック (SYSCLK) (RUN モードでのみ使用可能)
 - HSI16 クロック (RUN モードでのみ使用可能)
 - PLL VCO (PLLCLK) (RUN モードでのみ使用可能)
- DAC は、サンプルおよびホールドモードで LSI クロックを使用します。
- (LP)U(S)ART クロックは次のうちのいずれかのソースから生成されます (ソフトウェアによって選択される)。
 - システムクロック (SYSCLK) (RUN モードでのみ使用可能)
 - HSI16 クロック (RUN および STOP モードで使用可能)
 - LSE クロック (RUN および STOP モードで使用可能)
 - APB クロック (U(S)ART がマッピングされている APB に応じて PCLK) ((LP)U(S)ARTxSMEN でも有効になっている場合、CRun および CSleep で使用可能)STOP モードからのウェイクアップは、クロックが HSI16 または LSE である場合のみサポートされます。
- 次のうちのいずれかのソースから生成される I2Cs クロック (ソフトウェアによって選択される):
 - システムクロック (SYSCLK) (RUN モードでのみ使用可能)
 - HSI16 クロック (RUN および STOP モードで使用可能)
 - APB クロック (I2C がマッピングされる APB に応じて PCLK) (I2CxSMEN でも有効になっている場合に CRun および CSleep で使用可能)STOP モードからのウェイクアップは、クロックが HSI16 である場合のみサポートされます。
- SPI2S2 I2S クロックは次のうちのいずれかのソースから生成されます (ソフトウェアによって選択される)。
 - HSI16 クロック (RUN モードでのみ使用可能)
 - PLL VCO (PLLQCLK) (RUN モードでのみ使用可能)
 - 外部入力 I2S_CK (RUN および STOP モードで使用可能)
- 低消費電力タイマ (LPTIMx) クロックは次のうちのいずれかのソースから生成されます (ソフトウェアによって選択される)。
 - LSI クロック (RUN および STOP モードで使用可能)
 - LSE クロック (RUN および STOP モードで使用可能)
 - HSI16 クロック (RUN モードでのみ使用可能)
 - APB クロック (LPTIMx がマッピングされる APB に応じた PCLK) (LPTIMxSMEN で有効になっている場合、Run および CStop で使用可能)
 - LPTIMx_IN1 にマッピングされる外部クロック (RUN および STOP モードで使用可能)STOP モードの機能 (ウェイクアップ含む) は、クロックが LSI または LSE である場合または外部クロックモードのときのみサポートされます。

- RTC クロックは次のうちのいずれかのソースから生成されます (ソフトウェアによって選択される)。
 - LSE クロック
 - LSI クロック
 - 32 分周された HSE32 クロックSTOP モードの機能 (ウェイクアップ含む) は、クロックが LSI または LSE である場合のみサポートされます。
- IWDG クロックは、常に LSI クロックです。

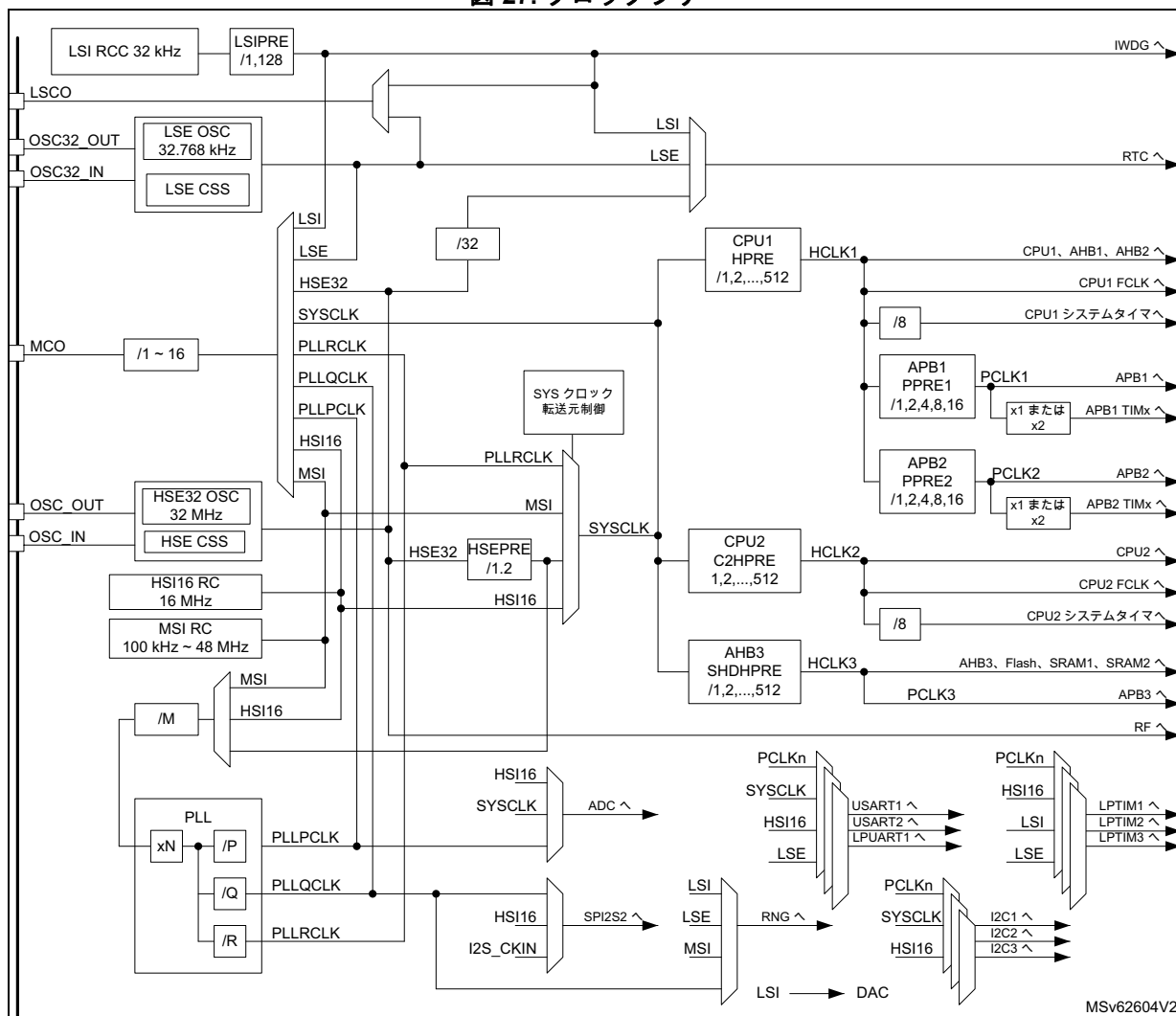
RCC は、CPU1 システムタイマ (SysTick) の外部クロックに、8 分周した AHB クロック (HCLK1) を供給します。SysTick は、この分周されたクロックで、または直接 CPU1 クロック (HCLK1) で動作でき、SysTick 制御およびステータスレジスタで設定可能です。

FCLK1 は CPU1 のフリーランニングクロックとして動作します。詳細については、STM32 Cortex[®]-M4 MCUs および MPUs プログラミングマニュアル (PM0214) を参照してください。

RCC は CPU2 システムタイマ (SysTick) の外部クロックに、8 分周した AHB クロック (HCLK2) を供給します。SysTick は、この分周されたクロックか直接 CPU2 クロック (HCLK2) で動作でき、SysTick 制御およびステータスレジスタで設定可能です。

FCLK2 は CPU2 のフリーランニングクロックとして動作します。

図 27. クロックツリー



1. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの電気的特性のセクションを参照してください。
2. また、ADC クロックは、ADC バスインタフェースの AHB クロックから生成し、プログラム可能な係数（1、2、または 4）で分周することができます。プログラム可能な係数が「1」の場合、AHB プリスケアラは「1」でなければなりません。

7.2.1 トリミング機能付き HSE32 クロック

HSE32 32 MHz の外部オシレータには、メインクロックの周波数を非常に高い精度で生成できるという利点があります。HSE32 はさらに、オンチップトリミング機能も備えています。

ハイスピード外部クロック信号（HSE32）は、次のクロックソースから生成できます。

- HSE32 外部クリスタル発振子
- HSE32 外部クロック
 - 外部クロックソース
 - 外部 TCXO

波形ひずみと発振開始時の安定化までの時間を少なくするために、クロックソースはオシレータのピンのできるだけ近くに配置する必要があります。

HSE32 は CPU と Sub-GHz 無線から制御されます（[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照）。

HSE32 は [RCC クロック制御レジスタ \(RCC_CR\)](#) の HSEON ビットを使用してオン/オフの切り替えができます。HSE32 クロックソースとして、外部クリスタル (XTAL)、または温度補償クリスタルオシレータ (TCXO) を含む外部ソースのいずれかを使用できます。HSE32 を CPU 用に使用する場合、HSEON ビットで有効にする必要があります。

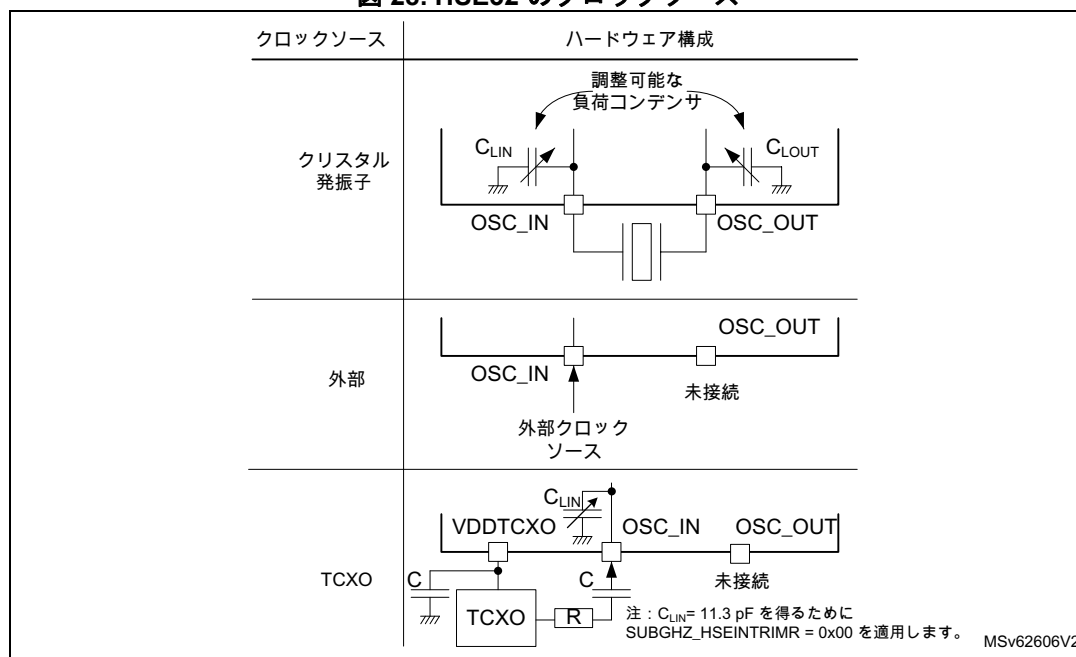
送信出力電力 (最大 +22 dBm) によっては、XTAL HSE32 クロックの安定性がSub-GHz 無線の影響を受け、デバイスが過熱することがあります。発熱には、使用する送信出力電力とデバイスパッケージが関係します。HSE32 リファレンスクロックソースへの熱の伝達を避けるために、放熱技術を使用して慎重に PCB を設計する必要があります。Sub-GHz 無線に関連する HSE32 の周波数ドリフト要件については、[セクション 5.5.1: LoRa モデム](#)を参照してください。

[RCC クロック制御レジスタ \(RCC_CR\)](#) の HSERDY フラグは、HSE32 オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。[RCC クロック割込み有効化レジスタ \(RCC_CIER\)](#) で有効になっていれば、割込みを生成することができます。

Sub-GHz 無線では、HSEON ビットにかかわらず、HSE32 の自立的な動作が有効になります。

警告 : HSE32 は LPRun モードでは使用できません。

図 28. HSE32 のクロックソース



外部クリスタル発振器 (HSE32 クリスタル)

関連するハードウェア構成を [図 28: HSE32 のクロックソース](#) に示します。詳細については、データシートの電気的特性のセクションを参照してください。

周波数トリミング

HSE32 を外部クリスタル発振器とともに使用する場合、負荷コンデンサはトリミング可能な内蔵コンデンサバンクにより装備されます。HSE32 負荷コンデンサのトリミングでは、デバイス製造プロセスのばらつき、使用するクリスタル発振器および PCB 設計のばらつきを補正できます。HSE32 周波数は、アプリケーション内で Sub-GHz 無線のレジスタ SUBGHZ_HSEINTRIMR および SUBGHZ_HSEOUTRIMR を介して調整できます。詳細については、[セクション 5.4: Sub-GHz 無線のクロック](#)を参照してください。

HSE32 周波数は、RUN モードで MCO に HSE32 クロックを出力することによって測定できます。

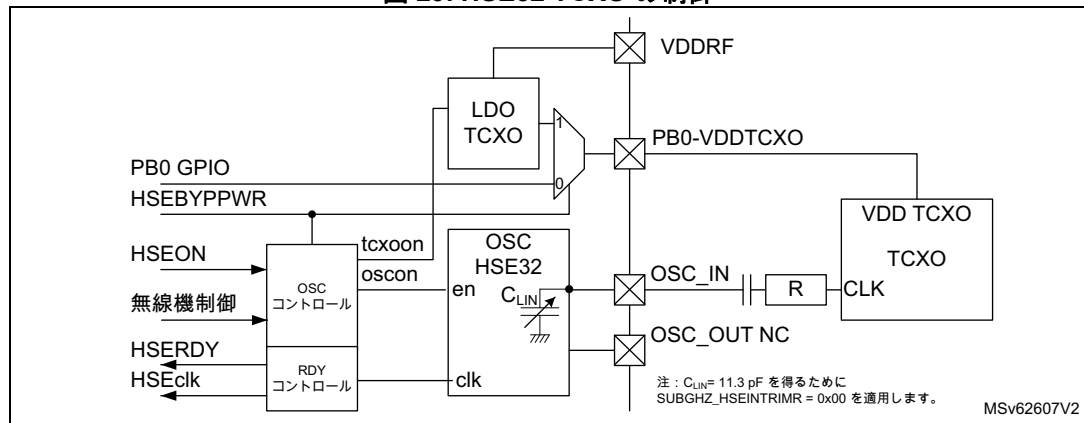
外部ソース (HSE32 TXCO)

このモードでは、外部 TXCO クロックソースが必要です。この外部ソース周波数は 32 MHz である必要があります。このモードを選択するには、[RCC クロック制御レジスタ \(RCC_CR\)](#) の HSEBYPWR および HSEON ビットをセットします。次のピン ([図 28: HSE32 のクロックソース](#)を参照) は、外部クロック信号 (データシートを参照) によって駆動する必要があります。

- OSC_IN および OSC_OUT ピン: OSC_IN ピンを駆動する必要があります。ただし、OSC_OUT ピンは未接続のままにする必要があります。

TXCO 電源は、PB0/VDDTCXO 上でデバイスによって供給されます。VDDTCXO 電源は、HSE32 オシレータを有効にする前に、[RCC クロック制御レジスタ \(RCC_CR\)](#) の HSEBYPWR ビットによっても有効にできます。VDDTCXO 電源供給レベルと TXCO クロックの起動タイムアウトは、Sub-GHz 無線の `Set_TcxoMode()` コマンドを通して設定できます (詳細は、[セクション 5: Sub-GHz 無線 \(SUBGHZ\)](#) を参照してください)。

図 29. HSE32 TXCO の制御



HSE32 外部 TCXO の制御は、次の方法で実行できます。

- VDDTCXO によって電力供給 :
 - VDDTCXO レギュレータを有効にする前に、`Set_TcxoMode()` コマンドを使用して、Sub-GHz 無線内部の電圧レベルをセットします。
 - VDDTCXO レギュレータを使用するには、HSEBYPWR ビットを 1 にセットします。
 - HSEON ビットを使用して、CPU のために RUN モードで外部 TCXO と一緒に HSE32 を使用できるようにします。クロックが使用可能かどうかは、HSE RDY ビットでチェックできます。
 - Sub-GHz 無線の STANDBY モード中に、Sub-GHz 無線の `Set_TcxoMode()` コマンドを使用して、Sub-GHz 無線用の TXCO と一緒に HSE32 を使用できるようにします。HSE32 クロックが使用可能になったら、Sub-GHz 無線の較正コマンドを発行することをお勧めします。

CPU が低消費電力モード (STOP、STANDBY、または SHUTDOWN) の 1 つで、Sub-GHz 無線が SLEEP 状態の場合、TCXO を含む HSE32 クロックは無効です。

7.2.2 HSI16 クロック

HSI16 クロック信号は、内部 16 MHz オシレータから生成されます。

HSI16 オシレータには、低コストでクロックソースを供給できるという利点があります。同時に、HSE32 クリスタルオシレータよりもスタートアップ時間を短縮できますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

HSI16 クロックは、STOP モード (STOP 0、STOP 1 または STOP 2) からのウェイクアップ後、システムクロックとして選択できます。[セクション 7.3: 低消費電力モード](#) を参照してください。これは、HSE32 クリスタルオシレータに障害がある場合のバックアップクロックソース (補助クロック) としても使用できます。[セクション 7.2.10: HSE32 のクロックセキュリティシステム \(CSS\)](#) を参照してください。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、 $T_A = 25\text{ }^\circ\text{C}$ で誤差 1% の精度を確保するよう、ST マイクロエレクトロニクス (ST) は製造時にデバイスごとの較正を行っています。

リセット後、工場較正值が [RCC 内部クロックソース較正レジスタ \(RCC_ICSCR\)](#) の HSICAL[7:0] ビットにロードされます。

アプリケーションが電圧または温度の変動を受ける場合、これが RC オシレータの速度に影響を与えることがあります。[RCC 内部クロックソース較正レジスタ \(RCC_ICSCR\)](#) の HSITRIM[6:0] ビットを使用して、アプリケーションで HSI16 の周波数をトリミングできます。

HSI16 の周波数変動の測定方法の詳細については、[セクション 7.2.20: TIM16/TIM17 を使用した内部/外部クロックの測定](#) を参照してください。

[RCC クロック制御レジスタ \(RCC_CR\)](#) の HSIRDY フラグは、HSI16 RC オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI16 RC 出力クロックはリリースされません。

HSI16 RC オシレータは [RCC クロック制御レジスタ \(RCC_CR\)](#) の HSION ビットを使用してオン/オフの切り替えができます。

HSI16 の信号は、HSE32 クリスタルオシレータに障害が起きた場合のバックアップソース (補助クロック) としても使用できます。[299 ページのセクション 7.2.10: HSE32 のクロックセキュリティシステム \(CSS\)](#) を参照してください。

7.2.3 MSI クロック

MSI クロック信号は、内部 RC オシレータから生成されます。周波数範囲は、[RCC クロック制御レジスタ \(RCC_CR\)](#) の MSIRANGE[3:0] ビットを使用して、ソフトウェアによって調整することができます。使用可能な周波数範囲は、次のとおりです。100 kHz、200 kHz、400 kHz、800 kHz、1 MHz、2 MHz、4 MHz (デフォルト値)、8 MHz、16 MHz、24 MHz、32 MHz および 48 MHz を使用できます。MSI 範囲を使用するには、MSIRGSEL で選択する必要があります。

MSI クロックは、リセットからのリスタート後、および STANDBY および SHUTDOWN 低消費電力モードからのウェイクアップ後に、システムクロックとして使用されます。リセットおよび SHUTDOWN からのリスタート後に、MSI 周波数はデフォルト値 4 MHz にセットされます ([セクション 7.3: 低消費電力モード](#) を参照)。STANDBY からウェイクアップしたときに、[RCC 制御/ステータスレジスタ \(RCC_CSR\)](#) の MSIRANGE[3:0] ビットを使用して、MSI をソフトウェアによって調整す

ことができます。使用可能な周波数範囲は、次のとおりです。1 MHz、2 MHz、4 MHz（デフォルト）、8 MHz。

MSI クロックは、STOP モード（STOP 0、STOP 1 または STOP 2。[セクション 7.3: 低消費電力モード](#)を参照）からのウェイクアップ後、システムクロックとして選択できます。これは、HSE32 クリスタルオシレータに障害がある場合のバックアップクロックソース（CPU 用の補助クロック）としても使用できます（[セクション 7.2.10: HSE32 のクロックセキュリティシステム \(CSS\)](#)を参照）。

MSI RC オシレータは低消費電力のクロックソースの役割も果たします。さらに、PLL モードで LSE と使用する場合、非常に高精度のクロックソースとして機能します。このクロックソースは、PLL に供給することで最高速度 48 MHz でシステムを動作させることができます。

RCC クロック制御レジスタ (RCC_CR) の MSIRDY フラグは、MSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、MSI RC 出力クロックは出力されません。MSI RC オシレータは、**RCC クロック制御レジスタ (RCC_CR)** の MSION ビットを使用してオン/オフの切り替えができます。

LSE によるハードウェア自動較正 (PLL モード)

32.768 kHz 外部オシレータがアプリケーションに存在する場合、**RCC クロック制御レジスタ (RCC_CR)** の MSIPLLEN ビットをセットすると PLL モードで MSI を設定できます。PLL モード設定時、MSI は LSE によって自立的に自動較正を行います。このモードは、すべての MSI 周波数範囲に対して使用可能です。

ソフトウェア較正

MSI RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、周辺温度 $T_A = 25^\circ\text{C}$ で誤差 1% の精度を確保するよう、ST マイクロエレクトロニクス (ST) は製造時にデバイスごとの較正を行っています。リセット後、工場較正值が **RCC 内部クロックソース較正レジスタ (RCC_ICSCR)** の MSICAL[7:0] ビットにロードされます。アプリケーションが電圧または温度の変動を受ける場合、これが RC オシレータの速度に影響を与えることがあります。**RCC 内部クロックソース較正レジスタ (RCC_ICSCR)** の MSITRIM[7:0] ビットを使用して、アプリケーションで MSI 周波数をトリミングできます。MSI 周波数変動の測定方法の詳細については、[セクション 7.2.20: TIM16/TIM17 を使用した内部/外部クロックの測定](#)を参照してください。

7.2.4 PLL

デバイスには 1 個の PLL が埋め込まれています。PLL には、最大 3 つの独立した出力があります。内部 PLL は、HSI16、HSE32 または MSI 出力クロック周波数を逡倍するために使用できます。PLL 入力周波数は、2.66~16 MHz である必要があります。選択したクロックソースは、プログラム可能な係数 PLLM によって 1 から 8 に分周され、要求される入力範囲でクロック周波数を供給します。[図 27: クロックツリー および RCC PLL 設定レジスタ \(RCC_PLLCFGR\)](#) を参照してください。

PLL 設定（入力クロックおよび逡倍数の選択）は、PLL を有効にする前に実行する必要があります。PLL が有効になると、これらのパラメータは変更できません。

PLL 設定を変更するには、次の手順に従います。

1. **RCC クロック制御レジスタ (RCC_CR)** で PLLON を 0 に設定して PLL を無効にします。
2. PLLRDY がクリアされるまで待ちます。PLL が完全に停止します。
3. 任意のパラメータを変更します。
4. PLLON を 1 にセットして PLL を再度有効にします。
5. **RCC PLL 設定レジスタ (RCC_PLLCFGR)** で PLLPEN、PLLQEN、PLLREN を設定して対象の PLL 出力を有効にします。

RCC クロック割込み有効化レジスタ (RCC_CIER) で有効になっていれば、PLL がレディ状態になると割込みを生成することができます。

PLLQCLK および PLLRCLK 出力周波数は 48 MHz を超えてはなりません。PLLCLK 出力周波数は 62 MHz を超えてはなりません。

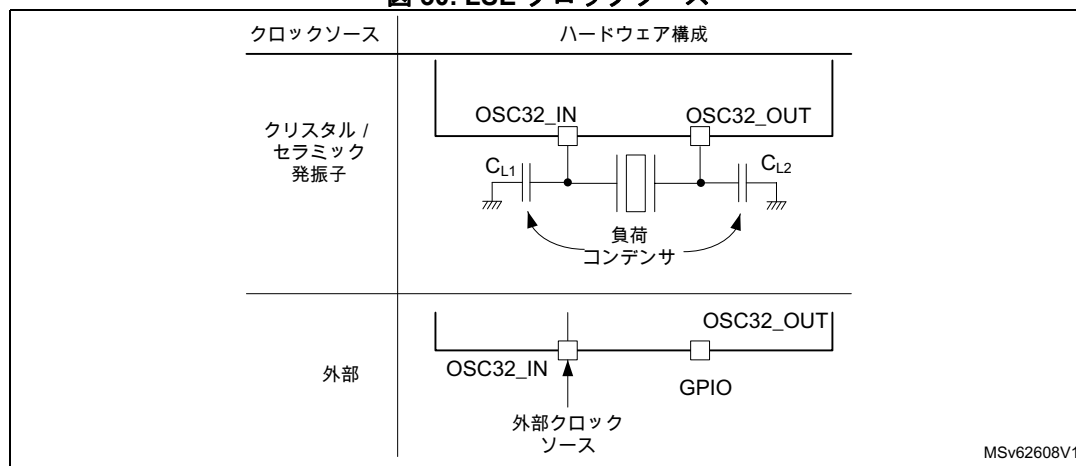
PLL 出力クロックのイネーブルビット (PLLPEN、PLLQEN、PLLREN) は、PLL を停止せずにいつでも変更できます。PLLRCLK がシステムクロックとして使用されている場合は、PLLREN をクリアできません。

7.2.5 LSE クロック

LSE クリスタルは、32.768 kHz のロースピード外部クリスタルまたはセラミック発振子です。時計/カレンダー、その他のタイミング機能のためのリアルタイムクロックペリフェラル (RTC) に、低消費電力ながら高精度のクロックソースを供給します。

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。

図 30. LSE クロックソース



LSE クリスタルは、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSEON ビットを使用してオン/オフの切り替えができます。安定性、短い起動時間、および低い電力消費のバランスを取るために、クリスタルオシレータの駆動能力は、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSEDRV[1:0] ビットによって、駆動中に変更できます。LSE 駆動は、LSE がオンの場合、より低い駆動能力 (LSEDRV = 0) まで低下させることができます。ただし、一旦 LSEDRV が選択されると、LSEON = 1 の場合、駆動能力を上げられません。

RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号はリリースされません。RCC クロック割込み有効化レジスタ (RCC_CIER) で有効になっていれば、割込みを生成することができます。

有効かつレディ状態の場合、RTC では LSE クロックを直接使用できます。他のペリフェラル (LPTIMx、TIMx、USARTx、LPUARTx、システム LSCO、MCO、MSI PLL モード) でクロックを使用できるようにするには、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSESYSEN ビットで LSE システムクロックを有効にする必要があります。LSE クロックがレディ状態で、LSECSS が有効な場合、LSE クロックは LSECSS によって使用され、LSCO でも使用できます。LSE システムクロックが LSESYSEN によって有効になった後に、(クロック同期により) レディ状態になると、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSESYSRDY フラグで通知されます。

外部ソース (LSE バイパス)

このモードでは、外部クロックソースが必要です。最大 1 MHz までの周波数を使用できます。このモードを選択するには、[RCC バックアップドメイン制御レジスタ \(RCC_BDCR\)](#) の LSEBYP および LSEON ビットをセットします。OSC32_INピンにはデューティ比50%の外部クロック信号（矩形波、正弦波、三角波）を入力し、OSC32_OUTピンはGPIOとして使用できます（[図 30: LSE クロックソース](#)を参照）。

7.2.6 LSI クロック

LSI RC は、STOP モードおよび STANDBY モードでの独立型ウォッチドッグ (IWDG) および RTC の動作を可能にする低消費電力のクロックソースとして動作します。クロック周波数は最大 32 kHz、またはLSIPRE を使用して 128 分周（最大 250 Hz）できます。詳細については、データシートの電気的特性のセクションを参照してください。

LSI RC は、[RCC 制御/ステータスレジスタ \(RCC_CSR\)](#) の LSION ビットを使用してオン/オフの切り替えができます。

[RCC 制御/ステータスレジスタ \(RCC_CSR\)](#) の LSIRDY フラグは、LSI オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。[RCC クロック割り込み有効化レジスタ \(RCC_CIER\)](#) で有効になっていれば、割り込みを生成することができます。

7.2.7 クロックソースの安定化時間

異なるクロックソースには安定化時間が必要で、その間はシステムへクロックが転送されません（下表参照）。

表 57. クロックソース安定化時間

クロックソース	安定化時間
MSI	デバイスデータシートを参照してください。
HSI	デバイスデータシートを参照してください。
HSE	デバイスデータシートを参照してください。
LSI	2 サイクル (~85 μ s LSIPRE = 0)
	2 サイクル (~2 ms LSIPRE = 1)
LSE	4096 サイクル (125 ms)

7.2.8 システムクロック (SYSCLK) の選択

次のクロックソースを使用して、システムクロック (SYSCLK) を駆動できます。

- MSI オシレータ
- HSI16 オシレータ
- HSE32 オシレータ (32 MHz または 2 分周で 16 MHz)
- PLLRCLK

レンジ 1 のシステムクロックの最大周波数は 48 MHz です。システムリセット後は、MSI オシレータが 4 MHz でシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときに、このクロック信号を停止することはできません。

あるクロックソースから別のクロックソースへの切り替えは、切り替え後に使用するクロックソースの準備ができていない場合（起動遅延時間を経てクロックが安定している状態、または、PLL がロック

されている状態)にのみ行われます。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。RCC 内部クロックソース較正レジスタ (RCC_ICSCR) のステータスビットは、どのクロックの準備ができているか、およびどのクロックがシステムクロックとして使用されているかを示します。

STANDBY モードからのウェイクアップ時には、4 MHz の MSI がシステムクロックとして選択されます。

レンジ 2 では、システムクロックは 16 MHz を超えてはなりません。

7.2.9 クロックソースの周波数と電圧スケーリング

次の表に、製品電圧レンジに応じて異なるクロックソースの周波数を示します。

表 58. クロックソースの周波数

製品電圧レンジ	クロック周波数			
	MSI	HSI16	HSE32	PLL
レンジ1	48 MHz	16 MHz	32 MHz	PLLCLK = PLLQCLK = 48 MHz PLLCLK = 62 MHz (VCO max = 344 MHz)
レンジ2	16 MHz	16 MHz	32 MHz ⁽¹⁾	PLLCLK = PLLQCLK = 16 MHz PLLCLK = 21 MHz (VCO max = 128 MHz)

1. HSEPRE には、2 分周をセットする必要があります。

7.2.10 HSE32 のクロックセキュリティシステム (CSS)

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE32 オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE32 クロックで障害が検出された場合、HSE32 オシレータは自動的に無効になります。クロック障害イベントが高機能制御タイマ (TIM1 および TIM16/17) のブレーク入力に送られます。また、ソフトウェアに障害があることを通知する HSE32CSS 割込みが生成されるので、MCU は対応処理を行うことができます。HSE32 CSS 割込みは、CPU1 および CPU2 NMI (ノンマスクブル割込み) 例外ベクタにリンクされています。

注： HSE32 CSS を有効にすると、HSE32 クロックに障害が発生した場合に HSE32CSS 割込みが発生し、NMI が自動的に生成されます。NMI は、CSSF ペンディングビットがクリアされない限り、無限に実行されます。そのため、NMI ISR (割込みサービスルーチン) では、RCC クロック割込みクリアレジスタ (RCC_CICR) の CSSC ビットをセットして HSE CSS 割込みをクリアする必要があります。

HSE32 オシレータが直接または間接的にシステムクロックとして使用されている場合 (間接的とは、PLL 入力クロックとして使用されていて、その PLL クロックがシステムクロックとして使用されていることを意味します)、異常が検出されると、RCC クロック設定レジスタ (RCC_CFGR) の STOPWUCK の設定に応じて、システムクロックが MSI または HSI16 オシレータに切り替えられ、HSE32 オシレータは無効になります。障害発生時に、HSE32 クロック (分周されているかいないかにかかわらず) がシステムクロックとして使用されている PLL のクロック入力であった場合には、PLL も無効になります。

7.2.11 LSE のクロックセキュリティシステム (LSECSS)

LSE の CSS は、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSECSSON ビットを書き込むことによって、ソフトウェアで有効にできます。このビットは、ハードウェアリセットまたは RTC ソフトウェアリセット、または LSE で障害検出後にのみ無効にできます。LSECSSON は、LSE と LSI を有効(LSEON および LSION)かつレディ状態(ハードウェアで LSE RDY および LSI RDY をセット)にし、RTCSEL で RTC クロックを選択した後で書き込む必要があります。LSI クロックは自動的に有効になります。LSECSSON ビットで LSECSS が有効になっている場合、LSEON ビットで LSE を無効にしないでください。

LSE の CSS は、VBAT を除くすべてのモードで動作します。システムリセット時(パワーオンリセットを除く)でも動作します。外部 32 kHz オシレータで障害が検出された場合、LSE クロックは RTC に供給されなくなりますが、レジスタに対してハードウェアのアクションは実行されません。MSI が PLL モードだった場合、このモードは無効になります。

STANDBY モードでは、ウェイクアップが生成されます。その他のモードでは、ソフトウェアをウェイクアップさせるために割り込みを送信できます(RCC クロック割り込み有効化レジスタ (RCC_CIER)、RCC クロック割り込みフラグレジスタ (RCC_CIFR)、RCC クロック割り込みクリアレジスタ (RCC_CICR) を参照)。

その場合、ソフトウェアは、LSECSSON ビットを無効化し、障害のある 32 kHz オシレータを停止 (LSEON を無効化) して、RTC クロックソースを変更(クロックなし、または RTCSEL で LSI や HSE32を選択)するか、必要なアクションを行いアプリケーションを保護する必要があります。

7.2.12 SPI2S2 クロック

SPI2S2 I2S クロックは、HSI16 クロック、PLL 出力、または外部 I2S_CLK 信号から生成されます。62 MHz に達することもあります。

シリアルオーディオインターフェースには、49.152 MHz または 11.2896 MHz に近い周波数が必要です。49.152 MHz は、192 kHz、96 kHz、48 kHz、32 kHz、16 kHz、および 8 kHz のオーディオサンプリング周波数を生成することを目的としています。11.2896 MHz は 44.1 kHz、22.05 kHz、11.025 kHz のオーディオサンプリング周波数を目標としていますが、目標とする最悪ケースの精度は 0.05 % である必要があります。

可能なクロック設定を下の表に示します。

表 59. SPI2S2 I2S クロックの PLL 設定

クロックソース	M	PLL N	PLL Q	I2C クロック周波数
MSI (4 MHz)	1	4	7	49.14286 MHz (-0.019%)
HSE32 (32 MHz)	7	43	4	
HSI16 (16 MHz)	2	43	7	
MSI (4 MHz)	1	79	28	11.28571 MHz (0.034%)
HSE32 (32 MHz)	3	18	17	11.29412 MHz (0.040%)
HSI16 (16 MHz)	1	12	17	

7.2.13 Sub-GHz 無線の SPI クロック

Sub-GHz 無線の SPI クロックは、PCLK3 クロックから生成されます。SUBGHZSPI_SCK 周波数は、PCLK3 を 2 分周することによって得られます。SUBGHZSPI_SCK クロックの最大速度は 16 MHz を超えてはなりません。

表 60. Sub-GHz 無線の SPI クロック設定

PCLK3 [MHz]	SUBGHZSPI_SCK クロックの最大速度
48	$PCLK3 / 4^{(1)} = 12 \text{ MHz}$
32	$PCLK3 / 2^{(1)} = 16 \text{ MHz}$

1. SUBGHZSPI_CR1 BR ボーレート制御に準拠。

7.2.14 ADC クロック

ADC クロックは、システムクロック、HSI16 クロック、または PLL 出力から生成されます。最高周波数は 35 MHz であり、ADC_CCR レジスタの設定により、1、2、4、6、8、10、12、16、32、64、128、または 256 のプリスケアラ値で分周できます。これは、AHB クロックと非同期です。代わりに、ADC バスインタフェースの AHB クロックから ADC クロックを生成し、プログラム可能な係数 (1、2、または 4) で分周できます。このプログラム可能な係数は、ADC_CCR レジスタの CKMODE ビットフィールドを使用して設定されます。

プログラムされた係数が「1」の場合、AHB プリスケアラは「1」にセットする必要があります。

7.2.15 RTC クロック

RTCCLK クロックソースは、32 分周の HSE32、LSE、または LSI クロックのいずれかです。RTCCLK は、RCC バックアップドメイン制御レジスタ (RCC_BDCR) の RTCSEL[1:0] ビットをプログラムすることで選択できます。この選択は、バックアップドメインをリセットしない限り変更できません。RTC を正常に動作させるには、PCLK 周波数が常に RTCCLK 周波数以上になるようにシステムを設定する必要があります。

LSE クロックはバックアップドメインに属しますが、HSE32 と LSI クロックはそうではなく、次のような結果になります。

- LSE が RTC クロックとして選択されている場合、 V_{DD} 供給がオフになった場合でも、 V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が RTC クロックとして選択されている場合、 V_{DD} 供給がオフになると、RTC の状態は保証されません。
- プリスケアラで分周された HSE32 クロックが RTC クロックとして使用されている場合、 V_{DD} 供給がオフになるか、または内部電圧レギュレータがオフになると (V_{CORE} ドメインからの電力供給が停止される)、RTC の状態は保証されません。

RTC クロックが LSE や LSI の場合、RTC は、システムリセット中でもクロック供給された状態、かつ機能的な状態のままです。

7.2.16 タイマクロック

タイマクロック周波数は、ハードウェアによって自動で設定されます。

以下のケースが考えられます。

- APB プリスケーラ (PPREx) で PCLKx クロックとして分周なしの HCLK1 が選択される場合、タイマクロック周波数は HCLK1 の周波数にセットされます (タイマクロック = HCLK1)。
- APB プリスケーラ (PPREx) で PCLKx クロックとして HCLK1 の n 分周が選択された場合、タイマクロック周波数は HCLK1 の (n/2) 分周にセットされます (タイマクロック = 2 x PCLKx)。

7.2.17 ウォッチドッグクロック

独立型ウォッチドッグ (IWDG) がハードウェアオプションまたはソフトウェアアクセスによって開始された場合、LSI クロックは強制的にオンになります。

IWDG の開始時に LSI オシレータが無効になっている場合、LSI オシレータは強制的にオンになります。LSI オシレータの起動時の過渡期間が終わると、このクロックが IWDG に供給されます。

7.2.18 ハードウェア乱数発生器のクロック

ハードウェア乱数発生器 (RNG) のシードクロックは、MSI、PLL 出力、あるいは LSE または LSI クロックから生成されます。ハードウェア乱数発生器レジスタを設定することによって、48 MHz に達することができ、プリスケーラの値で分周できます。これは、AHB クロックと非同期です。

7.2.19 クロック信号出力

- MCO

マイクロコントローラクロック出力 (MCO) 機能では、外部 MCO ピンにクロックを出力することができます。クロックシグナルのうちの 1 つを MCO クロックとして選択できます。

- SYSCLK
- MSI
- HSI16 (HSION で有効になっている場合のみ使用可能)
- HSE32
- PLLRCLK
- LSI
- LSE
- PLLPCLK
- PLLQCLK

選択は [RCC クロック設定レジスタ \(RCC_CFGR\)](#) の MCOSEL[3:0] ビットによって制御されます。選択されたクロックは、[RCC クロック設定レジスタ \(RCC_CFGR\)](#) の MCOPRE[2:0] のビットに基づいて分周できます。

MCO のクロックは RUN モードでのみ使用でき、STOP、STANDBY、および SHUTDOWN モードでは使用できません。

- LSCO

別の出力 (LSCO) では、次のロースピードクロックの 1 つを外部 LSCO ピンに出力することができます。

- LSI
- LSE

選択はRCC バックアップドメイン制御レジスタ (RCC_BDCR) の LSCOSEL ビットによって制御され、LSCOEN ビットで有効化されます。

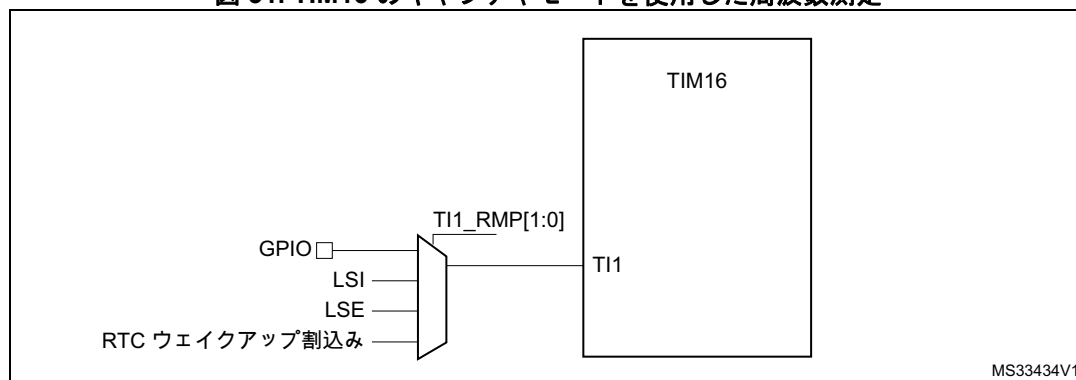
LSCO のクロックは、RUN、STOP、STANDBY、および SHUTDOWN モードで使用できます。

対応する GPIO ポートの設定レジスタは、オルタネート機能モードに設定されている必要があります。

7.2.20 TIM16/TIM17 を使用した内部／外部クロックの測定

すべてのオンボードクロックソースの周波数は、図 31 および図 32 に示すように、TIM16 または TIM17 のチャンネル 1 入力キャプチャを使用して、間接的に測定できます。

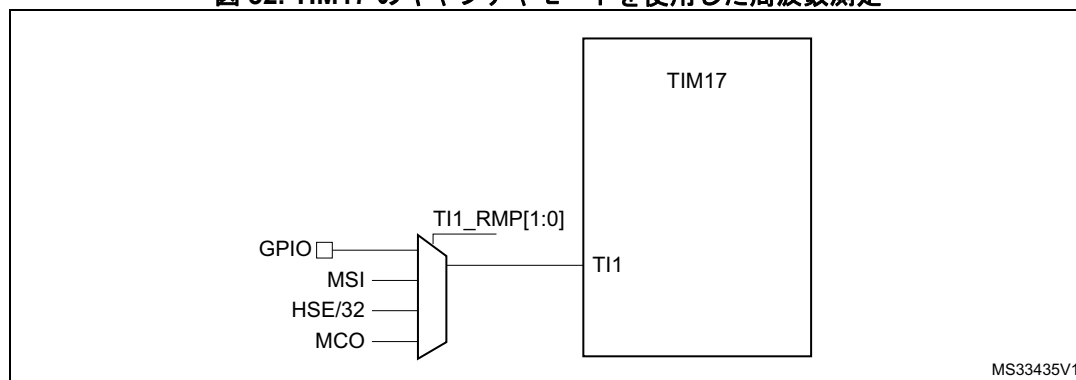
図 31. TIM16 のキャプチャモードを使用した周波数測定



TIM16 の入力キャプチャチャンネルには、GPIO ラインまたは MCU の内部クロックを使用することができます。この選択は、TIM16_OR レジスタの TI1_RMP [1:0] ビットで行います。可能な接続を次の表に示します。

- TIM16 のチャンネル 1 は、GPIO に接続されます (デバイスのデータシートの代替機能配置を参照してください)。
- TIM16 のチャンネル 1 は、LSI クロックに接続されます。
- TIM16 のチャンネル 1 は、LSE クロックに接続されます。
- TIM16 のチャンネル 1 は RTC ウェイクアップ割込み信号に接続されます。この場合、RTC 割込みを有効にする必要があります。

図 32. TIM17 のキャプチャモードを使用した周波数測定



TIM17 の入力キャプチャチャンネルには、GPIO ラインまたは MCU の内部クロックを使用することができます。この選択は、TIM17_OR レジスタの TI1_RMP [1:0] ビットで行います。可能な接続を次の表に示します。

- TIM17 のチャンネル 1 は、GPIO に接続されます (デバイスのデータシートの代替機能配置を参照してください)。
- TIM17 のチャンネル 1 は、MSI クロックに接続されます。
- TIM17 のチャンネル 1 は、HSE32/32 クロックに接続されます。
- TIM17 のチャンネル 1 は、マイクロコントローラクロック出力 (MCO) に接続されます。この選択は RCC クロック設定レジスタ (RCC_CFGR) の MCOSEL[3:0] ビットによって制御されます。

HSI16 および MSI の較正

TIM16 では、LSE をチャンネル 1 の入力キャプチャに接続する主な目的は、HSI16 システムクロックと MSI システムクロックを正確に測定できるようにすることです (これには、HSI16 または MSI のどちらがシステムクロックソースとして使用されている必要があります)。LSE 信号の連続したエッジ間の HSI16 (または MSI) クロックのカウント数により、内部クロックの周期が測定されます。LSE クリスタルの高い精度 (通常は数十 ppm) を利用することにより、同じ分解能で内部クロック周波数を判断でき、製造工程、温度、電圧に関連した周波数偏差に対してクロックソースを調整して補正することができます。

MSI および HSI16 の両方のオシレータには、上記の目的のためにユーザがアクセスできる専用の較正ビットがあります。

この基本概念は、相対測定 (HSI16/LSE 比) ができることにあり、そのため、精度は 2 つのクロックソース間の比に密接にかかわっています。この比が大きければ大きいほど、測定精度は向上します。

LSE を使用できない場合、可能な限り正確な較正を達成するには、HSE32/32 を選択することをお勧めします。

ただし、MSI クロック周波数が低い場合 (通常は 1 MHz 未満)、十分な解像度を得ることはできません。この場合、以下が推奨されます。

- 連続した複数のキャプチャの結果を累積します。
- タイマの入力キャプチャプリスケラを使用します (8 周期ごとに最大 1 キャプチャ)。
- RTC ウェイクアップ割込み信号 (RTC クロックが LSE によって駆動される場合) を、チャンネル 1 入力キャプチャの入力として使います。これにより測定精度が向上します。このためには、RTC ウェイクアップ割込みを有効にする必要があります。

LSI の較正

LSI の較正は、HSI16 と同じ方法で行いますが、リファレンスクロックを変更します。LSI クロックを TIM16 チャンネル 1 の入力キャプチャに接続する必要があります。次に、HSE32 をシステムクロックソースとして定義する必要があります。LSI 信号の連続したエッジ間の HSE32 クロックカウント数により、内部ロースピードクロック周期が測定されます。

この基本概念は、相対測定 (HSE32/LSI 比) ができることにあり、そのため、精度は 2 つのクロックソース間の比に密接にかかわっています。この比が大きければ大きいほど、測定精度は向上します。

7.2.21 ペリフェラルクロックの有効化

大部分のペリフェラルバスおよびカーネルクロックは CPU ごとに個別に有効にできます。RCC_AHBxENR レジスタおよび RCC_APBxENRy レジスタでは、CPU1 のペリフェラルクロックを有効にします。RCC_C2_AHBxENR および RCC_C2_APBxENR レジスタでは、CPU2 のペリフェラルクロックを有効にします。ペリフェラルクロックは、クロックの有効化が行われる CPU の状態と、システムの状態に従います (下の表を参照)。RTC カーネルクロックは RTCEN ビットで有効になり、CPU の状態にもシステムの状態にも依存しません。

CPU の SLEEP モード中のペリフェラルバスクロックの動作は、CPU1 の場合は RCC_AHBxSMENR および RCC_APBxSMENRy レジスタの xxxSMEN ビットで制御され、CPU2 の場合は RCC_C2_AHBxSMENR および RCC_C2_APBxSMENRy レジスタの xxxSMEN ビットで制御されます。SLEEP モード時のペリフェラルバスクロックは、クロックの有効化が行われる CPU の状態に従います (下の表を参照)。

表 61. ペリフェラルクロックの有効化

xxxEN	xxxSMEN	CPU モード	システムモード	バスクロック	カーネルクロック ⁽¹⁾	
0		任意	任意	停止	停止	
1	x	CRun	RUN	クロック供給 ⁽²⁾	クロック供給	
	0	CSleep および CStop	RUN	停止	クロック供給	
	1	CStop	CSleep	RUN	クロック供給 ⁽³⁾	クロック供給
			RUN	停止	クロック供給	
			STOP	停止	HSI16、LSI、または LSE からの場合にクロックが供給されます。 バスクロック、SYSCLK、PLL クロック、または MSI クロックからの場合に停止します。	
x	x	STANDBY、 SHUTDOWN	停止	停止 ⁽⁴⁾		

- xxxEN と xxxSMEN によって制御されるカーネルクロックを備えているのは、I2C、LPTIM、USART、LPUART、ハードウェア乱数発生器、ADC、および SPI I2S ペリフェラルのみです。RTC のカーネルクロックは RTCEN によって制御され、xxxEN および xxxSMEN には依存しません。
- CRun でその CPU に関連付けられた xxxEN ビットが有効な場合のみ。
- CSleep の CPU に関連付けられた xxxEN ビットと xxxSMEN ビットの両方が有効な場合のみ。
- LSI または LSE から選択された場合、RTC カーネルクロックは STANDBY モードでもクロックが供給され、LSE が選択された場合、VBAT および SHUTDOWN モードでもクロックが供給されます。

ペリフェラルバスクロックがアクティブでない場合、ペリフェラルレジスタへの読出し/書込みアクセスはサポートされません。

ペリフェラルカーネルクロックがアクティブでない場合、ペリフェラル機能は停止します。

イネーブルビットには、グリッチのないペリフェラルのクロックを生成する同期メカニズムが含まれています。イネーブルビットがセットされてからペリフェラルでクロックがアクティブになるまでに、2 クロックサイクルの遅延があります。

注意 : ペリフェラルのクロックを有効にした直後、ソフトウェアは遅延を待ってから、ペリフェラルレジスタにアクセスする必要があります。

7.3 低消費電力モード

DMA クロックを含む AHB および APB ペリフェラルクロックは、ソフトウェアで無効にできます。

SLEEP モードおよび LPSleep モードでは CPU クロックを停止します。SLEEP モード時に、SRAMxSMEN ビットを使用して、メモリインタフェースクロック (Flashメモリ、SRAM1/2 インタフェース) をソフトウェアにより停止することができます。AHB - APB ブリッジのクロックは、SLEEP モード中にペリフェラルの SMEN ビットでこれらに接続されたペリフェラルのクロックがすべて無効にされた場合に、ハードウェアによって無効化されます。

STOP モード (STOP 0、STOP 1 および STOP 2) では、 V_{CORE} ドメインの大部分のクロックが停止し、PLL、MSI および HSE32 オシレータが無効になります。HSI16 は、STOP モードからのウェイクアップが可能なペリフェラル (USART1、USART2、LPUART1、I2C1、I2C2、または I2C3) の要求に応じて、実行を続けることができます。

すべての U(S)ART、LPUART、および I2C では、MCU が STOP モードの場合でも、HSI16 オシレータを有効にすることができます (HSI16 が当該ペリフェラルのクロックソースとして選択されている場合)。

すべての U(S)ART、LPUART および LPTIM は、システムが STOP モードの場合 (LSE が当該ペリフェラルのクロックソースとして選択されている場合) で LSE オシレータが有効な場合 (LSEON) に、LSE オシレータによる駆動もできます。その場合、LSE は STOP モードで常にオンになります (LSE オシレータをオンにする機能はありません)。

すべての LPTIM は、システムが STOP モードの場合 (LSI が当該ペリフェラルのクロックソースとして選択されている場合) で LSI オシレータが有効な場合 (LSION) に、LSI オシレータによる駆動もできます。

STANDBY モードおよび SHUTDOWN モードでは、 V_{CORE} ドメインのすべてのクロックが停止し、PLL、HSI16、MSI および HSE32 オシレータが無効になります。

低消費電力モードは、DBGMCU_CR レジスタの DBG_SLEEP、DBG_STOP または DBG_STANDBY ビットをセットすることで、CPU1 のデバッグのためにオーバーライドすることができます。さらに、EXTI_CDBGPWRUPREQ イベントを使用して、STOP モードで CPU のデバッグを行うことができます (下の表を参照)。

表 62. 低消費電力デバッグ設定

モード	CDBGPWRUPREQ		DBGMCU			デバッグ	
	CPU1	CPU2	DBG_STANDBY	DBG_STOP	DBG_SLEEP	CPU1	CPU2
SLEEP	x ⁽¹⁾	x	x	x	x	有効	有効
STOP 0 および STOP 1	無効	x	x	無効	x	無効	_(2)
	有効					有効	
	x	無効				_(3)	無効
	有効	有効					
STOP 0、 STOP 1 および STOP 2	x	無効	有効	有効	有効	無効	
		有効				有効	

表 62. 低消費電力デバッグ設定 (続き)

モード	CDBGPW RUPREQ		DBGMCU			デバッグ	
	CPU1	CPU2	DBG_ STANDBY	DBG_STOP	DBG_ SLEEP	CPU1	CPU2
STANDBY	x	x	無効	x	x	無効	無効
		無効	有効			有効	有効
		有効				有効	

1. X = 無視
2. EXTI CPU2 CDBGPWRUPREQ ウェイクアップイベント設定によって決まります。
3. EXTI CPU1 CDBGPWRUPREQ ウェイクアップイベント設定によって決まります。

STOP モード (STOP 0、STOP 1 または STOP 2) を終了する際に、システムクロックは **RCC クロック設定レジスタ (RCC_CFGR)** の STOPWUCK ビットのソフトウェア設定に応じて、MSI または HSI16 のいずれかにできます。STOP モードの終了時に STOPWUCK で HSI16 クロックが選択されている場合、**RCC 拡張クロックリカバリレジスタ (RCC_EXTCFGR)** の C2HPRE[3:0] ビットがリセットされます。この結果、HCLK2 クロックは分周されずに SYSCLK クロックから直接駆動されます。MSI オシレータの周波数 (レンジおよびユーザトリミング) は、STOP モードに移行する前に設定されたものです。HSI16 のユーザトリミングは保たれます。MSI が STOP モードに移行する前に PLL モードだった場合、LSE が STOP モード中オンのままであった場合も、ウェイクアップ後に PLL モード安定化時間を待つ必要があります。

STANDBY モードが終了すると、システムクロックは 4 MHz で MSI になります。

SHUTDOWN モードが終了すると、システムクロックは MSI になります。SHUTDOWN モードからのウェイクアップ時の MSI 周波数は 4 MHz です。ユーザトリミングは失われます。

Flash メモリプログラム操作が実行中の場合、Flash メモリインタフェースのアクセスが終了してから、STOP モード、STANDBY モードおよび SHUTDOWN モードに移行します。APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP モード、STANDBY モードおよび SHUTDOWN モードに移行します。

7.4 RCC レジスタ

7.4.1 RCC クロック制御レジスタ (RCC_CR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0061

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	PLL RDY	PLLON	Res.	Res.	HSEBYP PWR	HSE PRE	CSS オン	Res.	HSE RDY	HSEON
						r	rw			rw	rw	rs		r	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	HSI KERDY	HSI ASFS	HSI RDY	HSI KERON	HSION	MSIRANGE[3:0]				MSIRGS EL	MSI PLEN	MSI RDY	MSION
			r	rw	r	rw	rw	rw	rw	rw	rw	rs	rw	r	rw

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **PLLRDY** : メイン PLL クロックレディフラグ

このビットは、メイン PLL がロック状態であることを示すために、ハードウェアによってセットされます。

0 : PLL アンロック

1 : PLL ロック

ビット 24 **PLLON** : メイン PLL イネーブル

このビットは、メイン PLL を有効にするために、ソフトウェアによってセット/クリアされます。また、STOP、STANDBY または SHUTDOWN モードに移行するときに、ハードウェアによってクリアされます。メイン PLL クロックがシステムクロックとして使用されている場合、このビットをリセットできません。

0 : メイン PLL オフ

1 : メイン PLL オン

ビット 23:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **HSEBYP PWR** : パッケージピン PB0-VDDTCXO での HSE32 VDDTCXO 出力の有効化

このビットは、パッケージピンの機能を制御するために、ソフトウェアによってセット/クリアされます。PB0-VDDTCXO.HSE32 オシレータが無効 (HSEON = HSERDY = 0) の場合のみ、書き込むことができます。

0 : PB0 が選択されます。

1 : VDDTCXO が選択されます。

ビット 20 **HSEPRE** : HSE32 SYSCLK プリスケール

このビットは、HSE32 クロックの選択時に、SYSCLK の分周比を制御するために、ソフトウェアによってセット/クリアされます。

0 : SYSCLK を分周しません (HSE32)。

1 : SYSCLK を 2 分周します (HSE32 / 2)。

ビット 19 **CSSON** : HSE32 クロックセキュリティシステムの有効化

このビットは、クロックセキュリティシステムを有効にするために、ソフトウェアによってセットされます。CSSON がセットされているとき、HSE32 オシレータがレディになると HSE32 クロック検出回路がハードウェアによって有効にされ、HSE32 クロックの障害が検出された場合ハードウェアによって無効にされます。このビットはセット専用で、リセットによってクリアされます。

0 : HSE32 CSS オフ (クロック検出回路はオフ)

1 : HSE32 CSS オン (HSE32 オシレータが安定していればクロック検出回路はオン、安定していなければオフ)

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **HSERDY** : HSE32 クロックレディフラグ

このビットは、HSE32 オシレータが安定しているかどうかを示すために、ハードウェアによってセット/クリアされます。

0 : HSE32 オシレータはレディ状態ではありません。

1 : HSE32 オシレータはレディ状態です。

注 : HSEON がクリアされると、HSERDY は、HSE32 クロックの 6 サイクル後にローになります。

ビット 16 **HSEON** : CPU の HSE32 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。また、STOP、STANDBY または SHUTDOWN モードに移行するときに、HSE32 オシレータを停止するためにハードウェアによってクリアされます。HSE32 オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。LPRun モードに移行する前に、HSE32 オシレータを無効にする必要があります。

0 : CPU 用 HSE32 オシレータを無効にします。

1 : CPU 用 HSE32 オシレータを有効にします。

注 : Sub-GHz 無線は、Sub-GHz 無線で有効な独自の HSE32 オシレータを備えています。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **HSIKERDY** : ペリフェラル要求用の HSI16 カーネル・クロック・レディ・フラグ

このビットは、HSIKERON またはペリフェラル・カーネル・クロック要求によって有効になったときに、HSI16 オシレータが安定しているかどうかを示すために、ハードウェアによってセット/クリアされます。このビットは、HSI16 が HSION 設定を使用してソフトウェアによって、または STANDBY からのウェイクアップによって有効になった場合、セットされません。

0 : HSI16 オシレータはレディ状態ではありません。

1 : HSI16 オシレータはレディ状態です。

注 : HSIKERON がクリアされると、HSI16 クロックの 6 サイクル後に HSIKERDY がローになります。

ビット 11 **HSIASFS** : STOP モードからの HSI16 の自動起動

このビットは、ソフトウェアによってセット/クリアされます。システム・ウェイクアップ・クロックが MSI の場合、このビットはシステム・ウェイクアップ・クロックと並行して HSI16 をウェイクアップするのに使用されます。

0 : MSI をウェイクアップクロックとして使用して STOP モードを終了したときに、HSI16 がハードウェアによって有効になりません。

1 : MSI をウェイクアップクロックとして使用して STOP モードを終了したときに、HSI16 がハードウェアによって有効になります。

ビット 10 **HSIRDY** : HSI16 クロックレディフラグ

このビットは、HSI16 オシレータが安定しているかどうかを示すために、ハードウェアによってセット/クリアされます。これは、HSION をセットすることにより、または STOP モードからのウェイクアップにより、HSI16 がソフトウェアによって有効化されたとき、また HSIASFS が有効化されたときのみセットされます。STOP モードからのウェイクアップ後、HSI16 がレディ状態になると、このビットでは 1 が読み出されます。HSI16 が HSIKERON またはペリフェラル要求によって有効になっているとき、このビットはセットされません。

0 : HSI16 オシレータはレディ状態ではありません。

1 : HSI16 オシレータはレディ状態です。

注 : HSION がクリアされると、HSIRDY は、HSI16 クロックの 6 サイクル後にローになります。

ビット 9 HSIKERON : ペリフェラルカーネルクロック用の HSI16 の有効化

このビットは、STOP モードでも強制的に HSI16 をオンにするために、ソフトウェアによってセット/クリアされます。HSIKERON によって有効にされた HSI16 は、カーネルクロックとして HSI16 が設定された USART、LPUART、および I2C ペリフェラルにのみ供給できます。STOP モードで HSI16 をオンのままにしておく、HSI16 起動時間による通信速度の低下を回避できます。このビットは、HSION の値への影響はありません。

0 : HSI16 オシレータへの影響はありません。

1 : HSI16 オシレータは強制的にオンになります (STOP モードの場合も含む)。

ビット 8 HSION : HSI16 クロック有効化

このビットは、ソフトウェアによってセット/クリアされます。また、STOP、STANDBY または SHUTDOWN モードに移行するときに、HSI16 オシレータを停止するためにハードウェアによってクリアされます。このビットは、STOP モードを終了するときに STOPWUCK=1 または HSIASFS = 1 の場合、または HSE32 クリスタルオシレータに障害が発生した場合、HSI16 オシレータを強制的にオンにするために、ハードウェアによってセットされます。

このビットは、HSI16 が直接または間接的にシステムクロックとして使用されている場合に、ハードウェアによってセットされます。HSI16 オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。

0 : HSI16 オシレータオフ

1 : HSI16 オシレータオン

ビット 7:4 MSIRANGE[3:0] : MSI クロックレンジ

これらのビットは、MSIRGSEL = 1 の場合に MSI の周波数範囲を選択するために、ソフトウェアによって設定されます。次の周波数範囲を使用できます。

0000 : レンジ 0 (約 100 kHz)

0001 : レンジ 1 (約 200 kHz)

0010 : レンジ 2 (約 400 kHz)

0011 : レンジ 3 (約 800 kHz)

0100 : レンジ 4 (約 1 MHz)

0101 : レンジ 5 (約 2 MHz)

0110 : レンジ 6 (約 4 MHz、リセット値)

0111 : レンジ 7 (約 8 MHz)

1000 : レンジ 8 (約 16 MHz)

1001 : レンジ 9 (約 24 MHz)

1010 : レンジ 10 (約 32 MHz)

1011 : レンジ 11 (約 48 MHz)

その他 : 使用不可 (ハードウェアの書込み保護)

注意 : このフィールドは、MSI がオフ (MSION=0) のとき、またはレディ状態 (MSIRDY=1) のときのみ変更できます。このフィールドは、MSI がオンで、かつレディ状態ではない (MSION=1 かつ MSIRDY=0) ときは変更しないでください。

ビット 3 MSIRGSEL : MSI 範囲制御の選択

このビットは、システムリセット時および STANDBY モードを終了するときに、0 にクリアされます。ソフトウェアによって 1 にセットできます。ソフトウェアで 0 を書き込んでも、ビットの値は変化しません。

0 : RCC_CSR レジスタの MSIRANGE[3:0] により定義された MSI 周波数範囲

1 : RCC_CR レジスタの MSIRANGE[3:0] により定義された MSI 周波数範囲

ビット 2 **MSIPLLEN** : MSI クロック PLL 有効化

このビットは、MSI クロックソースの PLL 部分を有効化/無効化するために、ソフトウェアによってセット/クリアされます。

LSE を有効 (LSEON = 1) かつレディ状態 (ハードウェアにより LSERDY をセット) にした後で有効にする必要があります。LSE がレディ状態ではない場合、このビットの有効化を回避するためのハードウェア保護機能があります。

このビットは、LSE を無効 (LSEON = 0) にするときや、LSE の CSS で LSE 障害が検出されたときに、ハードウェアによってクリアされます (RCC_CSR レジスタを参照)。

- 0 : MSI PLL オフ
- 1 : MSI PLL オン

ビット 1 **MSIRDY** : MSI クロックレディフラグ

このビットは、MSI オシレータが安定しているかどうかを示すために、ハードウェアによってセット/クリアされます。リセット後、MSI がレディ状態になると、このビットでは 1 が読み出されます。

- 0 : MSI オシレータはレディ状態ではありません。
- 1 : MSI オシレータはレディ状態です。

注 : **MSION がクリアされると、MSIRDY は、MSI クロックの 6 サイクル後にローになります。**

ビット 0 **MSION** : MSI クロック有効化

このビットは、ソフトウェアによってセット/クリアされます。また、STOP、STANDBY または SHUTDOWN モードに移行するときに、MSI オシレータを停止するために、ハードウェアによってクリアされます。このビットは、STANDBY または SHUTDOWN モードを終了するときに、MSI オシレータを強制的にオンにするために、ハードウェアによってセットされます。STOP モードを終了するときに STOPWUCK=0 の場合、または HSE オシレータに障害が発生した場合、MSI オシレータを強制的にオンにするために、ハードウェアによってセットされます。このビットは、直接または間接的にシステムクロックとして使用されている場合に、ハードウェアによってセットされます。MSI オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。

- 0 : MSI オシレータオフ
- 1 : MSI オシレータオン

7.4.2 RCC 内部クロックソース較正レジスタ (RCC_ICSCR)

アドレス・オフセット : 0x004

リセット値 : 0x40XX : 00XX

HSICAL[7:0] と MSICAL[7:0] のリセット値は出荷時にプログラムされます。

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	HSITRIM[6:0]							HSICAL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSITRIM[7:0]							MSICAL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:24 **HSITRIM[6:0]** : HSI16 クロックトリミング

これらのビットにより、ユーザプログラミング可能なトリミング値が使用でき、この値は HSICAL[7:0] ビットに加算されます。HSI16 周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 64 で、HSICAL 値に追加する場合は、HSI16 を 16 MHz ± 1 % にトリミングする必要があります。

ビット 23:16 **HSICAL[7:0]** : HSI16 クロック較正

これらのビットは起動時に、出荷時にプログラムされた HSI16 較正トリミング値で初期化されます。HSITRIM が書き込まれると、HSICAL が HSITRIM と出荷時トリミング値の合計で更新されます。

ビット 15:8 **MSITRIM[7:0]** : MSI クロックトリミング

これらのビットにより、ユーザによるプログラムが可能なトリミング値が使用でき、この値は MSICAL[7:0] ビットに加算されます。MSI の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 0 で、MSICAL 値に追加する場合は、MSI を中間周波数にトリミングする必要があります。

ビット 7:0 **MSICAL[7:0]** : MSI クロック較正

これらのビットは起動時に、出荷時にプログラムされた MSI 較正トリミング値で初期化されます。MSITRIM が書き込まれると、MSICAL が MSITRIM と出荷時トリミング値の合計で更新されます。

注： **MSB がセットされた MSITRIM 値を加算すると、結果的に減算されます。**

7.4.3 RCC クロック設定レジスタ (RCC_CFGR)

アドレス・オフセット : 0x008

リセット値 : 0x0007 0000

(POR リセット後、および STANDBY からのウェイクアップ後)

アクセス : 0 ≤ ウェイトステート ≤ 2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 のウェイトステートが挿入されます。

APB または AHB プリスケーラ値の更新中にアクセスが発生した場合、0 ~ 15 のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	MCOPRE[2:0]			MCOSEL[3:0]				Res.	Res.	Res.	Res.	Res.	PPRE 2F	PPRE 1F	HPREF
	rW	rW	rW	rW	rW	rW	rW						r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOPW UCK	Res.	PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]				SWS[1:0]		SW[1:0]	
rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	r	r	rW	rW

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:28 **MCOPRE[2:0]** : マイクロコントローラクロック出力プリスケーラ

これらのビットは、ソフトウェアによってセット/クリアされます。

MCO 出力を有効にする前に、このプリスケーラを変更することを強く推奨します。

000 : MCO は 1 分周されます。

001 : MCO は 2 分周されます。

010 : MCO は 4 分周されます。

011 : MCO は 8 分周されます。

100 : MCO は 16 分周されます。

その他 : 設定禁止

ビット 27:24 **MCOSSEL[3:0]** : マイクロコントローラクロック出力選択

これらのビットは、ソフトウェアによってセット/クリアされます。

0000 : MCO 出力無効、MCO にクロックなし

0001 : SYSCLK システムクロックの選択

0010 : MSI クロックの選択

0011 : HSI16 クロックの選択

0100 : HSE32 クロックの選択 (安定後)

0101 : メイン PLLRCLK クロックの選択

0110 : LSI クロックの選択

1000 : LSE クロックの選択

1101 : メイン PLLPCLK クロックの選択

1110 : メイン PLLQCLK クロックの選択

その他 : 予約済み

注 : このクロック出力では、起動時、低消費電力モードへの移行と低消費電力モードからのウェイクアップ時、または MCO クロックソースの切り替え時に、いくつかの切り捨てサイクルが発生することがあります。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **PPRE2F** : PCLK2 プリスケアラフラグ (APB2)

このビットは、PCLK2 プリスケアラプログラミングに確認応答するために、ハードウェアによってセット/リセットされます。PPRE2 に新しいプリスケアラの値がプログラムされたときにリセットされ、プログラムされた値が実際に適用されるときにセットされます。

0 : PCLK2 プリスケアラ値はまだ適用されません。

1 : PCLK2 プリスケアラの値が適用されます。

ビット 17 **PPRE1F** : PCLK1 プリスケアラフラグ (APB1)

このビットは、PCLK1 プリスケアラプログラミングに確認応答するために、ハードウェアによってセット/リセットされます。PPRE1 に新しいプリスケアラの値がプログラムされたときにリセットされ、プログラムされた値が実際に適用されるときにセットされます。

0 : PCLK1 プリスケアラ値はまだ適用されません。

1 : PCLK1 プリスケアラの値が適用されます。

ビット 16 **HPREF** : HCLK1 プリスケアラフラグ (CPU1、AHB1、および AHB2)

このビットは、HCLK1 プリスケアラプログラミングに確認応答するために、ハードウェアによってセット/リセットされます。これは、HPRE に新しいプリスケアラ値がプログラムされたときにリセットされ、プログラムされた値が実際に適用されるときにセットされます。

0 : HCLK1 プリスケアラ値はまだ適用されません。

1 : HCLK1 プリスケアラの値が適用されます。

ビット 15 **STOPWUCK** : STOP モードからのウェイクアップおよび CSS バックアップクロックの選択

このビットは、STOP モード終了時に使用されるシステムクロックを選択するために、ソフトウェアによってセット/クリアされます。選択されたクロックは、HSE32 の CSS の非常時クロックにも使用されます。

0 : STOP からのウェイクアップクロックおよび CSS バックアップクロックとして MSI オシレータが選択されます。

1 : STOP からのウェイクアップクロックおよび CSS バックアップクロックとして HSI16 オシレータが選択されます。

注 : **警告 :** HSE32 CSS が RCC_CR レジスタの CSSIONIによって有効化され、システムクロックが HSE32 (SWS = 10) であるか HSE32 のスイッチ (SW = 10) が要求されている場合、STOPWUCK を変更しないでください。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13:11 **PPRE2[2:0]** : PCLK2 ハイスピードプリスケアラ (APB2)

これらのビットは、PCLK2 クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます (APB2)。PPRE2F フラグで、プログラムされた PPRE2 プリスケアラ値が適用されたかどうかをチェックできます。

0xx : HCLK1 分周なし
100 : HCLK1 は 2 分周されます。
101 : HCLK1 は 4 分周されます。
110 : HCLK1 は 8 分周されます。
111 : HCLK1 は 16 分周されます。

ビット 10:8 **PPRE1[2:0]** : PCLK1 ロースピードプリスケアラ (APB1)

これらのビットは、PCLK1 クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます (APB1)。PPRE1F フラグで、プログラムされた PPRE1 プリスケアラ値が適用されたかどうかをチェックできます。

0xx : HCLK1 分周なし
100 : HCLK1 は 2 分周されます。
101 : HCLK1 は 4 分周されます。
110 : HCLK1 は 8 分周されます。
111 : HCLK1 は 16 分周されます。

ビット 7:4 **HPRE[3:0]** : HCLK1 プリスケアラ (CPU1、AHB1、および AHB2)

これらのビットは、HCLK1 クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます (CPU1、AHB1、AHB2)。HPREF フラグで、プログラムされた HPRE プリスケアラ値が適用されたかどうかをチェックできます。

0001 : SYSCLK は 3 分周されます。
0010 : SYSCLK は 5 分周されます。
0101 : SYSCLK は 6 分周されます。
0110 : SYSCLK は 10 分周されます。
0111 : SYSCLK は 32 分周されます。
1000 : SYSCLK は 2 分周されます。
1001 : SYSCLK は 4 分周されます。
1010 : SYSCLK は 8 分周されます。
1011 : SYSCLK は 16 分周されます。
1100 : SYSCLK は 64 分周されます。
1101 : SYSCLK は 128 分周されます。
1110 : SYSCLK は 256 分周されます。
1111 : SYSCLK は 512 分周されます。
その他 : SYSCLK は分周されません。

注意 : デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しくセットし、システム周波数が最大許容周波数を超えないようにします (詳細については、[セクション 6.1.4: ダイナミック電圧スケールリングの管理](#)を参照)。これらのビットの書き込み動作後、電圧レンジを下げる前に、HPREF ビットを読み出して新しい値が正しく反映されていることを確認する必要があります。

ビット 3:2 **SWS[1:0]** : システムクロックスイッチステータス

これらのビットは、どのクロックソースがシステムクロックとして使用されているかを示すために、ハードウェアによってセット/クリアされます。

00 : MSI オシレータがシステムクロックとして使用されています。
01 : HSI16 オシレータがシステムクロックとして使用されています。
10 : HSE32 がシステムクロックとして使用されています。
11 : PLLRCLK がシステムクロックとして使用されています。

ビット 1:0 **SW[1:0]** : システムクロックスイッチ

これらのビットは、システムクロックソース (SYSCLK) を選択するために、ソフトウェアによってセット/クリアされます。これらは、SHUTDOWN モードおよび STANDBY モードを終了するときに、強制的に MSI オシレータを選択するように、ハードウェアによって設定されます。

また、これらのビットは、STOP モードを終了するとき、または HSE32 オシレータに障害が発生した場合に、STOPWUCK の値に応じて強制的に MSI または HSI16 オシレータを選択するように、ハードウェアによって設定されます。

00 : MSI がシステムクロックとして選択されます。

01 : HSI16 がシステムクロックとして選択されます。

10 : HSE32 がシステムクロックとして選択されます。

11 : PLLRCLK がシステムクロックとして選択されます。

7.4.4 RCC PLL 設定レジスタ (RCC_PLLCFGR)

アドレス・オフセット : 0x00C

リセット値 : 0x2204 0100

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従ってメイン PLL クロック出力を設定するために使用します。

- $f(\text{VCO クロック}) = f(\text{PLL クロック入力}) \times (\text{PLL N} / \text{PLLM})$
- $f(\text{PLL}_P) = f(\text{VCO クロック}) / \text{PLL P}$
- $f(\text{PLL}_Q) = f(\text{VCO クロック}) / \text{PLL Q}$
- $f(\text{PLL}_R) = f(\text{VCO クロック}) / \text{PLL R}$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PLL R[2:0]			PLL REN	PLL Q[2:0]			PLL QEN	Res.	Res.	PLL P[4:0]				PLL PEN	
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PLL N[6:0]						Res.	PLL M[2:0]			Res.	Res.	PLL SRC[1:0]		
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw			rw	rw

ビット 31:29 **PLLR[2:0]** : PLLRCLK のためのメイン PLL 分周比

これらのビットは、メイン PLL 出力クロック PLLRCLK の周波数を制御するために、ソフトウェアによってセット/クリアされます。この出力は、システムクロックで選択できます。これらのビットに書き込めるのは、PLL が無効なときだけです。

$\text{PLLRCLK 出力クロック周波数} = \text{VCO 周波数} / \text{PLLR}$ 、ここで PLLR = 2, 3, 4,... または 8 [VCO 周波数 / (N + 1)]

000 : 予約済み

001 : PLLR = 2

010 : PLLR = 3

011 : PLLR = 4

100 : PLLR = 5

101 : PLLR = 6

110 : PLLR = 7

111 : PLLR = 8

注 : これらのビットは、レンジ 1 のこのドメインで 48 MHz を超えないように、ソフトウェアで正しくセットする必要があります。

ビット 28 **PLLREN** : メイン PLL の PLLRCLK 出力の有効化

このビットは、メイン PLL の PLLRCLK 出力を有効化するために、ソフトウェアによってセット/リセットされます。PLL の PLLRCLK 出力がシステムクロックとして使用されている場合は、書き込めません。電力を削減するために、PLL の PLLRCLK 出力を使用しない場合は、PLLREN の値を 0 にする必要があります。

0 : PLLRCLK 出力は無効です。

1 : PLLRCLK 出力は有効です。

ビット 27:25 **PLLQ[2:0]** : PLLQCLK のためのメイン PLL 分周比

これらのビットは、メイン PLL 出カクロック PLLQCLK の周波数を制御するために、ソフトウェアによってセット/クリアされます。この出力はハードウェア乱数発生器クロック用に選択できます。これらのビットに書き込めるのは、PLL が無効なときだけです。

PLLQCLK 出カクロック周波数 = VCO 周波数 / PLLQ、ここで PLLQ = 2, 3, 4,... または 8 [VCO 周波数 / (N + 1)]

000 : 予約済み

001 : PLLQ = 2

010 : PLLQ = 3

011 : PLLQ = 4

100 : PLLQ = 5

101 : PLLQ = 6

110 : PLLQ = 7

111 : PLLQ = 8

注 : これらのビットは、レンジ 1 のこのドメインで 48 MHz を超えないように、ソフトウェアで正しくセットする必要があります。

ビット 24 **PLLQEN** : メイン PLL の PLLQCLK 出力の有効化

このビットは、メイン PLL の PLLQCLK 出力を有効化するために、ソフトウェアによってセット/リセットされます。電力を削減するために、PLL の PLLQCLK 出力を使用しない場合は、PLLQEN の値を 0 にする必要があります。

0 : PLLQCLK 出力は無効です。

1 : PLLQCLK 出力は有効です。

ビット 23:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:17 **PLL P[4:0]** : PLLPCLK のためのメイン PLL 分周比

これらのビットは、メイン PLL 出カクロック PLLPCLK の周波数を制御するために、ソフトウェアによってセット/クリアされます。この出力は ADC 用に選択できます。これらのビットに書き込めるのは、PLL が無効なときだけです。

PLLPCLK 出カクロック周波数 = VCO 周波数 / PLLP、ここで PLLP = 2, 3, 4,... または 32 [VCO 周波数 / (N + 1)]

0000 : 予約済み

00001 : PLLP = 2

00010 : PLLP = 3

00011 : PLLP = 4

00100 : PLLP = 5

.....

11111 : PLLP = 32

注意 : これらのビットは、レンジ 1 のこのドメインで 48 MHz を超えないように、ソフトウェアで正しくセットする必要があります。

ビット 16 **PLL PEN** : メイン PLL の PLLCLK 出力の有効化

このビットは、メイン PLL の PLLCLK 出力を有効化するために、ソフトウェアによってセット/リセットされます。電力を削減するために、PLL の PLLCLK 出力を使用しない場合は、PLL PEN の値を 0 にする必要があります。

0 : PLLCLK 出力は無効です。

1 : PLLCLK 出力は有効です。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:8 **PLL N[6:0]** : メイン PLL の VCO に対する通倍数

これらのビットは、VCO の通倍数を制御するために、ソフトウェアによってセット/クリアされます。これらに書き込めるのは、PLL が無効なときだけです。

VCO 出力周波数 = VCO 入力周波数 × PLL N、ここで $6 \leq \text{PLL N} < 127$

0000000 : 予約済み。使用できません。

.....

0000101 : 予約済み。使用できません。

0000110 : PLL N = 6

0000111 : PLL N = 7

.....

1010101 : PLL N = 85

1010110 : PLL N = 86

.....

1111111 : PLL N = 127

注意 : これらのビットは、VCO 出力周波数が 96 ~ 344 MHz の間になるように、ソフトウェアで正しく設定する必要があります。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **PLL M[2:0]** : メイン PLL 入力クロックのための分周比

これらのビットは、PLL 入力クロックを VCO の前で分周するために、ソフトウェアによってセット/クリアされます。これらに書き込めるのは、PLL が無効なときだけです。

VCO 入力周波数 = PLL 入力クロック周波数 / PLL M、ここで $1 \leq \text{PLL M} \leq 8$

000 : PLL M = 1

001 : PLL M = 2

010 : PLL M = 3

011 : PLL M = 4

100 : PLL M = 5

101 : PLL M = 6

110 : PLL M = 7

111 : PLL M = 8

注意 : これらのビットは、VCO 入力周波数が 2.66 ~ 16 MHz の間になるように、ソフトウェアで正しく設定する必要があります。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PLL SRC[1:0]** : メイン PLL 入力クロックソース

これらのビットは、PLL クロックソースを選択するために、ソフトウェアによってセット/クリアされます。これらに書き込めるのは、PLL が無効なときだけです。電力を削減するために、PLL を使用しない場合は、PLL SRC の値を 0 にする必要があります。

00 : PLL にクロックが送信されません。

01 : MSI クロックが PLL クロック入力としてとして選択されます。

10 : HSI16 クロックが PLL クロック入力としてとして選択されます。

11 : HSE32 クロックが PLL クロック入力としてとして選択されます。

7.4.5 RCC クロック割込み有効化レジスタ (RCC_CIER)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	LSE CSSIE	Res.	Res.	Res.	PLL RDYIE	HSE RDYIE	HSI RDYIE	MSI RDYIE	LSE RDYIE	LSI RDYIE
						rW				rW	rW	rW	rW	rW	rW

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **LSECSSIE** : LSE クロックセキュリティシステム割込み有効化

このビットは、LSE の CSS によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : LSE クロック障害によるクロックセキュリティ割込みは無効です。

1 : LSE クロック障害によるクロックセキュリティ割込みは有効です。

ビット 8:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **PLL RDYIE** : PLL レディ割込みイネーブル

このビットは、PLL ロックによって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : PLL ロック割込みは無効です。

1 : PLL ロック割込みは有効です。

ビット 4 **HSERDYIE** : HSE32 レディ割込み有効化

このビットは、HSE32 オシレータの安定化によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : HSE32 レディ割込みは無効です。

1 : HSE32 レディ割込みは有効です。

ビット 3 **HSIRDYIE** : HSI16 レディ割込み有効化

このビットは、HSI16 オシレータの安定化によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : HSI16 レディ割込みは無効です。

1 : HSI16 レディ割込みは有効です。

ビット 2 **MSIRDYIE** : MSI レディ割込みイネーブル

このビットは、MSI オシレータの安定化によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : MSI レディ割込みは無効です。

1 : MSI レディ割込みは有効です。

ビット 1 **LSERDYIE** : LSE レディ割込みイネーブル

このビットは、LSE オシレータの安定化によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : LSE レディ割込みは無効です。

1 : LSE レディ割込みは有効です。

ビット 0 **LSIRDYIE** : LSI レディ割込みイネーブル

このビットは、LSI オシレータの安定化によって発生する割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : LSI レディ割込みは無効です。

1 : LSI レディ割込みは有効です。

7.4.6 RCC クロック割込みフラグレジスタ (RCC_CIFR)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	LSE CSSF	CSSF	Res.	Res.	PLL RDYF	HSE RDYF	HSI RDYF	MSI RDYF	LSE RDYF	LSI RDYF
						r	r			r	r	r	r	r	r

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **LSECSSF** : マスク後の LSE CSS (クロックセキュリティシステム) フラグ

このビットは、LSECSSIE = 1 の状態で、LSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。LSECSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : LSE クロック障害による CSS 割込みは発生していません。

1 : LSE クロック障害によって CSS 割込みが発生しました。

ビット 8 **CSSF** : HSE32 CSS フラグ

このビットは、HSE32 オシレータで障害が検出されたときに、ハードウェアによってセットされます。CSSC ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : HSE32 クロック障害によるクロックセキュリティ割込みは発生していません。

1 : HSE32 クロック障害によってクロックセキュリティ割込みが発生しました。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **PLL RDYF** : PLL レディ割込みフラグ

このビットは、PLL がロックされ、PLL RDYDIE がセットされているときに、ハードウェアによってセットされます。PLL RDYDIE ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : PLL ロックによるクロックレディ割込みは発生していません。

1 : PLL ロックによるクロックレディ割込みが発生しました。

ビット 4 **HSERDYF** : HSE32 レディ割込みフラグ

このビットは、HSE32 クロックが安定し、HSERDYDIE がセットされているときに、ハードウェアによってセットされます。HSERDYDIE ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : HSE32 オシレータによるクロックレディ割込みは発生していません。

1 : HSE32 オシレータによるクロックレディ割込みが発生しました。

ビット 3 **HSIRDYF** : HSI16 レディ割り込みフラグ

このビットは、HSI16 クロックが安定し、RCC_CR レジスタの HSION の設定に応じて HSIRDYDIE がセットされたときに、ハードウェアによってセットされます。HSION がセットされず、ただしくロックリクエストを通じてペリフェラルによって HSI16 オシレータが有効化された場合、このビットはセットされず、割り込みも生成されません。HSIRDYC ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : HSI16 オシレータによるクロックレディ割り込みは発生していません。

1 : HSI16 オシレータによるクロックレディ割り込みが発生しました。

ビット 2 **MSIRDYF** : MSI レディ割り込みフラグ

このビットは、MSI クロックが安定し、MSIRDYDIE がセットされているときに、ハードウェアによってセットされます。MSIRDYC ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : MSI オシレータによるクロックレディ割り込みは発生していません。

1 : MSI オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF** : LSE レディ割り込みフラグ

このビットは、LSE クロックが安定し、LSERDYDIE がセットされているときに、ハードウェアによってセットされます。LSERDYC ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : LSE オシレータによるクロックレディ割り込みは発生していません。

1 : LSE オシレータによるクロックレディ割り込みが発生しました。

ビット 0 **LSIRDYF** : LSI レディ割り込みフラグ

このビットは、LSI クロックが安定し、LSIRDYDIE がセットされているときに、ハードウェアによってセットされます。LSIRDYC ビットをセットすることにより、ソフトウェアによってクリアされます。

0 : LSI オシレータによるクロックレディ割り込みは発生していません。

1 : LSI オシレータによるクロックレディ割り込みが発生しました。

7.4.7 **RCC クロック割り込みクリアレジスタ (RCC_CICR)**

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	LSE CSSC	CSSC	Res.	Res.	PLL RDYC	HSE RDYC	HSI RDYC	MSI RDYC	LSE RDYC	LSI RDYC
						w	w			w	w	w	w	w	w

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **LSECSSC** : LSE CSS フラグクリア

このビットは、LSECSSF フラグをクリアするために、ソフトウェアによってセットされます。

0 : 影響なし。

1 : LSECSSF フラグをクリアします。

ビット 8 **CSSC** : HSE32 CSS フラグクリア

このビットは、HSECSSF フラグをクリアするために、ソフトウェアによってセットされます。

0 : 影響なし。

1 : HSECSSF フラグをクリアします。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

- ビット 5 **PLLRDYC** : PLL レディ割込みクリア
このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : PLLRDYF フラグをクリアします。
- ビット 4 **HSERDYC** : HSE32 レディ割込みクリア
このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : HSERDYF フラグをクリアします。
- ビット 3 **HSIRDYC** : HSI16 レディ割込みクリア
このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : HSIRDYF フラグをクリアします。
- ビット 2 **MSIRDYC** : MSI レディ割込みクリア
このビットは、MSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : MSIRDYF フラグをクリアします。
- ビット 1 **LSERDYC** : LSE レディ割込みクリア
このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : LSERDYF フラグをクリアします。
- ビット 0 **LSIRDYC** : LSI レディ割込みクリア
このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : LSIRDYF フラグをクリアします。

7.4.8 RCC AHB1 ペリフェラルリセットレジスタ (RCC_AHB1RSTR)

アドレス・オフセット : 0x028

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA MUX1 RST	DMA2 RST	DMA1 RST
			rw										rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCRST** : CRC リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : CRC リセット

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1RST** : DMAMUX1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : DMAMUX1 リセット

ビット 1 **DMA2RST** : DMA2 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : DMA2 リセット

ビット 0 **DMA1RST** : DMA1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : DMA1 リセット

7.4.9 RCC AHB2 ペリフェラルリセットレジスタ (RCC_AHB2RSTR)

アドレス・オフセット : 0x02C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOH RST	Res.	Res.	Res.	Res.	GPIOC RST	GPIOB RST	GPIOA RST
								rw					rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHRST** : IO ポート H リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : IO ポート H リセット

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **GPIOCRST** : IO ポート C リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : IO ポート C リセット

ビット 1 **GPIOBRST** : IO ポート B リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : IO ポート B リセット

ビット 0 **GPIOARST** : IO ポート A リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : IO ポート A リセット

7.4.10 RCC AHB3 ペリフェラルリセットレジスタ (RCC_AHB3RSTR)

アドレス・オフセット : 0x030

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASH RST	Res.	Res.	Res.	Res.	IPCC RST	HSEM RST	RNG RST	AES RST	PKA RST
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHRST** : Flash インタフェースリセット

このビットは、Flashメモリがパワーダウンの場合にのみセットできます。ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : Flashメモリインタフェースリセット

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCRST** : IPCC インタフェースリセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : IPCC リセット

ビット 19 **HSEMRST** : HSEM リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : HSEM リセット

ビット 18 **RNGRST** : ハードウェア乱数発生器のリセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : ハードウェア乱数発生器のリセット

ビット 17 **AESRST** : AES ハードウェアアクセラレータリセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : AES リセット

ビット 16 **PKARST** : PKA ハードウェアアクセラレータリセット

このビットは、ソフトウェアによってセット/クリアされます。ハードウェア PKA SRAM 消去が進行中の場合、PKA リセットは無効です。

0 : 影響なし。

1 : PKA リセット

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

7.4.11 RCC APB1 ペリフェラルリセットレジスタ 1 (RCC_APB1RSTR1)

アドレス・オフセット : 0x038

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 RST	Res.	DAC RST	Res.	Res.	Res.	Res.	Res.	I2C3 RST	I2C2 RST	I2C1 RST	Res.	Res.	Res.	USART2 RST	Res.
rw		rw						rw	rw	rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2S2 RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 RST
	rw														rw

ビット 31 **LPTIM1RST** : 低消費電力タイマ 1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : LPTIM1 リセット

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **DACRST** : DAC リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : DAC リセット

ビット 28:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **I2C3RST** : I2C3 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : I2C3 リセット

ビット 22 **I2C2RST** : I2C2 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : I2C2 リセット

ビット 21 **I2C1RST** : I2C1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : I2C1 リセット

ビット 20:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **USART2RST** : USART2 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : USART2 リセット

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2S2RST** : SPI2S2 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : SPI2S2 リセット

ビット 13:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2RST** : TIM2 タイマリセット

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 影響なし。
 1 : TIM2 リセット

7.4.12 RCC APB1 ペリフェラルリセットレジスタ 2 (RCC_APB1RSTR2)

アドレス・オフセット : 0x03C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM3RST	LPTIM2RST	Res.	Res.	Res.	Res.	LPUART1RST
									rw	rw					rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LPTIM3RST** : 低消費電力タイマ 3 リセット

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 影響なし。
 1 : LPTIM3 リセット

ビット 5 **LPTIM2RST** : 低消費電力タイマ 2 リセット

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 影響なし。
 1 : LPTIM2 リセット

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1RST** : 低消費電力 UART 1 リセット

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 影響なし。
 1 : LPUART1 リセット

7.4.13 RCC APB2 ペリフェラルリセットレジスタ (RCC_APB2RSTR)

アドレス・オフセット : 0x040

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17 RST	TIM16 RST	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 RST	Res.	SPI1 RST	TIM1 RST	Res.	ADC RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw		rw									

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17RST** : タイマ 17 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : TIM17 リセット

ビット 17 **TIM16RST** : タイマ 16 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : TIM16 リセット

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1RST** : USART1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : USART1 リセット

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1RST** : SPI1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : SPI1 リセット

ビット 11 **TIM1RST** : タイマ 1 リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : TIM1 リセット

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ADCRST** : ADC リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : ADC リセット

ビット 8:0 予約済みであり、リセット値に保持する必要があります。

7.4.14 RCC APB3 ペリフェラルリセットレジスタ (RCC_APB3RSTR)

アドレス・オフセット : 0x044

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPIRST
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SUBGHZSPIRST** : Sub-GHz 無線の SPI リセット

このビットは、ソフトウェアによってセット/クリアされます。

0 : 影響なし。

1 : Sub-GHz 無線の SPI リセット

7.4.15 RCC AHB1 ペリフェラルクロック有効化レジスタ (RCC_AHB1ENR)

アドレス・オフセット : 0x048

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA MUX1 EN	DMA2 EN	DMA1 EN
			rw										rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCEN** : CPU1 の CRC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の CRC クロックは無効です。

1 : CPU1 の CRC クロックは有効です。

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

- ビット 2 **DMAMUX1EN** : CPU1 の DMAMUX1 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の DMAMUX1 クロックは無効です。
1 : CPU1 の DMAMUX1 クロックは有効です。
- ビット 1 **DMA2EN** : CPU1 の DMA2 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の DMA2 クロックは無効です。
1 : CPU1 の DMA2 クロックは有効です。
- ビット 0 **DMA1EN** : CPU1 の DMA1 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の DMA1 クロックは無効です。
1 : CPU1 の DMA1 クロックは有効です。

7.4.16 RCC AHB2 ペリフェラルクロック有効化レジスタ (RCC_AHB2ENR)

アドレス・オフセット : 0x04C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOH EN	Res.	Res.	Res.	Res.	GPIOC EN	GPIOB EN	GPIOA EN
								rw					rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

- ビット 7 **GPIOHEN** : CPU1 の IO ポートの H クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の IO ポートの H クロックは無効です。
1 : CPU1 の IO ポートの H クロックは有効です。

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

- ビット 2 **GPIOCEN** : CPU1 の IO ポートの C クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の IO ポートの C クロックは無効です。
1 : CPU1 の IO ポートの C クロックは有効です。

- ビット 1 **GPIOBEN** : CPU1 の IO ポートの B クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の IO ポートの B クロックは無効です。
1 : CPU1 の IO ポートの B クロックは有効です。

- ビット 0 **GPIOAEN** : CPU1 の IO ポートの A クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の IO ポートの A クロックは無効です。
1 : CPU1 の IO ポートの A クロックは有効です。

7.4.17 RCC AHB3 ペリフェラルクロック有効化レジスタ (RCC_AHB3ENR)

アドレス・オフセット : 0x050

リセット値 : 0x0208 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASH EN	Res.	Res.	Res.	Res.	IPCC EN	HSEM EN	RNG EN	AES EN	PKA EN
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHEN** : CPU1 の Flash メモリインタフェースクロックの有効化

このビットは、Flash メモリがパワーダウンの場合にのみクリアできます。ソフトウェアでセット/クリアされます。

0 : CPU1 の Flash インタフェースクロックは無効です。

1 : CPU1 の Flash インタフェースクロックは有効です。

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCEN** : CPU1 の IPCC インタフェースクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の IPCC クロックは無効です。

1 : CPU1 の IPCC クロックは有効です。

ビット 19 **HSEMEN** : CPU1 の HSEM クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の HSEM クロックは無効です。

1 : CPU1 の HSEM クロックは有効です。

ビット 18 **RNGEN** : CPU1 のハードウェア乱数発生器のクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 のハードウェア乱数発生器のバスおよびカーネルクロックは無効です。

1 : CPU1 のハードウェア乱数発生器のバスおよびカーネルクロックは有効です。

ビット 17 **AESEN** : CPU1 の AES アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の AES クロックは無効です。

1 : CPU1 の AES クロックは有効です。

ビット 16 **PKAEN** : CPU1 の PKA アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

PKA クロックは、ハードウェア PKA SRAM 消去が進行中のときに有効になります。

0 : CPU1 の PKA クロックは無効です。

1 : CPU1 の PKA クロックは有効です。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

7.4.18 RCC APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_APB1ENR1)

アドレス・オフセット : 0x058

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 EN	Res.	DAC EN	Res.	Res.	Res.	Res.	Res.	I2C3 EN	I2C2 EN	I2C1 EN	Res.	Res.	Res.	USART2 EN	Res.
rw		rw						rw	rw	rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2S2 EN	Res.	Res.	WWDG EN	RTCAPBEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 EN
	rw			rs	rw										rw

ビット 31 **LPTIM1EN** : CPU1 の低消費電力タイマ 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の LPTIM1 バスおよびカーネルクロックは無効です。

1 : CPU1 の LPTIM1 バスおよびカーネルクロックは有効です。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **DACEN** : CPU1 の DAC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の DAC クロックは無効です。

1 : CPU1 の DAC クロックは有効です。

ビット 28:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **I2C3EN** : CPU1 の I2C3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の I2C3 バスおよびカーネルクロックは無効です。

1 : CPU1 の I2C3 バスおよびカーネルクロックは有効です。

ビット 22 **I2C2EN** : CPU1 の I2C2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の I2C2 バスおよびカーネルクロックは無効です。

1 : CPU1 の I2C2 バスおよびカーネルクロックは有効です。

ビット 21 **I2C1EN** : CPU1 の I2C1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の I2C1 バスおよびカーネルクロックは無効です。

1 : CPU1 の I2C1 バスおよびカーネルクロックは有効です。

ビット 20:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **USART2EN** : CPU1 の USART2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の USART2 バスおよびカーネルクロックは無効です。

1 : CPU1 の USART2 バスおよびカーネルクロックは有効です。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2S2EN** : CPU1 の SPI2S2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の SPI2S2 クロックは無効です。

1 : CPU1 の SPI2S2 クロックは有効です。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WWDGEN** : CPU1 のウィンドウ型ウォッチドッグクロックの有効化

このビットは、ウィンドウ型ウォッチドッグクロックを有効にするために、ソフトウェアによってセットされます。ハードウェアシステムリセットによってリセットされます。このビットは、ハードウェア WWDG_SW オプションがリセットされると、ハードウェアにより強制的に「1」に設定されます。

0 : CPU1 のウィンドウ型ウォッチドッグクロックは無効です。

1 : CPU1 のウィンドウ型ウォッチドッグクロックは有効です。

ビット 10 **RTCAPBEN** : CPU1 の RTC APB バスクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

RTC カーネルクロックは、RCC_BDCR レジスタの RTCEN ビットによって制御されます。

0 : CPU1 の RTC APB バスクロックは無効です。

1 : CPU1 の RTC APB バスクロックは有効です。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2EN** : CPU1 のタイマ 2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の TIM2 クロックは無効です。

1 : CPU1 の TIM2 クロックは有効です。

7.4.19 RCC APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_APB1ENR2)

アドレス・オフセット : 0x05C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM3EN	LPTIM2EN	Res.	Res.	Res.	Res.	LPUART1EN
									rw	rw					rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LPTIM3EN** : CPU1 の低消費電力タイマ 3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 の LPTIM3 バスおよびカーネルクロックは無効です。

1 : CPU1 の LPTIM3 バスおよびカーネルクロックは有効です。

ビット 5 **LPTIM2EN** : CPU1 の低消費電力タイマ 2 クロックの有効化
ソフトウェアでセット/クリアされます。
0 : CPU1 の LPTIM2 バスおよびカーネルクロックは無効です。
1 : CPU1 の LPTIM2 バスおよびカーネルクロックは有効です。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1EN** : CPU1 の低消費電力 UART 1 クロックの有効化
ソフトウェアでセット/クリアされます。
0 : CPU1 の LPUART1 バスおよびカーネルクロックは無効です。
1 : CPU1 の LPUART1 バスおよびカーネルクロックは有効です。

7.4.20 RCC APB2 ペリフェラルクロック有効化レジスタ (RCC_APB2ENR)

アドレス・オフセット : 0x060

リセット値 : 0x0000 0000

アクセス : ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17 EN	TIM16 EN	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 EN	Res.	SPI1 EN	TIM1 EN	Res.	ADC EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw		rw									

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17EN** : CPU1 のタイマ 17 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の TIM17 クロックは無効です。
1 : CPU1 の TIM17 クロックは有効です。

ビット 17 **TIM16EN** : CPU1 のタイマ 16 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の TIM16 クロックは無効です。
1 : CPU1 の TIM16 クロックは有効です。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1EN** : CPU1 の USART1 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の USART1 バスおよびカーネルクロックは無効です。
1 : CPU1 の USART1 バスおよびカーネルクロックは有効です。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1EN** : CPU1 の SPI1 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU1 の SPI1 クロックは無効です。
1 : CPU1 の SPI1 クロックは有効です。

ビット 11 **TIM1EN** : CPU1 の TIM1 タイマクロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU1 の TIM1 タイマクロックは無効です。
 1 : CPU1 の TIM1P タイマクロックは有効です。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ADCEN** : CPU1 の ADC クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU1 の ADC パスおよびカーネルクロックは無効です。
 1 : CPU1 の ADC パスおよびカーネルクロックは有効です。

ビット 8:0 予約済みであり、リセット値に保持する必要があります。

7.4.21 RCC APB3 ペリフェラルクロック有効化レジスタ (RCC_APB3ENR)

アドレス・オフセット : 0x64

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPIEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SUBGHZSPIEN** : CPU1 の Sub-GHz 無線の SPI クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU1 の Sub-GHz 無線の SPI クロックは無効です。
 1 : CPU1 の Sub-GHz 無線の SPI クロックは有効です。

7.4.22 SLEEP モードにおける RCC AHB1 ペリフェラルクロック有効化レジスタ (RCC_AHB1SMENR)

アドレス・オフセット : 0x068

リセット値 : 0x0000 1007

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1SMEN	DMA2SMEN	DMA1SMEN
			rw										rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCSMEN** : CPU1 CSleep モード時の CRC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、CRC クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、CRC クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1SMEN** : CPU1 CSleep モード時の DMAMUX1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、DMAMUX1 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、DMAMUX1 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 1 **DMA2SMEN** : CPU1 CSleep モード時の DMA2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、DMA2 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、DMA2 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 0 **DMA1SMEN** : CPU1 CSleep モード時の DMA1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、DMA1 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、DMA1 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

7.4.23 SLEEPモードにおける RCC AHB2 ペリフェラルクロック有効化レジスタ (RCC_AHB2SMENR)

アドレス・オフセット : 0x06C

リセット値 : 0x0000 0087

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOH SMEN	Res.	Res.	Res.	Res.	GPIOC SMEN	GPIOB SMEN	GPIOA SMEN
								rw					rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHSMEN** : CPU1 CSleep モード時の IO ポートの H クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、IO ポートの H クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、IO ポートの H クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **GPIOCSMEN** : CPU1 CSleep モード時の IO ポートの C クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、IO ポートの C クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、IO ポートの C クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 1 **GPIOBSMEN** : CPU1 CSleep モード時の IO ポートの B クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、IO ポートの B クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、IO ポートの B クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 0 **GPIOASMEN** : CPU1 CSleep モード時の IO ポートの A クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、IO ポートの A クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、IO ポートの A クロックは、クロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

7.4.24 SLEEP モードおよび STOP モードにおける RCC AHB3 ペリフェラルクロック有効化レジスタ (RCC_AHB3SMENR)

アドレス・オフセット : 0x070

リセット値 : 0x0387 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASH SMEN	SRAM2 SMEN	SRAM1 SMEN	Res.	Res.	Res.	Res.	RNG SMEN	AES SMEN	PKA SMEN
						rw	rw	rw					rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHSMEN** : CPU1 CSleep モード時のFlash メモリインタフェースクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、Flashメモリインタフェースクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、Flashメモリインタフェースクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 24 **SRAM2SMEN** : CPU1 CSleep モード時のSRAM2 メモリインタフェースクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、SRAM2 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、SRAM2 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 23 **SRAM1SMEN** : CPU1 CSleep モード時のSRAM1 インタフェースクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、SRAM1 インタフェースクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、SRAM1 インタフェースクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 22:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **RNGSMEN** : CPU1 CSleep および CStop モード時のハードウェア乱数発生器のクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、ハードウェア乱数発生器のバスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、ハードウェア乱数発生器のバスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 17 **AESSMEN** : CPU1 CSleep モード時のAES アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、AES クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、AES クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 16 **PKASMEN** : CPU1 CSleep モード時の PKA アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、PKA クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、PKA クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

7.4.25 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_APB1SMENR1)

アドレス・オフセット : 0x078

リセット値 : 0xA0E2 : 4C01

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 SMEN	Res.	DAC SMEN	Res.	Res.	Res.	Res.	Res.	I2C3 SMEN	I2C2 SMEN	I2C1 SMEN	Res.	Res.	Res.	USART2 SMEN	Res.
rw		rw						rw	rw	rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2S2 SMEN	Res.	Res.	WWDGSMEN	RTC APB SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 SMEN
	rw			rw	rw										rw

ビット 31 **LPTIM1SMEN** : CPU1 CSleep および CStop モード時の低消費電力タイマ 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、LPTIM1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、LPTIM1 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **DACSMEN** : CPU1 CSleep および CStop モード時の DAC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、DAC クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、DAC クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 28:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **I2C3SMEN** : CPU1 CSleep および CStop モード時の I2C3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、I2C3 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、I2C3 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 22 **I2C2SMEN** : CPU1 CSleep および CStop モード時の I2C2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、I2C2 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、I2C2 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 21 **I2C1SMEN** : CPU1 CSleep および CStop モード時の I2C1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、I2C1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、I2C1 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 20:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **USART2SMEN** : CPU1 CSleep および CStop モード時の USART2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、USART2 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、USART2 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2S2SMEN** : CPU1 CSleep および CStop モード時の SPI2S2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、SPI2S2 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、SPI2S2 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WWDGSMEN** : CPU1 CSleep および CStop モード時のウィンドウ型ウォッチドッグクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。ハードウェアの WWDG_SW オプションがリセットされると、ハードウェアにより強制的に「1」に設定されます。

0 : CPU1 CSleep および CStop モード時、ウィンドウ型ウォッチドッグクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、ウィンドウウォッチドッグクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 10 **RTCAPBSMEN** : CPU1 CSleep および CStop モード時の RTC APB バスクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。RTC カーネルクロックは、RCC_BDCR レジスタの RTCEN ビットによって制御されます。

0 : CPU1 CSleep および CStop モード時、RTC APB バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、RTC APB バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2SMEN** : CPU1 CSleep および CStop モード時のタイマ 2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、TIM2 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、TIM2 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

7.4.26 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_APB1SMENR2)

アドレス・オフセット : 0x07C

リセット値 : 0x0000 0061

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM3SMEN	LPTIM2SMEN	Res.	Res.	Res.	Res.	LPUART1SMEN
									rw	rw					rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LPTIM3SMEN** : CPU1 CSleep および CStop モード時の低消費電力タイマ 3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、LPTIM3 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、LPTIM3 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 5 **LPTIM2SMEN** : CPU1 CSleep および CStop モード時の低消費電力タイマ 2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、LPTIM2 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、LPTIM2 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1SMEN** : CPU1 CSleep および CStop モード時の低消費電力 UART 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、LPUART1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、LPUART1 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

7.4.27 SLEEPモードにおける RCC APB2 ペリフェラルクロック有効化レジスタ (RCC_APB2SMENR)

アドレス・オフセット : 0x080

リセット値 : 0x0006 : 5A00

アクセス : ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17 SMEN	TIM16 SMEN	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 SMEN	Res.	SPI1 SMEN	TIM1 SMEN	Res.	ADC SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw		rw									

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17SMEN** : CPU1 CSleep および CStop 時のタイマ 17 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、TIM17 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、TIM17 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 17 **TIM16SMEN** : CPU1 CSleep および CStop 時のタイマ 16 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、TIM16 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、TIM16 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1SMEN** : CPU1 CSleep および CStop モード時の USART1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、USART1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、USART1 バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1SMEN** : CPU1 CSleep および CStop モード時の SPI1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、SPI1 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、SPI1 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 11 **TIM1SMEN** : CPU1 CSleep および CStop 時のタイマ 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、TIM1 クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、TIM1 クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ADCSMEN** : CPU1 CSleep および CStop モード時の ADC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、ADC バスクロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、ADC バスクロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 8:0 予約済みであり、リセット値に保持する必要があります。

7.4.28 SLEEPモードにおける RCC APB3 ペリフェラルクロック有効化レジスタ (RCC_APB3SMENR)

アドレス・オフセット : 0x084

リセット値 : 0x0000 0001

アクセス : ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPISMEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SUBGHZSPISMEN** : CPU1 CSleep および CStop モード時の Sub-GHz 無線の SPI クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU1 CSleep および CStop モード時、Sub-GHz 無線の SPI クロックはクロックゲーティングにより無効になります。

1 : CPU1 CSleep モード時、Sub-GHz 無線の SPI クロックはクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

7.4.29 RCC ペリフェラル独立クロック設定レジスタ (RCC_CCIPR)

アドレス・オフセット : 0x088

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNGSEL[1:0]		ADCSEL[1:0]		Res.	Res.	Res.	Res.	LPTIM3SEL [1:0]		LPTIM2SEL [1:0]		LPTIM1SEL [1:0]		I2C3SEL [1:0]	
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2C2SEL [1:0]		I2C1SEL [1:0]		LPUART1SEL [1:0]		SPI2S2SEL [1:0]		Res.	Res.	Res.	Res.	USART2SEL [1:0]		USART1SEL [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw

ビット 31:30 **RNGSEL[1:0]** : RNG クロックソース選択

これらのビットは、ハードウェア乱数発生器で使用されるクロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00 : PLL「Q」クロック (PLLQCLK) の選択

01 : LSI クロックの選択

10 : LSE クロックの選択

11 : MSI クロックの選択

ビット 29:28 **ADCSEL[1:0]** : ADC クロックソース選択

これらのビットは、ADC インタフェースで使用されるクロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00 : 選択されたクロックがありません。

01 : HSI16 クロックの選択

10 : PLL「P」クロック (PLLCLK) の選択

11 : システムクロック (SYSCLK) の選択

ビット 27:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:22 **LPTIM3SEL[1:0]** : 低消費電力タイマ 3 クロックソース選択

これらのビットは、LPTIM3 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00 : PCLK が選択されます。

01 : LSI クロックの選択

10 : HSI16 クロックの選択

11 : LSE クロックの選択

ビット 21:20 **LPTIM2SEL[1:0]** : 低消費電力タイマ 2 クロックソース選択

これらのビットは、LPTIM2 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00 : PCLK が選択されます。

01 : LSI クロックの選択

10 : HSI16 クロックの選択

11 : LSE クロックの選択

ビット 19:18 **LPTIM1SEL[1:0]** : 低消費電力タイマ 1 クロックソース選択

これらのビットは、LPTIM1 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00 : PCLK が選択されます。

01 : LSI クロックの選択

10 : HSI16 クロックの選択

11 : LSE クロックの選択

- ビット 17:16 **I2C3SEL[1:0]** : I2C3 クロックソースの選択
これらのビットは、I2C3 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : PCLK が選択されます。
01 : システムクロック (SYSCLK) の選択
10 : HSI16 クロックの選択
11 : 予約済みです。
- ビット 15:14 **I2C2SEL[1:0]** : I2C2 クロックソースの選択
これらのビットは、I2C2 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : PCLK が選択されます。
01 : システムクロック (SYSCLK) の選択
10 : HSI16 クロック
11 : 予約済みです。
- ビット 13:12 **I2C1SEL[1:0]** : I2C1 クロックソースの選択
これらのビットは、I2C1 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : PCLK が選択されます。
01 : システムクロック (SYSCLK) の選択
10 : HSI16 クロックの選択
11 : 予約済みです。
- ビット 11:10 **LPUART1SEL[1:0]** : LPUART1 クロックソースの選択
これらのビットは、LPUART1 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : PCLK が選択されます。
01 : システムクロック (SYSCLK) の選択
10 : HSI16 クロックの選択
11 : LSE クロックの選択
- ビット 9:8 **SPI2S2SEL[1:0]** : SPI2S2 I2S クロックソースの選択
このビットは、SPI2S2 I2S クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : 予約済みです。
01 : PLL 「Q」 クロック (PLLQCLK) の選択
10 : HSI16 クロックの選択
11 : 外部入力 I2S_CKIN の選択
- ビット 7:4 予約済みであり、リセット値に保持する必要があります。
- ビット 3:2 **USART2SEL[1:0]** : USART2 クロックソースの選択
このビットは、USART2 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。
00 : PCLK が選択されます。
01 : システムクロック (SYSCLK) の選択
10 : HSI16 クロックの選択
11 : LSE クロックの選択

ビット 1:0 **USART1SEL[1:0]**: USART1 クロックソースの選択

これらのビットは、USART1 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。

00: PCLK が選択されます。

01: システムクロック (SYSCLK) の選択

10: HSI16 クロックの選択

11: LSE クロックの選択

7.4.30 RCC バックアップドメイン制御レジスタ (RCC_BDCR)

アドレス・オフセット: 0x090

リセット値: 0x0000 0000

バックアップドメインリセットによるリセット。ただし、LSCOSEL、LSCOEN、BDRST はバックアップドメインパワーオンリセットによってのみリセットされ、STANDBY と NRST パッドからのウェイクアップによってはリセットされないため、ここには含まれません。

アクセス: 0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

注: このレジスタのビットは、V_{CORE} ドメイン外にあります。このため、リセット後、これらのビットは書き込み保護されるので、これらを変更するには、**PWR 制御レジスタ 1 (PWR_CR1)** の DBP ビットをセットする必要があります。詳細については、[セクション 6.1.2: バッテリバックアップドメイン](#)を参照してください。これらのビット (LSCOSEL、LSCOEN、および BDRST を除く) は、バックアップドメインリセット後にのみリセットされます ([セクション 7.1.3: バックアップドメインリセット](#)を参照)。その他の内部または外部リセットは、これらのビットに影響しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	LSCO SEL	LSCO EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST
						rw	rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	Res.	Res.	Res.	LSESY SRDY	Res.	RTCSEL[1:0]	LSE SYSEN	LSE CSSD	LSE CSSON	LSEDRV[1:0]	LSE BYP	LSE RDY	LSEON		
rw				r		rw	rw	rw	r	rw	rw	rw	rw	r	rw

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **LSCOSEL**: ロースピードクロック出力選択

このビットは、ソフトウェアによってセット/クリアされます。

0: LSI クロックの選択

1: LSE クロックの選択

ビット 24 **LSCOEN**: ロースピードクロック出力の有効化

このビットは、ソフトウェアによってセット/クリアされます。

0: LSCO は無効です。

1: LSCO は有効です。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BDRST**: バックアップドメインソフトウェアリセット

このビットは、ソフトウェアによってセット/クリアされます。

0: リセットは有効ではありません。

1: バックアップドメイン全体のリセット

ビット 15 RTCEN : RTC カーネル クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。RTC APB バスクロックは、RCC_APB1ENR1 および RCC_C2APB1ENR1 レジスタの RTCAPBEN ビットと、RCC_CnAPB1SMENR1 および RCC_C2APB1SMENR1 レジスタの RTCAPBSMEN ビットで制御されます。

0 : RTC カーネルクロックは無効です。

1 : RTC カーネルクロックは有効です。

ビット 14:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 LSESYSRDY : LSE システムクロックレディ

このビットは、LSESYSEN ビットがセットされた後、LSE システムクロックのレディ状態になったタイミングを示すために、ハードウェアによってセット/クリアされます。このビットは、LSEON、LSERDY、および LSESYSEN がセットされている場合にのみ有効です。

0 : LSE システムクロックはレディ状態ではありません。

1 : LSE システムクロックはレディ状態です。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 RTCSEL[1:0] : RTC クロックソース選択

これらのビットは、RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースを選択すると、バックアップドメインがリセットされた場合や、LSE で障害が検出された (LSECSSD がセットされている) 場合以外は変更できません。BDRST ビットを使用して、リセットできます。

LSECSSON で LSE クロックセキュリティが有効になっているとき、これらのビットに書き込むことはできません。

00 : クロックなし。

01 : LSE オシレータクロックの選択

10 : LSI オシレータクロックの選択

11 : 32 分周の HSE32 オシレータクロックの選択

ビット 7 LSESYSEN : LSE システムクロックの有効化

このビットは、USARTx、LPUARTx、LPTIMx、TIMx、RNG、システム LSCO、MCO、MSI PLL モードへのシステムクロックとして LSE を有効にするために、ソフトウェアによってセット/クリアされます。LSE システムクロックは、LSEON と LSERDY の両方がセットされている場合のみ有効です。

0 : LSE システムクロックは USARTx、LPUARTx、LPTIMx、TIMx、RNG、システム LSCO、MCO、MSI PLL モードに対して無効です。

1 : LSE システムクロックは USARTx、LPUARTx、LPTIMx、TIMx、RNG、システム LSCO、MCO、MSI PLL モードに対して有効です。

注 : RTC の LSE クロックは、このビットの影響は受けません。

ビット 6 LSECSSD : LSE の CSS による障害の検出

このビットは、外部 32 kHz オシレータ (LSE) の CSS によって障害が検出されたことを示すために、ハードウェアによってセットされます。このビットは、BDRST および POR リセットの際にハードウェアによってのみリセットされます。

0 : LSE (32 kHz オシレータ) に障害が検出されません。

1 : LSE (32 kHz オシレータ) に障害が検出されました。

ビット 5 LSECSSON : LSE の CSS 有効化

このビットは、LSE (32 kHz オシレータ) の CSS を有効にするために、ソフトウェアによってセットされます。LSECSSON は、LSE オシレータを有効 (LSEON bit = 1) かつレディ状態 (ハードウェアで LSERDY フラグをセット) にし、RTCSEL ビットを選択した後で、有効にする必要があります。このビットは、自動的に LSI オシレータを有効にします。このビットは、一度有効にすると、LSE の障害検出 (LSECSSD = 1) の後を除き、無効にすることはできません。この場合、LSECSSON ビットをソフトウェアで無効にする **必要があります**。

0 : LSE の CSS オフ

1 : LSE の CSS オン

ビット 4:3 **LSEDRV[1:0]** : LSE オシレータの駆動能力

これらのビットは、LSE オシレータの駆動能力を変調するために、ソフトウェアによってセットされます。

00 : Xtal モード低駆動

01 : Xtal モード中-低駆動

10 : Xtal モード中-高駆動

11 : Xtal モード高駆動

注： オシレータは、バイパスモードでない場合、Xtal モードです。

ビット 2 **LSEBYP** : LSE オシレータバイパス

このビットは、LSE オシレータをバイパスするために、ソフトウェアによってセット/クリアされません。このビットに書き込めるのは、外部 32 kHz オシレータが無効なときだけです (LSEON = 0 かつ LSERDY = 0)。

0 : LSE オシレータはバイパスされません。

1 : LSE オシレータはバイパスされます。

ビット 1 **LSERDY** : LSE オシレータはレディ状態です。

このビットは、外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。

0 : LSE オシレータはレディ状態ではありません。

1 : LSE オシレータはレディ状態です。

注： LSEON ビットがクリアされると、このビットは、LSE クロックの 6 サイクル後にローになります。

ビット 0 **LSEON** : LSE オシレータイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0 : LSE オシレータオフ

1 : LSE オシレータオン

注： LSE クロックは RTC に直接転送されます。他のシステムペリフェラル (USARTx、LPUARTx、LPTIMx、TIMx、RNG、システム LSCO、MCO、MSI PLL モード) への LSE クロックを有効にするには、LSESYSEN ビットで LSE を有効にする必要があります。

7.4.31 RCC 制御/ステータスレジスタ (RCC_CSR)

アドレス・オフセット : 0x094

リセット値 : 0x0C01 : C600

(POR のみによるリセットフラグを除き、NRST パッドによりリセットされ、STANDBY からのウェイクアップではリセットされません)

アクセス : 0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	BOR RSTF	PIN RSTF	OBLRST F	RFILA RSTF	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	r	r	r	r	r	r	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFRST	RF RSTF	Res.	Res.	MSISRANGE[3:0]				Res.	Res.	Res.	LSI PRE	Res.	Res.	LSI RDY	LSION
rw	r			rw	rw	rw	rw				rw			r	rw

ビット 31 LPWRRSTF : 低消費電力リセットフラグ

このビットは、STOP、STANDBY または SHUTDOWN モードへの不正な移行によってリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : 不正なモードリセットは発生していません。

1 : 不正なモードリセットが発生しました。

ビット 30 WWDGRSTF : ウィンドウ型ウォッチドッグリセットフラグ

このビットは、ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : ウィンドウ型ウォッチドッグリセットは発生していません。

1 : ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 IWDGRSTF : 独立型ウィンドウウォッチドッグリセットフラグ

このビットは、独立型ウォッチドッグリセットドメインが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : 独立型ウォッチドッグリセットは発生していません。

1 : 独立型ウォッチドッグリセットが発生しました。

ビット 28 SFTRSTF : ソフトウェアリセットフラグ

このビットは、ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : ソフトウェアリセットは発生していません。

1 : ソフトウェアリセットが発生しました。

ビット 27 BORRSTF : BOR フラグ

このビットは、BOR が発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : BOR は発生していません。

1 : BOR が発生しました。

ビット 26 PINRSTF : ピンリセットフラグ

このビットは、NRST ピンからリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。

0 : NRST ピンからのリセットは発生していません。

1 : NRST ピンからリセットが発生しました。

- ビット 25 **OBLRSTF** : オプションバイトローダリセットフラグ
このビットは、オプションバイトローディングからリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。
0 : オプションバイトローディングからのリセットは発生していません。
1 : オプションバイトローディングからのリセットが発生しました。
- ビット 24 **RFILARSTF** : Sub-GHz 無線の不正コマンドフラグ
このビットは、Sub-GHz 無線の不正なコマンドが送信されると、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。
0 : Sub-GHz 無線の不正コマンドは発生していません。
1 : Sub-GHz 無線の不正コマンドが発生しました。
- ビット 23 **RMVF** : リセットフラグ解除
このビットは、リセットフラグ LPWRRSTF、WWDGRSTF、IWDGRSTF、SFTRSTF、BORRSTF、PINRSTF、OBLRSTF、および RFILARSTF をクリアするために、ソフトウェアによってセットされます。
0 : 影響なし。
1 : リセットフラグのリセット
- ビット 22:16 予約済みであり、リセット値に保持する必要があります。
- ビット 15 **RFRST** : Sub-GHz 無線のリセット
このビットは、ソフトウェアによってセット/クリアされます。
0 : Sub-GHz 無線のソフトウェアリセットが削除されました。
1 : Sub-GHz 無線のソフトウェアリセットがアクティブです。
- ビット 14 **RFRSTF** : Sub-GHz 無線のリセット中ステータスフラグ
このビットは、ハードウェアによってセット/クリアされます。
0 : Sub-GHz 無線はリセット中ではありません。
1 : Sub-GHz 無線はリセット中です。
- ビット 13:12 予約済みであり、リセット値に保持する必要があります。
- ビット 11:8 **MSISRANGE[3:0]** : MSI クロックレンジ
これらのビットは、ソフトウェアによって設定されており、RCC_CR レジスタの設定が MSIRGSEL = 1 のときのみ書き込みできます。STANDBY モードの終了時、MSIRGSEL = 0 の場合に、MSI 周波数範囲を選択するために使用されます。
0100 : レンジ 4 (約 1 MHz)
0101 : レンジ 5 (約 2 MHz)
0110 : レンジ 6 (約 4 MHz、リセット値)
0111 : レンジ 7 (約 8 MHz)
その他 : 使用不可 (ハードウェアの書き込み保護)
- ビット 7:5 予約済みであり、リセット値に保持する必要があります。
- ビット 4 **LSIPRE** : LSI 周波数プリスケアラ
このビットは、ソフトウェアによってセット/クリアされます。このビットにはいつでも書き込むことができますが、新しい値は、LSION ビットを使用して LSI の電源を切ってから入れなおすシーケンスの後に初めて反映されます。
0 : LSI クロックは分周されません (LSI)。
1 : LSI クロックは128分周されます (LSI/128)。
- ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **LSIRDY** : LSI オシレータはレディ状態です。

このビットは、LSI オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSION ビットがクリアされた後、このビットは、LSI クロックの 3 サイクル後にローになります。LSI が LSE の CSS、独立型ウォッチドッグ、または RTC によって要求される場合は、LSION = 0 であってもこのビットをセットすることができます。

0 : LSI オシレータはレディ状態ではありません。

1 : LSI オシレータはレディ状態です。

ビット 0 **LSION** : LSI オシレータイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0 : LSI オシレータオフ

1 : LSI オシレータオン

7.4.32 RCC 拡張クロックリカバリレジスタ (RCC_EXTCFGR)

アドレス・オフセット : 0x108

リセット値 : 0x0003 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2HPREF	SHDHPREF
														r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2HPRE [3:0]				SHDHPRE[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **C2HPREF** : HCLK2 プリスケアラフラグ (CPU2)

このビットは、HCLK2 プリスケアラプログラミングに確認応答するために、ハードウェアによってセット/クリアされます。新しいプリスケアラ値が C2HPRE[3:0] にプログラムされると、リセットされます。このビットは、プログラムされた値が実際に適用されるときにセットされます。

0 : HCLK2 プリスケアラ値はまだ適用されません。

1 : HCLK2 プリスケアラの値が適用されます。

ビット 16 **SHDHPREF** : HCLK3 共有プリスケアラフラグ (AHB3、Flash、SRAM1、SRAM2)

このビットは、共有 HCLK3 プリスケアラプログラミングに確認応答するために、ハードウェアによってセット/クリアされます。新しいプリスケアラ値が SHDHPRE[3:0] にプログラムされたときに、リセットされます。このビットは、プログラムされた値が実際に適用されるときにセットされます。

0 : HCLK3 プリスケアラ値はまだ適用されません。

1 : HCLK3 プリスケアラの値が適用されます。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **C2HPRE[3:0]** : HCLK2 プリスケアラ (CPU2)

これらのビットは、HCLK2 クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます(CPU2)。C2HPREF フラグで、プログラムされた C2HPRE プリスケアラ値が適用されたかどうかをチェックできます。また、システムが STOP モードに移行し、HSI16 がウェイクアップクロックとして選択されているときには、このフィールドはハードウェアによってすべてゼロ (SYSCLK は分周されない) にクリアされます。

0001 : SYSCLK は 3 分周されます。

0010 : SYSCLK は 5 分周されます。

0101 : SYSCLK は 6 分周されます。

0110 : SYSCLK は 10 分周されます。

0111 : SYSCLK は 32 分周されます。

1000 : SYSCLK は 2 分周されます。

1001 : SYSCLK は 4 分周されます。

1010 : SYSCLK は 8 分周されます。

1011 : SYSCLK は 16 分周されます。

1100 : SYSCLK は 64 分周されます。

1101 : SYSCLK は 128 分周されます。

1110 : SYSCLK は 256 分周されます。

1111 : SYSCLK は 512 分周されます。

その他 : SYSCLK は分周されません。

注意 : デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しくセットし、システム周波数が最大許容周波数を超えないようにします ([セクション 6.1.4: ダイナミック電圧スケーリングの管理](#)を参照)。これらのビットの書き込み動作後、電圧レンジを下げる前に、C2HPREF ビットを読み出して新しい値が正しく反映されていることを確認する必要があります。

ビット 3:0 **SHDHPRE[3:0]** : HCLK3 共有プリスケアラ (AHB3、Flash、SRAM1、SRAM2)

これらのビットは、共有 HCLK3 クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます。(AHB3、Flash、SRAM1 および SRAM2、APB3)。SHDHPREF フラグで、プログラムされた SHDHPRE プリスケアラ値が適用されたかどうかをチェックできます。

0001 : SYSCLK は 3 分周されます。

0010 : SYSCLK は 5 分周されます。

0101 : SYSCLK は 6 分周されます。

0110 : SYSCLK は 10 分周されます。

0111 : SYSCLK は 32 分周されます。

1000 : SYSCLK は 2 分周されます。

1001 : SYSCLK は 4 分周されます。

1010 : SYSCLK は 8 分周されます。

1011 : SYSCLK は 16 分周されます。

1100 : SYSCLK は 64 分周されます。

1101 : SYSCLK は 128 分周されます。

1110 : SYSCLK は 256 分周されます。

1111 : SYSCLK は 512 分周されます。

その他 : SYSCLK は分周されません。

注意 : デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しくセットし、システム周波数が最大許容周波数を超えないようにします ([セクション 6.1.4: ダイナミック電圧スケーリングの管理](#)を参照)。これらのビットの書き込み動作後、電圧レンジを下げる前に、SHDHPRE ビットを読み出して新しい値が正しく反映されていることを確認する必要があります。

7.4.33 RCC CPU2 AHB1 ペリフェラルクロック有効化レジスタ (RCC_C2AHB1ENR)

アドレス・オフセット : 0x148

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA MUX1 EN	DMA2 EN	DMA1 EN
			rw										rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCEN** : CPU2 CRC クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の CRC クロックは無効です。
 1 : CPU2 の CRC クロックは有効です。

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1EN** : CPU2 DMAMUX1 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の DMAMUX1 クロックは無効です。
 1 : CPU2 の DMAMUX1 クロックは有効です。

ビット 1 **DMA2EN** : CPU2 DMA2 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の DMA2 クロックは無効です。
 1 : CPU2 の DMA2 クロックは有効です。

ビット 0 **DMA1EN** : CPU2 DMA1 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の DMA1 クロックは無効です。
 1 : CPU2 の DMA1 クロックは有効です。

7.4.34 RCC CPU2 AHB2 ペリフェラルクロック有効化レジスタ (RCC_C2AHB2ENR)

アドレス・オフセット : 0x14C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOH EN	Res.	Res.	Res.	Res.	GPIOC EN	GPIOB EN	GPIOA EN
								rw					rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHEN** : CPU2 の IO ポートの H クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の IO ポートの H クロックは無効です。

1 : CPU2 の IO ポートの H クロックは有効です。

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **GPIOCEN** : CPU2 の IO ポートの C クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の IO ポートの C クロックは無効です。

1 : CPU2 の IO ポートの C クロックは有効です。

ビット 1 **GPIOBEN** : CPU2 の IO ポートの B クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の IO ポートの B クロックは無効です。

1 : CPU2 の IO ポートの B クロックは有効です。

ビット 0 **GPIOAEN** : CPU2 の IO ポートの A クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の IO ポートの A クロックは無効です。

1 : CPU2 の IO ポートの A クロックは有効です。

7.4.35 RCC CPU2 AHB3 ペリフェラルクロック有効化レジスタ (RCC_C2AHB3ENR)

アドレス・オフセット : 0x150

リセット値 : 0x0208 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASH EN	Res.	Res.	Res.	Res.	IPCC EN	HSEM EN	RNG EN	AES EN	PKA EN
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHEN** : CPU2 の Flash メモリインタフェースクロックの有効化

このビットは、Flash メモリがパワーダウンの場合にのみクリアできます。ソフトウェアによってセット/クリアされます。

0 : CPU2 の Flash メモリインタフェースクロックは無効です。

1 : CPU2 の Flash メモリインタフェースクロックは有効です。

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCEN** : CPU2 の IPCC インタフェースクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の IPCC クロックは無効です。

1 : CPU2 の IPCC クロックは有効です。

ビット 19 **HSEMEN** : CPU2 HSEM クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の HSEM クロックは無効です。

1 : CPU2 の HSEM クロックは有効です。

ビット 18 **RNGEN** : CPU2 ハードウェア乱数発生器のクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 のハードウェア乱数発生器のバスおよびカーネルクロックは無効です。

1 : CPU2 のハードウェア乱数発生器のバスおよびカーネルクロックは有効です。

ビット 17 **AESEN** : CPU2 の AES アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の AES クロックは無効です。

1 : CPU2 の AES クロックは有効です。

ビット 16 **PKAEN** : CPU2 の PKA アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。PKA クロックは、ハードウェア PKA SRAM 消去が進行中のときに有効になります。

0 : CPU2 の PKA クロックは無効です。

1 : CPU2 の PKA クロックは有効です。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

7.4.36 RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_C2APB1ENR1)

アドレス・オフセット : 0x158

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 EN	Res.	DAC EN	Res.	Res.	Res.	Res.	Res.	I2C3 EN	I2C2 EN	I2C1 EN	Res.	Res.	Res.	USART2 EN	Res.
rw		rw						rw	rw	rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2S2 EN	Res.	Res.	Res.	RTC APB EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 EN
	rw				rw										rw

ビット 31 **LPTIM1EN** : CPU2 の低消費電力タイマ 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の LPTIM1 バスおよびカーネルクロックは無効です。

1 : CPU2 の LPTIM1 バスおよびカーネルクロックは有効です。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **DACEN** : CPU2 の DAC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の DAC クロックは無効です。

1 : CPU2 の DAC クロックは有効です。

ビット 28:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **I2C3EN** : CPU2 の I2C3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の I2C3 バスおよびカーネルクロックは無効です。

1 : CPU2 の I2C3 バスおよびカーネルクロックは有効です。

ビット 22 **I2C2EN** : CPU2 の I2C2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の I2C2 バスおよびカーネルクロックは無効です。

1 : CPU2 の I2C2 バスおよびカーネルクロックは有効です。

ビット 21 **I2C1EN** : CPU2 の I2C1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の I2C1 バスおよびカーネルクロックは無効です。

1 : CPU2 の I2C1 バスおよびカーネルクロックは有効です。

ビット 20:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **USART2EN** : CPU2 USART2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の USART2 バスおよびカーネルクロックは無効です。

1 : CPU2 の USART2 バスおよびカーネルクロックは有効です。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2S2EN** : CPU2 SPI2S2 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の SPI2S2 クロックは無効です。
 1 : CPU2 の SPI2S2 クロックは有効です。

ビット 13:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **RTCAPBEN** : CPU2 の RTC APB バスクロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。RTC カーネルクロックは、RCC_BDCR レジスタの RTCEN ビットによって制御されます。
 0 : CPU2 の RTC APB バスクロックは無効です。
 1 : CPU2 の RTC APB バスクロックは有効です。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2EN** : CPU2 の TIM2 タイマクロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の TIM2 クロックは無効です。
 1 : CPU2 の TIM2 クロックは有効です。

7.4.37 RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_C2APB1ENR2)

アドレス・オフセット : 0x15C

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM3 EN	LPTIM2 EN	Res.	Res.	Res.	Res.	LP UART1 EN
									rw	rw					rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LPTIM3EN** : CPU2 の低消費電力タイマ 3 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の LPTIM3 バスおよびカーネルクロックは無効です。
 1 : CPU2 の LPTIM3 バスおよびカーネルクロックは有効です。

ビット 5 **LPTIM2EN** : CPU2 の低消費電力タイマ 2 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の LPTIM2 バスおよびカーネルクロックは無効です。
 1 : CPU2 の LPTIM2 バスおよびカーネルクロックは有効です。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1EN** : CPU2 の低消費電力 UART 1 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の LPUART1 バスおよびカーネルクロックは無効です。
 1 : CPU2 の LPUART1 バスおよびカーネルクロックは有効です。

7.4.38 RCC CPU2 APB2 ペリフェラルクロック有効化レジスタ (RCC_C2APB2ENR)

アドレス・オフセット : 0x160

リセット値 : 0x0000 0000

アクセス : ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読み出し/書き込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17 EN	TIM16 EN	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 EN	Res.	SPI1 EN	TIM1 EN	Res.	ADC EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw		rw									

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17EN** : CPU2 タイマ 17 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の TIM17 クロックは無効です。
 1 : CPU2 の TIM17 クロックは有効です。

ビット 17 **TIM16EN** : CPU2 タイマ 16 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の TIM16 クロックは無効です。
 1 : CPU2 の TIM16 クロックは有効です。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1EN** : CPU2 USART1 clocks 有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の USART1 バスおよびカーネルクロックは無効です。
 1 : CPU2 の USART1 バスおよびカーネルクロックは有効です。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1EN** : CPU2 SPI1 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の SPI1 クロックは無効です。
 1 : CPU2 の SPI1 クロックは有効です。

ビット 11 **TIM1EN** : CPU2 タイマ 1 クロックの有効化
 このビットは、ソフトウェアによってセット/クリアされます。
 0 : CPU2 の TIM1 クロックは無効です。
 1 : CPU2 の TIM1 クロックは有効です。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ADCEN** : ADC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の ADC バスおよびカーネルクロックは無効です。

1 : CPU2 の ADC バスおよびカーネルクロックは有効です。

ビット 8:0 予約済みであり、リセット値に保持する必要があります。

7.4.39 RCC CPU2 APB3 ペリフェラルクロック有効化レジスタ (RCC_C2APB3ENR)

アドレス・オフセット : 0x164

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注 : ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し/書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPIEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SUBGHZSPIEN** : CPU2 の Sub-GHz 無線の SPI クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 の Sub-GHz 無線の SPI クロックは無効です。

1 : CPU2 の Sub-GHz 無線の SPI クロックは有効です。

7.4.40 SLEEP モードにおける RCC CPU2 AHB1 ペリフェラルクロック有効化レジスタ (RCC_C2AHB1SMENR)

アドレス・オフセット : 0x168

リセット値 : 0x0000 1007

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA MUX1 SMEN	DMA2 SMEN	DMA1 SMEN
			rw										rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCSMEN** : CPU2 CSleep および CStop モード時の CRC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、CRC クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、CRC クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1SMEN** : CPU2 CSleep および CStop モード時の DMAMUX1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、DMAMUX1 クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、DMAMUX1 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 1 **DMA2SMEN** : CPU2 CSleep および CStop モード時の DMA2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、DMA2 クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、DMA2 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 0 **DMA1SMEN** : CPU2 CSleep および CStop モード時の DMA1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、DMA1 クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、DMA1 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

7.4.41 SLEEP モードにおける RCC CPU2 AHB2 ペリフェラルクロック有効化レジスタ (RCC_C2AHB2SMENR)

アドレス・オフセット : 0x16C

リセット値 : 0x0000 0087

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOH SMEN	Res.	Res.	Res.	Res.	GPIOC SMEN	GPIOB SMEN	GPIOA SMEN
								rw					rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHSMEN** : CPU2 CSleep および CStop モード時の IO ポートの H クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、IO ポートの H クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、IO ポートの H クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **GPIOCSMEN** : CPU2 CSleep および CStop モード時の IO ポートの C クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、IO ポートの C クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、IO ポートの C クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 1 **GPIOBSMEN** : CPU2 CSleep および CStop モード時の IO ポートの B クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、IO ポートの B クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、IO ポートの B クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 0 **GPIOASMEN** : CPU2 CSleep および CStop モード時の IO ポートの A クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、IO ポートの A クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、IO ポートの A クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

7.4.42 SLEEP モードにおける RCC CPU2 AHB3 ペリフェラルクロック有効化レジスタ (RCC_C2AHB3SMENR)

アドレス・オフセット : 0x170

リセット値 : 0x0387 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASH SMEN	SRAM2 SMEN	SRAM1 SMEN	Res.	Res.	Res.	Res.	RNG SMEN	AES SMEN	PKA SMEN
						rw	rw	rw					rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHSMEN** : CPU2 CSleep および CStop モード時の Flash メモリインタフェースクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、Flash メモリインタフェースクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、Flash メモリインタフェースクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 24 **SRAM2SMEN** : CPU2 CSleep および CStop モード時の SRAM2 インタフェースクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、SRAM2 クロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、SRAM2 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 23 **SRAM1SMEN** : CPU2 CSleep および CStop モード時の SRAM1 インタフェースクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、SRAM1 インタフェースクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、SRAM1 インタフェースクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 22:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **RNGSMEN** : CPU2 CSleep および CStop モード時のハードウェア乱数発生器の有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、ハードウェア乱数発生器のバスクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、ハードウェア乱数発生器のバスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 17 **AESSMEN** : CPU2 CSleep および CStop モード時の AES アクセラレータクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、AES クロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、AES クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 16 **PKASMEN** : CPU2 CSleep および CStop モード時の PKA アクセラレータクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、PKA クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、PKA クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

7.4.43 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 1 (RCC_C2APB1SMENR1)

アドレス・オフセット : 0x178

リセット値 : 0xA0E2 4401

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 SMEN	Res.	DAC SMEN	Res.	Res.	Res.	Res.	Res.	I2C3 SMEN	I2C2 SMEN	I2C1 SMEN	Res.	Res.	Res.	USART2 SMEN	Res.
rw		rw						rw	rw	rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2S2 SMEN	Res.	Res.	Res.	RTC APB SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 SMEN
	rw				rw										rw

ビット 31 **LPTIM1SMEN** : CPU2 CSleep および CStop モード時の低消費電力タイマ 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、LPTIM1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、LPTIM1 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **DACSMEN** : CPU2 CSleep および CStop モード時の DAC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、DAC クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、DAC クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 28:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **I2C3SMEN** : CPU2 CSleep および CStop モード時の I2C3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、I2C3 バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、I2C3 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 22 **I2C2SMEN** : CPU2 CSleep および CStop モード時の I2C2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、I2C2 バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、I2C2 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

- ビット 21 **I2C1SMEN** : CPU2 CSleep および CStop モード時の I2C1 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、I2C1 バスクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、I2C1 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。
- ビット 20:18 予約済みであり、リセット値に保持する必要があります。
- ビット 17 **USART2SMEN** : CPU2 CSleep および CStop モード時の USART2 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、USART2 バスクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、USART2 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。
- ビット 16:15 予約済みであり、リセット値に保持する必要があります。
- ビット 14 **SPI2S2SMEN** : CPU2 CSleep および CStop モード時の SPI2S2 クロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、SPI2S2 クロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、SPI2S2 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。
- ビット 13:11 予約済みであり、リセット値に保持する必要があります。
- ビット 10 **RTCAPBSMEN** : CPU2 CSleep および CStop モード時の RTC APB バスクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。RTC カーネルクロックは、RCC_BDCR レジスタの RTCEN ビットによって制御されます。
0 : CPU2 CSleep および CStop モード時、RTC APB バスクロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、RTC APB バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。
- ビット 9:1 予約済みであり、リセット値に保持する必要があります。
- ビット 0 **TIM2SMEN** : CPU2 CSleep および CStop モード時の TIM2 タイマクロックの有効化
このビットは、ソフトウェアによってセット/クリアされます。
0 : CPU2 CSleep および CStop モード時、TIM2 クロックはクロックゲーティングにより無効になります。
1 : CPU2 CSleep モード時、TIM2 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

7.4.44 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効化レジスタ 2 (RCC_C2APB1SMENR2)

アドレス・オフセット : 0x17C

リセット値 : 0x0000 0061

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM3 SMEN	LPTIM2 SMEN	Res.	Res.	Res.	Res.	LP UART1 SMEN
									rw	rw					rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LPTIM3SMEN** : CPU2 CSleep および CStop モード時の低消費電力タイマ 3 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、LPTIM3 バスおよびカーネルクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、LPTIM3 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 5 **LPTIM2SMEN** : CPU2 CSleep および CStop モード時の低消費電力タイマ 2 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、LPTIM2 バスとカーネルクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、LPTIM2 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1SMEN** : CPU2 CSleep および CStop モード時の低消費電力UART 1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、LPUART1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、LPUART1 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

7.4.45 SLEEP モードにおける RCC CPU2 APB2 ペリフェラルクロック有効化レジスタ (RCC_C2APB2SMENR)

アドレス・オフセット : 0x180

リセット値 : 0x0006 : 5A00

アクセス : ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17 SMEN	TIM16 SMEN	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 SMEN	Res.	SPI1 SMEN	TIM1 SMEN	Res.	ADC SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw		rw									

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17SMEN** : CPU2 CSleep および CStop モード時の TIM17 タイマクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、TIM17 タイマクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、TIM17 タイマクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 17 **TIM16SMEN** : CPU2 CSleep および CStop モード時の TIM16 タイマクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、TIM16 タイマクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、TIM16 タイマクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1SMEN** : CPU2 CSleep および CStop モード時の USART1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、USART1 バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、USART1 バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1SMEN** : CPU2 CSleep および CStop モード時の SPI1 クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、SPI1 クロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、SPI1 クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 11 **TIM1SMEN** : CPU2 CSleep および CStop モード時の TIM1 タイマクロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、TIM1 タイマクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、TIM1 タイマクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ADCSMEN** : CPU2 CSleep および CStop モード時の ADC クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、ADC バスクロックはクロックゲーティングにより無効になります。

1 : CPU2 CSleep モード時、ADC バスクロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

ビット 8:0 予約済みであり、リセット値に保持する必要があります。

7.4.46 SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効化レジスタ (RCC_C2APB3SMENR)

アドレス・オフセット : 0x184

リセット値 : 0x0000 0001

アクセス : ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGH ZSPI SMEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SUBGHZSPISMEN** : CPU2 CSleep および CStop モード時の Sub-GHz 無線の SPI クロックの有効化

このビットは、ソフトウェアによってセット/クリアされます。

0 : CPU2 CSleep および CStop モード時、Sub-GHz 無線の SPI クロックはクロックゲーティングによって無効になります。

1 : CPU2 CSleep モード時、Sub-GHz 無線の SPI クロックはクロックゲーティングにより有効になり、CPU2 CStop モード時は無効になります。

7.4.47 RCC レジスタマップ

表 63. RCC レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x000	RCC_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値								0	0			0	0	0		0	0				0	0	0	0	0	0	0	1	1	0	0	0	0	1
0x004	RCC_ICSCR	Res.	HSITRIM[6:0]						HSICAL[7:0]						MSITRIM[7:0]						MSICAL[7:0]														
	リセット値		1	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	
0x008	RCC_CFGR	Res.	MCOPRE [2:0]			MCOSEL [3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	PPRE2F	PPRE1F	HPREF	STOPWUCK	Res.	PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]			SWS [1:0]	SW [1:0]				
	リセット値		0	0	0	0	0	0	0	0					1	1	1	0			0	0	0	0	0	0	0	0	0	0	0	0	0		
0x00C	RCC_PLLCFGR	Res.	PLL[R][2:0]		PLLREN	PLLQ[2:0]		PLLOEN		Res.	Res.	PLL[P][4:0]				PLLPEN	Res.	PLL[N][6:0]						Res.	PLL[M][2:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	1	0	0	0	0	1	0			0	0	0	1	0		0	0	0	0	0	0	0	0	1		0	0	0			0	0
0x010 - 0x014	予約済みです。	予約済みです。																																	
0x018	RCC_CIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x01C	RCC_CIFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x020	RCC_CICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x024	予約済みです。	予約済みです。																																	
0x028	RCC_AHB1RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x02C	RCC_AHB2RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x030	RCC_AHB3RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		



表 63. RCC レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x034	予約済みです。	予約済みです。																																
0x038	RCC_APB1RSTR1	LPTIM1RST	Res	DACRST	Res	Res	Res	Res	Res	I2C3RST	I2C2RST	I2C1RST	Res	Res	Res	USART2RST	Res	Res	SPI2S2RST	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	TIM2RST
	リセット値	0	0							0	0	0				0			0															0
0x03C	RCC_APB1RSTR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	LPTIM3RST	LPTIM2RST	Res	Res	Res	Res	Res	LPUART1RST	
	リセット値																									0	0							0
0x040	RCC_APB2RSTR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	TIM17RST	TIM16RST	Res	Res	USART1RST	Res	SPI1RST	TIM11RST	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値														0	0			0		0	0												
0x044	RCC_APB3RSTR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	SUBGHZSPIRST
	リセット値																																	0
0x048	RCC_AHB1ENR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値																																	
0x04C	RCC_AHB2ENR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値																																	
0x050	RCC_AHB3ENR	Res	Res	Res	Res	Res	FlashEN	Res	Res	Res	Res	Res	IPCCEN	HSEMEN	RNGEN	AESEN	PKAEN	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値						1						0	1	0	0	0																	
0x054	予約済みです。	予約済みです。																																
0x058	RCC_APB1ENR1	LPTIM1EN	Res	DACEN	Res	Res	Res	Res	Res	I2C3EN	I2C2EN	I2C1EN	Res	Res	Res	USART2EN	Res	Res	SPI2S2EN	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	TIM2EN
	リセット値	0	0							0	0	0				0			0															
0x05C	RCC_APB1ENR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	LPTIM3EN	LPTIM2EN	Res	Res	Res	Res	Res	Res	LPUART1EN
	リセット値																									0	0							



表 63. RCC レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x180	RCC_C2APB2SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17SMEN	TIM16SMEN	Res.	Res.	USART1SMEN	Res.	SPI1SMEN	TIM1SMEN	Res.	ADCSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値														1	1			1		1	1		1										
0x184	RCC_C2APB3SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBGHZSPISMEN
	リセット値																																	1

レジスタ境界アドレスについては[セクション 2.6](#)を参照してください。

8 ハードウェアセマフォ (HSEM)

8.1 概要

ハードウェアセマフォのブロックは、セマフォに基づいて 16 (32 ビット) レジスタを供給します。

セマフォは、異なるコア間で実行される個々のプロセスが必ず互いに同期されるように使用されます。HSEM は、不可分操作でセマフォをロックする非ブロッキングメカニズムを供給します。次の機能が供給されます。

- 次の 2 通りのセマフォのロック
 - 2 ステップロック : セマフォに COREID と PROCID、続いて読出しチェックを書き込みます。
 - 1 ステップロック : セマフォから COREID を読み出します。
- セマフォアンロック時の割込み生成
 - 各セマフォは、割込みラインの 1 つに割込みを生成できます。
- セマフォクリア保護
 - セマフォは、COREID と PROCID が一致する場合にのみアンロックされます。
- COREID ごとのグローバルセマフォのクリア

8.2 主な特徴

HSEM には以下の機能があります。

- 16 (32 ビット) セマフォ
- 8 ビット PROCID
- 4 ビットの COREID
- 1 割込みライン (プロセッサあたり)
- ロック表示

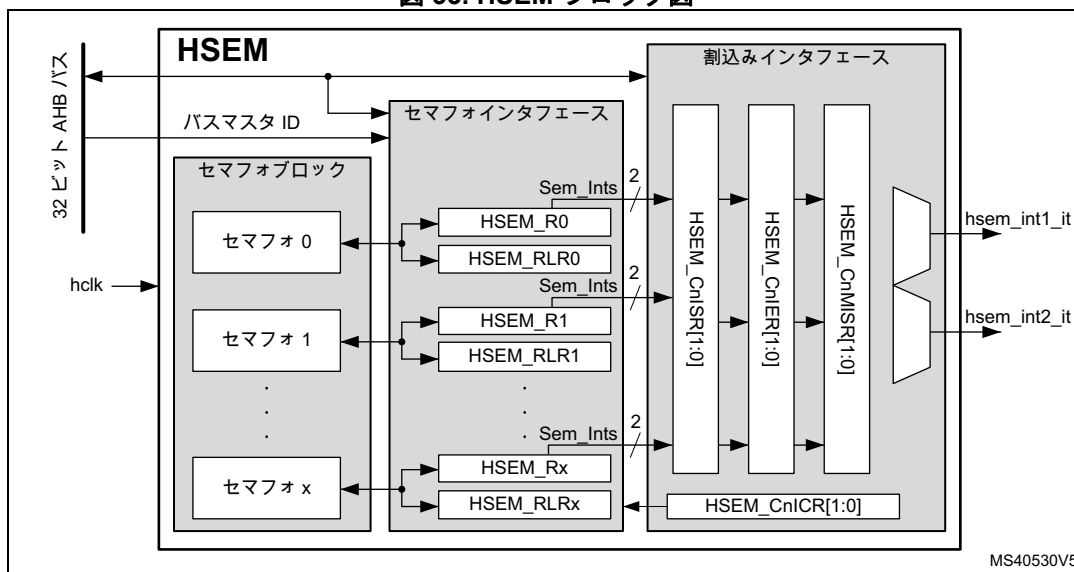
8.3 機能詳細

8.3.1 HSEM ブロック図

図 33 に示すように、HSEM は 3 つのサブブロックをベースにしています。

- セマフォのステータスと ID を含むセマフォブロック
- HSEM_Rx および HSEM_RLRx レジスタを介してセマフォに AHB アクセスを供給するセマフォインタフェースブロック
- HSEM_CnISR、HSEM_CnIER、HSEM_CnMISR、および HSEM_CnICR レジスタを介して割り込みの制御を行う割り込みインタフェースブロック

図 33. HSEM ブロック図



8.3.2 HSEM 内部信号

表 64. HSEM 内部入力/出力信号

信号名	信号タイプ	説明
AHB バス	デジタル入出力	AHB レジスタアクセスバス
BusMasterID	デジタル入力	AHB バスマスタ ID
hsem_intn_it	デジタル出力	割り込み n ライン (n = 1 ~ 2)

8.3.3 HSEM ロックの手順

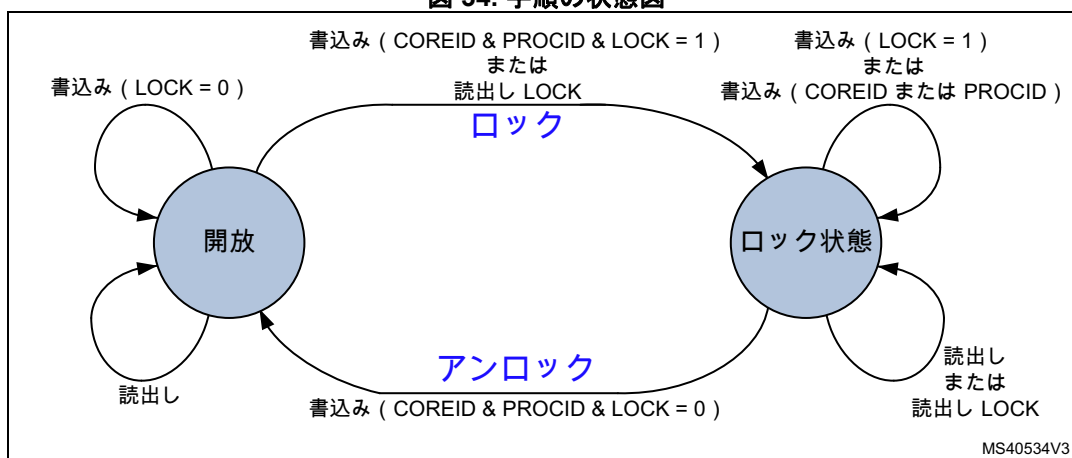
ロック手順には、2ステップ（書込み）ロックと1ステップ（読出し）ロックの2つがあります。2つの手順は同時に使用できません。

セマフォは LOCK ビットが0のときに開放されます。この場合は、COREID および PROCID も0です。セマフォは LOCK ビットが1の場合にロックされ、COREID にはどの AHB バスマスタ ID によってロックされたかが示されます。PROCID には、当該 AHB バスマスタ ID のどのプロセスがセマフォをロックしているかが示されます。

セマフォを書込みロックする場合、書き込まれた COREID は AHB バスマスタ ID と一致する必要があります。PROCID はロックを取得した AHB バスマスタソフトウェアプロセスによって書き込まれます。

セマフォを読出しロックする場合、COREID は AHB バスマスタ ID から取得され、PROCID はハードウェアによって強制的に0に設定されます。読出しロックで使用できる PROCID はありません。

図 34. 手順の状態図



2ステップ（書込み）のロック手順

2ステップロックの手順は、セマフォをロックする書込み操作と、その後ロックが正常に行われたかどうかをチェックする読出し操作から成り、HSEM_Rx レジスタから実行されます。

- PROCID と COREID、LOCK = 1 を使用してセマフォに書き込みます。ソフトウェアによって書き込まれた COREID データは、AHB バスマスタ情報と一致する必要があります。つまり、AHB バスマスタ ID = 1 の場合、データ COREID = 1 が書き込まれます。
書込み時にセマフォが開放されている場合はロックが設定されます。
- セマフォを読み戻します。
PROCID および COREID が書き込まれたデータと一致する場合、ソフトウェアによってロックステータスがチェックされ、ロックされていることが確認されます。
- そうでない場合は、再試行します（セマフォは別のプロセス、AHB バスマスタ ID によってロックされています）。

セマフォは、開放されている場合にのみロックできます。

セマフォは、PROCID が0の場合にロックできます。

LOCK = 1 でのロックされたセマフォへの連続書き込みは無視されます。

1 ステップ (読出し) のロック手順

1 ステップの手順は、HSEM_RLRx レジスタから実行される、シングルステップでセマフォをロックしてチェックする読出しから成ります。

- AHB バスマスタ COREID によりセマフォを読出しロックします。
- 読出し COREID が一致し、PROCID = 0 の場合は、ロックが設定されます。COREID が一致し、PROCID が 0 でない場合は、同じ COREID の別のプロセスが 2 ステップ (書込み) 手順でセマフォをロックしていることを意味します。
- そうでない場合は、再試行します (セマフォは別のプロセス、AHB バスマスタ ID によってロックされています)。

セマフォは、開放されている場合にのみロックできます。開放されたセマフォを読出しロックすると、PROCID は 0 になります。ロックされたセマフォを読出しロックすると、ロックに使用された COREID と PROCID が返されます。セマフォをロックした最初の読出しロックを含むすべての読出しロックから、セマフォをロックする、またはロックした COREID が返されます。

注： 同じ AHB バスマスタ ID で複数のプロセスを実行している場合は、1 ステップの手順を使用してはなりません。同じセマフォを使用しているプロセスはすべて、同じステータスを読み出します。セマフォをロックするプロセスが 1 つのみである場合、その AHB バスマスタ ID の各プロセスでは COREID によってそれ自体でロックされたセマフォを読み出します。

8.3.4 HSEM 書込み/読出し/読出しロックレジスタアドレス

各セマフォに対して、2 つの AHB レジスタアドレスが用意され、2 つのバンクの 32 ビットセマフォレジスタに分けて配置され、0x80 アドレス・オフセットによりスペースが挿入されます。

最初のレジスタアドレスバンクでは、HSEM_Rx レジスタを介してセマフォを書き込んだり (ロック / アンロック) 読み出したりすることができます。

2 つ目のレジスタアドレスバンクでは、HSEM_RLRx レジスタを介してセマフォを読み出す (ロック) ことができます。

8.3.5 HSEM のアンロック手順

セマフォのアンロックは保護されたプロセスで、AHB バスマスタ ID やセマフォロック権限を持たないプロセスによる予期しないクリアを防ぎます。この手順では、セマフォ HSEM_Rx レジスタへの対応する COREID と PROCID および LOCK = 0 の書込みを行います。セマフォをアンロックすると、COREID および PROCID はすべて 0 になります。

アンロックすると、イベントを通知するために割込みが生成されることがあります。このために、セマフォの割込みを有効にする必要があります。

アンロック手順では、セマフォのロック方法 (1 ステップか 2 ステップか) に関係なく、一致した COREID を使用してセマフォ HSEM_Rx レジスタへの書込みを行います。

- PROCID と COREID、LOCK = 0 を使用してセマフォに書き込みます。
- 書き込まれたデータがセマフォの PROCID と COREID、および AHB バスマスタ ID に一致する場合、セマフォはアンロックされ、割込みが有効化されている場合は割込みが生成されることがあります。一致しない場合は、書込みは無視され、セマフォはロックされたままとなり、割込みは生成されません (セマフォは別のプロセス、AHB バスマスタ ID、または書き込まれたデータによってロックされ、AHB バスマスタの信号と一致しません)。

注： 同じ AHB バスマスタ ID の別のプロセスにより、任意の PROCID 値を書き込みます。同じ AHB バスマスタ ID を使用する別のプロセスでセマフォがアンロックされないようにするため、ソフトウェアによって PROCID を正しく処理する必要があります。

8.3.6 HSEM COREID セマフォのクリア

COREID によってロックされたすべてのセマフォを、HSEM_CR レジスタを使用して一度にアンロックすることができます。COREID と正しい KEY 値を HSEM_CR に書き込みます。一致する COREID を持つロックされたすべてのセマフォがアンロックされ、割込みが有効化されている場合は割込みが生成されることがあります。

注： この手順は、AHB バスマスタ ID が不正に動作する場合に使用することができます。ここでは、正しい KEY 値を使用して HSEM_CR レジスタに不正に動作するプロセスの COREID を書き込むことで、ロックされたセマフォを別の AHB バスマスタによってアンロックすることができます。これにより、一致する COREID を持つロックされたすべてのセマフォがアンロックされます。

アンロックされたセマフォに対して割込みが生成されることがあります。このために、HSEM_CnIER レジスタでセマフォの割込みを有効にする必要があります。

8.3.7 HSEM 割込み

プロセッサごとに hsem_intn_it 割込みラインを使用して、各セマフォで割込みを生成することができます。

割込みラインは、セマフォごとに次の機能に対応します。

- 割込みイネーブル
- 割込みクリア
- 割込みステータス
- マスクされた割込みステータス

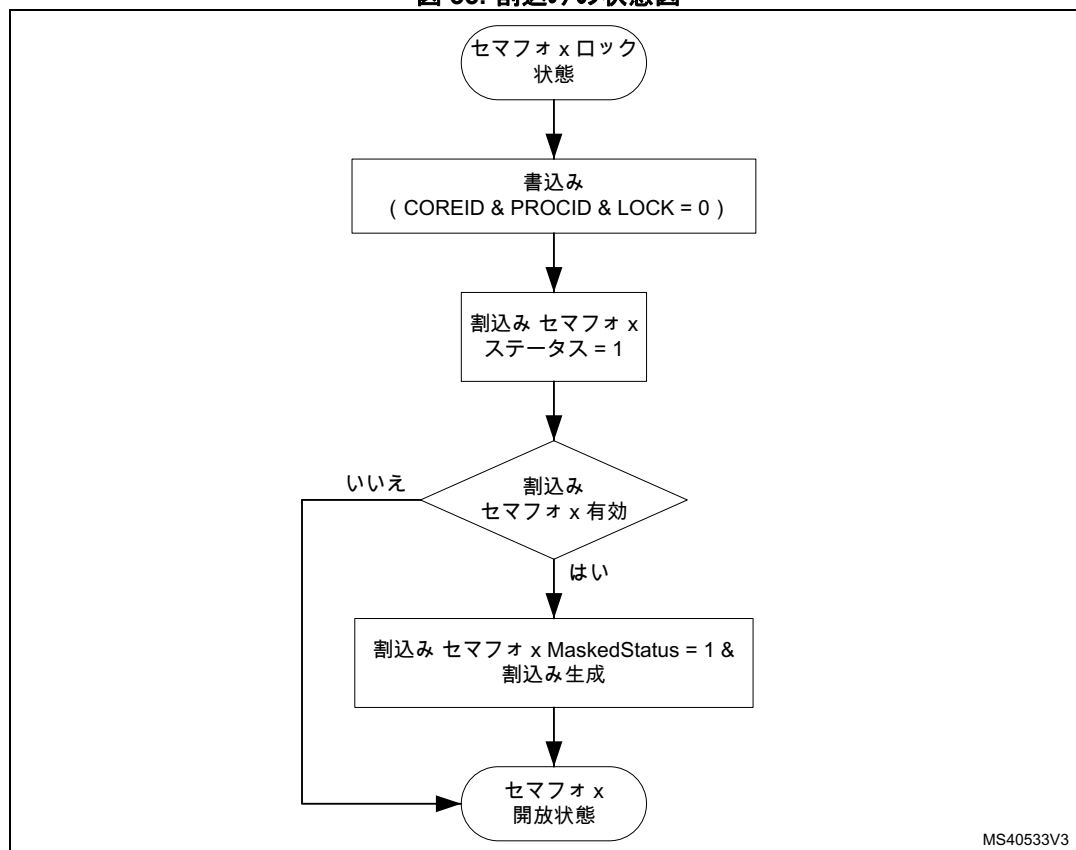
割込みイネーブル (HSEM_CnIER) により、割込みラインに影響を与えるセマフォを有効にすることができます。無効化された (マスク済み) セマフォの割込みがそのセマフォ用のマスクされた割込みステータス MISF をセットすることはなく、また割込みラインに割込みを生成することはありません。

割込みクリア (HSEM_CnICR) によって、割込みラインの関連するセマフォの割込みステータス ISF やマスク済み割込みステータス MISF をクリアします。

割込みステータス (HSEM_CnISR) には、有効化する前にセマフォの割込みステータス ISF が反映されます。

マスク済み割込みステータス (HSEM_CnMISR) には、割込みライン上の有効化されたセマフォの割込みステータス MISF のみ反映されます。割込みラインをクリアするには、有効化されたセマフォのマスク済み割込みステータス MISF をすべてクリアする必要があります。

図 35. 割込みの状態図



MS40533V3

ここでは、セマフォが開放されたときに割込みを取得する手順について説明します。

セマフォ x のロックを試みます。

- セマフォロックを取得できた場合は、割込みは不要です。
- セマフォロックが失敗した場合は、次を実行してください。
- HSEM_CnICR の割込みラインの、ペンディング中のセマフォ x 割込みステータスをクリアします。セマフォ x のロックを再度試みます。
 - セマフォロックを取得できた場合は、割込みは不要です（セマフォは最初にロックしようとしてから、セマフォの割込みステータスをクリアするまでに開放されています）。
 - セマフォのロックに失敗した場合、HSEM_CnIER のセマフォ x 割込みを有効にします。

セマフォ x の開放時の割込みで、セマフォ x のロックを試みます。

- セマフォロックを取得できた場合は、次を実行してください。
HSEM_CnIER のセマフォ x 割込みを無効にします。
HSEM_CnICR のペンディング中のセマフォ x 割込みステータスをクリアします。
- セマフォ x ロックが失敗した場合は、次を実行してください。
HSEM_CnICR のペンディング中のセマフォ x 割込みステータスをクリアします。
セマフォ x のロックを再度試みます。
 - セマフォロックを取得できた場合は（セマフォは最初にロックしようとしてから、セマフォの割込みステータスをクリアするまでに開放されています）、HSEM_CnIER のセマフォ割込みを無効にします。
 - セマフォロックが失敗した場合は、セマフォの開放時の割込みを待ちます。

注： 割込みによってセマフォがロックされることはありません。割込み後、AHB バスマスタまたはプロセスのどちらかで、セマフォをロックするためのロック手順を実行する必要があります。

セマフォの開放時の割込みで通知される AHB バスマスタを、複数持つことができます。AHB バスマスタはそれぞれ割込みを取得し、最初に反応したバスマスタによってセマフォはロックされます。

8.3.8 AHB バスマスタ ID 照合

セマフォをロック／アンロックする際、HSEM では許可された AHB バスマスタ ID のみを使用できます。

- セマフォの HSEM_Rx レジスタへの AHB バスマスタの 2 ステップロック書込みアクセスが、有効なバスマスタ ID に対してチェックされます。
 - 許可されていない AHB バスマスタ ID からのアクセスは破棄され、セマフォがロックされることはありません。
- セマフォの HSEM_RLRx レジスタへの AHB バスマスタの 1 ステップロック読出しアクセスが、有効なバスマスタ ID に対してチェックされます。
 - HSEM_RLRx からの許可されていない AHB バスマスタ ID の読出しでは、オール 0 が返されます。
- セマフォをアンロックする HSEM_CR レジスタへの書込みアクセスが、有効なバスマスタ ID に対してチェックされます。有効なバスマスタの ID のみが HSEM_CR レジスタに書き込んだり、任意の COREID セマフォをアンロックしたりできます。
 - 許可されていない AHB バスマスタ ID からのアクセスは破棄され、COREID セマフォがクリアされることはありません。

表 65 に、バスマスタ／プロセッサと COREID の関係について示します。

表 65. 許可された AHB バスマスタ ID

バスマスタ 0 (processor1)	バスマスタ 1 (processor2)
COREID = 4	COREID = 8

注： 許可されていない AHB バスマスタ ID からほかのレジスタへのアクセスが許可されています。

8.4 HSEM レジスタ

レジスタにはワードフォーマットでアクセスする必要があります。バイトおよびハーフワードによるアクセスは無視され、セマフォに影響することはありませんが、バスエラーが生成されます。

8.4.1 HSEM レジスタセマフォ x (HSEM_Rx)

アドレス・オフセット : $0x000 + 0x4 * x$ ($x = 0$ から 15)

リセット値 : 0x0000 0000

2 ステップの書き込みロック、読戻し、およびセマフォのアンロックを実行するには、HSEM_Rx を使用する必要があります。許可された AHB バスマスタ ID を持つ書き込みアクセスのみを使用できます。許可されていない AHB バスマスタ ID を持つ書き込みアクセスは破棄されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				PROCID[7:0]							
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31 **LOCK** : ロック表示

このビットの書き込み/読出しは、ソフトウェアで行うことができます。

0 : 書き込み時にセマフォを開放し (COREID と PROCID が一致する場合のみ)、読出し時にセマフォは開放されています。

1 : 書き込み時にセマフォのロックを試行し、読出し時にセマフォはロックされています。

ビット 30:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **COREID[3:0]** : セマフォ COREID

ソフトウェアによる書き込み

- セマフォが開放されていて、同時に LOCK ビットに 1 が書き込まれ、COREID が AHB バスマスタ ID と一致する場合。

- セマフォがアンロックされると (LOCK ビットに 0 が書き込まれ、AHB バスマスタ ID が COREID と一致する場合)、COREID は 0 にクリアされます。

- セマフォがアンロックされると (LOCK ビットに 0 が書き込まれ、AHB バスマスタ ID が COREID と一致しない場合)、COREID はその影響を受けません。

- LOCK ビットがすでに 1 の場合 (セマフォがロックされている場合) に書き込むと、COREID は影響を受けません。

- 許可された読出しにより、格納された COREID 値が返されます。

ビット 7:0 **PROCID[7:0]** : セマフォ PROCID

ソフトウェアによる書き込み

- セマフォが開放されていて LOCK に 1 が書き込まれており、COREID が AHB バスマスタ ID と一致する場合、書き込まれたデータに PROCID がセットされます。

- セマフォがアンロックされると (LOCK に 0 が書き込まれ、AHB バスマスタ ID が COREID と一致する場合)、PROCID は 0 にクリアされます。

- セマフォがアンロックされると (LOCK ビットに 0 が書き込まれ、AHB バスマスタ ID が COREID と一致しない場合)、PROCID はその影響を受けません。

- LOCK ビットがすでに 1 の場合 (セマフォがロックされている場合) に書き込むと、PROCID は影響を受けません。

- 許可された読出しにより、格納された PROCID 値が返されます。

8.4.2 HSEM 読出し ロックレジスタセマフォ x (HSEM_RLRx)

アドレス・オフセット : 0x080 + 0x4 * x (x = 0 から 15)

リセット値 : 0x0000 0000

HSEM_Rx と同じ物理ビットにアクセスします。1 ステップの読出しロックを実行するには、HSEM_RLRx を使用します。許可された AHB バスマスタ ID を持つ読出しアクセスのみを使用できます。許可されていない AHB バスマスタ ID を持つ読出しアクセスは破棄され、0 を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				PROCID[7:0]							
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 LOCK : ロック表示

このビットは、このアドレスでソフトウェアによってのみ読み出されます。

- セマフォが開放されている場合
 - 有効な AHB バスマスタ ID を使用した読出しでは、セマフォがロックされ、1 が返されます。
- セマフォがロックされている場合
 - 有効な AHB バスマスタ ID を使用した読出しでは、1 が返されます (COREID および PROCID には、すでにロックされているセマフォ情報が反映されます)。

ビット 30:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 COREID[3:0] : セマフォ COREID

このフィールドは、このアドレスでソフトウェアによってのみ読み出されます。

読出し時、セマフォが開放されている場合、ハードウェアにより、セマフォを読み出す AHB バスマスタ ID に COREID がセットされます。セマフォをロックしている AHB バスマスタの COREID が読み出されます。

読出し時、セマフォがロックされている場合、このフィールドには、セマフォをロックしている AHB バスマスタの COREID が返されます。

ビット 7:0 PROCID[7:0] : セマフォプロセッサ ID

このフィールドは、このアドレスでソフトウェアによってのみ読み出されます。

- 読出し時、セマフォが開放されている場合
 - 有効な AHB バスマスタ ID を使用した読出しでは、セマフォがロックされ、ハードウェアにより PROCID が 0 にセットされます。
- セマフォがロックされている場合
 - 有効な AHB バスマスタ ID を使用した読出しでは、セマフォをロックした AHB バスマスタの PROCID が返されます。



8.4.3 HSEM 割込み有効化レジスタ (HSEM_CnIER)

アドレス・オフセット : $0x100 + 0x010 * (n - 1)$, ($n = 1 \sim 2$)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISE[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ISE[15:0]** : 割込み(n)セマフォ x イネーブルビット ($x = 0 \sim 15$)

このビットはソフトウェアによって書き込み/読出しされます。

0 : セマフォ x の割込み (n) 生成は無効 (マスク済み) です。

1 : セマフォ x の割込み (n) 生成は有効 (未マスク) です。

8.4.4 HSEM 割込みクリアレジスタ (HSEM_CnICR)

アドレス・オフセット : $0x104 + 0x010 * (n - 1)$, ($n = 1 \sim 2$)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISC[15:0]															
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ISC[15:0]** : 割込み(n)セマフォ x クリアビット ($x = 0 \sim 15$)

このビットはソフトウェアによって書き込まれ、常に 0 を読み出します。

0 : 割込み (n) のセマフォ x ステータス ISFx およびマスクされたステータス MISFx は影響を受けません。

1 : 割込み (n) のセマフォ x ステータス ISFx およびマスクされたステータス MISFx はクリアされます。

8.4.5 HSEM 割込みステータスレジスタ (HSEM_CnISR)

アドレス・オフセット : $0x108 + 0x010 * (n - 1)$, ($n = 1 \sim 2$)

リセット値 : $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ISF[15:0]** : 有効化 (マスク) する前の割込みのセマフォ x ステータスビット ($x = 0 \sim 15$)

このビットはハードウェアでセットされ、ソフトウェアによってのみリセットされます。このビットは、ソフトウェアが対応する HSEM_CnICR ビットに書き込むことによってクリアされます。

- 0 : 割込みのセマフォ x ステータス、ペンディング状態の割込みなし
- 1 : 割込みのセマフォ x ステータス、ペンディング状態の割込みあり

8.4.6 HSEM 割込みステータスレジスタ (HSEM_CnMISR)

アドレス・オフセット : $0x10C + 0x010 * (n - 1)$, ($n = 1 \sim 2$)

リセット値 : $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MISF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MISF[15:0]** : 有効化 (マスク) 後のマスクされた割込み (n) のセマフォ x ステータスビット ($x = 0 \sim 15$)

このビットはハードウェアでセットされ、ソフトウェアによってのみ読み出されます。このビットは、ソフトウェアが対応する HSEM_CnICR ビットに書き込むことによってクリアされます。セマフォ x ステータスが HSEM_CnIER ビット x でマスクされているとき、このビットは 0 として読み出されます。

- 0 : ペンディング状態ではないマスク後の割込み (n) のセマフォ x ステータス
- 1 : ペンディング状態のマスク後の割込み (n) のセマフォ x ステータス



8.4.7 HSEM クリアレジスタ (HSEM_CR)

アドレス・オフセット : 0x140

リセット値 : 0x0000 0000

許可された AHB バスマスタ ID を持つ書込みアクセスのみを使用できます。許可されていない AHB バスマスタ ID を持つ書込みアクセスは破棄されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				w	w	w	w								

ビット 31:16 **KEY[15:0]** : セマフォクリアキー

このフィールドはソフトウェアによって書き込まれ、常に 0 を読み出します。

このキー値が HSEM_KEYR.KEY と一致しない場合、セマフォへの影響はありません。

このキー値が HSEM_KEYR.KEY と一致する場合、COREID と一致するすべてのセマフォが開放状態までクリアされます。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **COREID[3:0]** : クリアするセマフォの COREID

このフィールドはソフトウェアによって書き込まれ、常に 0 を読み出します。

このフィールドは、HSEM_CR 書込み時にセマフォをクリアする COREID を示します。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

8.4.8 HSEM 割込みクリアレジスタ (HSEM_KEYR)

アドレス・オフセット : 0x144

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:16 **KEY[15:0]** : セマフォクリアキー

このフィールドの書込み/読出しは、ソフトウェアで行うことができます。

セマフォをクリアする際に合わせるキー値。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。



8.4.9 HSEM レジスタマップ

表 66. HSEM レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x000	HSEM_R0	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID[7:0]											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
0x004	HSEM_R1	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID[7:0]											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
...																																				
0x03C	HSEM_R15	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID[7:0]											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
0x080	HSEM_RLR0	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
0x084	HSEM_RLR1	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID[7:0]											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
...																																				
0x0BC	HSEM_RLR15	LOCK	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COREID [3:0]			PROCID[7:0]											
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0			
0x100	HSEM_C1IER	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISE[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x104	HSEM_C1ICR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISC[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x108	HSEM_C1ISR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISF[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x10C	HSEM_C1MISR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MISF[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x110	HSEM_C2IER	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISE[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x114	HSEM_C2ICR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISC[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			
0x118	HSEM_C2ISR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ISF[15:0]														
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0			



表 66. HSEM レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x11C	HSEM_C2MISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MISF[15:0]																			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x140	HSEM_CR	KEY[15:0]															Res.	Res.	Res.	Res.	COREID[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0												
0x144	HSEM_KEYR	KEY[15:0]															Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																				

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

9 Inter-processor communication controller (プロセッサ間通信コントローラ) (IPCC)

9.1 IPCC の概要

プロセッサ間通信コントローラ (IPCC) は、2つのプロセッサ間のデータ通信に使用します。

IPCC ブロックは、微細操作で通信データの書込み、および取得するためのノンブロッキング信号メカニズムを備えています。次の 12 のチャンネルでの信号送信を行います。

- プロセッサ 1 からプロセッサ 2 への方向の 6 つのチャンネル
- 反対方向の 6 つのチャンネル

これにより、各方向に 2 つの異なる通信タイプを利用することができます。

IPCC 通信データは、IPCC ブロックの一部ではない共通メモリに配置する必要があります。

9.2 IPCC の主な機能

- 12 のチャンネルでのステータス信号送信
 - チャンネル占有/開放フラグは、ロックとしても使用されます。
- プロセッサあたり 2 つの割込みライン
 - 占有される RX チャンネル用に 1 つ (送信側プロセッサによって書き込まれる通信データ)
 - 空いた TX チャンネル用に 1 つ (受信側プロセッサによって取得される通信データ)
- チャンネルごとの割込みマスク
 - チャンネル占有マスク
 - チャンネル開放マスク
- 2 つのチャンネル動作モード
 - 単方向 (チャンネルごとに独自の通信データメモリ位置を持つ)
 - 半二重 (単一チャンネルが双方向通信データ情報のメモリ位置に関連付けられる)

9.3 IPCC の機能説明

IPCC 通信データは、IPCC ブロックの一部ではない共通メモリに配置されます。通信データのアドレス位置は、既知であるか、またはすでに述べたように IPCC ブロックの一部ではない既知の共通領域に位置している必要があります。

IPCC ブロックは、各通信用にチャンネルステータスフラグ CHnF を備えています。

- チャンネルステータスフラグ CHnF が 0 の場合は、関連する IPCC チャンネルが開放状態 (受信側プロセッサによって通信データが取得された状態) で、送信側プロセッサがアクセスできることを示します。
- チャンネルステータスフラグ CHnF が 1 の場合は、関連する IPCC チャンネルが占有状態 (送信側プロセッサによって通信データが書き込まれた状態) で、受信側プロセッサがアクセスできることを示します。

チャンネルの動作モードは、両方のプロセッサで把握されている必要があります。共通パラメータはチャンネル転送モードを示すために使用することができ、これも既知の共通領域に配置する必要があります。このパラメータは IPCC から使用できません。

9.3.1 IPCC ブロック図

IPCC (図 36 を参照) は次のサブブロックで構成されます。

- チャンネルステータスを含むステータスブロック
- チャンネルステータスレジスタへの AHB アクセスのための IPCC インタフェースブロック
- 割り込み制御のための割り込みインタフェースブロック

図 36. IPCC ブロック図

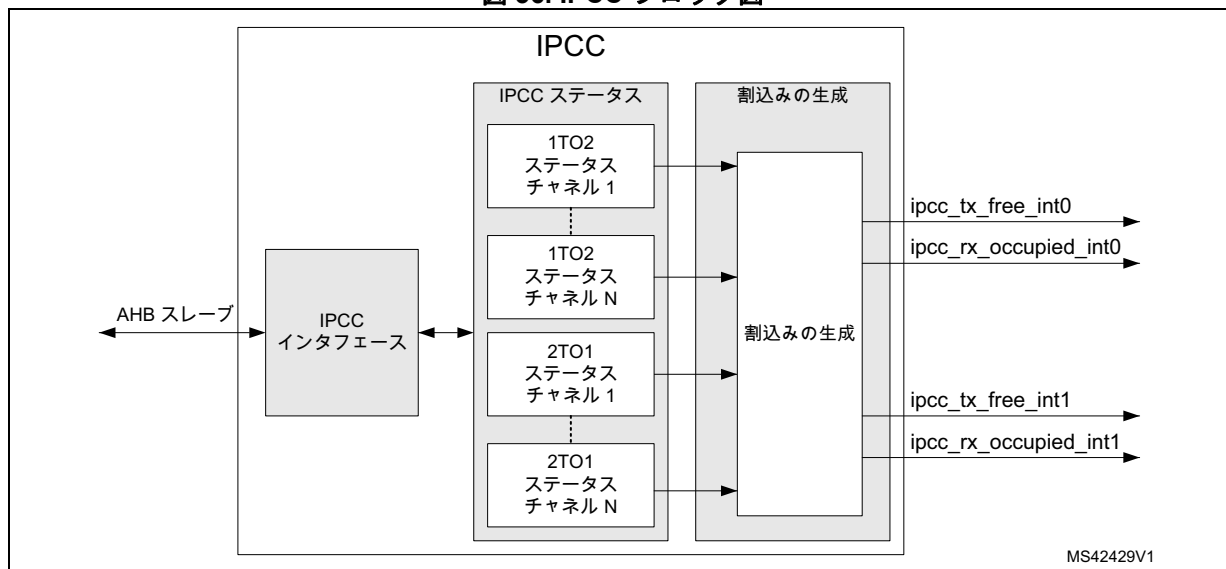


表 67. IPCC インタフェース信号

信号		説明
名前	タイプ	
AHB スレーブ	I/O	AHB レジスタ・アクセス・バス
ipcc_tx_free_int1	O	プロセッサ 1 への TX 開放割り込み
ipcc_rx_occupied_int1	O	プロセッサ 1 への RX 占有割り込み
ipcc_tx_free_int2	O	プロセッサ 2 への TX 開放割り込み
ipcc_rx_occupied_int2	O	プロセッサ 2 への RX 占有割り込み

9.3.2 IPCC 単方向チャンネルモード

単方向チャンネルモードでは、専用のメモリ位置（単方向でのデータ転送に使用される）が通信データに割り当てられます。関連するチャンネル N 制御ビット（表 68 を参照）は、送信側プロセッサから受信側プロセッサへの転送を管理するために使用されます。

表 68. 通信に使用されるビット

プロセッサ・	A	B
SEND A = 1 RECEIVE B = 2	IPCC_C1CR.TXFIE IPCC_C1MR.CHnFM IPCC_C1SCR.CHnS IPCC_C1TOC2SR.CHnF	IPCC_C2CR.RXOIE IPCC_C2MR.CHnOM IPCC_C2SCR.CHnC
SEND A = 2 RECEIVE B = 1	IPCC_C2CR.TXFIE IPCC_C2MR.CHnFM IPCC_C2SCR.CHnS IPCC_C2TOC1SR.CHnF	IPCC_C1CR.RXOIE IPCC_C1MR.CHnOM IPCC_C1SCR.CHnC

送信側プロセッサにより通信データがメモリに書き込まれると、チャンネルステータスフラグ CHnF が「CHnS により占有」にセットされます。

受信側プロセッサがメモリから通信データを取得すると、チャンネルステータスフラグ CHnF が「CHnC により開放」にクリアされます。

図 37. IPCC 単方向チャンネルモードの転送タイミング

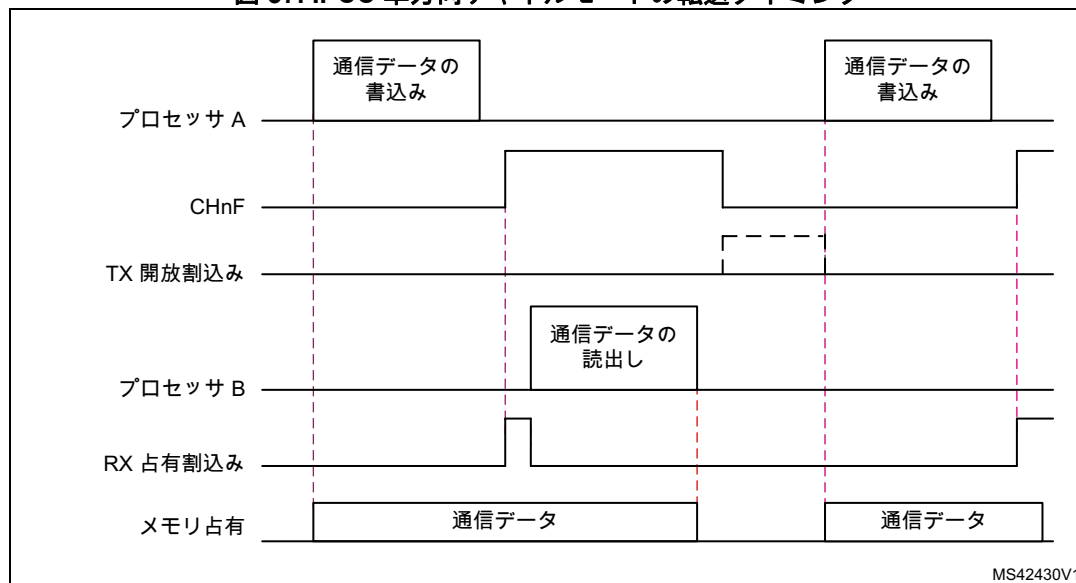
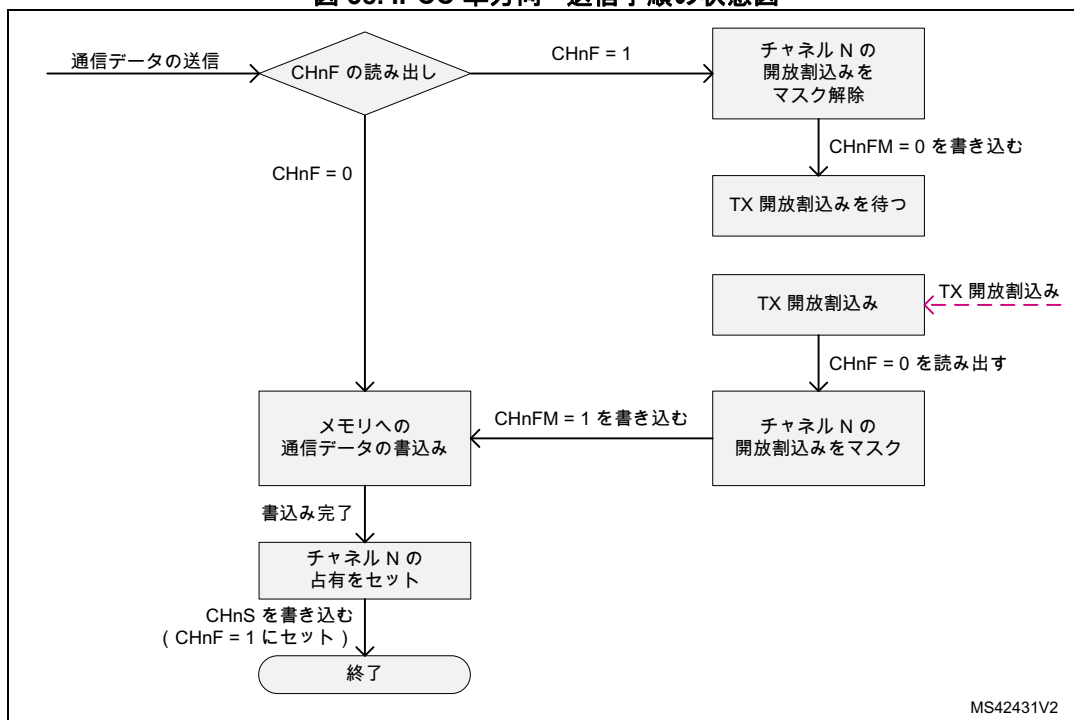


図 38. IPCC 単方向 - 送信手順の状態図

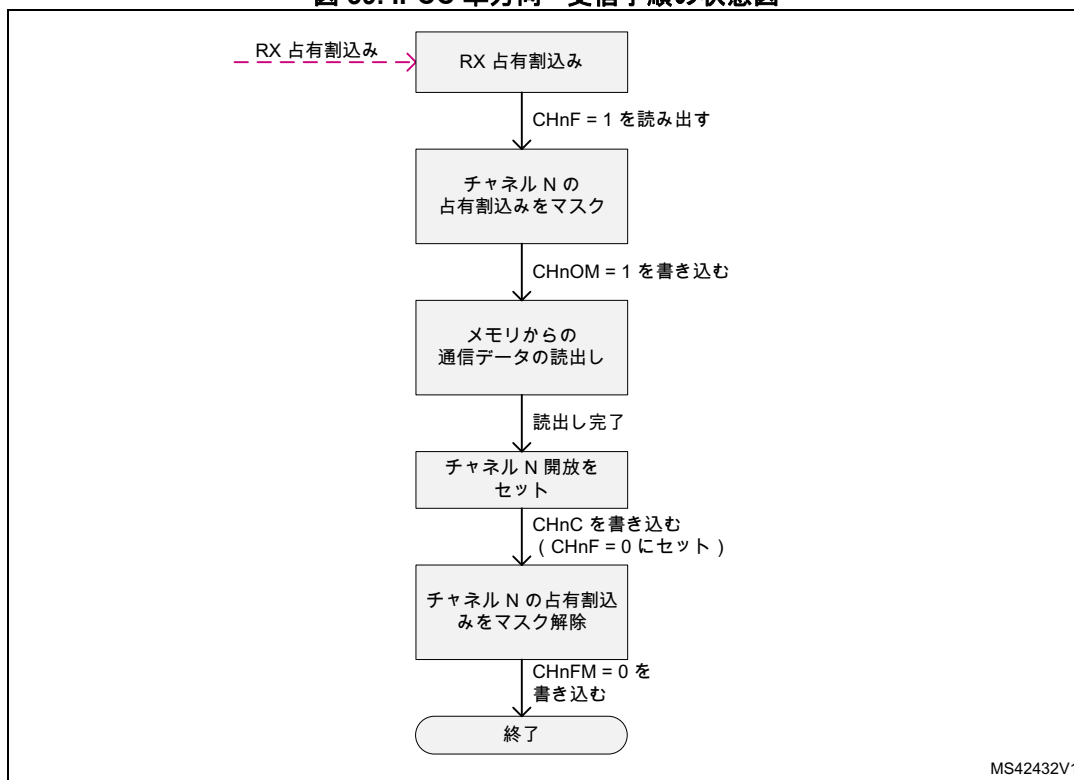


MS42431V2

通信データを送信するには、次の手順に従います。

- 送信側プロセッサでチャンネルステータスフラグ CHnF をチェックします。
 - CHnF = 0 の場合、チャンネルは開放状態（最後の通信データが受信側プロセッサによって取得された状態）で、新しい通信データを書き込むことができます。
 - CHnF = 1 の場合、チャンネルは占有されており（最後の通信データが受信側プロセッサによって取得されていない状態）、送信側プロセッサはチャンネルの開放割込みをマスク解除します（CHnFM = 0）。
 - TX 開放割込み時に、送信側プロセッサで開放状態になったチャンネルをチェックし、チャンネルの開放割込みをマスクします（CHnFM = 1）。その後、新しい通信が可能になります。
- 通信データがすべて書き込まれると、チャンネルステータスは「CHnS により占有」にセットされます。これにより、受信側プロセッサにメモリアクセスが許可され、RX 占有割込みが生成されます。

図 39. IPCC 単方向 - 受信手順の状態図



通信を受信するため、チャンネル占有割込みのマスクが解除されます (CHnOM = 0)。

- RX 占有割込み時に、受信側プロセッサで占有状態のチャンネルをチェックし、関連するチャンネル占有割込みをマスクし (CHnOM)、メモリから通信データを読み出します。
- 通信データがすべて取得されると、チャンネルステータスが「CHnCにより解放」にクリアされます。これにより、送信側プロセッサにメモリアクセスの権利が戻り、TX 開放割込みの生成が可能になります。
- チャンネルステータスがクリアされると、チャンネル占有割込みはマスク解除されます (CHnOM = 0)。

9.3.3 IPCC 半二重チャンネルモード

半二重チャンネルモードは、一方のプロセッサで通信を送信し、もう一方のプロセッサで各通信に対する応答を送信する場合に使用されます (ピンポン)。

半二重チャンネルモードでは、1つの専用のメモリ位置が通信データと応答に割り当てられ、双方向のデータ転送に使用されます。送信側プロセッサのチャンネルステータスフラグ CHnF がチャンネルに割り当てられ、両方のプロセッサによって使用されます (表 68 を参照)。

プロセッサ A で通信データがメモリに書き込まれると、プロセッサ A のチャンネルステータスフラグ CHnF が「CHnSにより占有」にセットされます (プロセッサ B がメモリアクセスを許可されます)。

プロセッサ B でメモリから通信データが取得されても、チャンネルステータスフラグは変更されません。応答のために、プロセッサ B にメモリアクセスが保持されます。

プロセッサ B により応答がメモリに書き込まれると、チャンネルステータスフラグ CHnF が「CHnCにより開放」にクリアされます (プロセッサ A にメモリアクセスの権利が戻ります)。

プロセッサ A がメモリから応答を取得しても、チャンネルステータスフラグは変更されません。次の通信データのため、プロセッサ A にメモリ位置アクセスが保持されます。

図 40. IPCC 半二重チャンネルモードの転送タイミング

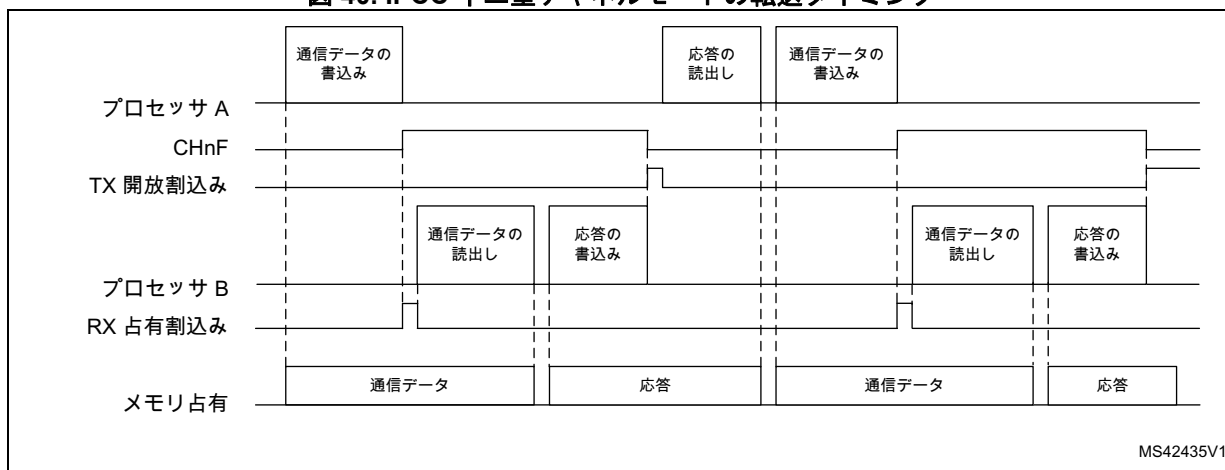
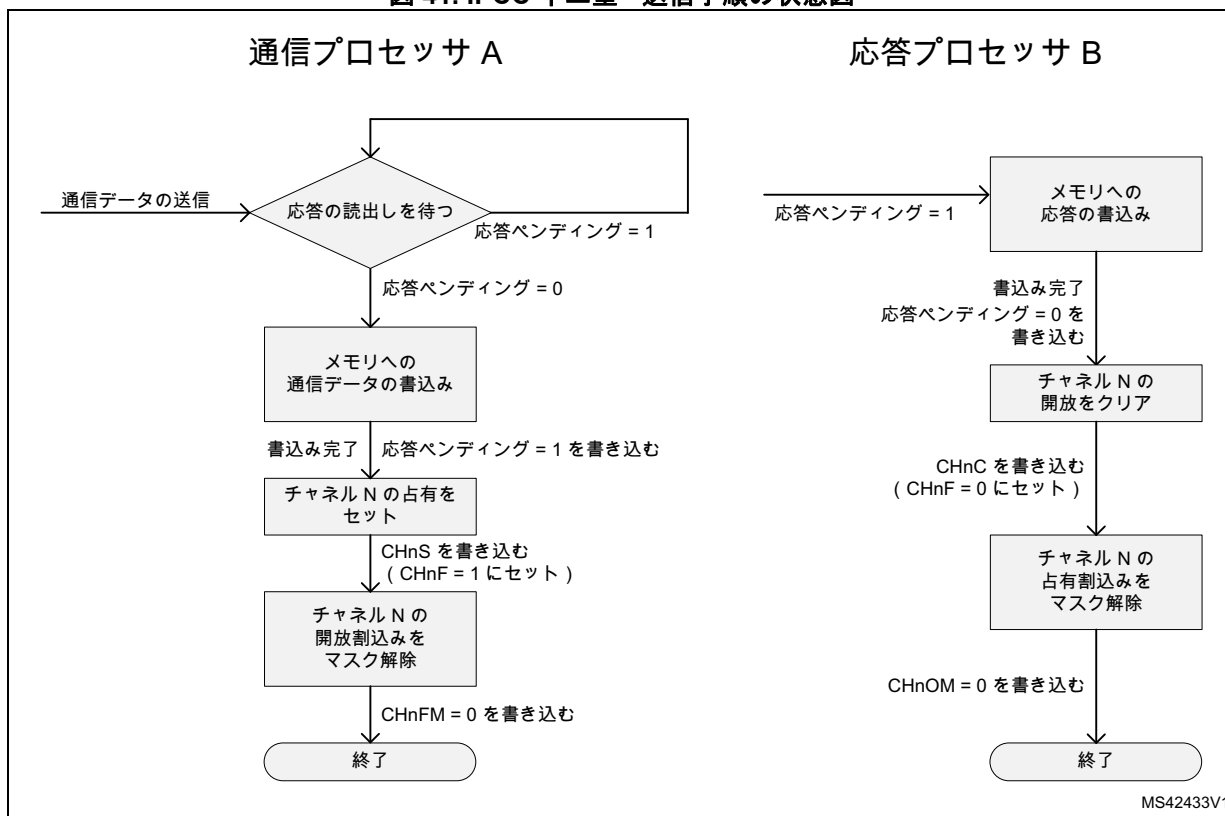


図 41. IPCC 半二重 - 送信手順の状態図



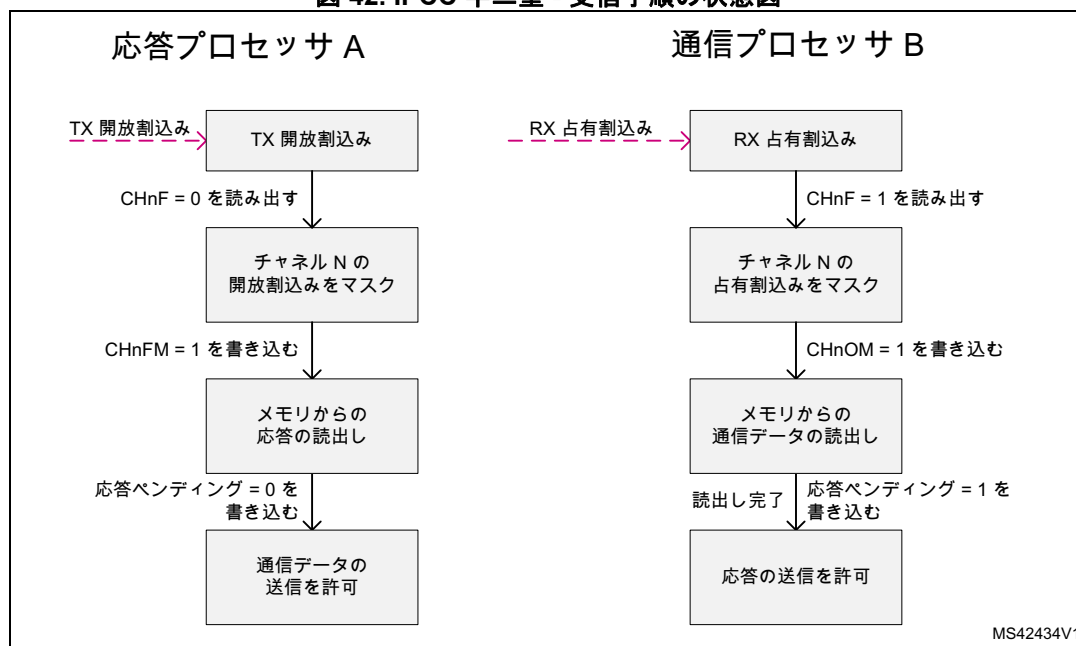
通信データを送信するには、次の手順に従います。

- 送信側プロセッサで、応答ペンディングソフトウェア変数が 0 になるのを待ちます。
 - 応答ペンディングソフトウェア変数が 0 になると、通信データが書き込まれます。
- 通信データがすべて書き込まれると、チャンネルステータスフラグ CHnF が「CHnS により占有」にセットされ、応答ペンディングソフトウェア変数が 1 にセットされます (これにより、受信側プロセッサにメモリアクセスが許可され、RX 占有割込みが生成されます)。
- チャンネルステータスフラグ CHnF がセットされると、チャンネル開放割込みのマスクが解除されます (CHnFM = 0)。

応答を送信するには、次の手順に従います。

- 受信側プロセッサで、応答ペンディングソフトウェア変数が 1 になるのを待ちます。
 - 応答ペンディングソフトウェア変数が 1 になると、応答が書き込まれます。
- 応答がすべて書き込まれると、チャンネルステータスフラグ CHnF が「CHnC により解放」にクリアされ、応答ペンディングソフトウェア変数が 0 にセットされます（これにより送信側プロセッサにメモリアクセスが許可され、TX 開放割込みが生成されます）。
- チャンネルステータスフラグ CHnF がクリアされると、チャンネル占有割込みのマスクが解除されます (CHnOM = 0)。

図 42. IPCC 半二重 - 受信手順の状態図



通信データを受信するため、チャンネル占有割込みのマスクが解除されます (CHnOM = 0)。

- RX 占有割込み時に、受信側プロセッサで占有状態のチャンネルをチェックし、関連するチャンネル占有割込みをマスクし (CHnOM)、メモリから通信データを読み出します。
- 通信データがすべて取得されると、応答ペンディングソフトウェア変数がセットされます。チャンネルのステータスは変更されず、次の応答を書き込むためにメモリへのアクセスが保持されます。

レスポンスを受信するため、チャンネル開放割込みのマスクが解除されます (CHnFM = 0)。

- TX 開放割込み時に、送信側プロセッサで、開放状態のチャンネルをチェックし、関連するチャンネル開放割込みをマスクし (CHnFM)、メモリから応答を読み出します。
- 応答がすべて取得されると、応答ペンディングソフトウェア変数がクリアされます。チャンネルのステータスは変更されず、次の通信データを書き込むためにメモリへのアクセスが保持されます。

9.3.4 IPCC 割込み

次の4つの割込みラインがあります。

- 2つのRXチャンネル占有割込み(プロセッサにつき1つずつ)
 - プロセッサごとの割込み有効化 RXOIE
 - チャンネルごとの個別マスク CHnOM
- 2つのTXチャンネル開放割込み(プロセッサにつき1つずつ)
 - プロセッサごとの割込み有効化 TXFIE
 - チャンネルごとの個別マスク CHnFM

RX占有割込みは受信側プロセッサによって使用され、マスク解除されているチャンネルのステータスが「占有」を示している状態(CHnF = 1)を示します。

TX開放割込みは送信側プロセッサによって使用され、マスク解除されているチャンネルのステータスが「開放」である状態(CHnF = 0)を示します。

セキュアチャンネルでは、チャンネルがセキュアでマスク解除されていて、グローバルセキュアが有効になっている場合にのみ、セキュア割込みのみ生成されます。

非セキュアチャンネルでは、チャンネルが非セキュアでマスク解除されていて、グローバル非セキュアが有効になっている場合にのみ、非セキュア割込みのみ生成されます。

9.4 IPCC レジスタ

ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスする必要があります。バイト (8 ビット) およびハーフワード (16 ビット) アクセスは許可されず、バスエラーも生成されません。

9.4.1 IPCC プロセッサ 1 制御レジスタ (IPCC_C1CR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE
															rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TXFIE** : プロセッサ 1 の送信チャネルの開放 割り込みの有効化

IPCC_C1TOC2SR に関連付けられています。

1 : マスク解除されたプロセッサ 1 の開放送信チャネルで TX 開放割り込みの生成を有効にします。

0 : プロセッサ 1 の TX 開放割り込みが無効です。

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RXOIE** : プロセッサ 1 の受信チャネルの占有割り込みの有効化

IPCC_C2TOC1SR に関連付けられています。

1 : マスク解除されたプロセッサ 1 の占有受信チャネルで RX 占有割り込みの生成を有効にします。

0 : プロセッサ 1 の RX 占有割り込みが無効です。

9.4.2 IPCC プロセッサ 1 のマスクレジスタ (IPCC_C1MR)

アドレス・オフセット : 0x004

リセット値 : 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 FM	CH5 FM	CH4 FM	CH3 FM	CH2 FM	CH1 FM
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 OM	CH5 OM	CH4 OM	CH3 OM	CH2 OM	CH1 OM
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnFM** : プロセッサ 1 の送信チャネル n のステータスをセット (n = 6 ~ 1)。

IPCC_C1TOC2SR.CHnF に関連

1 : 送信チャネル n の開放割り込みはマスクされます。

0 : 送信チャネル n の開放割り込みはマスクされません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnOM** : プロセッサ 1 の受信チャンネル n のステータスをクリア (n = 6 ~ 1)。

IPCC_C2TOC1SR.CHnF に関連

1 : 受信チャンネル n の占有割込みはマスクされます。

0 : 受信チャンネル n の占有割込みはマスクされません。

9.4.3 IPCC プロセッサ 1 ステータスセットクリアレジスタ (IPCC_C1SCR)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

このレジスタを読み出すと常に 0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S
										rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
										rW	rW	rW	rW	rW	rW

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnS** : プロセッサ 1 の送信チャンネル n のステータスをセット (n = 6 ~ 1)。

IPCC_C1TOC2SR.CHnF に関連

1 : プロセッサ 1 の送信チャンネル n のステータスビットがセットされます。

0 : 影響はありません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnC** : プロセッサ 1 の受信チャンネル n のステータスをクリア (n = 6 ~ 1)。

IPCC_C2TOC1SR.CHnF に関連

1 : プロセッサ 1 の受信チャンネル n のステータスビットがクリアされます。

0 : 影響はありません。

9.4.4 IPCC プロセッサ 1 から プロセッサ 2 へのステータスレジスタ (IPCC_C1TOC2SR)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
										r	r	r	r	r	r

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnF** : マスクする前に プロセッサ 1 からプロセッサ 2 受信チャンネル n にステータスフラグを送信 (n = 6 ~ 1)。

- 1 : チャンネルが占有状態になり、受信側プロセッサ 2 によるデータの読出しができません。マスク解除されている場合、プロセッサ 2 へのチャンネル RX 占有割込みを生成します。
- 0 : チャンネルが開放状態になり、送信側プロセッサ 1 によるデータの書き込みができません。マスク解除されている場合、プロセッサ 1 へのチャンネル TX 開放割込みを生成します。

9.4.5 IPCC プロセッサ 2 制御レジスタ (IPCC_C2CR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE
															rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TXFIE** : プロセッサ 2 の送信チャンネルの開放割込みの有効化

IPCC_C2TOC1SR に関連付けられています。

- 1 : マスク解除されたプロセッサ 2 の開放送信チャンネルで TX 開放割込みの生成を有効にします。
- 0 : プロセッサ 2 TX の開放割込みが無効です。

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RXOIE** : プロセッサ 2 の受信チャンネルの占有割込みの有効化

IPCC_C1TOC2SR に関連付けられています。

- 1 : マスク解除されたプロセッサ 2 の占有受信チャンネルで RX 占有割込みの生成を有効にします。
- 0 : プロセッサ 2 の RX 占有割込みが無効です。

9.4.6 IPCC プロセッサ 2 のマスクレジスタ (IPCC_C2MR)

アドレス・オフセット : 0x014

リセット値 : 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 FM	CH5 FM	CH4 FM	CH3 FM	CH2 FM	CH1 FM
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 OM	CH5 OM	CH4 OM	CH3 OM	CH2 OM	CH1 OM
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnFM** : プロセッサ 2 の送信チャンネル n の開放割込みをマスク (n = 6 ~ 1)。

IPCC_C2TOC1SR.CHnF に関連

1 : 送信チャンネル n の開放割込みはマスクされます。

0 : 送信チャンネル n の開放割込みはマスクされません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnOM** : プロセッサ 2 の受信チャンネル n の占有割込みをマスク (n = 6 ~ 1)。

IPCC_C1TOC2SR.CHnF に関連

1 : 受信チャンネル n の占有割込みはマスクされます。

0 : 受信チャンネル n の占有割込みはマスクされません。

9.4.7 IPCC プロセッサ 2 ステータスセットクリアレジスタ (IPCC_C2SCR)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0000

このレジスタを読み出すと常に 0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnS** : プロセッサ 2 の送信チャンネル n のステータスをセット (n = 6 ~ 1)。

IPCC_C2TOC1SR.CHnF に関連

1 : プロセッサ 2 の送信チャンネル n のステータスビットがセットされます。

0 : 影響はありません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnC** : プロセッサ 2 の受信チャンネル n のステータスをクリア (n = 6 ~ 1)。
 IPCC_C1TOC2SR.CHnF に関連
 1 : プロセッサ 2 の受信チャンネル n のステータスビットがクリアされます。
 0 : 影響はありません。

9.4.8 IPCC プロセッサ 2 から プロセッサ 1 へのステータスレジスタ (IPCC_C2TOC1SR)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
										r	r	r	r	r	r

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnF** : **マスクする前に**、プロセッサ 2 からプロセッサ 1 受信チャンネル n にステータスフラグを送信 (n = 6 ~ 1)
 1 : チャンネルが占有状態になり、受信側プロセッサ 1 によるデータの読出しができません。
 マスク解除されている場合、プロセッサ 1 へのチャンネル RX 占有割込みを生成します。
 0 : チャンネルが開放状態になり、送信側プロセッサ 2 によるデータの書き込みができません。
 マスク解除されている場合、プロセッサ 2 へのチャンネル TX 開放割込みを生成します。

9.4.9 IPCC レジスタマップ

表 69. IPCC レジスタマップとリセット値

オフセット	レジスタ名 リセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x0000	IPCC_C1CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE	
	リセット値																0																0	
0x0004	IPCC_C1MR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6FM	CH5FM	CH4FM	CH3FM	CH2FM	CH1FM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6OM	CH5OM	CH4OM	CH3OM	CH2OM	CH1OM
	リセット値												1	1	1	1	1	1											1	1	1	1	1	1
0x0008	IPCC_C1SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C	
	リセット値												0	0	0	0	0	0											0	0	0	0	0	0
0x000C	IPCC_C1TOC2SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F	
	リセット値																											0	0	0	0	0	0	0
0x0010	IPCC_C2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE	
	リセット値																	0																0
0x0014	IPCC_C2MR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6FM	CH5FM	CH4FM	CH3FM	CH2FM	CH1FM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6OM	CH5OM	CH4OM	CH3OM	CH2OM	CH1OM
	リセット値												1	1	1	1	1	1											1	1	1	1	1	1
0x0018	IPCC_C2SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C	
	リセット値												0	0	0	0	0	0											0	0	0	0	0	0
0x001C	IPCC_C2TOC1SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F	
	リセット値																											0	0	0	0	0	0	0

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

10 汎用 I/O (GPIO)

10.1 GPIO の概要

各汎用 I/O ポートにはそれぞれ 4 つの 32 ビット設定レジスタ (GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR)、2 つの 32 ビットデータレジスタ (GPIOx_IDR、GPIOx_ODR)、および 1 つの 32 ビットセット/リセットレジスタ (GPIOx_BSRR) があります。

すべての GPIO には、それぞれ 32 ビットロックレジスタ (GPIOx_LCKR) と 2 つの 32 ビットオルタネート機能選択レジスタ (GPIOx_AFRH、GPIOx_AFRL) があります。

10.2 GPIO の主な機能

- 出力状態：プッシュプルまたはオープンドレイン + プルアップ/プルダウン
- 出力データレジスタ (GPIOx_ODR) またはペリフェラル (オルタネート機能出力) からの出力データ
- 各 I/O のスピード選択
- 入力状態：フローティング、プルアップ/プルダウン、アナログ
- 入力データレジスタ (GPIOx_IDR) またはペリフェラル (オルタネート機能入力) への入力データ
- GPIOx_ODR へのビット単位の書込みアクセス用のビットセット/リセットレジスタ (GPIOx_BSRR)
- I/O ポート設定を固定するロック機構 (GPIOx_LCKR)
- アナログ機能
- オルタネート機能選択レジスタ
- 2 クロックサイクルで変化可能な高速トグル
- I/O ピンを GPIO またはいくつかのペリフェラル機能の 1 つとして使用できるようにする柔軟性の高いピンの多重化

10.3 GPIO の機能詳細

各 I/O ポートの特定のハードウェア特性については、データシートに記載されています。GPIO ポートの各ポートビットは、ソフトウェアによって以下の動作モードを個別に設定できます。

- 入力フローティング
- 入力プルアップ
- 入力プルダウン
- アナログ
- プルアップまたはプルダウン機能を持つ出力オープンドレイン
- プルアップまたはプルダウン機能を持つ出力プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能オープンドレイン

各 I/O ポートビットは自由にプログラム可能ですが、I/O ポートレジスタには 32 ビットワード、ハーフワード、またはバイト単位でアクセスする必要があります。

GPIOx_BSRR および GPIOx_BRR レジスタを使用すると、任意の GPIOx_ODR レジスタに不可分な読出し/変更アクセスを行うことができます。これにより、読出しと変更アクセスの間に IRQ が発生するリスクを回避できます。

図 43 および 図 44 は、標準 I/O ポートビットと 5 V トレラント I/O ポートビットの基本構造を示します。

表 70 には、実行可能なポートビットの設定を示します。

図 43. 標準 I/O ポートビットの基本構造

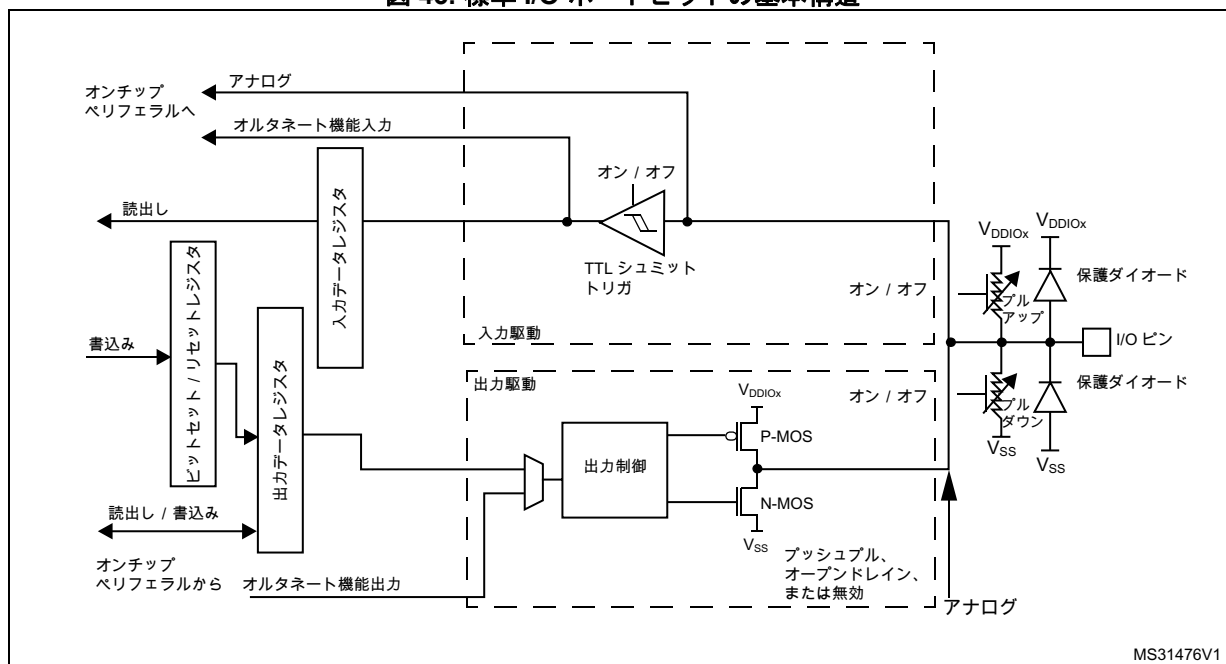


表 70. ポートビット設定 (続き)

MODE(i)[1:0]	OTYPER(i)	OSPEED(i)[1:0]	PUPD(i)[1:0]	I/O 設定 ⁽¹⁾	
00	X	XX	00	入力	フローティング
	X	XX	01	入力	PU
	X	XX	10	入力	PD
	X	XX	11	予約済み (入力フローティング)	
11	X	XX	00	入力/出力	アナログ
	X	XX	01	予約済みです。	
	X	XX	10		
	X	XX	11		

1. GP = 汎用、PP = プッシュプル、PU = プルアップ、PD = プルダウン、OD = オープンドレイン、AF = オルタネート機能

10.3.1 汎用 I/O (GPIO)

リセット中とリセット直後は、オルタネート機能は有効ではなく、ほとんどの I/O ポートはアナログモードに設定されています。

リセット後、以下に示すデバッグピンはオルタネート機能のプルアップ/プルダウンに設定されています。

- PA15 : プルアップされた入力モードの JTDI
- PA14 : プルダウンされた入力モードの JTCK/SWCLK
- PA13 : プルアップされた入力モードの JTMS/SWDAT
- PB4 : プルアップされた入力モードの NJTRST
- PB3 : ハイインピーダンスモードの JTDO (プルアップ/プルダウンなし)

PH3/BOOT0 は、リセット中は少なくともオプションバイトのローディングが終了するまで、入力モードになります (セクション 10.3.15: PH3 を GPIO として使用を参照)。

I/Oピンが出力として設定されている場合、出力データレジスタ GPIOx_ODR に書き込まれた値が I/Oピンに出力されます。出力ドライバをプッシュプルモードまたはオープンドレインモード (ローレベルのみが駆動され、ハイレベルはハイインピーダンス) で使用することができます。

入力データレジスタ GPIOx_IDR は、AHB クロックサイクルごとに、I/O ピン上のデータをキャプチャします。

すべての GPIO ピンに、内部ウィークプルアップ抵抗とウィークプルダウン抵抗があり、GPIOx_PUPDR レジスタの値によってこれらを有効化/無効化できます。

10.3.2 I/O ピンオルタネート機能マルチプレクサと配置

I/O ピンは、マルチプレクサを介してオンボードのペリフェラル/モジュールに接続され、一度に 1 つの AF ペリフェラルのみが 1 つの I/O ピンに接続可能となっています。これにより、同じ I/O ピンを共有するペリフェラル間での競合を避けることができます。

各 I/O ピンは、最大 16 のオルタネート機能入力 (AF0~AF15) を持つマルチプレクサを内蔵しており、これらの入力は、レジスタ GPIOx_AFRL (ピン 0~7) と GPIOx_AFRH (ピン 8~15) を介して設定することができます。

リセット後、マルチプレクサの選択はオルタネート機能 0 (AF0) です。I/O は、GPIOx_MODER レジスタを通してオルタネート機能モードで設定されます。

各ピンに固有のオルタネート機能割り当てについての詳細は、製品データシートに記載されています。

この柔軟性の高い I/O 多重化アーキテクチャに加え、各ペリフェラルではオルタネート機能がそれぞれの I/O ピンに配置されており、さらに小型のパッケージで使用できるペリフェラルの数を最適化します。

I/O を任意の設定で使用するには、次の手順に従います。

- **デバッグ機能**
各デバイスのリセット後、これらのピンはデバッグホストによってすぐに使用可能なオルタネート機能ピンとして割り当てられます。
- **GPIO**
必要とする I/O を、GPIOx_MODER レジスタで出力、入力、またはアナログとして設定します。
- **ペリフェラルオルタネート機能**
 - I/O を GPIOx_AFRL または GPIOx_AFRH レジスタで、必要とする AFx に接続します。
 - タイプ、プルアップ/プルダウン、出カスピードをそれぞれ GPIOx_OTYPER、GPIOx_PUPDR、GPIOx_OSPEEDR レジスタで選択します。
 - 必要とする I/O を、GPIOx_MODER レジスタでオルタネート機能として設定します。
- **追加機能**
 - ADC、DAC、COMP については、GPIOx_MODER レジスタのアナログモードで必要とする I/O を設定し、ADC、DAC、COMP レジスタで必要な機能を設定します。
 - RTC、WKUPx、オシレータなどの追加機能については、関連する RTC、PWR、および RCC レジスタで必要な機能を設定します。これらの機能は、標準の GPIO レジスタの設定よりも優先されます。

オルタネート機能 I/O ピンの配置に関する詳細は、製品データシートの「オルタネート機能配置」表を参照してください。

10.3.3 I/O ポート制御レジスタ

各 GPIO ポートには 32 ビットメモリマップド制御レジスタが 4 つ (GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、および GPIOx_PUPDR) あり、最大 16 個の I/O が設定されます。

GPIOx_MODER は I/O モード (入力、出力、AF、または アナログ) を選択するために使用されます。

GPIOx_OTYPER および GPIOx_OSPEEDR は、出カタイプ (プッシュプルまたはオープンドレイン) およびスピードを選択するために使用されます。

I/O の方向がどちらであっても、GPIOx_PUPDR は、プルアップ/プルダウンを選択するために使用されます。

10.3.4 I/O ポートデータレジスタ

各 GPIO には、16 ビットのメモリマッピングされた入力および出カデータレジスタが 2 つあります。GPIOx_IDR と GPIOx_ODR です。

GPIOx_ODR は出力されるデータを格納し、読出し/書込みアクセスが可能です。

I/O を介して入力されたデータは、読出し専用レジスタである GPIOx_IDR に格納されます。

10.3.5 I/O データのビット単位の操作

ビットセット/リセットレジスタ (GPIOx_BSRR) は 32 ビットレジスタで、アプリケーションによる出力データレジスタ (GPIOx_ODR) のビット単位のセット/リセットを可能にします。GPIOx_BSRR のサイズは GPIOx_ODR の 2 倍です。

GPIOx_ODR の各ビットには GPIOx_BSRR の 2 つの制御ビット BS(i) と BR(i) が対応します。

- BS(i) に 1 を書き込むと、対応する ODR(i) ビットがセットされます。
- BR(i) に 1 を書き込むと、対応する ODR(i) ビットがリセットされます。

GPIOx_BSRR のいかなるビットに 0 を書き込んでも GPIOx_ODR の対応するビットには影響しません。仮に、GPIOx_BSRR のビットに対してセットおよびリセットの両方を実行しようとした場合、セット動作が優先されます。

GPIOx_BSRR を使用した GPIOx_ODR 内の個々のビットの変更には、1 回限りの効果しかなく、GPIOx_ODR ビットを固定するものではありません。GPIOx_ODR のビットは常に直接アクセスすることができます。GPIOx_BSRR によって、ビット単位の不可分操作を行うことができます。

GPIOx_ODR をビットレベルでプログラムする場合は、ソフトウェアで割込みを無効にする必要はありません。1 回の不可分な AHB 書込みアクセスで 1 ビットまたは複数ビットを変更することができます。

10.3.6 GPIO ロック機構

GPIOx_LCKR レジスタへ特定の書込みシーケンスを行うことにより、GPIO 制御レジスタをロックすることができます。ロックされるレジスタは、GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH です。

GPIOx_LCKR に書き込むには、特定の書込み/読出しシーケンスを行う必要があります。このレジスタのビット 16 に適切な LOCK シーケンスを行う場合、LCKR[15:0] の値を使用して I/O の設定を固定します (この書込みシーケンス中、LCKR[15:0] の値は同じである必要があります)。

あるポートビットに LOCK シーケンスが行われると、次の MCU リセットまたはペリフェラルリセットまで、そのポートビットの値を変更できなくなります。

GPIOx_LCKR の各ビットによって、制御レジスタ GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH の対応するビットがロックされます。

GPIOx_LCKR ビット 16 を [15:0] ビットと同時に設定する必要があるため、この LOCK シーケンスは、GPIOx_LCKR のワード (32 ビット長) アクセスを使用してのみ実行できます。

10.3.7 I/O オルタネート機能の入力/出力

各 I/O が使用できるオルタネート機能入力/出力の 1 つを選択するため、2 つのレジスタが用意されています。GPIOx_AFRL と GPIOx_AFRH です。

これらのレジスタを使用し、必要に応じて、アプリケーションでオルタネート機能を他のピンに接続することができます。これは、使用可能な多くのペリフェラル機能が各 GPIO に多重化されていることを意味します。こうして各 I/O に使用可能な機能のどれか 1 つをアプリケーションによって選択できます。

AF 選択信号はオルタネート機能入力およびオルタネート機能出力に共通なので、任意の I/O が持つオルタネート機能入力/出力に対し 1 つのチャンネルが選択されます。

どの機能が各 GPIO ピンに多重化されているかについては製品データシートを参照してください。

10.3.8 外部割込み／ウェイクアップライン

すべてのポートに外部割込み機能があります。

外部割込みラインを使用するには、ポートを入力モードに設定する必要があります。

[セクション 16.4.1: EXTI の設定可能なイベント入力ウェイクアップ](#)を参照してください。

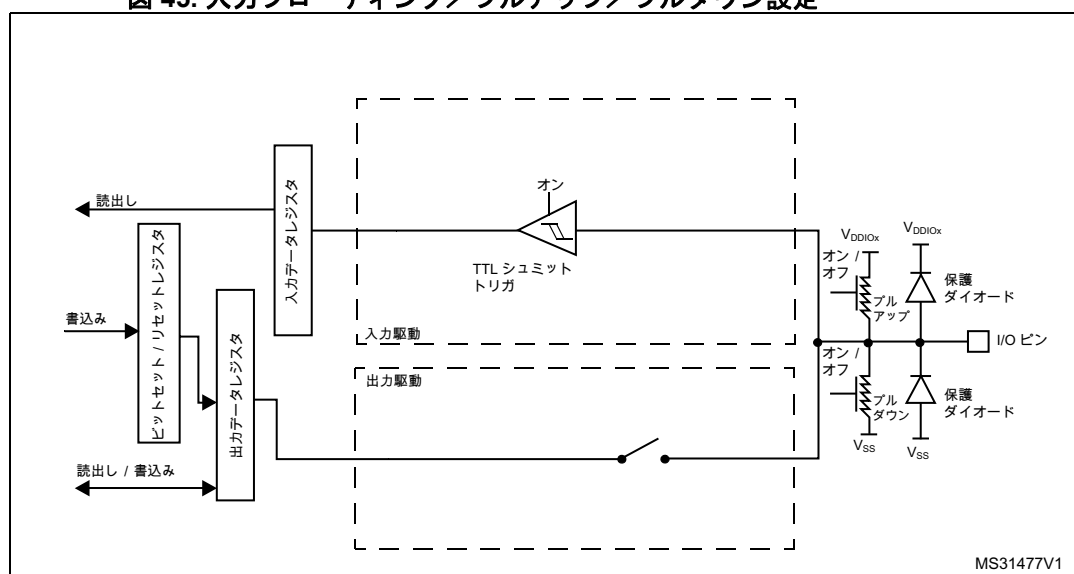
10.3.9 入力設定

I/O ポートが入力としてプログラムされると、以下のことが起きます。

- 出力バッファが無効になります。
- シュミットトリガ入力があります。
- GPIOx_PUPDR レジスタの値に応じて、プルアップおよびプルダウン抵抗が有効になります。
- I/O ピン上のデータは、AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。

下図は、I/O ポートビットの入力設定を示しています。

図 45. 入力フローティング／プルアップ／プルダウン設定



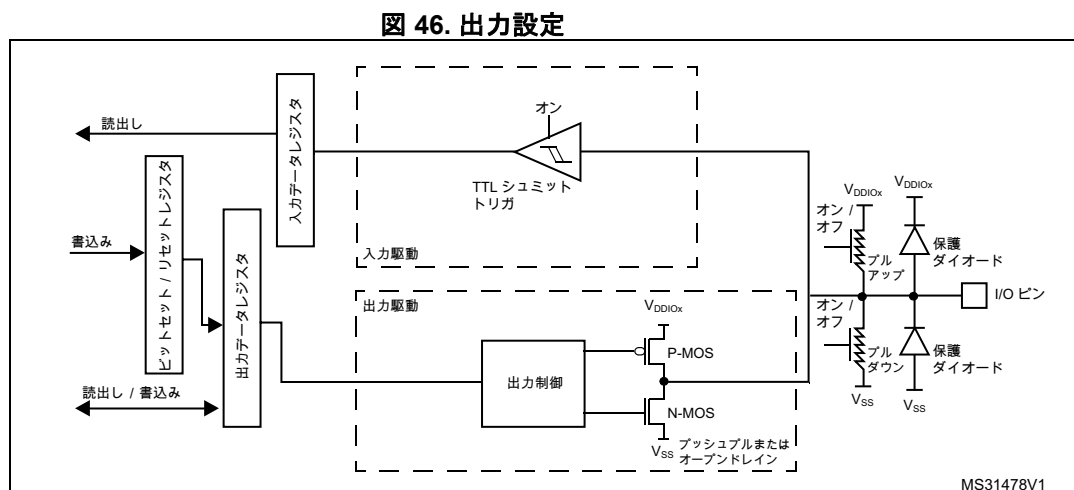
MS31477V1

10.3.10 出力設定

I/O ポートが出力としてプログラムされると、以下のことが起きます。

- 出力バッファが有効になります。
 - オープンドレインモード：出力レジスタが 0 のときは N-MOS が有効になり、1 のときはポートはハイインピーダンス状態のままです (P-MOS が有効になることはありません)。
 - プッシュプルモード：出力レジスタが 0 のときは N-MOS が有効になり、1 のときは P-MOS が有効になります。
- シュミットトリガ入力有効になります。
- GPIOx_PUPDR レジスタの値に応じて、プルアップおよびプルダウン抵抗が有効になります。
- I/O ピン上のデータは、AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。
- 出力データレジスタの読出しアクセスによって、最後に書き込まれたデータが得られます。

下図は、I/O ポートビットの出力設定を示しています。



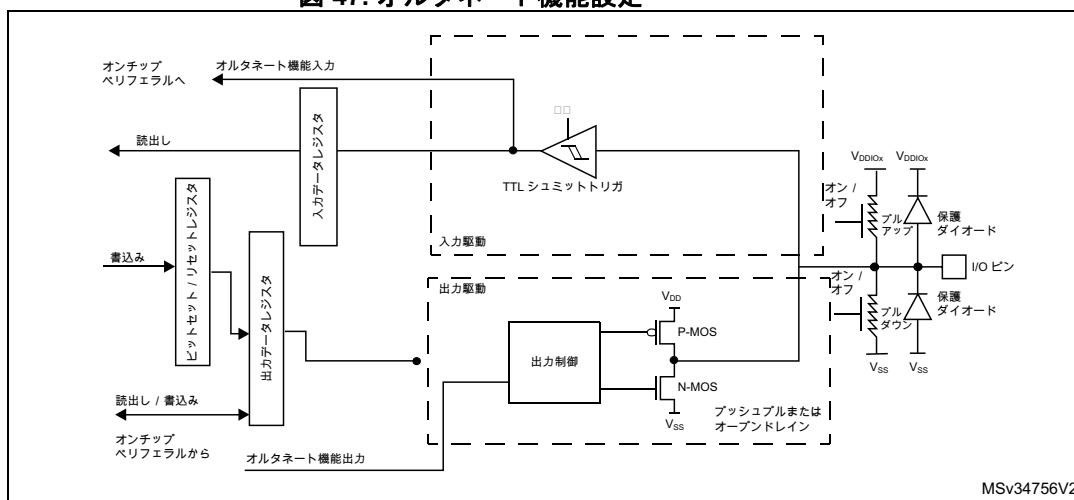
10.3.11 オルタネート機能設定

I/O ポートがオルタネート機能としてプログラムされると、以下のことが起きます。

- 出力バッファをオープンドレインまたはプッシュプルモードに設定することができます。
- 出力バッファが、ペリフェラルからの信号 (トランスミッタイネーブルおよびデータ) で駆動されます。
- シュミットトリガ入力有効になります。
- ウィークプルアップ抵抗およびプルダウン抵抗が有効になるか否かは、GPIOx_PUPDR レジスタの値によって決まります。
- I/O ピン上のデータは、AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。

下図は、I/O ポートビットのオルタネート機能設定を示しています。

図 47. オルタネート機能設定



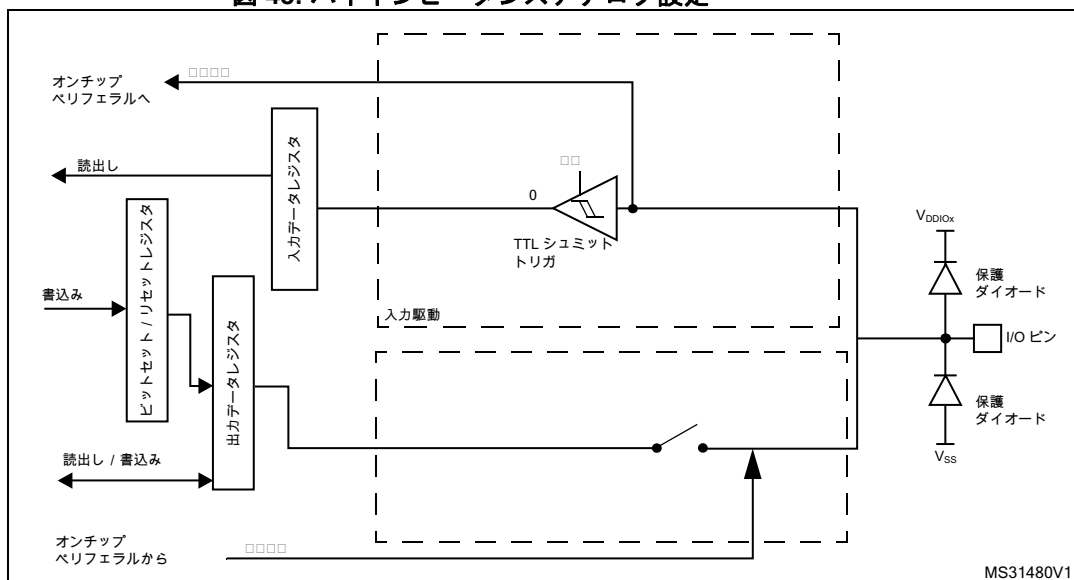
10.3.12 アナログ設定

I/O ポートがアナログ設定としてプログラムされると、以下のことが起きます。

- 出力バッファが無効になります。
- シュミットトリガ入力は無効になり、I/O ピンのどのようなアナログ値に対しても消費電力をゼロに抑えます。シュミットトリガ回路の出力は、常に“0”になります。
- ウィークプルアップ抵抗およびプルダウン抵抗はハードウェアによって無効にされます。
- 入力データレジスタの読出しアクセスを行うと、値 0 が得られます。

下図は、I/O ポートビットのハイインピーダンスアナログ入力設定を示しています。

図 48. ハイインピーダンスアナログ設定



10.3.13 LSE オシレータのピンを GPIO として使用

LSE オシレータがスイッチオフされた場合 (リセット後のデフォルト状態)、関連のオシレータピンを通常の GPIO として使用することができます。

LSE オシレータがスイッチオンされた場合 (RCC_CSR レジスタの LSEON ビットを設定することで)、オシレータが関連ピンを制御し、これらのピンの GPIO 設定は無効になります。

オシレータがユーザ外部クロックモードに設定されている場合、OSC32_IN ピンのみがクロック入力のために確保されますが、OSC32_OUT ピンは通常の GPIO として使用することができます。

注： HSE32 の OSC_IN および OSC_OUT ピンは専用のオシレータピンであり、GPIO として使用できません。

10.3.14 GPIO ピンを RTC 供給ドメインで使用

コア供給ドメインの電源がオフになったとき (デバイスが STANDBY モードに移行したとき)、PC13、PC14、PC15 の GPIO が機能しなくなります。この場合、それらの GPIO 設定が RTC 設定によってバイパスされなければ、これらのピンはアナログ入力モードに設定されます。

RTC による I/O 制御の詳細は、[セクション 32: リアルタイムクロック \(RTC\)](#) を参照してください。

10.3.15 PH3 を GPIO として使用

PH3 はブートピン (BOOT0) または GPIO として使用できます。

次のように、ユーザオプションバイトの nSWBOOT0 ビットに応じて、PH3 は入力モードからアナログ入力モードに切り替わります。

- nSWBOOT0 = 1 の場合、オプションバイトローディング後
- nSWBOOT0 = 0 の場合、リセット後

10.4 GPIO レジスタ

このセクションには、GPIOx ポートの GPIO レジスタの詳細な説明が記載されています。ここで、x = A~C および x = H です。

レジスタビット、レジスタアドレス・オフセット、リセット値の概要は、[表 71~表 74](#) を参照してください。

ペリフェラルレジスタはワード、ハーフワード、バイトのいずれかのモードで書き込むことができます。

10.4.1 GPIOx モードレジスタ (GPIOx_MODER) (x = A~B)

アドレス・オフセット：ブロック A : 0x0000

アドレス・オフセット：ブロック B : 0x0400

リセット値：ブロック A : 0xABFF FFFF

リセット値：ブロック B : 0xFFFF FEBF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]	
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:0 **MODEy[1:0]** : ポート Pxy の I/O タイプの設定 (y = 15~0)

これらのビットは、I/O モードを設定するために、ソフトウェアによって書き込まれます。

00 : 入力モード

01 : 汎用出力モード

10 : オルタネート機能モード

11 : アナログモード (リセット状態)

10.4.2 GPIOx 出力タイプレジスタ (GPIOx_OTYPER) (x = A~B)

アドレス・オフセット：ブロック A : 0x0004

アドレス・オフセット：ブロック B : 0x0404

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **OTy** : ポート Pxy 出力タイプの設定 (y = 15~0)

これらのビットは、I/O 出力タイプを設定するために、ソフトウェアによって書き込まれます。

0 : 出力プッシュプル (リセット状態)

1 : 出力オープンドレイン

10.4.3 GPIOx 出力スピードレジスタ (GPIOx_OSPEEDR) (x = A~B)

アドレス・オフセット：ブロック A : 0x0008

アドレス・オフセット：ブロック B : 0x0408

リセット値：ブロック A : 0x0C00 0000

リセット値：ブロック B : 0x0000 : 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **OSPEEDy[1:0]** : ポート Pxy 出力スピードの設定 (y = 15~0)

これらのビットは、I/O の出力スピードを設定するために、ソフトウェアによって書き込まれます。

00 : ロースピード

01 : ミディアムスピード

10 : 高速モード

11 : ハイスピード

注： 周波数仕様、およびスピード別の電源や負荷条件については、デバイスデータシートを参照してください。

10.4.4 GPIOx プルアップ／プルダウンレジスタ (GPIOx_PUPDR) (x = A~B)

アドレス・オフセット：ブロック A : 0x000C

アドレス・オフセット：ブロック B : 0x040C

リセット値：ブロック A : 0x6400 0000

リセット値：ブロック B : 0x0000 0100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **PUPDy[1:0]** : ポート Pxy のプル設定 (y = 15~0)

これらのビットは、I/O のプルアップまたはプルダウンを設定するために、ソフトウェアによって書き込まれます。

00 : プルアップ／プルダウンなし

01 : プルアップ

10 : プルダウン

11 : 予約済みです。

10.4.5 GPIOx 入力データレジスタ (GPIOx_IDR) (x = A~B)

アドレス・オフセット：ブロック A : 0x0010

アドレス・オフセット：ブロック B : 0x0410

リセット値：0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 ID_y : ポート P_{xy} 入力データビット (y = 15~0)

これらのビットは読み出し専用です。これらのビットには、対応する I/O ポートの入力値が格納されています。

10.4.6 GPIOx 出力データレジスタ (GPIOx_ODR) (x = A~B)

アドレス・オフセット：ブロック A : 0x0014

アドレス・オフセット：ブロック B : 0x0414

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 OD_y : ポート P_{xy} 出力データ (y = 15~0)

これらのビットは、ソフトウェアによって読み出し/書き込みができます。

注： アトミックなビット単位のセット/リセットのために、OD ビットを、GPIOx_BSRR および GPIOx_BRR レジスタへの書き込みによって、個々にセット/リセットすることができます。

10.4.7 GPIOx ビットセット/リセットレジスタ (GPIOx_BSRR) (x = A~B)

アドレス・オフセット：ブロック A : 0x0018

アドレス・オフセット：ブロック B : 0x0418

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:16 **BRy** : ポート Pxy は GPIOx_ODR の出力データビット [15:0] をリセットします (y = 15~0)
 これらのビットは読み出し/クリア書込み 1 です。これらのビットを読み出すと、値 0x0000 が返されます。
 0 : 対応する GPIOx_ODR.OD[y] ビットの値は変化しません。
 1 : 対応する GPIOx_ODR.OD[y] ビットの値をリセットします。

注： **BSy** ビットと **BRy** ビットの両方がセットされた場合、**BSy** ビットが優先されます。

ビット 15:0 **BSy** : ポート Pxy は GPIOx_ODR の出力データビット [15:0] をセットします (y = 15~0)
 これらのビットは読み出し/クリア書込み 1 です。これらのビットを読み出すと、値 0x0000 が返されます。
 0 : 対応する GPIOx_ODR.OD[y] ビットの値は変化しません。
 1 : 対応する GPIOx_ODR.OD[y] ビットの値をセットします。

10.4.8 GPIOx 設定ロックレジスタ (GPIOx_LCKR) (x = A~B)

アドレス・オフセット：ブロック A : 0x001C

アドレス・オフセット：ブロック B : 0x041C

リセット値 : 0x0000 0000

このレジスタは、ビット 16 (LCKK) に正しい書込みシーケンスが行われたときに、ポートビットの設定をロックするために使用されます。ビット [15:0] の値は、GPIO の設定をロックするために使用されます。書込みシーケンスの間は、LCKR[15:0] の値を変更することはできません。あるポートビットに LOCK シーケンスが適用されると、次の MCU リセットまたはペリフェラルリセットまで、このポートビットの値を変更できなくなります。

注： **GPIOx_LCKR** への書込みには**特定の書込みシーケンスが使われます。このロックシーケンスではワードアクセス (32 ビット長) のみ可能です。**

各ロックビットによって、特定の設定レジスタ (制御レジスタおよびオルタネート機能レジスタ) が固定されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。



ビット 16 **LCKK** : ロックキー

このビットは常時読出しができます。ロックキー書込みシーケンスを使用しなければ変更できません。

0 : ポート設定ロックキーは無効です。

1 : ポート設定ロックキーは有効です。GPIOx_LCKR レジスタは、次の MCU リセットまたはペリフェラルリセットまでロックされます。

ロックキー書込みシーケンス :

書込み LCKR[16] = 1 + LCKR[15:0]

書込み LCKR[16] = 0 + LCKR[15:0]

書込み LCKR[16] = 1 + LCKR[15:0]

読出し LCKR

読出し LCKR[16] = 1 (この読出し操作は任意だが、ロックが有効であることを確認できる。)

注 : ロックキー書込みシーケンスの間は、LCK[15:0] の値を変更することはできません。

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ポートの任意のビットの最初のロックシーケンスの後、次の MCU リセットまたはペリフェラルリセットまでは、LCKK ビットのいかなる読出しアクセスに対しても、1 が返されます。

ビット 15:0 **LCKy** : ポート Px[15:0] のロック設定 (y = 15~0)

これらのビットは読出し/書込みができますが、書き込めるのは LCKK ビットが 0 のときだけです。

0 : ポート Pxy の設定はロックされません

1 : ポート Pxy の設定がロックされます

10.4.9 GPIOx オルタネート機能下位レジスタ (GPIOx_AFRL) (x = A~B)

アドレス・オフセット : ブロック A : 0x0020

アドレス・オフセット : ブロック B : 0x0420

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7 [3:0]				AFSEL6 [3:0]				AFSEL5 [3:0]				AFSEL4 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **AFSELy[3:0]** : ポート Pxy オルタネート機能の選択 (y=7~0)

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0x0 : AF0 が選択されます。

0x1 : AF1 が選択されます。

0x2 : AF2 が選択されます。

.....

0xE : AF14 が選択されます。

0xF : AF15 が選択されます。

10.4.10 GPIOx オルタネート機能上位レジスタ (GPIOx_AFRH (x = A~B))

アドレス・オフセット：ブロック A : 0x0024

アドレス・オフセット：ブロック B : 0x0424

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15 [3:0]				AFSEL14 [3:0]				AFSEL13 [3:0]				AFSEL12 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL11 [3:0]				AFSEL10 [3:0]				AFSEL9 [3:0]				AFSEL8 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 AFSELY[3:0] : ポート Pxy オルタネート機能の選択 (y=15~8)

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0x0 : AF0 が選択されます。

0x1 : AF1 が選択されます。

0x2 : AF2 が選択されます。

.....

0xE : AF14 が選択されます。

0xF : AF15 が選択されます。

10.4.11 GPIOx ビットリセットレジスタ (GPIOx_BRR) (x = A~B)

アドレス・オフセット：ブロック A : 0x0028

アドレス・オフセット：ブロック B : 0x0428

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 BRy : ポート Pxy は GPIOx_ODR の出力データビット [15:0] をリセットします (y = 15~0)

これらのビットは読み出し/クリア書込み 1 です。これらのビットを読み出すと、値 0x0000 が返されます。

0 : 対応する GPIOx_ODR.OD[y] ビットの値は変化しません。

1 : 対応する GPIOx_ODR.OD[y] ビットの値をリセットします。

10.4.12 GPIOC モードレジスタ (GPIOC_MODER)

アドレス・オフセット : 0x0800

リセット値 : 0xFC00 3FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r/w	r/w	r/w	r/w	r/w	r/w										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:30 **MODE15[1:0]** : ポート PC15 IO タイプの設定

ビット 29:28 **MODE14[1:0]** : ポート PC14 IO タイプの設定

ビット 27:26 **MODE13[1:0]** : ポート PC13 IO タイプの設定

ビット 25:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **MODE6[1:0]** : ポート PC6 IO タイプの設定

ビット 11:10 **MODE5[1:0]** : ポート PC5 IO タイプの設定

ビット 9:8 **MODE4[1:0]** : ポート PC4 IO タイプの設定

ビット 7:6 **MODE3[1:0]** : ポート PC3 IO タイプの設定

ビット 5:4 **MODE2[1:0]** : ポート PC2 IO タイプの設定

ビット 3:2 **MODE1[1:0]** : ポート PC1 IO タイプの設定

ビット 1:0 **MODE0[1:0]** : ポート PC0 IO タイプの設定

これらのビットは、I/O モードを設定するために、ソフトウェアによって書き込まれます。

00 : 入力モード

01 : 汎用出力モード

10 : オルタネート機能モード

11 : アナログモード (リセット状態)

10.4.13 GPIOC 出力タイプレジスタ (GPIOC_OTYPER)

アドレス・オフセット : 0x0804

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	Res.	Res.	Res.	Res.	Res.	Res.	OT6	OT5	OT4	OT3	OT2	OT1	OT0
rw	rw	rw							rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **OTy** : ポート PCy 出力タイプの設定 (y = 15~13)

これらのビットは、I/O 出力タイプを設定するために、ソフトウェアによって書き込まれます。

0 : 出力プッシュプル (リセット状態)

1 : 出力オープンドレイン

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **OTy** : ポート PCy 出力タイプの設定 (y = 6~0)

10.4.14 GPIOC 出カスピードレジスタ (GPIOC_OSPEEDR)

アドレス・オフセット : 0x0808

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEED15 [1:0]	OSPEED14 [1:0]	OSPEED13 [1:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	OSPEED6 [1:0]	OSPEED5 [1:0]	OSPEED4 [1:0]	OSPEED3 [1:0]	OSPEED2 [1:0]	OSPEED1 [1:0]	OSPEED0 [1:0]							
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 **OSPEED15[1:0]** : ポート PC15 出カスピードの設定

ビット 29:28 **OSPEED14[1:0]** : ポート PC14 出カスピードの設定

ビット 27:26 **OSPEED13[1:0]** : ポート PC13 出カスピードの設定

ビット 25:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **OSPEED6[1:0]** : ポート PC6 出カスピードの設定

ビット 11:10 **OSPEED5[1:0]** : ポート PC5 出カスピードの設定

ビット 9:8 **OSPEED4[1:0]** : ポート PC4 出カスピードの設定

ビット 7:6 **OSPEED3[1:0]** : ポート PC3 出カスピードの設定

ビット 5:4 **OSPEED2[1:0]** : ポート PC2 出カスピードの設定

ビット 3:2 **OSPEED1[1:0]** : ポート PC1 出カスピードの設定

ビット 1:0 **OSPEED0[1:0]** : ポート PC0 出カスビードの設定

これらのビットは、I/O の出カスビードを設定するために、ソフトウェアによって書き込まれます。

00 : ロースビード

01 : ミディアムスピード

10 : 高速モード

11 : ハイスビード

注 : 周波数仕様、およびスピード別の電源や負荷条件については、デバイスデータシートを参照してください。

10.4.15 GPIOC プルアップ／プルダウンレジスタ (GPIOC_PUPDR)

アドレス・オフセット : 0x080C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 **PUPD15[1:0]** : ポート PC15 プル設定

ビット 29:28 **PUPD14[1:0]** : ポート PC14 プル設定

ビット 27:26 **PUPD13[1:0]** : ポート PC13 プル設定

ビット 25:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **PUPD6[1:0]** : ポート PC6 プル設定

ビット 11:10 **PUPD5[1:0]** : ポート PC5 プル設定

ビット 9:8 **PUPD4[1:0]** : ポート PC4 プル設定

ビット 7:6 **PUPD3[1:0]** : ポート PC3 プル設定

ビット 5:4 **PUPD2[1:0]** : ポート PC2 プル設定

ビット 3:2 **PUPD1[1:0]** : ポート PC1 プル設定

ビット 1:0 **PUPD0[1:0]** : ポート PC0 プル設定

これらのビットは、I/O のプルアップまたはプルダウンを設定するために、ソフトウェアによって書き込まれます。

00 : プルアップ／プルダウンなし

01 : プルアップ

10 : プルダウン

11 : 予約済みです。

10.4.16 GPIOC 入力データレジスタ (GPIOC_IDR)

アドレス・オフセット : 0x0810

リセット値 : 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID15	ID14	ID13	Res.	Res.	Res.	Res.	Res.	Res.	ID6	ID5	ID4	ID3	ID2	ID1	ID0
r	r	r							r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 ID_y : ポート PC_y 入力データビット (y = 15~13)

これらのビットは読み出し専用です。これらのビットには、対応する I/O ポートの入力値が格納されています。

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 ID_y : ポート PC_y 入力データビット (y = 6~0)

10.4.17 GPIOC 出力データレジスタ (GPIOC_ODR)

アドレス・オフセット : 0x0814

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OD15	OD14	OD13	Res.	Res.	Res.	Res.	Res.	Res.	OD6	OD5	OD4	OD3	OD2	OD1	OD0
rw	rw	rw							rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 OD_y : ポート PC_y 出力データビット (y = 15~13)

これらのビットは、ソフトウェアによって読み出し/書き込みができます。

注 : 不可分なビット単位のセット/リセットのために、OD ビットを、GPIOC_BSRR および GPIOC_BRR レジスタへの書き込みによって、個々にセット/リセットすることができます。

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 OD_y : ポート PC_y 出力データビット (y = 6~0)

10.4.18 GPIOC ビットセット/リセットレジスタ (GPIOC_BSRR)

アドレス・オフセット : 0x0818

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	Res.	Res.	Res.	Res.	Res.	Res.	BR6	BR5	BR4	BR3	BR2	BR1	BR0
rc_w1	rc_w1	rc_w1							rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	Res.	Res.	Res.	Res.	Res.	Res.	BS6	BS5	BS4	BS3	BS2	BS1	BS0
rc_w1	rc_w1	rc_w1							rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:29 **BRy** : ポート PCy は GPIOC_ODR の出力データビット [y] をリセットします (y = 15~13)
 これらのビットは読出し/クリア書込み 1 です。これらのビットを読み出すと、値 0 が返されます。
 0 : 対応する GPIOC_ODR.OD0 の値は変化しません
 1 : 対応する GPIOC_ODR.OD0 の値をリセットします。

注 : **BS0 ビットと BR0 ビットの両方がセットされた場合、BS0 ビットが優先されます。**

ビット 28:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **BRy** : ポート PCy は GPIOC_ODR の出力データビット [y] をリセットします (y = 6~0)

ビット 15:13 **BSy** : ポート PCy は GPIOC_ODR の出力データビット [y] をセットします (y = 15~13)
 これらのビットは読出し/クリア書込み 1 です。これらのビットを読み出すと、値 0 が返されます。
 0 : 対応する GPIOC_ODR.OD0 の値は変化しません
 1 : 対応する GPIOC_ODR.OD0 の値をリセットします。

注 : **BS0 ビットと BR0 ビットの両方がセットされた場合、BS0 ビットが優先されます。**

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **BSy** : ポート PCy は GPIOC_ODR の出力データビット [y] をセットします (y = 6~0)

10.4.19 GPIOC 設定ロックレジスタ (GPIOC_LCKR)

アドレス・オフセット : 0x081C

リセット値 : 0x0000 0000

このレジスタは、ビット 16 (LCKK) に正しい書込みシーケンスが行われたときに、ポートビットの設定をロックするために使用されます。ビット [15:0] の値は、GPIO の設定をロックするために使用されます。書込みシーケンスの間は、LCKR[15:0] の値を変更することはできません。あるポートビットに LOCK シーケンスが適用されると、次の MCU リセットまたはペリフェラルリセットまで、このポートビットの値を変更できなくなります。

注 : GPIOC_LCKR レジスタへの書込みには特定の書込みシーケンスが使われます。このロックシーケンスではワードアクセス (32 ビット長) のみ可能です。

各ロックビットによって、特定の設定レジスタ (制御レジスタおよびオルタネート機能レジスタ) が固定されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	Res.	Res.	Res.	Res.	Res.	Res.	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
r/w	r/w	r/w							r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **LCKK** : ロックキー

このビットは常時読出しができます。ロックキー書込みシーケンスを使用しなければ変更できません。

0 : ポート PC 設定ロックキーは無効です

1 : ポート PC 設定ロックキーは有効です。GPIOC_LCKR は、次の MCU リセットまたはペリフェラルリセットまでロックされます。

ロックキー書込みシーケンス :

書込み LCKR[16] = 1 + LCKR[15:0]

書込み LCKR[16] = 0 + LCKR[15:0]

書込み LCKR[16] = 1 + LCKR[15:0]

読出し LCKR

読出し LCKR[16] = 1 (この読出し操作は任意だが、ロックが有効であることを確認できる。)

注 : ロックキー書込みシーケンスの間は、LCK[15:0] の値を変更することはできません。

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ポートの任意のビットの最初のロックシーケンスの後、次の MCU リセットまたはペリフェラルリセットまでは、LCKK ビットのいかなる読出しアクセスに対しても、1 が返されます。

ビット 15:13 **LCKy** : ポート PCy ロック設定 (y = 15~13)

このビットは読出し/書込みができますが、書き込めるのは LCKK ビットが 0 のときだけです。

0 : ポート PCy の設定はロックされません

1 : ポート PCy の設定がロックされます

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **LCKy** : ポート PCy ロック設定 (y = 6~0)

10.4.20 GPIOC オルタネート機能下位レジスタ (GPIOC_AFRL)

アドレス・オフセット : 0x0820

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	AFSEL6 [3:0]				AFSEL5 [3:0]				AFSEL4 [3:0]			
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 AFSEL**6**[3:0] : ポート PC6 オルタネート機能の選択

ビット 23:20 AFSEL**5**[3:0] : ポート PC5 オルタネート機能の選択

ビット 19:16 AFSEL**4**[3:0] : ポート PC4 オルタネート機能の選択

ビット 15:12 AFSEL**3**[3:0] : ポート PC3 オルタネート機能の選択

ビット 11:8 AFSEL**2**[3:0] : ポート PC2 オルタネート機能の選択

ビット 7:4 AFSEL**1**[3:0] : ポート PC1 オルタネート機能の選択

ビット 3:0 AFSEL**0**[3:0] : ポート PC0 オルタネート機能の選択

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0x0 : AF0 が選択されます。

0x1 : AF1 が選択されます。

0x2 : AF2 が選択されます。

.....

0xE : AF14 が選択されます。

0xF : AF15 が選択されます。

10.4.21 GPIOC オルタネート機能上位レジスタ (GPIOC_AFRH)

アドレス・オフセット : 0x0824

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15 [3:0]				AFSEL14 [3:0]				AFSEL13 [3:0]				Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:28 AFSEL**15**[3:0] : ポート PC15 オルタネート機能の選択

ビット 27:24 AFSEL**14**[3:0] : ポート PC14 オルタネート機能の選択

ビット 23:20 AFSEL**13**[3:0] : ポート PC13 オルタネート機能の選択

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0x0 : AF0 が選択されます。

0x1 : AF1 が選択されます。

0x2 : AF2 が選択されます。

.....

0xE : AF14 が選択されます。

0xF : AF15 が選択されます。

ビット 19:0 予約済みであり、リセット値に保持する必要があります。

10.4.22 GPIOC ビットリセットレジスタ (GPIOC_BRR)

アドレス・オフセット : 0x0828

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	Res.	Res.	Res.	Res.	Res.	Res.	BR6	BR5	BR4	BR3	BR2	BR1	BR0
rc_w1	rc_w1	rc_w1							rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **BRy** : ポート PCy は、GPIOC_ODR の出力データビット [15] をリセットします (y = 15~13)

これらのビットは読み出し/クリア書き込み 1 です。このビットを読み出すと、値 0 が返されます。

0 : 対応する GPIOC_ODR.OD0 の値は変化しません

1 : 対応する GPIOC_ODR.OD0 の値をリセットします。

ビット 12:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **BRy** : ポート PCy は、GPIOC_ODR の出力データビット [6] をリセットします (y = 6~0)

10.4.23 GPIOH モードレジスタ (GPIOH_MODER)

アドレス・オフセット : 0x1C00

リセット値 : 0x0000 : 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.
								rw	rw						

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **MODE3[1:0]** : ポート PH3 IO タイプの設定

これらのビットは、I/O モードを設定するために、ソフトウェアによって書き込まれます。

00 : 入力モード

01 : 汎用出力モード

10 : オルタネート機能モード

11 : アナログモード (リセット状態)

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

10.4.24 GPIO H 出力タイプレジスタ (GPIOH_OTYPER)

アドレス・オフセット : 0x1C04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT3	Res.	Res.	Res.
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **OT3** : ポート PH3 出力タイプの設定

これらのビットは、I/O 出力タイプを設定するために、ソフトウェアによって書き込まれます。

0 : 出力プッシュプル (リセット状態)

1 : 出力オープンドレイン

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.25 GPIOH 出カスピードレジスタ (GPIOH_OSPEEDR)

アドレス・オフセット : 0x1C08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPEED3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.
								rw	rw						

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **OSPEED3[1:0]** : ポート PH3 出カスピードの設定

これらのビットは、I/O の出カスピードを設定するために、ソフトウェアによって書き込まれます。

00 : ロースピード

01 : ミディアムスピード

10 : 高速モード

11 : ハイスピード

注 : 周波数仕様、およびスピード別の電源や負荷条件については、デバイスデータシートを参照してください。

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

10.4.26 GPIOH プルアップ／プルダウンレジスタ (GPIOH_PUPDR)

アドレス・オフセット : 0x1C0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PUPD3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.
								rw	rw						

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **PUPD3[1:0]** : ポート PH3 プル設定

これらのビットは、I/O のプルアップまたはプルダウンを設定するために、ソフトウェアによって書き込まれます。

00 : プルアップ／プルダウンなし

01 : プルアップ

10 : プルダウン

11 : 予約済みです。

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

10.4.27 GPIOH 入力データレジスタ (GPIOH_IDR)

アドレス・オフセット : 0x1C10

リセット値 : 0x0000 : 000X

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID3	Res.	Res.	Res.
												r			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 ID3 : ポート PH3 入力データビット

このビットは読出し専用です。このビットには、対応する I/O ポートの入力値が格納されています。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.28 GPIOH 出力データレジスタ (GPIOH_ODR)

アドレス・オフセット : 0x1C14

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD3	Res.	Res.	Res.
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 OD3 : ポート PH3 出力データ

このビットは、ソフトウェアによって読出し/書込みができます。

注： アトミックなビット単位のセット/リセットのために、OD ビットを、GPIOH_BSRR および GPIOH_BRR レジスタへの書込みによって、個々にセット/リセットすることができます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.29 GPIO H ビットセット/リセットレジスタ (GPIOH_BSRR)

アドレス・オフセット : 0x1C18

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR3	Res.	Res.	Res.
												rc_w1			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BS3	Res.	Res.	Res.
												rc_w1			

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **BR3** : ポート PH3 は GPIOH_ODR の出力データビット [3] をリセットします

このビットは、読み出し/クリア書込み 1 です。このビットを読み出すと、値 0 が返されます。

0 : 対応する GPIOH_ODR.OD3 の値は変化しません

1 : 対応する GPIOH_ODR.OD3 をリセットします。

注 : **BS3** ビットと **BR3** ビットの両方がセットされた場合、**BS3** ビットが優先されます。

ビット 18:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **BS3** : ポート PH3 は GPIOH_ODR の出力データビット [3] をセットします

このビットは、読み出し/クリア書込み 1 です。このビットを読み出すと、値 0 が返されます。

0 : 対応する GPIOH_ODR.OD3 の値は変化しません

1 : 対応する GPIOH_ODR.OD3 をセットします。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.30 GPIOH 設定ロックレジスタ (GPIOH_LCKR)

アドレス・オフセット : 0x1C1C

リセット値 : 0x0000 0000

このレジスタは、ビット 16 (LCKK) に正しい書込みシーケンスが行われたときに、ポートビットの設定をロックするために使用されます。ビット [15:0] の値は、GPIO の設定をロックするために使用されます。書込みシーケンスの間は、LCKR[15:0] の値を変更することはできません。あるポートビットに LOCK シーケンスが適用されると、次の MCU リセットまたはペリフェラルリセットまで、このポートビットの値を変更できなくなります。

注 : **GPIOH_LCKR** レジスタへの書込みには特定の書込みシーケンスが使われます。このロックシーケンスではワードアクセス (32 ビット長) のみ可能です。

各ロックビットによって、特定の設定レジスタ (制御レジスタおよびオルタネート機能レジスタ) が固定されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK3	Res.	Res.	Res.
												rw			

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **LCKK** : ロックキー

このビットは常時読出しができます。ロックキー書込みシーケンスを使用しなければ変更できません。

0 : ポート PH 設定ロックキーは無効です

1 : ポート PH 設定ロックキーは有効です。GPIOH_LCKR は、次の MCU リセットまたはペリフェラルリセットまでロックされます。

ロックキー書込みシーケンス :

書込み LCKR[16] = 1 + LCKR[15:0]

書込み LCKR[16] = 0 + LCKR[15:0]

書込み LCKR[16] = 1 + LCKR[15:0]

読出し LCKR

読出し LCKR[16] = 1 (この読出し操作は任意だが、ロックが有効であることを確認できる。)

注 : ロックキー書込みシーケンスの間は、LCK[15:0] の値を変更することはできません。

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ポートの任意のビットの最初のロックシーケンスの後、次の MCU リセットまたはペリフェラルリセットまでは、LCKK ビットのいかなる読出しアクセスに対しても、1 が返されます。

ビット 15:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **LCK3** : ポート PH3 のロック設定

このビットは読出し/書込みができますが、書き込めるのは LCKK ビットが 0 のときだけです。

0 : ポート PH3 の設定はロックされません

1 : ポート PH3 の設定がロックされます

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.31 GPIOH オルタネート機能下位レジスタ (GPIOH_AFRL)

アドレス・オフセット : 0x1C20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3 [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r/w	r/w	r/w	r/w												

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **AFSEL3[3:0]** : ポート PH3 オルタネート機能の選択

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0x0 : AF0 が選択されます。

0x1 : AF1 が選択されます。

0x2 : AF2 が選択されます。

.....

0xE : AF14 が選択されます。

0xF : AF15 が選択されます。

ビット 11:0 予約済みであり、リセット値に保持する必要があります。

10.4.32 GPIOH ビットリセットレジスタ (GPIOH_BRR)

アドレス・オフセット : 0x1C28

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR3	Res.	Res.	Res.
												rc_w1			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **BR3** : ポート PH3 は GPIOH_ODR の出力データビット [3] をリセットします

このビットは、読出し/クリア書込み 1 です。このビットを読み出すと、値 0 が返されます。

0 : 対応する GPIOH_ODR.OD3 の値は変化しません

1 : 対応する GPIOH_ODR.OD3 をリセットします。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

10.4.33 GPIOA レジスタマップ

表 71. GPIOA レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	GPIOA_MODER	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]		MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0x0004	GPIOA_OTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0008	GPIOA_OSPEEDR	OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]		OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x000C	GPIOA_PUPDR	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]		PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0010	GPIOA_IDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
	リセット値																		x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x0014	GPIOA_ODR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0018	GPIOA_BSRR	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	GPIOA_LCKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0020	GPIOA_AFR1	AFSEL7 [3:0]			AFSEL6 [3:0]			AFSEL5 [3:0]			AFSEL4 [3:0]			AFSEL3 [3:0]			AFSEL2 [3:0]			AFSEL1 [3:0]			AFSEL0 [3:0]										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0024	GPIOA_AFRH	AFSEL15 [3:0]			AFSEL14 [3:0]			AFSEL13 [3:0]			AFSEL12 [3:0]			AFSEL11 [3:0]			AFSEL10 [3:0]			AFSEL9 [3:0]			AFSEL8 [3:0]										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0028	GPIOA_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

10.4.34 GPIOB レジスタマップ

表 72. GPIOB レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0400	GPIOB_MODER	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]		MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	0	1	1	1	1	
0x0404	GPIOB_OTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0408	GPIOB_OSPEEDR	OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]		OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
0x040C	GPIOB_PUPDR	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]		PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0410	GPIOB_IDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
	リセット値																	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x0414	GPIOB_ODR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0418	GPIOB_BSRR	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x041C	GPIOB_LCKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0420	GPIOB_AFRL	AFSEL7 [3:0]			AFSEL6 [3:0]			AFSEL5 [3:0]			AFSEL4 [3:0]			AFSEL3 [3:0]			AFSEL2 [3:0]			AFSEL1 [3:0]			AFSEL0 [3:0]										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0424	GPIOB_AFRH	AFSEL15 [3:0]			AFSEL14 [3:0]			AFSEL13 [3:0]			AFSEL12 [3:0]			AFSEL11 [3:0]			AFSEL10 [3:0]			AFSEL9 [3:0]			AFSEL8 [3:0]										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0428	GPIOB_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

10.4.35 GPIOC レジスタマップ

表 73. GPIOC レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0800	GPIOC_MODER	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	1	1	1	1	1														1	1	1	1	1	1	1	1	1	1	1	1	
0x0804	GPIOC_OTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0808	GPIOC_OSPEEDR	OSPEED15 [1:0]			OSPEED14 [1:0]			OSPEED13 [1:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]
	リセット値	0	0	0	0	0	0	0	0												0	0	0	0	0	0	0	0	0	0	0	0	
0x080C	GPIOC_PUPDR	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]
	リセット値	0	0	0	0	0	0														0	0	0	0	0	0	0	0	0	0	0	0	
0x0810	GPIOC_IDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID15	ID14	ID13	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																				x	x	x										
0x0814	GPIOC_ODR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0818	GPIOC_BSRR	BR15	BR14	BR13	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x081C	GPIOC_LCKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	LCK15	LCK14	LCK13	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																	0	0	0	0												
0x0820	GPIOC_AFRL	Res.	Res.	Res.	Res.	AFSEL6 [3:0]			AFSEL5 [3:0]			AFSEL4 [3:0]			AFSEL3 [3:0]			AFSEL2 [3:0]			AFSEL1 [3:0]			AFSEL0 [3:0]									
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0824	GPIOC_AFRH	AFSEL15 [3:0]			AFSEL14 [3:0]			AFSEL13 [3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0																			
0x0828	GPIOC_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

10.4.36 GPIOH レジスタマップ

表 74. GPIOH レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x1C00	GPIOH_MODER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																										1	1						
0x1C04	GPIOH_OTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																OT3	
0x1C08	GPIOH_OSPEEDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPEED3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																										0	0						
0x1C0C	GPIOH_PUPDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PUPD3 [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																										0	0						
0x1C10	GPIOH_IDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
0x1C14	GPIOH_ODR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																															OD3		
0x1C18	GPIOH_BSRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値													BR3	0																BS3			
0x1C1C	GPIOH_LCKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																LCKK	0													LCK3	0		
0x1C20	GPIOH_AFRL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																				AFSEL3 [3:0]													
0x1C24	予約済みです。	予約済み。																																
0x1C28	GPIOH_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																															BR3	0	

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

11 システム設定コントローラ (SYSCFG)

11.1 SYSCFG の主な機能

STM32WL5x デバイスには一連の設定レジスタがあります。システム設定コントローラの主な目的は次の通りです。

- メモリ領域の再配置
- 外部割込みラインのGPIO への接続の管理
- 堅牢性機能の管理
- SRAM2 書込み保護および SRAM2 ソフトウェア消去の設定
- SRAM1、SRAM2、および PKA SRAM の消去ビジー・フラグ
- I/O アナログスイッチの電圧ブースタおよび幾つかのI/Oに割り当てられた I²C 高速モードプラス駆動機能の有効化/無効化
- 割込み事前マスク

11.2 SYSCFG レジスタ

11.2.1 SYSCFG メモリ再配置レジスタ (SYSCFG_MEMRMP)

このレジスタは、メモリ再配置時の特定の設定に使用されます。

アドレス・オフセット : 0x000

リセット値 : 0x0000 000X

MEM_MODE[2:0] は BOOT0 ピンおよび BOOT1 オプションビットで選択されたメモリモードです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM_MODE[2:0]		
													r/w	r/w	r/w

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **MEM_MODE[2:0]** : メモリマッピングの選択

これらのビットによって、アドレス 0x0000 0000 のメモリ内部マッピングを制御します。これらのビットを用いて、ソフトウェアでアドレス領域の配置を物理的に変更して、BOOT モード設定をバイパスします。

リセット後、これらのビットは、BOOT0 (ピンまたは nSWBOOT0 オプションビットに応じたオプションビット) および BOOT1 オプションビットによって選択された値になります。

000 : メイン Flashメモリが CPU1 の 0x00000000 に配置されます

001 : システム Flashメモリが CPU1 の 0x00000000 に配置されます

010 : 予約済みです。

011 : SRAM1 が CPU1 の 0x00000000 に配置されます

100 : 予約済みです。

101 : 予約済みです。

110 : 予約済みです。

111 : 予約済みです。

11.2.2 SYSCFG 設定レジスタ 1 (SYSCFG_CFGR1)

アドレス・オフセット : 0x004

リセット値 : 0x7C00 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C3_FMP	I2C2_FMP	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOSTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							r/w								

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **I2C3_FMP** : I2C3 高速モードプラス駆動機能有効化

このビットは、AF 選択ビットを通じて選択された I2C3 ピンの Fm+ 駆動モードを有効にします。

0 : AF 選択ビットを通じて選択された I2C3 ピンで、Fm+ モードは無効です。

1 : AF 選択ビットを通じて選択された I2C3 ピンで、Fm+ モードが有効になります。

ビット 21 **I2C2_FMP** : I2C2 高速モードプラス駆動機能有効化

このビットは、AF 選択ビットを通じて選択された I2C2 ピンの Fm+ 駆動モードを有効にします。

0 : AF 選択ビットを通じて選択された I2C2 ピンで、Fm+ モードは無効です。

1 : AF 選択ビットを通じて選択された I2C2 ピンで、Fm+ モードが有効になります。

ビット 20 **I2C1_FMP** : I2C1 高速モードプラス駆動機能有効化

このビットは、AF 選択ビットを通じて選択された I2C1 ピンの Fm+ 駆動モードを有効にします。

0 : AF 選択ビットを通じて選択された I2C1 ピンで、Fm+ モードは無効です。

1 : AF 選択ビットを通じて選択された I2C1 ピンで、Fm+ モードが有効になります。

ビット 19 **I2C_PB9_FMP** : PB9 の高速モードプラス (Fm+) 駆動機能有効化

このビットは、PB9 の Fm+ 駆動モードを有効にします。

0 : PB9 ピンは標準モードで動作します。

1 : PB9 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 18 **I2C_PB8_FMP** : PB8 の高速モードプラス (Fm+) 駆動機能有効化

このビットは、PB8 の Fm+ 駆動モードを有効にします。

0 : PB8 ピンは標準モードで動作します。

1 : PB8 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 17 **I2C_PB7_FMP** : PB7 の高速モードプラス (Fm+) 駆動機能有効化

このビットは、PB7 の Fm+ 駆動モードを有効にします。

0 : PB7 ピンは標準モードで動作します。

1 : PB7 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 16 **I2C_PB6_FMP** : PB6 の高速モードプラス (Fm+) 駆動機能有効化

このビットは、PB6 の Fm+ 駆動モードを有効にします。

0 : PB6 ピンは標準モードで動作します。

1 : PB6 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **BOOSTEN** : I/O アナログスイッチ電圧ブースタ有効化

0 : I/O アナログスイッチが V_{DDA} 電圧によって供給されます。これは、高い V_{DDA} 電圧入力で ADC を使用する場合の推奨設定です。

1 : I/O アナログスイッチが専用の電圧ブースタ (V_{DD} 電圧によって供給) によって供給されます。これは、低い V_{DDA} 電圧入力で ADC を使用する場合の推奨設定です。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

11.2.3 SYSCFG 外部割込み設定レジスタ 1 (SYSCFG_EXTICR1)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI3 [2:0]			Res.	EXTI2 [2:0]			Res.	EXTI1 [2:0]			Res.	EXTI0 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI3[2:0]** : EXTI3 設定ビット

これらのビットは、EXTI3 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA3 ピン

001 : PB3 ピン

010 : PC3 ピン

111 : PH3 ピン

その他 : 予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI2[2:0]** : EXTI2 設定ビット

これらのビットは、EXTI2 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA2 ピン

001 : PB2 ピン

010 : PC2 ピン

その他 : 予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI1[2:0]** : EXTI1 設定ビット

これらのビットは、EXTI1 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA1 ピン

001 : PB1 ピン

010 : PC1 ピン

その他 : 予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI0[2:0]** : EXTI0 設定ビット

これらのビットは、EXTI0 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA0 ピン

001 : PB0 ピン

010 : PC0 ピン

その他 : 予約済みです。

注 : このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

11.2.4 SYSCFG 外部割込み設定レジスタ 2 (SYSCFG_EXTICR2)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI7 [2:0]			Res.	EXTI6 [2:0]			Res.	EXTI5 [2:0]			Res.	EXTI4 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI7[2:0]** : EXTI7 設定ビット

これらのビットは、EXTI7 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA7 ピン

001 : PB7 ピン

その他 : 予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI6[2:0]** : EXTI6 設定ビット

これらのビットは、EXTI6 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA6 ピン

001 : PB6 ピン

010 : PC6 ピン

0Others : 予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI5[2:0]** : EXTI5 設定ビット

これらのビットは、EXTI5 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA5 ピン

001 : PB5 ピン

010 : PC5 ピン

その他 : 予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI4[2:0]** : EXTI4 設定ビット

これらのビットは、EXTI4 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA4 ピン

001 : PB4 ピン

010 : PC4 ピン

その他 : 予約済みです。

注 : このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

11.2.5 SYSCFG 外部割込み設定レジスタ 3 (SYSCFG_EXTICR3)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI11 [2:0]			Res.	EXTI10 [2:0]			Res.	EXTI9 [2:0]			Res.	EXTI8 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI11[2:0]** : EXTI11 設定ビット

これらのビットは、EXTI11 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA11 ピン

001 : PB11 ピン

その他 : 予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI10[2:0]** : EXTI10 設定ビット

これらのビットは、EXTI10外部割込みのソース入力をソフトウェアで設定します。

000 : PA10 ピン

001 : PB10 ピン

その他 : 予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI9[2:0]** : EXTI9 設定ビット

これらのビットは、EXTI9 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA9 ピン

001 : PB9 ピン

その他 : 予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI8[2:0]** : EXTI8 設定ビット

これらのビットは、EXTI8 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA8 ピン

001 : PB8 ピン

その他 : 予約済みです。

注 : このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

11.2.6 SYSCFG 外部割込み設定レジスタ 4 (SYSCFG_EXTICR4)

アドレス・オフセット : 0x014

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI15 [2:0]			Res.	EXTI14 [2:0]			Res.	EXTI13 [2:0]			Res.	EXTI12 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI15[2:0]** : EXTI15 設定ビット

これらのビットは、EXTI15 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA15 ピン

001 : PB15 ピン

010 : PC15 ピン

その他 : 予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI14[2:0]** : EXTI14 設定ビット

これらのビットは、EXTI14 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA14 ピン

001 : PB14 ピン

010 : PC14 ピン

その他 : 予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI13[2:0]** : EXTI13 設定ビット

これらのビットは、EXTI13 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA13 ピン

001 : PB13 ピン

010 : PC13 ピン

その他 : 予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI12[2:0]** : EXTI12 設定ビット

これらのビットは、EXTI12 外部割込みのソース入力を選択するために、ソフトウェアで書き込まれます。

000 : PA12 ピン

001 : PB12 ピン

その他 : 予約済みです。

注 : このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

11.2.7 SYSCFG SRAM 制御およびステータスレジスタ (SYSCFG_SCSR)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKASRAMBSY	Res.	Res.	Res.	Res.	Res.	Res.	SRAMBSY	SRAM2ER
							r							r	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **PKASRAMBSY** : 消去操作による PKA SRAM ビジー

0 : PKA SRAM の消去操作が進行中ではありません。

1 : PKA SRAM の消去操作が進行中です。

SRAM の消去条件の詳細については、[セクション 2.4: SRAM の消去](#)を参照してください

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SRAMBSY** : 消去操作による SRAM1 または SRAM2 ビジー

0 : SRAM1 または SRAM2 の進行中の消去操作はありません。

1 : SRAM1 または SRAM2 の進行中の消去操作があります。

SRAM の消去条件の詳細については、[セクション 2.4: SRAM の消去](#)を参照してください

ビット 0 **SRAM2ER** : SRAM2 消去

このビットをセットすると、ハードウェアの SRAM2 消去操作が開始されます。このビットは SRAM2 消去操作の終了時に自動的にクリアされます。

注 : このビットは、書き込み保護されており、正しいキーシーケンスが SYSCFG_SKR レジスタに書き込まれた後のみ書き込み可能です。

11.2.8 SYSCFG 設定レジスタ 2 (SYSCFG_CFGR2)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPF	Res.	Res.	Res.	Res.	ECCL	PVDL	SPL	CLL
							rc_w1					rs	rs	rs	rs

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **SPF** : SRAM2 パリティエラーフラグ

このビットは、SRAM2 パリティエラーが検出されたときに、ハードウェアによってセットされます。ソフトウェアで「1」を書き込むことによってクリアされます。

0 : SRAM2 パリティエラーは検出されていません。

1 : SRAM2 パリティエラーが検出されました。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **ECCL** : ECC ロック

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、Flash ECC エラーの TIM1/16/17 のブレーク入力への接続を有効にし、ロックするために使用できます。

0 : ECC エラーは、TIM1/16/17 のブレーク入力に接続されていません。

1 : ECC エラーは、TIM1/16/17 のブレーク入力に接続されています。

ビット 2 **PVDL** : PVD ロックイネーブルビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、TIM1/16/17 のブレーク入力への PVD 接続と、PWR_CR2R レジスタの PVDE と PLS[2:0] を有効にし、ロックするために使用できます。

0 : PVD 割込みは、TIM1/16/17 のブレーク入力に接続されていません。PVDE および PLS[2:0] ビットは、アプリケーションでプログラムできます。

1 : PVD 割込みは、TIM1/16/17 のブレーク入力に接続されています。PVDE および PLS[2:0] ビットは、読み出し専用です。

ビット 1 **SPL** : SRAM2 パリティロックビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、SRAM2 パリティエラー信号の TIM1/16/17 のブレーク入力への接続を有効にし、ロックするために使用できます。

0 : SRAM2 パリティエラー信号は TIM1/16/17 のブレーク入力に接続されていません

1 : SRAM2 パリティエラー信号は TIM1/16/17 のブレーク入力に接続されています

ビット 0 **CLL** : CPU1 の LOCKUP (ハードフォルト) 出力イネーブルビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、CPU1 の LOCKUP (ハードフォルト) 出力の TIM1/16/17 ブレーク入力への接続を有効にし、ロックするために使用できます。

0 : CPU1 の LOCKUP 出力は TIM1/16/17 のブレーク入力から切断されています

1 : CPU1 の LOCKUP 出力は TIM1/16/17 のブレーク入力に接続されています

11.2.9 SYSCFG SRAM2 書き込み保護レジスタ (SYSCFG_SWPR)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
P31WP	P30WP	P29WP	P28WP	P27WP	P26WP	P25WP	P24WP	P23WP	P22WP	P21WP	P20WP	P19WP	P18WP	P17WP	P16WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P15WP	P14WP	P13WP	P12WP	P11WP	P10WP	P9WP	P8WP	P7WP	P6WP	P5WP	P4WP	P3WP	P2WP	P1WP	P0WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs

ビット 31:0 **PxWP** : SRAM2 1 KB ページ x の書き込み保護 (x = 31~0)

これらのビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。

0 : SRAM2 1 KB ページ x の書き込み保護は無効です。

1 : SRAM2 1 KB ページ x の書き込み保護は有効です。

11.2.10 SYSCFG SRAM2 キーレジスタ (SYSCFG_SKR)

アドレス・オフセット : 0x024

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
								w	w	w	w	w	w	w	w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **KEY[7:0]** : ソフトウェア消去に対する SRAM2 書き込み保護

SYSCFG_SCSR レジスタの SRAM2ER ビットの書き込み保護をアンロックするには、次の手順が必要です。

1.Key[7:0] に 0xCA を書き込みます。

2.Key[7:0] に 0x53 を書き込みます。

誤ったキーを書き込むと、書き込み保護が再度アクティブになります。

11.2.11 SYSCFG CPU1 割込みマスクレジスタ 1 (SYSCFG_IMR1)

アドレス・オフセット : 0x100

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI15 IM	EXTI14 IM	EXTI13 IM	EXTI12 IM	EXTI11 M	EXTI10 IM	EXTI9 M	EXTI8 M	EXTI7 M	EXTI6 M	EXTI5 M	Res.	Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RTCSS RUIIM	Res.	RTCST AMPTA MPLSE CSSIM
													rw		rw

ビット 31:21 **EXTIxIM** : CPU1 に対する EXTIx 割込みマスク (x = 15~5)

0 : EXTIx 割込みは CPU1 に転送されます

1.CPU1 への EXTIx 割込みはマスクされます

ビット 20:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **RTCSSRUIM** : CPU1 への RTC SSRU 割込みマスク

0 : RTC SSRU 割込みは CPU1 に転送されます

1.CPU1 への RTC SSRU 割込みはマスクされます

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RTCSTAMPTAMPLSECSSIM** : CPU1 への RTCSTAMPTAMPLSECSS 割込みマスク

0 : RTCSTAMPTAMPLSECSS 割込みは CPU1 に転送されます

1.CPU1 への RTCSTAMPTAMPLSECSS 割込みはマスクされます

11.2.12 SYSCFG CPU1 割込みマスクレジスタ 2 (SYSCFG_IMR2)

アドレス・オフセット : 0x104

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	Res.	PVM3IM	Res.	Res.
											rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **PVDIM** : CPU1 への PVD 割込みマスク

0 : PVD 割込みは CPU1 に転送されます

1.CPU1 への PVD 割込みはマスクされます

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **PVM3IM** : CPU1 への PVM3 割込みマスク

0 : PVM3 割込みは CPU1 に転送されます

1.CPU1 への PVM3 割込みはマスクされます

ビット 17:0 予約済みであり、リセット値に保持する必要があります。

11.2.13 SYSCFG CPU2 割込みマスクレジスタ 1 (SYSCFG_C2IMR1)

アドレス・オフセット : 0x108

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI15IM	EXTI14IM	EXTI13IM	EXTI12IM	EXTI11IM	EXTI10IM	EXTI9IM	EXTI8IM	EXTI7IM	EXTI6IM	EXTI5IM	EXTI4IM	EXTI3IM	EXTI2IM	EXTI1IM	EXTI0IM
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	DACIM	ADCIM	COMPIM	AESIM	Res.	PKAIM	Res.	FLASHIM	RCCIM	Res.	RTCWKUPIIM	RTCSSRUIM	RTCALARMIM	RTCSTAMPTA MPLSE CSSIM
		rw	rw	rw	rw		rw		rw	rw		rw	rw	rw	rw

ビット 31:16 **EXTIxIM** : CPU2 に対する EXTIx 割込みマスク (x = 15~0)

0 : EXTIx 割込みは CPU2 に転送されます

1.CPU2 への EXTIx 割込みはマスクされます

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **DACIM** : CPU2 への DAC 割込みマスク

0 : DAC 割込みは CPU2 に転送されます

1.CPU2 への DAC 割込みはマスクされます

- ビット 12 **ADCIM** : CPU2 への ADC 割込みマスク
0 : ADC 割込みは CPU2 に転送されます
1.CPU2 への ADC 割込みはマスクされます
- ビット 11 **COMPIM** : CPU2 への COMP 割込みマスク
0 : COMP 割込みは CPU2 に転送されます
1.CPU2 への COMP 割込みはマスクされます。
- ビット 10 **AESIM** : CPU2 への AES 割込みマスク
0 : AES 割込みは CPU2 に転送されます
1.CPU2 への AES 割込みはマスクされます
- ビット 9 予約済みであり、リセット値に保持する必要があります。
- ビット 8 **PKAIM** : CPU2 への PKA 割込みマスク
0 : PKA 割込みは CPU2 に転送されます
1.CPU2 への PKA 割込みはマスクされます
- ビット 7 予約済みであり、リセット値に保持する必要があります。
- ビット 6 **FLASHIM** : CPU2 への FLASH 割込みマスク
0 : FLASH 割込みは CPU2 に転送されます
1.CPU2 への FLASH 割込みはマスクされます
- ビット 5 **RCCIM** : CPU2 への RCC 割込みマスク
0 : RCC 割込みは CPU2 に転送されます
1.CPU2 への RCC 割込みはマスクされます
- ビット 4 予約済みであり、リセット値に保持する必要があります。
- ビット 3 **RTCWKUPIM** : CPU2 への RTCWKUP 割込みマスク
0 : RTCWKUP 割込みは CPU2 に転送されます
1.CPU2 への RTCWKUP 割込みはマスクされます
- ビット 2 **RTCSSRUIM** : CPU2 への RTC SSRU 割込みマスク
0 : RTC SSRU 割込みは CPU2 に転送されます
1.CPU2 への RTC SSRU 割込みはマスクされます
- ビット 1 **RTCALARMIM** : CPU2 への RTCALARM 割込みマスク
0 : RTCALARM 割込みは CPU2 に転送されます
1.CPU2 への RTCALARM 割込みはマスクされます
- ビット 0 **RTCSTAMPTAMPLSECSSIM** : CPU2 への RTCSTAMPTAMPLSECSS 割込みマスク
0 : RTCSTAMPTAMPLSECSS 割込みは CPU2 に転送されます
1.CPU2 への RTCSTAMPTAMPLSECSS 割込みはマスクされます

11.2.14 SYSCFG CPU2 割込みマスクレジスタ 2 (SYSCFG_C2IMR2)

アドレス・オフセット : 0x10C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	Res.	PVM3IM	Res.	Res.
											rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAMUX1IM	DMA2CH7IM	DMA2CH6IM	DMA2CH5IM	DMA2CH4IM	DMA2CH3IM	DMA2CH2IM	DMA2CH1IM	Res.	DMA1CH7IM	DMA1CH6IM	DMA1CH5IM	DMA1CH4IM	DMA1CH3IM	DMA1CH2IM	DMA1CH1IM
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **PVDIM** : CPU2 への PVD 割込みマスク

- 0 : PVD 割込みは CPU2 に転送されます
- 1.CPU2 への PVD 割込みはマスクされます

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **PVM3IM** : CPU2 への PVM3 割込みマスク

- 0 : PVM3 割込みは CPU2 に転送されます
- 1.CPU2 への PVM3 割込みはマスクされます。

ビット 17:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **DMAMUX1IM** : CPU2 への DMAMUX1 割込みマスク

- 0 : DMAMUX1 割込みは CPU2 に転送されます
- 1.CPU2 への DMAMUX1 割込みはマスクされます

ビット 14:8 **DMA2CHxIM** : CPU2 への DMA2CHx 割込みマスク (x = 7~1)

- 0 : DMA2CHx 割込みは CPU2 に転送されます
- 1.CPU2 への DMA2CHx 割込みはマスクされます

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **DMA1CHxIM** : CPU2 への DMA1CHx 割込みマスク (x = 7~1)

- 0 : DMA1CHx 割込みは CPU2 に転送されます
- 1.CPU2 への DMA1CHx 割込みはマスクされます

11.2.15 SYSCFG 無線デバッグ制御レジスタ (SYSCFG_RFDCR)

アドレス・オフセット : 0x208

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFTBS EL
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 RFTBSEL : 無線デバッグテストバス選択

0 : RF_ADTB[3:0] でデジタルテストバスが選択されます

1 : RF_ADTB[3:0] でアナログテストバスが選択されます

11.2.16 SYSCFG レジスタマップ

表 75. SYSCFG レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	SYSCFG_MEMRMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM_MODE [2:0]	
	リセット値																															x	x
0x004	SYSCFG_CFGR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C3_FMP	I2C2_FMP	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値										0	0	0	0	0	0	0									BOOSTEN							
0x008	SYSCFG_EXTICR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI3 [2:0]	Res.	Res.	Res.	Res.	EXTI12 [2:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI11 [2:0]	Res.	Res.	Res.	EXTI10 [2:0]		
	リセット値													0	0	0				0	0	0					0	0	0		0	0	0
0x00C	SYSCFG_EXTICR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI7 [2:0]	Res.	Res.	Res.	Res.	EXTI6 [2:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI5 [2:0]	Res.	Res.	Res.	EXTI4 [2:0]		
	リセット値													0	0	0				0	0	0					0	0	0		0	0	0
0x010	SYSCFG_EXTICR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI11 [2:0]	Res.	Res.	Res.	Res.	EXTI10 [2:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI9 [2:0]	Res.	Res.	Res.	EXTI8 [2:0]		
	リセット値													0	0	0				0	0	0					0	0	0		0	0	0
0x014	SYSCFG_EXTICR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI15 [2:0]	Res.	Res.	Res.	Res.	EXTI14 [2:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI13 [2:0]	Res.	Res.	Res.	EXTI12 [2:0]		
	リセット値													0	0	0				0	0	0					0	0	0		0	0	0
0x018	SYSCFG_SCSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																0

表 75. SYSCFG レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0x01C	SYSCFG_CFGR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPF	Res.	Res.	Res.	Res.	Res.	ECCL	PVDL	SPL	CLL					
	リセット値																									0					0	0	0	0					
0x020	SYSCFG_SWPR	P31WP	P30WP	P29WP	P28WP	P27WP	P26WP	P25WP	P24WP	P23WP	P22WP	P21WP	P20WP	P19WP	P18WP	P17WP	P16WP	P15WP	P14WP	P13WP	P12WP	P11WP	P10WP	P9WP	P8WP	P7WP	P6WP	P5WP	P4WP	P3WP	P2WP	P1WP	P0WP						
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x024	SYSCFG_SKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]													
	リセット値																										0	0	0	0	0	0	0	0					
0x028-0x0FC	予約済みです。	予約済みです。																																					
0x100	SYSCFG_IMR1	EXT115IM	EXT114IM	EXT113IM	EXT112IM	EXT111IM	EXT110IM	EXT19IM	EXT18IM	EXT17IM	EXT16IM	EXT15IM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.						
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0																					RTCSTAMPTAMP1SECSSIM					
0x104	SYSCFG_IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	Res.	PVM3IM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.					
	リセット値												0		0																			0					
0x108	SYSCFG_C2IMR1	EXT115IM	EXT114IM	EXT113IM	EXT112IM	EXT111IM	EXT110IM	EXT19IM	EXT18IM	EXT17IM	EXT16IM	EXT15IM	EXT14IM	EXT13IM	EXT12IM	EXT11IM	EXT10IM	Res.	Res.	DACIM	ADCIM	COMPIM	AESIM	Res.	PKAIM	Res.	FLASHIM	RCCIM	Res.	RTCWKUPIM	RTCSSRUIM	RTCALARMIM	RTCSTAMPTAMP1SECSSIM						
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0		0	0	0	0	0	0	0	0	0						
0x10C	SYSCFG_C2IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	PVM3IM	Res.	Res.	Res.	DMAMUX1IM	DMA2CH7IM	DMA2CH6IM	DMA2CH5IM	DMA2CH4IM	DMA2CH3IM	DMA2CH2IM	DMA2CH1IM	Res.	DMA1CH7IM	DMA1CH6IM	DMA1CH5IM	DMA1CH4IM	DMA1CH3IM	DMA1CH2IM	DMA1CH1IM						
	リセット値												0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x110 から 0x204	予約済みです。	予約済みです。																																					
0x208	SYSCFG_RFDCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFTBSEL					
	リセット値																																0						

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。



12 ペリフェラル相互接続マトリックス

12.1 概要

いくつかのペリフェラルには相互に直接接続できるものがあり、相互の自律通信や同期が可能になっています。これにより CPU リソースが節約され、結果として電力消費が節約されます。さらに、これらのハードウェア接続によってソフトウェアの遅延がなくなり、より予測可能なシステム設計が可能になります。

ペリフェラルに応じて、これらの相互接続は RUN、SLEEP、LPRun、LPSleep、STOP 0、STOP 1、および STOP 2 のモードで動作可能です。

12.2 接続の一覧

表 76. STM32WL5xペリフェラル相互接続マトリックス^{(1) (2)}

転送元	転送先													
	TIM1	TIM2	TIM16	TIM17	LPTIM1	LPTIM2	LPTIM3	ADC	DAC	COMP1	COMP2	DMAMUX1	IRTIM	SUBGHZSPI
TIM1	-	1	-	-	-	-	-	3	3	8	8	-	-	-
TIM2	1	-	-	-	-	-	-	3	3	8	8	-	-	-
TIM16	-	-	-	-	-	-	-	-	-	-	-	-	12	-
TIM17	1	-	-	-	-	-	-	-	-	-	-	-	12	-
LPTIM1	-	-	-	-	-	-	2	-	4	-	-	13	-	-
LPTIM2	-	-	-	-	-	-	2	-	4	-	-	13	-	-
LPTIM3	-	-	-	-	-	-	-	-	-	-	-	13	-	14
ADC	5	-	-	-	-	-	-	-	-	-	-	-	-	-
温度センサ	-	-	-	-	-	-	-	9	-	-	-	-	-	-
VBAT	-	-	-	-	-	-	-	9	-	-	-	-	-	-
VREFINT	-	-	-	-	-	-	-	9	-	-	-	-	-	-
HSE32	-	-	-	6	-	-	-	-	-	-	-	-	-	-
LSE	-	6	6	-	-	-	-	-	-	-	-	-	-	-
MSI	-	-	-	6	-	-	-	-	-	-	-	-	-	-
LSI	-	-	6	-	-	-	-	-	-	-	-	-	-	-
MCO	-	-	-	6	-	-	-	-	-	-	-	-	-	-
GPIO EXTI	-	-	-	-	-	-	-	3	3	-	-	13	-	-
RTC	-	-	6	-	7	7	-	-	-	-	-	-	-	-
TAMP	-	-	-	-	7	7	-	-	-	-	-	-	-	-
COMP1	10	10	10	10	7	7	-	-	-	-	-	-	-	-
COMP2	10	10	10	10	7	7	-	-	-	-	-	-	-	-
SYST ERR	11	-	11	11	-	-	-	-	-	-	-	-	-	-

- この表内の番号は、[セクション 12.3: 相互接続の詳細](#)の対応するサブセクションへのリンクです。
- 灰色のセルにある「-」の記号は、相互接続がないことを示します。

12.3 相互接続の詳細

12.3.1 タイマ (TIM1/TIM2/TIM17) からタイマ (TIM1/TIM2) へ

目的

いくつかのタイマは、同期や連携した動作のために、内部で相互リンクされます。

マスターモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。機能の説明については、[セクション 25.3.26: タイマの同期](#)を参照してください。

同期モードについては、以下のセクションで詳しく説明します。

- 高機能制御タイマ (TIM1) については、[セクション 25.3.26: タイマの同期](#)
- 汎用タイマ (TIM2) については、[セクション 26.3.18: タイマと外部トリガの同期](#)

トリガ信号

出力 (マスターから) は、設定可能なタイマイベントに応じた信号 TIMx_TRGO (TIM1 では TIMx_TRGO2) で行われます。入力 (スレーブへ) は信号 TIMx_ITR0/ITR1/ITR2/ITR3 で行われます。

TIM1 の入力信号および出力信号は、[Figure 128: 高機能制御タイマのブロック図](#)に示されています。

使用可能なマスター/スレーブ接続を以下の表に示します。

- TIM1 の場合、[表 179: TIM1 内部トリガ接続](#)
- TIM2 の場合、[表 183: TIM2 内部トリガ接続](#)

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.2 タイマ (LPTIM1/LPTIM2) からタイマ (LPTIM3) へ

目的

いくつかのタイマは、同期や連携した動作のために、内部で相互リンクされます。

マスターモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。機能の説明については、[セクション 25.3.26: タイマの同期](#)を参照してください。

トリガ信号

出力は、設定可能なタイマイベントに続いて、信号 LPTIMx_OUT で行われます。入力 (スレーブへ) は信号 LPTIM3_ETR で行われます。

LPTIM の入力信号および出力信号は、[Figure 262: 低電力タイマのブロック図](#)に示されています。

使用可能な接続を[表 194: LPTIM3 外部トリガ接続](#)に示します。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep、STOP 0、STOP 1

12.3.3 タイマ (TIM1/TIM2) および GPIO ピン EXTI から ADC/DAC へ

目的

高度制御タイマ TIM1、汎用タイマ TIM2、GPIO ピン EXTI によって ADC/DAC トリガイベントを生成できます。

TIMx の同期については、[セクション 25.3.27: ADC の同期](#)を参照してください。

GPIO ピン EXTI マルチプレクサについては、[セクション 11: システム設定コントローラ \(SYSCFG\)](#)を参照してください。

ADC の同期については、[セクション 18.4: 外部トリガおよびトリガ極性での変換 \(EXTSEL、EXTEN\)](#)を参照してください。

DAC の同期については、[セクション 19.4.7: DAC トリガ選択](#)を参照してください。

トリガ信号

タイマからの出力は、信号 TIMx_TRGO、TIMx_TRGO2、TIMx_CCx、TIMx_CHn イベントで行われます。GPIO ピンからの出力は、SYSCFG からの EXTI マルチプレクサ信号で行われます。

ADC への入力信号は TRG[7:0]で行われます。

タイマ、GPIO ピン EXTI マルチプレクサと ADC の間の接続を[表 102: 外部トリガ](#)に示します。

DAC への入力信号は dac_ch1_trg[15:0]で行われます。

タイマ、GPIO ピン EXTI マルチプレクサと DAC の間の接続を[表 114: DAC の相互接続](#)に示します。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.4 タイマ (LPTIM1/LPTIM2) から DAC へ

目的

低電力タイマ LPTIM1/LPTIM2 を使用して、DAC トリガイベントを生成できます。

DAC のトリガについては、[セクション 19.4.7: DAC トリガ選択](#)を参照してください。

トリガ信号

低電力タイマからの出力は、信号 LPTIMx_OUT イベントで行われます。

DAC への入力信号は dac_ch1_trg[15:0]で行われます。

タイマと DAC の間の接続については、[表 114: DAC の相互接続](#)を参照してください。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.5 ADC からタイマ (TIM1) まで

目的

ADC では、ウォッチドッグ信号を通じて高機能制御タイマ (TIM1) にトリガイベントを提供できます。ADC アナログウォッチドッグ設定の説明については、[セクション 18.8.2: アナログウォッチドッグ](#)を参照してください。

タイマのトリガ設定については、[セクション 25.3.4: 外部トリガ入力](#)を参照してください。

トリガ信号

出力 (ADC から) は信号 ADC_AWDx_OUT で行われ、ここで、x = 1、2、3 (ADC にウォッチドッグが 3 つ) となります。入力 (タイマへ) は信号 TIMx_ETR (外部トリガ) で行われます。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.6 HSE32、LSE、LSI、MSI、MCO、RTC からタイマ (TIM2/TIM16/TIM17)

目的

外部クロック (HSE32、LSE)、内部クロック (LSI、MSI)、マイクロコントローラ出力クロック (MCO)、GPIO、および RTC ウェイクアップ割込みは、汎用タイマ (TIM16/17) チャンネル 1 への入力として使用できます。

これにより、HSI16/MSI システムクロック (TIM16 および LSE で) または LSI (TIM16 および HSE32 で) の較正が可能になります。また、LSI (TIM16 および HSI16 で) または MSI (TIM17 および HSI16 で) オシレータの周波数を正確に測定するためにも使用されます。

ロースピード外部 (LSE) オシレータが使用されている場合、追加のハードウェア接続は必要ありません。

この機能については、[セクション 7.2.20: TIM16/TIM17 を使用した内部/外部クロックの測定](#)で説明されています。

外部クロック LSE は TIM2_ETR ピンで汎用タイマ (TIM2) への入力として使用できます ([TIM2 オプションレジスタ 1 \(TIM2_OR1\)](#) を参照)。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.7 RTC、TAMP、COMP1、COMP2 から低電力タイマへ (LPTIM1/LPTIM2)

目的

RTC アラーム A/B、TAMP_IN1/2/3 入力検出、COMP1/2_OUT は、LPTIM1/LPTIM2 カウンタを開始するためのトリガとして使用できます。

トリガ信号

このトリガ機能については、[セクション 28.4.7: トリガマルチプレクサ](#) (および次のセクション) で説明されています。

入力選択については、[表 192: LPTIM1 外部トリガ接続](#)および[表 193: LPTIM2 外部トリガ接続](#)で説明されています。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep、STOP 0、STOP 1、STOP 2 (LPTIM1 のみ)

12.3.8 タイマ (TIM1/TIM2) からコンパレータ (COMP1/COMP2) へ

目的

高機能制御タイマ (TIM1) および汎用タイマ (TIM2) は、COMP1/COMP2 へのブランキングウィンドウ入力として使用できます。

ブランキング機能については、[セクション 21.3.7: コンパレータの出力のブランキング機能](#)で説明されています。

ブランキングソースは次のレジスタに示されます。

- [COMP1 制御およびステータスレジスタ \(COMP1_CSR\)](#) ビット 20:18 BLANKING[2:0]
- [COMP2 制御およびステータスレジスタ \(COMP2_CSR\)](#) ビット 20:18 BLANKING[2:0]

トリガ信号

タイマ出力信号 TIMx_OCx は、COMP1/COMP2 のブランキングソースへの入力です。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.9 内部アナログから ADC へ

目的

内部温度センサ (V_{TS})、内部基準電圧 (V_{REFINT})、および V_{BAT} 監視チャネルは、ADC 入力チャネルに接続されています。

これについては、以下のセクションで説明します。

- [セクション 18.2: ADC の主な機能](#)
- [セクション 18.3.8: チャネル選択 \(CHSEL, SCANDIR, CHSELRMOD\)](#)
- [セクション 18.9: 温度センサと内部基準電圧](#)
- [セクション 18.10: バッテリ電圧監視](#)

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.10 コンパレータ (COMP1/COMP2) からタイマ (TIM1/TIM2/TIM16/TIM17) まで

目的

コンパレータ (COMP1/COMP2) 出力値は、タイマ TIM1/TIM2/TIM16/TIM17 入力キャプチャまたは TIMx_ETR 信号に接続できます。

コンパレータ (COMP1/COMP2) 出力値は I/O のオープンドレイン接続を使用する GPIO オルタネート機能選択により、入力ピン TIMx_BKIN または TIMx_BKIN2 でタイマ TIM1 にブレーク入力信号を生成することもできます。

可能な接続について以下のセクションで説明します。

- [セクション 25.4.23: TIM1 オプションレジスタ 1 \(TIM1_OR1\)](#)
- [セクション 25.4.28: TIM1 オルタネート機能レジスタ 2 \(TIM1_AF2\)](#)
- [セクション 26.4.22: TIM2 オプションレジスタ 1 \(TIM2_OR1\)](#)
- [セクション 26.4.23: TIM2 オルタネート機能オプションレジスタ 1 \(TIM2_AF1\)](#)
- [セクション 27.4.21: TIM17 オルタネート機能レジスタ 1 \(TIM17_AF1\)](#)

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.11 システムエラーからタイマ (TIM1/TIM16/TIM17) へ

目的

CSS、CPU ハードフォールト、RAM パリティエラー、Flash ECC ダブルエラー検出、PVD は、タイマ (TIM1/TIM16/TIM17) に向けてタイムブレイクの形式でシステムエラーを生成できます。

ブレイク機能の目的は、タイマによって生成される PWM 信号によって駆動する電源スイッチを保護することです。

使用可能なブレイクのソースの一覧を以下のセクションに示します。

- [セクション 25.3.16: ブレイク機能の使用 \(TIM1\)](#)
- [セクション 27.3.11: ブレイク機能の使用 \(TIM16/TIM17\)](#)

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.12 タイマ (TIM16/TIM17) から IRTIM まで

目的

汎用タイマ (TIM16/TIM17) の出力チャンネル TIMx_OC1 は、赤外線信号出力の波形を生成するために使用されます。

この機能については、[セクション 29: 赤外線インタフェース \(IRTIM\)](#) で説明されています。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.13 タイマ (LPTIM1/LPTIM2/LPTIM3/GPIO ピン EXTI) から DMAMUX1 トリガへ

目的

低電力タイマ LPTIM1/LPTIM2/LPTIM3 および SYSCFG の GPIO ピン EXTI マルチプレクサを使用し、DMAMUX1 トリガイベントを生成できます。

GPIO ピン EXTI マルチプレクサについては、[セクション 11: システム設定コントローラ \(SYSCFG\)](#) を参照してください。

DMAMUX1 のトリガについては、[セクション 14.3.2: DMAMUX1 の配置](#) を参照してください。

トリガ信号

低電力タイマからの出力は、信号 LPTIMx_OUT イベントで行われます。GPIO ピンからの出力は、SYSCFG からの EXTI マルチプレクサ信号で行われます。

DMAMUX1 への入力信号トリガ入力 [20:0] で行われます。

タイマ、GPIO ピン EXTI マルチプレクサと DMAMUX1 の間の接続を [表 83: DMAMUX1: リソースへのマルチプレクサ入力の割り当て](#) に示します。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

12.3.14 タイマ (LPTIM3) から Sub-GHz 無線 SPI NSS へ

目的

低電力タイマ LPTIM3 を使用して、Sub-GHz 無線のSPI NSS イベントを生成できます。

トリガ信号

低電力タイマからの出力は、信号 LPTIM3_OUT イベントで行われます。

タイマと Sub-GHz 無線のSPI NSS の間の接続については、[PWR Sub-GHz SPI 制御レジスタ \(PWR_SUBGHZSPICR\)](#) を参照してください。

アクティブな電力モード

RUN、SLEEP、LPRun、LPSleep

13 ダイレクトメモリアクセスコントローラ (DMA)

13.1 概要

ダイレクトメモリアクセス (DMA) コントローラは、バスマスタとシステムペリフェラルで構成されます。

DMA を使用して、CPU を介さずにメモリマップペリフェラルやメモリの間でプログラム可能なデータ転送を実行します。

DMA コントローラは、シングル AHB マスタバスアーキテクチャを備えています。

DMA には 2 つのインスタンス、DMA1 と DMA2 があります。

それぞれのチャンネルは、1 つ以上のペリフェラルからのメモリアセリクエストを管理する役割を担っています。各 DMA は DMA リクエスト間の優先順位を操作するためのアービタを内蔵しています。

13.2 DMA の主な機能

- シングル AHB マスタ
- ペリフェラルからメモリ、メモリからペリフェラル、メモリ間、ペリフェラル間のデータ転送
- 転送元および転送先として、Flashメモリ、SRAM、および AHB/APB ペリフェラルなどのオンチップメモリマップデバイスにアクセス
- 個別に設定可能なすべての DMA チャンネル：
 - 各チャンネルは、ペリフェラルからの DMA リクエスト信号、またはメモリ間転送におけるソフトウェアトリガに関連付けられます。この設定はソフトウェアで行われます。
 - リクエスト間の優先順位はソフトウェアでプログラム可能です (チャンネル別に最高、高、中、低の 4 レベル)。またはレベルが等しい場合はハードウェアによって決まります (たとえばチャンネル 1 へのリクエストはチャンネル 2 へのリクエストよりも優先)。
 - 転送元および転送先の転送サイズ (バイト、ハーフワード、ワード) は個別に設定され、パッキング/アンパッキングをエミュレートします。転送元および転送先のアドレスはデータサイズに合わせる必要があります。
 - サークュラバッファ管理によるペリフェラルとメモリの間の転送をサポートします。
 - プログラム可能な転送データ数: $0 \sim 2^{18} - 1$
- チャンネル別の割り込みリクエストの生成。各割り込みリクエストは 3 種類の DMA イベント、転送完了、1/2 転送、または転送エラーのいずれかによって生成されます。
- セキュリティのサポート：
 - 最初のチャンネルレベルや転送元/転送先のサブレベルに関係なく、AHB のセキュア/非セキュア DMA 転送をサポートします。
 - セキュリティ対応の AHB スレーブポートが、すべてのセキュアリソース (レジスタ、レジスタフィールド) を非セキュアソフトウェアアクセスから保護します。
- 特権/非特権をサポート：
 - チャンネルレベルに関係なく、AHB の特権/非特権 DMA 転送をサポートします。
 - 特権を認識する AHB スレーブポート。

13.3 DMA の実装

13.3.1 DMA1 および DMA2

DMA1 および DMA2 は、[表 77](#) に示すハードウェア構成パラメータによって実装されています。

表 77. DMA1 および DMA2 の実装

機能	DMA1	DMA2
チャンネル数	7	7
セキュリティ	1 (サポートされる)	1 (サポートされる)

13.3.2 DMA リクエストマッピング

DMA コントローラは、AHB/APB ペリフェラルから DMAMUX ペリフェラルを介して送信される DMA リクエストに接続されます。

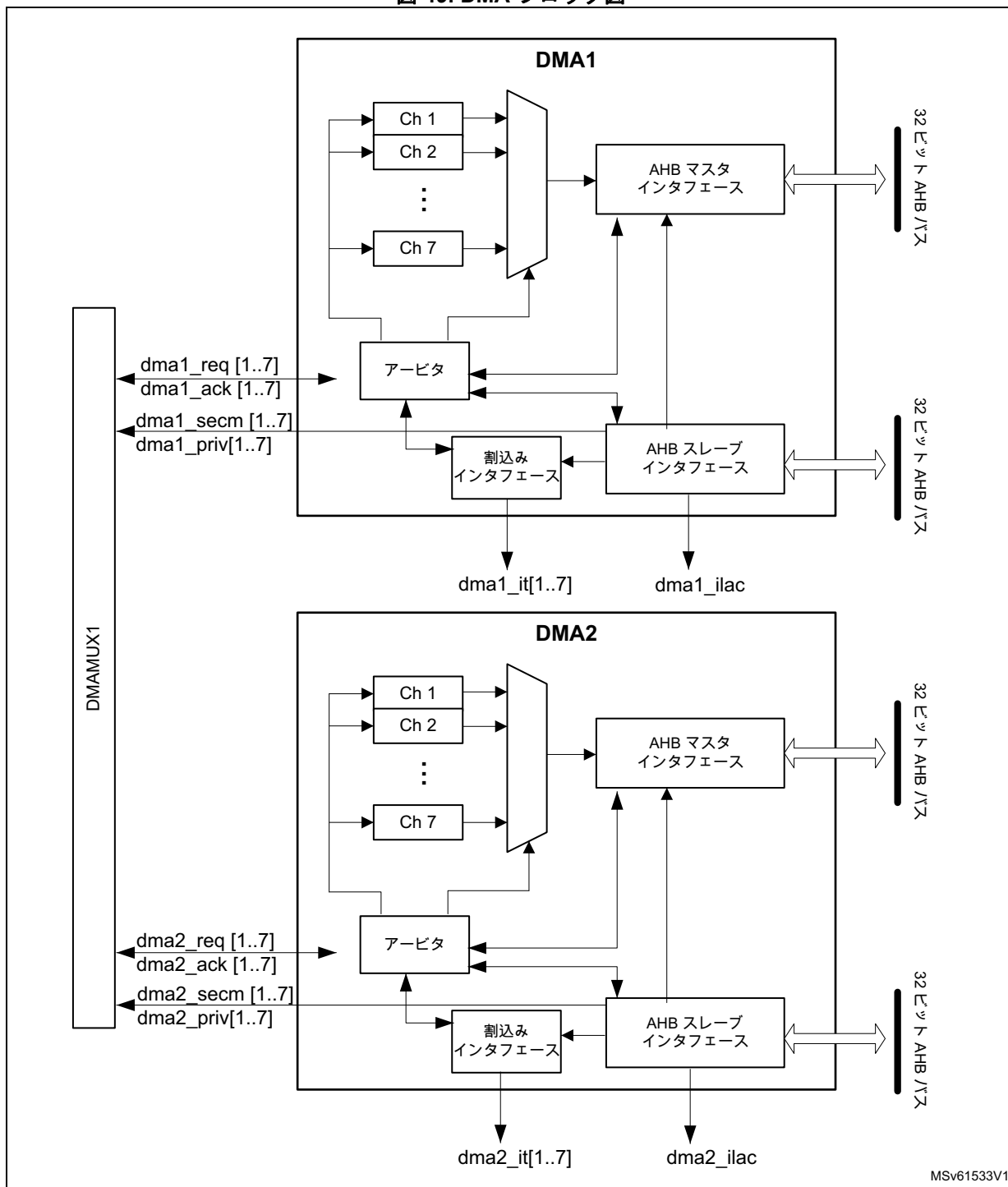
さまざまなリクエストのマッピングについては、[セクション 14.3: DMAMUX の実装](#)を参照してください。

13.4 DMA の機能説明

13.4.1 DMA ブロック図

図 49に DMA ブロック図を示します。

図 49. DMA ブロック図



DMA コントローラは、AHB システムバスを他のシステムマスタと共有することでダイレクトメモリ転送を行います。バスマトリックスはラウンドロビンスケジューリングを実装します。DMA リクエストは、CPU と DMA のターゲット転送先が同じである場合に（メモリまたはペリフェラル）、多少のバスサイクルの間、CPU のシステムバスへのアクセスを停止することがあります。

DMA コントローラは、AHB スレーブインタフェースによるその設定に応じて、DMA チャンネルと関連の受信リクエストの間のアービトレーションを行います。また、シングル AHB ポートマスタによる DMA データ転送をスケジュールします。

DMA コントローラは、セキュアバスおよび特権バスを生成して、DMAMUX ペリフェラルに各チャンネル x のセキュア／非セキュア状態および特権／非特権状態が通知されるようにします。

また、チャンネルごとの割り込みコントローラへの割り込みを生成します。

非セキュアソフトウェアがセキュア DMA レジスタまたはレジスタフィールドにアクセスをしようとした場合は、セキュア割り込みコントローラに対して、不正アクセスイベントをパルスとして生成します。

13.4.2 DMA ピンおよび内部信号

表 78. DMA 内部入力／出力信号

信号名	信号タイプ	説明
dma_req[x]	入力	DMA チャンネル x リクエスト
dma_ack[x]	出力	DMA チャンネル x 確認応答
dma_it[x]	出力	DMA チャンネル x 割り込み
dma_sec[x]	出力	DMA チャンネル x セキュア状態
dma_priv[x]	出力	DMA チャンネル x 特権状態
dma_ilac	出力	DMA グローバルセキュア／特権不正アクセスイベント

13.4.3 DMA 転送

セキュアソフトウェアは、一連の AHB セキュア／非セキュア、特権／非特権バス転送で構成されるブロック転送を実施するために、DMA コントローラをチャンネルレベルで設定します。

DMA ブロック転送は、ペリフェラルからリクエストするか、メモリ間転送の場合はソフトウェアでトリガすることができます。

イベントの後、シングル DMA 転送の次の手順が行われます。

1. ペリフェラルは、DMA コントローラにシングル DMA リクエスト信号を送信します。
2. DMA コントローラは、このペリフェラルのリクエストに関連付けられたチャンネルの優先順位に応じて、リクエストを処理します。
3. DMA コントローラは、ペリフェラルのリクエストを許可するとすぐに、ペリフェラルに確認応答信号を送信します。
4. ペリフェラルは、DMA コントローラからの確認応答信号を受け取るとすぐにそのリクエストを解除します。
5. ペリフェラルによってリクエストが無効にされると、DMA コントローラは確認応答信号を解除します。

ペリフェラルは、さらにシングルリクエストを送信し、別のシングル DMA 転送を開始することができます。

ペリフェラルが転送元または転送先である場合は、リクエスト/確認応答プロトコルを使用します。たとえば、メモリからペリフェラル転送の場合、ペリフェラルは DMA コントローラにシングルリクエスト信号を送信することによって転送を開始します。次に、DMA コントローラはメモリ内の単一データを読み出し、このデータをペリフェラルに書き込みます。

任意のチャンネル x の DMA ブロック転送では、次の転送が繰り返されます。

- 2つの単一データ AHB 転送をカプセル化する、DMA AHB バスマスタ経由のシングル DMA 転送
 - ペリフェラルデータレジスタまたは現在の内部ペリフェラル/メモリアドレスレジスタを介してアドレス指定されたメモリ上の場所からの単一データ読出し (バイト/ハーフワード/ワード)。
最初のシングル転送に使用される開始アドレスは、ペリフェラル/メモリのベースアドレスで、DMA_CPAR x または DMA_CMAR x レジスタでプログラムされています。
 - ペリフェラルデータレジスタまたは現在の内部ペリフェラル/メモリアドレスレジスタを介してアドレス指定されたメモリ上の場所からの単一データ書込み (バイト/ハーフワード/ワード)。
最初の転送に使用される開始アドレスは、ペリフェラル/メモリのベースアドレスで、DMA_CPAR x または DMA_CMAR x レジスタでプログラムされています。
- プログラムされた DMA_CNDTR x レジスタのポストデクリメント
このレジスタは、残りの転送データ項目数 (AHB の読出し転送に続く書込み転送の数) を含みます。

DMA_CNDTR x が null になるまで、このシーケンスを繰り返します。

注： AHB マスタバス転送元/転送先のアドレスは、その転送元/転送先に転送されるプログラムされた単一データのサイズに合わせてください。

13.4.4 DMA アービトレーション

DMA アービタは、異なるチャンネル間の優先順位を管理します。

アービタがアクティブなチャンネル x を許可すると (ハードウェアによるリクエスト/ソフトウェアによるトリガ)、シングル DMA 転送 (AHB の単一データ読出し転送に続く書込み転送など) が発行されます。次に、アービタはそれらのアクティブなチャンネルの中から再び優先順位が一番高いものを選びます。

優先順位は 2 段階で管理されます。

- ソフトウェア：各チャンネルの優先順位は DMA_CCR x レジスタで次の 4 段階のいずれかに設定します。
 - 最高
 - 高
 - 中
 - 低
- ハードウェア：2つのリクエストのソフトウェア優先順位レベルが同じ場合、小さい番号のチャンネルが優先されます。たとえば、チャンネル 2 はチャンネル 4 よりも優先されます。

チャンネル x がメモリ間モードのブロック転送用にプログラムされている場合、このチャンネル x のシングル DMA 転送間の再アービトレーションが検討されます。同じタイミングで別のアクティブなチャンネルがリクエストされた場合、DMA アービタは自動的にもう一方の最優先リクエストチャンネルと交互に許可を与えますが、優先順位はメモリ間転送用のチャンネルより低いかもしれません。

13.4.5 DMA チャンネル

各チャンネルは、ある固定アドレスにあるペリフェラルレジスタとメモリアドレスの間の DMA 転送を処理することができます。転送データ項目数はプログラム可能です。転送データ項目数を格納しているレジスタは、転送終了ごとにデクリメントされます。

各チャンネルはセキュアまたは非セキュアのいずれかです。

DMA チャンネルはブロック転送レベルでプログラムされます。

プログラム可能なデータサイズ

ペリフェラルおよびメモリに転送される単一データのサイズ (バイト/ハーフワード/ワード) は、それぞれ DMA_CCRx レジスタの PSIZE[1:0] および MSIZE[1:0] フィールドでプログラムすることができます。

ポインタのインクリメント

ペリフェラルおよびメモリのポインタは、DMA_CCRx レジスタの PINC および MINC ビットに応じて、各転送後に自動的にインクリメントすることができます。

インクリメントモード が有効な場合 (PINC または MINC = 1)、次の転送のアドレスは、PSIZE[1:0] または MSIZE[1:0] に定義されているデータサイズに応じて、前のアドレスに 1、2、または 4 をインクリメントしたアドレスになります。最初の転送アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラムされたアドレスとなります。転送中は、これらのレジスタは最初にプログラムされた値を保持します。現在の転送アドレス (現在の内部ペリフェラル/メモリアドレスレジスタ内) に対するソフトウェアによるアクセスはできません。

チャンネル x が **ノンセキュアモード** に設定されている場合、データ転送終了後 (転送すべきデータ項目数がゼロに達したとき)、DMA リクエストは処理されません。新たなデータ項目数を DMA_CNDTRx レジスタに再ロードするには、DMA チャンネルを無効にする必要があります。

注: チャンネル x が無効になると、DMA レジスタはリセットされません。DMA チャンネルレジスタ (DMA_CCRx、DMA_CPARx、DMA_CMARx) は、チャンネル設定フェーズでプログラムされた初期値のままです。

セキュアモード では、データ転送終了後、DMA_CNDTRx レジスタには最初にプログラムした値が自動的に再ロードされます。現在の内部アドレスレジスタには、DMA_CPARx および DMA_CMARx レジスタからのベースアドレス値が再ロードされます。

セキュリティ

DMA コントローラでは、コントローラの全リソースが、常に 2 つの世界、セキュアワールドと非セキュアワールドのどちらか一方に存在できるようにパーティション分割されています。

セキュアソフトウェアは、セキュアか非セキュアかに関係なく、すべてのリソース/レジスタにアクセスできます。非セキュアソフトウェアに許可されるのは非セキュアリソース/レジスタへのアクセスのみです。

すべてのチャンネルは DMA_CCRx.SECM セキュアレジスタビットでセキュアに設定されているように、セキュアまたは非セキュアな状態です。

チャンネル x がセキュアモードに設定されている場合、以下のアクセス制御規則が適用されます。

- このチャンネルのレジスタフィールドへの非セキュア読み出しアクセスに対しては、強制的にゼロが返されます。ただし、非セキュアソフトウェアによって読み出し可能な、このチャンネルのセキュア状態および特権状態 (DMA_CCRx レジスタの SECM および PRIV ビット) を除きます。
- このチャンネルのレジスタフィールドへの非セキュア書き込みアクセスによる影響はありません。

チャンネルがセキュアモードに設定されている場合、セキュアソフトウェアは、転送元からの AHB DMA マスタ転送 (DMA_CCRx.SSEC レジスタビットによる) をセキュアまたは非セキュアに、転送先への AHB DMA マスタ転送 (DMA_CCRx.DSEC レジスタビットによる) をセキュアまたは非セキュアにそれぞれ設定することができます。

DMA コントローラは、DMAMUX などのその他のハードウェアペリフェラルに各 DMA チャンネル x のセキュア/非セキュア状態が通知されるように、DMA_CCRx レジスタの SECM ビットを反映させて、セキュアバス dma_secm[7:0] を生成します。

また、DMA コントローラは、セキュア DMA レジスタ/レジスタフィールドへの非セキュアソフトウェアの不正アクセスに対して、セキュリティ不正アクセスパルスイベント dma_ilac を生成します。

セキュリティ不正アクセスイベントは以下のような設定で生成されます。

- チャンネル x がセキュアな状態の場合 (DMA_CCRx レジスタの SECM ビットがセットされている)、次のアクセスのいずれかでセキュリティ不正アクセスが生成されます。
 - このチャンネル x の専用レジスタへの非セキュア書き込みアクセス (DMA_CCRx、DMA_CNDTRx、DMA_CPARx、DMA_CM0ARx、および DMA_CM1ARx)
 - このチャンネル x の専用レジスタ (DMA_CxCR レジスタを除く) への非セキュア読出しアクセス (DMA_CNDTRx、DMA_CPARx、DMA_CM0ARx、および DMA_CM1ARx)
- チャンネル x が非セキュア状態 (DMA_CCRx レジスタの SECM ビットがクリア) の場合、セキュア設定ビット SECM、DSEC、SSEC のいずれかに 1 を書き込もうとする DMA_CCRx レジスタへの非セキュリティ書き込みアクセスに対してセキュリティ不正アクセスを発生させます。

ソフトウェアをセキュア状態から非セキュア状態へ切り替えるときは (セキュア転送完了後)、切替の前にセキュアソフトウェアによって DMA_CCRx アドレスに 32 ビットを書き込むことによってそのチャンネルを無効にする必要があります。この操作は次の 2 つの理由から必要です。

- 非セキュアなソフトウェアではその操作ができないため。
- (非セキュアな) ソフトウェアが次の転送のために DMA_CCRx レジスタを再プログラムする前に、そのレジスタの EN ビットをクリアする必要があるため。

注： 信頼できるアプリケーションは、セキュアソフトウェアがそのチャンネルを無効にするだけでなく、DMA_CCRx ワードレジスタを完全にリセット値に戻し、このチャンネル x に対応するその他の DMA レジスタもリセットすることを要求する場合があります。

特権/非特権モード

任意のチャンネル x は、特権ソフトウェアが DMA_CCRx レジスタの PRIV ビットによって設定する特権または非特権ハードウェアリソースです。

チャンネル x が特権モードに設定されている場合、以下のアクセス制御規則が適用されます。

- このチャンネルのレジスタフィールドへの非特権読出しアクセスに対しては、強制的にゼロが返されます。ただし、非特権ソフトウェアによって読出し可能な、このチャンネル x の特権状態およびセキュア状態 (DMA_CCRx レジスタの PRIV および SECM ビット) を除きます。
- このチャンネルのレジスタフィールドへの非特権書き込みアクセスによる影響はありません。

チャンネルが特権モード (または非特権モード) に設定されている場合、転送元からの AHB マスタ転送、および転送先への AHB マスタ転送は、特権 (または非特権) となります。

DMA は、DMAMUX などのその他のハードウェアペリフェラルに各 DMA チャンネル x の特権/非特権状態が通知されるように、DMA_CCRx レジスタの PRIV ビットを反映させて、特権バス dma_priv[7:0] を生成します。

また、DMA コントローラは、特権 DMA レジスタ/レジスタフィールドへの非特権ソフトウェアの不正アクセスに対して、特権不正アクセスパルスイベントを生成します。このイベントは、不正アクセスパルスイベント dma_ilac を生成するために、セキュア不正パルスアクセスイベントと論理和がとられ、セキュア割込みコントローラに送られます。

チャンネル設定手順

DMA チャンネル x の設定には、次の手順が必要です。

1. DMA_CCRx レジスタのセキュア SECM ビットへのセキュア書込みアクセスによって、チャンネル x をセキュアまたは非セキュアに設定します。DMA_CCRx レジスタの特権 PRIV ビットへの特権書込みアクセスによって、チャンネル x を特権または非特権に設定します。
2. DMA_CPARx レジスタに、ペリフェラルレジスタアドレスをセットします。
データは、ペリフェラルイベント後、またはチャンネルがメモリ間モードで有効化された後に、このアドレスからメモリに、またはメモリからこのアドレスに移動されます。
3. DMA_CMARx レジスタにメモリアドレスをセットします。
データは、ペリフェラルイベント後、またはチャンネルがメモリ間モードで有効化された後に、メモリへ書き込まれたり、メモリから読み出されたりします。
4. 転送すべきデータの総数を DMA_CNDTRx レジスタに設定します。
毎回のデータ転送後に、この値はデクリメントされます。
5. 以下に挙げるパラメータを DMA_CCRx レジスタで設定します。
 - チャンネルの優先順位
 - データ転送方向
 - チャンネルがセキュアな場合の転送元および転送先とのデータ転送のセキュリティレベル
 - サーキュラモード
 - ペリフェラルとメモリのインクリメントモード
 - ペリフェラルとメモリのデータサイズ
 - 1/2転送時、転送完了時、転送エラー時の割込み有効化
6. DMA_CCRx レジスタの EN ビットをセットすることでチャンネルを有効にします。

チャンネルは、有効になるとすぐに、そのチャンネルに接続されているペリフェラルからの DMA リクエストを処理したり、メモリ間ブロック転送を開始することができます。

注： チャンネル設定手順の最後の 2 ステップを DMA_CCRx レジスタへのシングルアクセスの中に含めて、チャンネルを設定および有効化しても構いません。

チャンネルの状態とチャンネルの無効化

アクティブ状態のチャンネル x は有効チャンネルです (DMA_CCRx.EN の読出し = 1)。アクティブチャンネル x は、ソフトウェアによって有効化され (DMA_CCRx.EN を 1 にセット)、その後に転送エラーが発生していない (DMA_ISR.TEIFx = 0) 必要があります。転送エラーがあると、そのチャンネルはハードウェアによって自動的に無効化されます (DMA_CCRx.EN = 0)。

以下の 3 種類のユースケースが発生する可能性があります。

- チャンネルのサスペンドと再開
このユースケースは、次の 2 つのアクションに相当します。
 - アクティブチャンネルがソフトウェアによって無効化されます (DMA_CCRx.EN = 1 であるのに DMA_CCRx.EN = 0 を書込み)。
 - 他のチャンネルレジスタ (DMA_CNDTRx、DMA_CPARx、DMA_CMARx など) を再設定することなく、ソフトウェアがそのチャンネルを再度有効化します (DMA_CCRx.EN を 1 にセット)。

このケースには DMA ハードウェアが対応しておらず、残りのデータ転送が正常に実行されるかどうかは保証されません。

- チャンネルの停止とアボート
アプリケーションがもはやそのチャンネルを必要としていない場合、このアクティブチャンネルはソフトウェアによって無効化できます。チャンネルの停止とアボートは行われますが、アボートされた転送元と転送先のバッファ/レジスタに対して、DMA_CNDTRx レジスタの内容は、残りのデータ転送を正しく反映していない可能性があります。
- チャンネルのアボートと再開
このユースケースは、アクティブチャンネルを無効化した後にそのチャンネルを再設定して再び有効化するというソフトウェアシーケンスに相当します。
次の条件が満足された場合に、ハードウェアによる対応が行われます。
 - ソフトウェアがチャンネルを無効化するときに、そのマスタポートに対して DMA データ転送が同時に発生していないことをアプリケーションが保証します。たとえば、アプリケーションは、DMA モードにあるペリフェラルをまず無効化して、このペリフェラルからの保留中のハードウェア DMA リクエストが存在しないことを保証することができます。
 - ソフトウェアは、以下のようにして、同一の DMA_CCRx レジスタに対して、独立した書込みアクセスを行う必要があります。最初に、チャンネルを無効化します。次に、設定の変更が必要であれば、DMA_CCRx を含む次のブロック転送に対してチャンネルを再設定します。DMA_CCRx.EN=1 のときには、読出し専用の DMA_CCRx レジスタフィールドが存在します。最後に、チャンネルを再び有効化します。

チャンネル転送エラーが発生すると、DMA_CCRx レジスタの EN ビットがハードウェアによってクリアされます。DMA_ISR レジスタの TEIFx ビットがセットされるまでは、チャンネル x を再有効化するために、この EN ビットをソフトウェアによって再セットすることはできません。

サーキュラモード (メモリからペリフェラル/ペリフェラルからメモリへの転送)

サーキュラモードを使用すると、サーキュラバッファや連続したデータフロー (ADC スキャンモードなど) を処理できます。この機能は、DMA_CCRx レジスタの CIRC ビットを使用して有効にできます。

注 : サークュラモードはメモリ間転送では使用しないでください。サーキュラモードでのチャンネル有効化 (CIRC = 1) の前に、ソフトウェアによって DMA_CCRx レジスタの MEM2MEM ビットをクリアしてください。サーキュラモードが有効になると、転送データ数にはチャンネル設定段階でプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。

サーキュラ転送を停止するには、DMA チャンネルを無効化する前に、ソフトウェアによってペリフェラルによる DMA リクエストの生成を止めさせる必要があります (ADC スキャンモードの中止など)。転送を開始/有効化する前、およびサーキュラ転送の停止後、ソフトウェアによって DMA_CNDTRx の値を明示的にプログラムしてください。

メモリ間モード

DMA チャンネルは、ペリフェラルからのリクエストによってトリガされなくても動作できます。このモードはメモリ間モードと呼ばれ、ソフトウェアによって開始されます。

DMA_CCRx レジスタの MEM2MEM ビットがセットされると、チャンネルは、有効な場合、転送を開始します。DMA_CNDTRx レジスタがゼロに達すると、転送は停止します。

注 : メモリ間モードはサーキュラモードでは使用しないでください。メモリ間モードでのチャンネル有効化 (MEM2MEM = 1) の前に、ソフトウェアによって DMA_CCRx レジスタの CIRC ビットをクリアしてください。

ペリフェラル間モード

DMA チャンネルは、以下の場合にペリフェラル間モードで動作可能です。

- DMA チャンネルをトリガするために、ペリフェラルからのハードウェアリクエストが選択されている場合。
このペリフェラルは DMA イニシエータであり、このペリフェラルと別のメモリマップペリフェラル (DMA モードに設定されていないもの) に属するレジスタの間のデータ転送のペースを調整します。
- ペリフェラルリクエストが選択されておらず、DMA チャンネルに接続されていない場合
ソフトウェアは、DMA_CCRx レジスタの MEM2MEM ビットをセットすることにより、レジスタ間の転送を設定します。

転送方向のプログラミング、転送元／転送先の割当て

DMA_CCRx レジスタの DIR ビットには転送方向が設定されます。これにより、転送元／転送先の種類 (ペリフェラルやメモリ) に関係なく、その値から転送元と転送先が特定されます。

- **DIR = 1** は、一般にメモリからペリフェラルへの転送を定義します。より一般的には、DIR = 1 の場合
 - **転送元** 属性は、DMA_MARx レジスタ、DMA_CCRx レジスタの MSIZE[1:0] フィールドと MINC ビットで定義します。
それらの一般的な名称に関係なく、このような「メモリ」のレジスタ、フィールド、およびビットは、ペリフェラル間転送における転送元ペリフェラルを定義するために使用します。
 - **転送先** 属性は、DMA_PARx レジスタ、DMA_CCRx レジスタの PSIZE[1:0] フィールドと PINC ビットで定義します。
それらの一般的な名称に関係なく、このような「ペリフェラル」のレジスタ、フィールド、およびビットは、メモリ間転送における転送先メモリを定義するために使用します。
- **DIR = 0** は、一般にペリフェラルからメモリへの転送を定義します。より一般的には、DIR = 0 の場合
 - **転送元** 属性は、DMA_PARx レジスタ、DMA_CCRx レジスタの PSIZE[1:0] フィールドと PINC ビットで定義します。
それらの一般的な名称に関係なく、このような「ペリフェラル」のレジスタ、フィールド、およびビットは、メモリ間転送における転送元メモリを定義するために使用します。
 - **転送先** 属性は、DMA_MARx レジスタ、DMA_CCRx レジスタの MSIZE[1:0] フィールドと MINC ビットで定義します。
それらの一般的な名称に関係なく、このような「メモリ」のレジスタ、フィールド、およびビットは、ペリフェラル間転送における転送先ペリフェラルを定義するために使用します。

13.4.6 DMA データの幅、アライメント、およびエンディアン

PSIZE[1:0] と MSIZE[1:0] が等しくない場合、DMA コントローラは、表 79 に記載されているとおりに一部のデータのアライメントを行います。

表 79. プログラム可能なデータ幅およびエンディアンの動作 (PINC = MINC = 1 の場合)

転送元ポートの幅 (DIR = 1 ならば MSIZE、 そうでなければ PSIZE)	転送先ポートの幅 (DIR = 1 ならば PSIZE、 そうでなければ MSIZE)	転送するデータ項目の数 (NDT)	転送元の内容: アドレス/データ (DIR = 1 の場合は DMA_CMARx、 それ以外の場合は DMA_CPARx)	DMA 転送	転送先の内容: アドレス/データ (DIR = 1 の場合は DMA_CPARx、 それ以外の場合は DMA_CMARx)
8	8	8	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: B0[7:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2: B1[7:0] を 0x1 で読み出し、次に B1[7:0] を 0x1 に書き込みます。 3: B2[7:0] を 0x2 で読み出し、次に B2[7:0] を 0x2 に書き込みます。 4: B3[7:0] を 0x3 で読み出し、次に B3[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3
8	16	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: B0[7:0] を 0x0 で読み出し、次に 00B0[15:0] を 0x0 に書き込みます。 2: B1[7:0] を 0x1 で読み出し、次に 00B1[15:0] を 0x2 に書き込みます。 3: B2[7:0] を 0x2 で読み出し、次に 00B2[15:0] を 0x4 に書き込みます。 4: B3[7:0] を 0x3 で読み出し、次に 00B3[15:0] を 0x6 に書き込みます。	@0x0 / 00B0 @0x2 / 00B1 @0x4 / 00B2 @0x6 / 00B3
8	32	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: B0[7:0] を 0x0 で読み出し、次に 000000B0[31:0] を 0x0 に書き込みます。 2: B1[7:0] を 0x1 で読み出し、次に 000000B1[31:0] を 0x4 に書き込みます。 3: B2[7:0] を 0x2 で読み出し、次に 000000B2[31:0] を 0x8 に書き込みます。 4: B3[7:0] を 0x3 で読み出し、次に 000000B3[31:0] を 0xC に書き込みます。	@0x0 / 000000B0 @0x4 / 000000B1 @0x8 / 000000B2 @0xC / 000000B3
16	8	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: B1B0[15:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2: B3B2[15:0] を 0x2 で読み出し、次に B2[7:0] を 0x1 に書き込みます。 3: B5B4[15:0] を 0x4 で読み出し、次に B4[7:0] を 0x2 に書き込みます。 4: B7B6[15:0] を 0x6 で読み出し、次に B6[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B2 @0x2 / B4 @0x3 / B6
16	16	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: B1B0[15:0] を 0x0 で読み出し、次に B1B0[15:0] を 0x0 に書き込みます。 2: B3B2[15:0] を 0x2 で読み出し、次に B3B2[15:0] を 0x2 に書き込みます。 3: B5B4[15:0] を 0x4 で読み出し、次に B5B4[15:0] を 0x4 に書き込みます。 4: B7B6[15:0] を 0x6 で読み出し、次に B7B6[15:0] を 0x6 に書き込みます。	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6
16	32	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: B1B0[15:0] を 0x0 で読み出し、次に 0000B1B0[31:0] を 0x0 に書き込みます。 2: B3B2[15:0] を 0x2 で読み出し、次に 0000B3B2[31:0] を 0x4 に書き込みます。 3: B5B4[15:0] を 0x4 で読み出し、次に 0000B5B4[31:0] を 0x8 に書き込みます。 4: B7B6[15:0] を 0x6 で読み出し、次に 0000B7B6[31:0] を 0xC に書き込みます。	@0x0 / 0000B1B0 @0x4 / 0000B3B2 @0x8 / 0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: B3B2B1B0[31:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2: B7B6B5B4[31:0] を 0x4 で読み出し、次に B4[7:0] を 0x1 に書き込みます。 3: BBBAB9B8[31:0] を 0x8 で読み出し、次に B8[7:0] を 0x2 に書き込みます。 4: BFBEBDBC[31:0] を 0xC で読み出し、次に BC[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B4 @0x2 / B8 @0x3 / BC

表 79. プログラム可能なデータ幅およびエンディアンの動作 (PINC = MINC = 1 の場合) (続き)

転送元ポートの幅 (DIR = 1 ならば MSIZE、そうでなければ PSIZE)	転送先ポートの幅 (DIR = 1 ならば PSIZE、そうでなければ MSIZE)	転送するデータ項目の数 (NDT)	転送元の内容 : アドレス/データ (DIR = 1 の場合は DMA_CMARx、それ以外の場合は DMA_CPARx)	DMA 転送	転送先の内容 : アドレス/データ (DIR = 1 の場合は DMA_CPARx、それ以外の場合は DMA_CMARx)
32	16	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: B3B2B1B0[31:0] を 0x0 で読み出し、次に B1B0[15:0] を 0x0 に書き込みます。 2: B7B6B5B4[31:0] を 0x4 で読み出し、次に B5B4[15:0] を 0x2 に書き込みます。 3: BBBAB9B8[31:0] を 0x8 で読み出し、次に B9B8[15:0] を 0x4 に書き込みます。 4: BFBEBDBC[31:0] を 0xC で読み出し、次に BDBC[15:0] を 0x6 に書き込みます。	@0x0 / B1B0 @0x2 / B5B4 @0x4 / B9B8 @0x6 / BDBC
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: B3B2B1B0[31:0] を 0x0 で読み出し、次に B3B2B1B0[31:0] を 0x0 に書き込みます。 2: B7B6B5B4[31:0] を 0x4 で読み出し、次に B7B6B5B4[31:0] を 0x4 に書き込みます。 3: BBBAB9B8[31:0] を 0x8 で読み出し、次に BBBAB9B8[31:0] を 0x8 に書き込みます。 4: BFBEBDBC[31:0] を 0xC で読み出し、次に BFBEBDBC[31:0] を 0xC に書き込みます。	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC

バイト/ハーフワード書き込み転送をサポートしていない AHB ペリフェラルのアドレス指定

DMA コントローラが AHB のバイトまたはハーフワード書き込み転送を開始すると、データは AHB マスタの 32ビットデータバス (HWDATA[31:0]) の未使用レーンに複製されます。

AHB スレーブペリフェラルがバイト/ハーフワード書き込み転送をサポートしておらず、エラーが 1 件も出ていない場合は、DMA コントローラは以下の 2 つの例に示されるように 32 HWDATA ビットを書き込みます。

- ハーフワード 0xABCD を書き込むには、DMA コントローラは HWDATA バスをデータサイズのハーフワードで 0xABCDABCD に設定します (AHB マスタバスでは HSIZE = ハーフワード)。
- バイト 0xAB を書き込むには、DMA コントローラは HWDATA バスをデータサイズのバイトで 0xABABABAB に設定します (AHB マスタバスでは HSIZE = バイト)。

AHB/APB ブリッジが AHB 32 ビットスレーブペリフェラルである (HSIZE の値は考慮せず) と仮定した場合、以下のようなやり方で、AHB バイトまたはハーフワード転送を 32 ビット APB 転送に変換します。

- データ「0xB0」をアドレス 0x0、0x1、0x2、または 0x3 のいずれかに書き込む AHB バイト書き込み転送は、データ「0xB0B0B0B0」をアドレス 0x0 に書き込む APB ワード書き込み転送に変換されます。
- データ「0xB1B0」をアドレス 0x0 または 0x2 に書き込む AHB ハーフワード書き込み転送は、データ「0xB1B0B1B0」をアドレス 0x0 に書き込む APB ワード書き込み転送に変換されます。

13.4.7 DMA エラー管理

DMA 転送エラーは、予約済みアドレス空間に対する読出しや書込み時に生成されます。DMA 読出しまたは書込みアクセス中に DMA 転送エラーが発生した場合、障害のあるチャンネル x は、対応する DMA_CCRx レジスタの EN ビットをハードウェアによってクリアすることにより、自動的に無効化されます。

DMA_ISR レジスタの TEIFx ビットがセットされます。次に、DMA_CCRx レジスタの TEIE ビットがセットされている場合、割込みが生成されます。

DMA_ISR レジスタの TEIFx ビットがクリアされるまでは (DMA_IFCR レジスタの CTEIFx ビットをセットすることによって)、DMA_CCRx レジスタの EN ビットをソフトウェアによって再セット (チャンネル x の再有効化) することはできません。

ペリフェラルを含むチャンネルを介して転送エラーがソフトウェアに通知されると、ペンディング状態のまたはこの先の DMA リクエストを無効にするために、ソフトウェアはまず DMA モードでこのペリフェラルを停止します。ソフトウェアは、通常、DMA モードで DMA とペリフェラルの両方を次の転送用に再設定することができます。

また、セキュア DMA レジスタへの非セキュアソフトウェアの不正アクセスに対して、セキュリティ不正アクセスパルス信号を生成します。この信号はセキュア割込みコントローラに送られます。

13.5 DMA 割込み

割込みは、DMA チャンネル x ごとの (チャンネルがセキュアか非セキュアかに関係なく) 1/2 転送、転送完了、転送エラーに対して生成されます。高い柔軟性を実現するため、個別の割込みイネーブルビットを使用できます。

表 80. DMA 割込みリクエスト

割込みリクエスト	割込みイベント	イベントフラグ	割込み有効化ビット
チャンネル x 割込み	チャンネル x の 1/2 転送	HTIFx	HTIEx
	チャンネル x の転送完了	TCIFx	TCIEx
	チャンネル x の転送エラー	TEIFx	TEIEx
	チャンネル x の 1/2 転送、転送完了、または転送エラー	GIFx	-

13.6 DMA レジスタ

レジスタの説明で使用されている略語のリストについては、[セクション 1.2](#) を参照してください。

DMA レジスタには、ワード (32ビット) 単位でアクセスする必要があります。

13.6.1 DMA 割込みステータスレジスタ (DMA_ISR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

このレジスタには、各チャンネルのセキュアモード (DMA_CCRx レジスタの SECM ビット) に応じて、セキュア情報と非セキュア情報が混在する可能性があります。セキュアソフトウェアはフル割込みステータスを読み出すことができます。非セキュアソフトウェアに許可されるのは非セキュアチャンネルのステータス読出しのみで、その他のセキュアなビットフィールドにはゼロが返されます。

このレジスタには、各チャンネルの特権モード (DMA_CCRx レジスタの PRIV ビット) に応じて、特権情報と非特権情報が混在する可能性があります。特権ソフトウェアはフル割込みステータスを読み出すことができます。非特権ソフトウェアに許可されるのは非特権チャンネルのステータス読出しのみで、その他の特権ビットフィールドはゼロが返されます。

各ステータス/フラグビットは、チャンネルの特権モードやセキュアモードに関係なく、ハードウェアによってセットされます。

ステータスビットは、ソフトウェアが DMA_IFCR の対応するクリアビットまたは対応するグローバルクリアビット CGIFx をセットしたときに、ハードウェアによってすべてクリアされます。ただし、チャンネル x が特権モードおよび/またはセキュアモードである場合、DMA_IFCR へのソフトウェアアクセスも特権および/またはセキュアであることを条件とします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TEIF7** : チャンネル 7 の転送エラー (TE) フラグ

- 0 : TE イベントなし
- 1 : TE イベント発生

ビット 26 **HTIF7** : チャンネル 7 の 1/2 転送 (HT) フラグ

- 0 : HT イベントなし
- 1 : HT イベント発生

ビット 25 **TCIF7** : チャンネル 7 の転送完了 (TC) フラグ

- 0 : TC イベントなし
- 1 : TC イベント発生

ビット 24 **GIF7** : チャンネル 7 のグローバル割込みフラグ

- 0 : TE、HT、または TC イベントなし
- 1 : TE、HT、または TC イベント発生

ビット 23 **TEIF6** : チャンネル 6 の転送エラー (TE) フラグ

- 0 : TE イベントなし
- 1 : TE イベント発生

- ビット 22 **HTIF6** : チャネル 6 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 21 **TCIF6** : チャネル 6 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 20 **GIF6** : チャネル 6 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生
- ビット 19 **TEIF5** : チャネル 5 の転送エラー (TE) フラグ
0 : TE イベントなし
1 : TE イベント発生
- ビット 18 **HTIF5** : チャネル 5 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 17 **TCIF5** : チャネル 5 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 16 **GIF5** : チャネル 5 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生
- ビット 15 **TEIF4** : チャネル 4 の転送エラー (TE) フラグ
0 : TE イベントなし
1 : TE イベント発生
- ビット 14 **HTIF4** : チャネル 4 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 13 **TCIF4** : チャネル 4 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 12 **GIF4** : チャネル 4 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生
- ビット 11 **TEIF3** : チャネル 3 の転送エラー (TE) フラグ
0 : TE イベントなし
1 : TE イベント発生
- ビット 10 **HTIF3** : チャネル 3 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 9 **TCIF3** : チャネル 3 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 8 **GIF3** : チャネル 3 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生

- ビット 7 **TEIF2** : チャンネル 2 の転送エラー (TE) フラグ
0 : TE イベントなし
1 : TE イベント発生
- ビット 6 **HTIF2** : チャンネル 2 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 5 **TCIF2** : チャンネル 2 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 4 **GIF2** : チャンネル 2 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生
- ビット 3 **TEIF1** : チャンネル 1 の転送エラー (TE) フラグ
0 : TE イベントなし
1 : TE イベント発生
- ビット 2 **HTIF1** : チャンネル 1 の 1/2 転送 (HT) フラグ
0 : HT イベントなし
1 : HT イベント発生
- ビット 1 **TCIF1** : チャンネル 1 の転送完了 (TC) フラグ
0 : TC イベントなし
1 : TC イベント発生
- ビット 0 **GIF1** : チャンネル 1 のグローバル割込みフラグ
0 : TE、HT、または TC イベントなし
1 : TE、HT、または TC イベント発生

13.6.2 DMA 割込みフラグクリアレジスタ (DMA_IFCR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

このレジスタには、各チャンネルのセキュアモード (DMA_CCRx レジスタの SECM ビット) に応じて、セキュア情報と非セキュア情報が混在する可能性があります。

セキュアソフトウェアは、DMA_IFCR のフラグクリアビットをセットし、DMA ハードウェアに対して DMA_ISR レジスタの対応するフラグをクリアするよう命令することができます。

非セキュアソフトウェアに許可されるのは、DMA_IFCR レジスタの対応する非セキュアフラグクリアビットをセットすることによって、DMA ハードウェアに対して DMA_ISR レジスタの非セキュアフラグをクリアするよう命令することのみです。

このレジスタには、各チャンネルの特権モード (DMA_CCRx レジスタの PRIV ビット) に応じて、特権情報と非特権情報が混在する可能性があります。

特権ソフトウェアは、DMA_IFCR のフラグクリアビットをセットし、DMA ハードウェアに対して DMA_ISR レジスタの対応するフラグをクリアするよう命令することができます。

非特権ソフトウェアに許可されるのは、DMA_IFCR レジスタの対応する非特権フラグクリアビットをセットすることによって、DMA ハードウェアに対して DMA_ISR レジスタの非特権フラグをクリアするよう命令することのみです。

この DMA_IFCR レジスタでチャンネル x のグローバルクリアビット CGIFx をセットすると、DMA ハードウェアは、対応する GIFx ビットおよび DMA_ISR レジスタの TEIFx、HTIFx、TCIFx の個々のフラグをクリアします。

この DMA_IFCR レジスタで CTEIFx、CHTIFx、CTCIFx の個々のクリアビットをセットすると、DMA ハードウェアは、対応する個々のフラグ、および DMA_ISR レジスタのグローバルフラグ GIFx をクリアします。ただし、その他の 2 つのフラグがいずれもセットされていないことを条件とします。

フラグクリアビットに 0 を書き込んでも影響はありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5
				w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **CTEIF7** : チャンネル 7 の転送エラーフラグのクリア

ビット 26 **CHTIF7** : チャンネル 7 の 1/2 転送フラグのクリア

ビット 25 **CTCIF7** : チャンネル 7 の転送完了フラグのクリア

ビット 24 **CGIF7** : チャンネル 7 のグローバル割込みフラグのクリア

ビット 23 **CTEIF6** : チャンネル 6 の転送エラーフラグのクリア

ビット 22 **CHTIF6** : チャンネル 6 の 1/2 転送フラグのクリア

ビット 21 **CTCIF6** : チャンネル 6 の転送完了フラグのクリア

ビット 20 **CGIF6** : チャンネル 6 のグローバル割込みフラグのクリア

ビット 19 **CTEIF5** : チャネル 5 の転送エラーフラグのクリア
 ビット 18 **CHTIF5** : チャネル 5 の 1/2 転送フラグのクリア
 ビット 17 **CTCIF5** : チャネル 5 の転送完了フラグのクリア
 ビット 16 **CGIF5** : チャネル 5 のグローバル割込みフラグのクリア
 ビット 15 **CTEIF4** : チャネル 4 の転送エラーフラグのクリア
 ビット 14 **CHTIF4** : チャネル 4 の 1/2 転送フラグのクリア
 ビット 13 **CTCIF4** : チャネル 4 の転送完了フラグのクリア
 ビット 12 **CGIF4** : チャネル 4 のグローバル割込みフラグのクリア
 ビット 11 **CTEIF3** : チャネル 3 の転送エラーフラグのクリア
 ビット 10 **CHTIF3** : チャネル 3 の 1/2 転送フラグのクリア
 ビット 9 **CTCIF3** : チャネル 3 の転送完了フラグのクリア
 ビット 8 **CGIF3** : チャネル 3 のグローバル割込みフラグのクリア
 ビット 7 **CTEIF2** : チャネル 2 の転送エラーフラグのクリア
 ビット 6 **CHTIF2** : チャネル 2 の 1/2 転送フラグのクリア
 ビット 5 **CTCIF2** : チャネル 2 の転送完了フラグのクリア
 ビット 4 **CGIF2** : チャネル 2 のグローバル割込みフラグのクリア
 ビット 3 **CTEIF1** : チャネル 1 の転送エラーフラグのクリア
 ビット 2 **CHTIF1** : チャネル 1 の 1/2 転送フラグのクリア
 ビット 1 **CTCIF1** : チャネル 1 の転送完了フラグのクリア
 ビット 0 **CGIF1** : チャネル 1 のグローバル割込みフラグのクリア

13.6.3 DMA チャネル x 設定レジスタ (DMA_CCRx)

アドレス・オフセット : $0x08 + 0x14 * (x - 1)$ 、(x = 1~7)

リセット値 : 0x0000 0000

このレジスタはセキュアおよび特権情報、すなわち、チャネル x のセキュア状態および特権状態 (SECM および PRIV 制御ビット) を格納しています。

SECM ビットを変更するには、このレジスタへのセキュア書込みアクセスを行う必要があります。PRIV ビットを変更するには、このレジスタへの特権書込みアクセスを行う必要があります。DSEC または SSEC ビットのいずれかをセットするには、このレジスタへのセキュア書込みアクセスを行う必要があります。

SECM および PRIV 制御ビット以外のすべてのレジスタフィールドは、SECM ビットがセットされている場合は非セキュアソフトウェアによる読出し不可能、PRIV ビットがセットされている場合は非特権ソフトウェアによる読出し不可能です。

レジスタフィールド/ビット、PRIV、DSEC、SSEC、SECM、MEM2MEM、PL[1:0]、MSIZE[1:0]、PSIZE[1:0]、MINC、PINC、および DIR は、EN = 1 のとき読出し専用です。

MEM2MEM ビットと CIRC ビットの状態が両方とも同時にハイになってはいけません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRIV	DSEC	SSEC	SECM	Res.
											rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MEM2 MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **PRIV** : 特権モード

このビットは、特権ソフトウェアによってのみセット/クリアできます。

0 : 無効

1 : 有効

チャンネルが有効な場合 (EN = 1)、このビットへは書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読み出し専用です。

ビット 19 **DSEC** : 転送先への DMA 転送のセキュリティ

このビットは、セキュアソフトウェアによってのみ読み出し/セット/クリアできます。チャンネルが特権モードの場合は、特権ソフトウェアによって行う必要があります。

セキュアに書き込まれたデータのビット 17 がクリアされる場合 (チャンネルを非セキュアとしてセキュアに再設定する場合)、このビットはハードウェアによってクリアされます。

このセキュア設定ビットに対する非セキュア読み出しには、ゼロが返されます。

このセキュア設定ビットへの「1」の非セキュア書き込みは、レジスタの設定には影響を与えず、不正アクセスパルスがアサートされます。

DMA 転送の転送先 (ペリフェラルまたはメモリ) は、方向設定ビット DIR によって定義されます。

0 : 転送先への非セキュア DMA 転送

1 : 転送先へのセキュア DMA 転送

チャンネルが有効な場合 (EN = 1)、このビットへは書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読み出し専用です。

ビット 18 **SSEC** : 転送元からの DMA 転送のセキュリティ

このビットは、セキュアソフトウェアによってのみ読み出しアクセス/セット/クリアできます。チャンネルが特権モードの場合は、特権ソフトウェアによって行う必要があります。

セキュアに書き込まれたデータのビット 17 がクリアされる場合 (チャンネルを非セキュアとしてセキュアに再設定する場合)、このビットはハードウェアによってクリアされます。

このセキュア設定ビットに対する非セキュア読み出しには、ゼロが返されます。

このセキュア設定ビットへの「1」の非セキュア書き込みは、レジスタの設定には影響を与えず、不正アクセスパルスがアサートされます。

DMA 転送の転送元 (ペリフェラルまたはメモリ) は、方向設定ビット DIR によって定義されます。

0 : 転送元からの非セキュア DMA 転送

1 : 転送元からのセキュア DMA 転送

チャンネルが有効な場合 (EN = 1)、このビットへは書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読み出し専用です。

ビット 17 **SECM** : セキュアモード

このビットは、セキュアソフトウェアによってのみセット/クリアできます。

0 : 非セキュアチャンネル

1 : セキュアチャンネル

チャンネルが有効な場合 (EN = 1)、このビットへは書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読み出し専用です。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 MEM2MEM : メモリ間モード

0 : 無効

1 : 有効

注： このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 13:12 PL[1:0] : 優先順位レベル

00 : 低

01 : 中

10 : 高

11 : 最高

注： このフィールドは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 11:10 MSIZE[1:0] : メモリサイズ

このビットは、指定されたメモリへの各 DMA 転送のデータサイズを定義します。

メモリ間モードでは、このフィールドは DIR = 1 の場合はメモリ転送元を、DIR = 0 の場合はメモリ転送先を示します。

ペリフェラル間モードでは、このフィールドは DIR = 1 の場合はペリフェラル転送元を、DIR = 0 の場合はペリフェラル転送先を示します。

00 : 8 ビット

01 : 16 ビット

10 : 32 ビット

11 : 予約済み

注： このフィールドは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 9:8 PSIZE[1:0] : ペリフェラルサイズ

このビットは、指定されたペリフェラルへの各 DMA 転送のデータサイズを定義します。

メモリ間モードでは、このフィールドは DIR = 1 の場合はメモリ転送先を、DIR = 0 の場合はメモリ転送元を示します。

ペリフェラル間モードでは、このフィールドは DIR = 1 の場合はペリフェラル転送先を、DIR = 0 の場合はペリフェラル転送元を示します。

00 : 8 ビット

01 : 16 ビット

10 : 32 ビット

11 : 予約済み

注： このフィールドは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 7 MINC : メモリインクリメントモード

このビットは、指定されたメモリへの各 DMA 転送のインクリメントモードを定義します。

メモリ間モードでは、このフィールドは DIR = 1 の場合はメモリ転送元を、DIR = 0 の場合はメモリ転送先を示します。

ペリフェラル間モードでは、このフィールドは DIR = 1 の場合はペリフェラル転送元を、DIR = 0 の場合はペリフェラル転送先を示します。

0 : 無効

1 : 有効

注 : このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 6 PINC : ペリフェラルインクリメントモード

このビットは、指定されたペリフェラルへの各 DMA 転送のインクリメントモードを定義します。

メモリ間モードでは、このフィールドは DIR = 1 の場合はメモリ転送先を、DIR = 0 の場合はメモリ転送元を示します。

ペリフェラル間モードでは、このフィールドは DIR = 1 の場合はペリフェラル転送先を、DIR = 0 の場合はペリフェラル転送元を示します。

0 : 無効

1 : 有効

注 : このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 5 CIRC : サーキュラモード

0 : 無効

1 : 有効

注 : このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 4 DIR : データ転送方向

このビットは、必ず"メモリからペリフェラル"モードおよび"ペリフェラルからメモリ"モードでセットしてください。

0 : ペリフェラルからの読出し

– 転送元属性は、PSIZE と PINC、および DMA_CPARx レジスタで定義します。この条件は、メモリ間モードでも有効です。

– 転送先属性は、MSIZE および MINC に加えて DMA_CMARx レジスタによって定義されます。この条件は、ペリフェラル間モードでも有効です。

1 : メモリからの読出し

– 転送先属性は、PSIZE と PINC、および DMA_CPARx レジスタで定義します。この条件は、メモリ間モードでも有効です。

– 転送元属性は、MSIZE および MINC に加えて DMA_CMARx レジスタによって定義されます。この条件は、ペリフェラル間モードでも有効です。

注 : このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

ビット 3 TEIE : 転送エラー割込みイネーブル

0 : 無効

1 : 有効

注： このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用ではありません。

ビット 2 HTIE : 1/2 転送割込み有効化

0 : 無効

1 : 有効

注： このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用ではありません。

ビット 1 TCIE : 転送完了割込み有効化

0 : 無効

1 : 有効

注： このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用ではありません。

ビット 0 EN : チャンネル有効化

チャンネル転送エラーが発生すると、このビットはハードウェアによってクリアされます。DMA_ISR レジスタの TEIFx ビットがクリアされるまでは (DMA_IFCR レジスタの CTEIFx ビットをセットすることによって)、このビットをソフトウェアによって再セット (チャンネル x の再起動) することはできません。

0 : 無効

1 : 有効

注： このビットは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)

13.6.4 DMA チャンネル x 転送データ数レジスタ (DMA_CNDTRx)

アドレス・オフセット : $0x0C + 0x14 * (x - 1)$ 、(x = 1~7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDT[17:16]	
														r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:0 **NDT[17:0]** : 転送データ数 (0~2¹⁸ - 1)

チャンネルが有効な場合、このフィールドはハードウェアによって更新されます。

- このフィールドは、書込み転送に続く各シングル DMA 読み出し後にデクリメントされ、残りの転送データ項目数を示します。
- チャンネルがサーキュラモードでない場合 (DMA_CCRx レジスタの CIRC = 0)、プログラムされた転送データ数に達すると、このフィールドはゼロに保持されます。
- チャンネルがサーキュラモードの場合 (CIRC = 1)、転送完了時に、このフィールドには前もってプログラムされた値が自動的に再ロードされます。

このフィールドがゼロの場合、チャンネルの状態 (有効/無効) にかかわらず、転送は処理できません。

注: このフィールドは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)
 チャンネルが有効な場合 (EN = 1) は書き込まないでください。
 チャンネルが有効な場合 (EN = 1) は読み出し専用です。

13.6.5 DMA チャンネル x ペリフェラルアドレスレジスタ (DMA_CPARx)

アドレス・オフセット : 0x10 + 0x14 * (x - 1)、(x = 1~7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:0 **PA[31:0]** : ペリフェラルアドレス

このビットは、データの読み出し/書込みが行われるペリフェラルデータレジスタのベースアドレスを含みます。

PSIZE[1:0] = 01 (16 ビット) の場合、PA[31:0] のビット 0 は無視されます。アクセスは、自動的にハーフワードアドレスにアライメントされます。

PSIZE = 10 (32 ビット) の場合、PA[31:0] のビット 1 および 0 は無視されます。アクセスは、自動的にワードアドレスにアライメントされます。

メモリ間モードでは、このレジスタは DIR = 1 の場合はメモリ転送先アドレスを、DIR = 0 の場合はメモリ転送元アドレスを示します。

ペリフェラル間モードでは、このレジスタは DIR = 1 の場合はペリフェラル転送先アドレスを、DIR = 0 の場合はペリフェラル転送元アドレスを示します。

注: このレジスタは、ソフトウェアによってセット/クリアされます。(チャンネルが特権/セキュアモードの場合は特権/セキュアソフトウェア)
 チャンネルが有効な場合 (EN = 1) は書き込まないでください。
 チャンネルが有効な場合 (EN = 1) は読み出し専用です。

13.6.6 DMA チャンネル x メモリアドレスレジスタ (DMA_CMARx)

アドレス・オフセット : $0x14 + 0x14 * (x - 1)$ 、(x = 1~7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **MA[31:0]** : ペリフェラルアドレス

このビットは、データの読出し／書込みが行われるメモリのベースアドレスを含みます。

MSIZE[1:0] = 01 (16 ビット) の場合、MA[31:0] のビット 0 は無視されます。アクセスは、自動的にハーフワードアドレスにアライメントされます。

MSIZE = 10 (32 ビット) の場合、MA[31:0] のビット 1 および 0 は無視されます。アクセスは、自動的にワードアドレスにアライメントされます。

メモリ間モードでは、このレジスタは DIR = 1 の場合はメモリ転送元アドレスを、DIR = 0 の場合はメモリ転送先アドレスを示します。

ペリフェラル間モードでは、このレジスタは DIR = 1 の場合はペリフェラル転送元アドレスを、DIR = 0 の場合はペリフェラル転送先アドレスを示します。

注 : このレジスタは、ソフトウェアによってセット／クリアされます。(チャンネルが特権／セキュアモードの場合は特権／セキュアソフトウェア)

チャンネルが有効な場合 (EN = 1) は書き込まないでください。

チャンネルが有効な場合 (EN = 1) は読出し専用です。

13.6.7 DMA レジスタマップ

表 81. DMA レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x000	DMA_ISR	Res	Res	Res	Res	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1	
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x004	DMA_IFCR	Res	Res	Res	Res	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	DSEC	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x008	DMA_CCR1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x00C	DMA_CNDTR1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																	
0x010	DMA_CPAR1	PA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x014	DMA_CMAR1	MA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x018	予約済みです。	予約済み																																
0x01C	DMA_CCR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x020	DMA_CNDTR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																	
0x024	DMA_CPAR2	PA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x028	DMA_CMAR2	MA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x02C	予約済みです。	予約済み																																
0x030	DMA_CCR3	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x034	DMA_CNDTR3	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																	
0x038	DMA_CPAR3	PA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x03C	DMA_CMAR3	MA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x040	予約済みです。	予約済み																																
0x044	DMA_CCR4	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x048	DMA_CNDTR4	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res		
	リセット値																																	
0x04C	DMA_CPAR4	PA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x050	DMA_CMAR4	MA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x054	予約済みです。	予約済み																																



表 81. DMA レジスタマップとリセット値 (続き)

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x058	DMA_CCR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN					
	リセット値												0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x05C	DMA_CNDTR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDT[17:0]																
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x060	DMA_CPAR5	PA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x064	DMA_CMAR5	MA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x068	予約済みです。	予約済み																																	
0x06C	DMA_CCR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN					
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x070	DMA_CNDTR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDT[17:0]																
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x074	DMA_CPAR6	PA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x078	DMA_CMAR6	MA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x07C	予約済みです。	予約済み																																	
0x080	DMA_CCR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN					
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x084	DMA_CNDTR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDT[17:0]																
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x088	DMA_CPAR7	PA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x08C	DMA_CMAR7	MA[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

14 DMA リクエストマルチプレクサ (DMAMUX)

14.1 概要

ペリフェラルは DMA リクエスト信号の設定による DMA 転送のリクエストを示します。DMA リクエストは、DMA 確認応答信号を生成する DMA コントローラで処理されるまで保留され、対応する DMA リクエスト信号はデアサートされます。

本書では、DMA リクエスト/確認応答プロトコルに必要な一連の制御信号を明示的に示したり説明したりしていませんが、これは DMA リクエストラインとして参照します。

DMAMUX リクエストマルチプレクサにより、製品のペリフェラルと DMA コントローラの間で DMA リクエストラインをルーティングすることができます。ルーティング機能は、プログラム可能なマルチチャンネル DMA リクエストラインマルチプレクサにより確保されます。各チャンネルは、DMAMUX 同期入力のイベントで無条件に、または同期的に一意の DMA リクエストラインを選択します。DMAMUX は、入カトリガ信号のプログラム可能なイベントからの DMA リクエストジェネレータとしても使用できます。

DMAMUX 構成の数およびそれらの主な特性は、[セクション 14.3.1](#) で指定されています。

ペリフェラルからの DMA リクエストラインおよび DMAMUX リクエストジェネレータ出力への DMAMUX リクエストマルチプレクサ入力の割り当て、DMA コントローラチャンネルへの DMAMUX リクエストマルチプレクサ出力の割り当て、および内部および外部信号への DMAMUX 同期およびトリガ入力の割り当ては、製品の実装に依存しています。詳細については、[セクション 14.3.2](#) を参照してください。

14.2 DMAMUX の主な機能

- 14 チャンネルのプログラム可能な DMA リクエストラインマルチプレクサ出力
- 4 チャンネルの DMA リクエストジェネレータ
- 21 の DMA リクエストジェネレータへのトリガ入力
- 21 の同期入力
- DMA リクエストジェネレータチャンネル：
 - DMA リクエストトリガ入力セクタ
 - DMA リクエストカウンタ
 - 選択された DMA リクエストトリガ入力のイベントオーバーランフラグ
- DMA リクエストラインマルチプレクサチャンネル出力：
 - 38 のペリフェラルからの DMA リクエストラインの入力
 - 1 つの DMA リクエストライン出力
 - 同期入力セクタ
 - DMA リクエストカウンタ
 - 選択された同期入力のイベントオーバーランフラグ
 - DMA リクエスト連鎖のための 1 つのイベント出力
- セキュリティのサポート：
 - チャンネルレベルで独立な AHB セキュアおよび非セキュア DMA 転送のサポート
 - 設定可能な割込みイベントにより、非セキュアなソフトウェアのアクセスからセキュアなリソース（レジスタ、レジスタフィールド）を保護するセキュリティ対応の AHB スレーブポート。
 - それぞれセキュアおよび非セキュアチャンネルのいずれかから生じる 2 つのセキュアおよび非セキュア割込みリクエスト。各チャンネルイベントは、それぞれ、セキュアおよび非セキュアチャンネルに関連付けられたトリガまたは同期オーバーランの 2 つの DMAMUX 入力イベントのいずれかから発生
- 特権／非特権のサポート：
 - チャンネルレベルで独立な AHB 特権および非特権 DMA 転送のサポート
 - 特権対応の AHB スレーブポート

14.3 DMAMUX の実装

14.3.1 DMAMUX1 の構成

DMAMUX1 は、次の表に記載されているハードウェア設定パラメータで構成されています。

表 82. DMAMUX の構成

機能	DMAMUX1
DMAMUX 出力リクエストチャンネルの数	14
DMAMUX リクエストジェネレータチャンネルの数	4
DMAMUX リクエストトリガ入力の数	21
DMAMUX 同期入力の数	21
DMAMUX ペリフェラルリクエスト入力の数	38
DMAMUX のセキュリティサポート	あり

14.3.2 DMAMUX1 の配置

DMAMUX1 へのリソースの配置は配線接続されています。

DMAMUX1 は、DMA1 および DMA2 で使用されます。

- DMAMUX1 のチャンネル 0 から 6 は、DMA1 のチャンネル 1 から 7 に接続されます。
- DMAMUX1 のチャンネル 7 から 13 は、DMA2 のチャンネル 1 から 7 に接続されます。

表 83. DMAMUX1 : リソースへのマルチプレクサ入力の割り当て

DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース
1	dmamux_req_gen0	22	LPUART1_TX	43	予約済
2	dmamux_req_gen1	23	TIM1_CH1	44	予約済
3	dmamux_req_gen2	24	TIM1_CH2	45	予約済
4	dmamux_req_gen3	25	TIM1_CH3	46	予約済
5	ADC	26	TIM1_CH4	47	予約済
6	DAC_OUT1	27	TIM1_UP	48	予約済
7	SPI1_RX	28	TIM1_TRIG	49	予約済
8	SPI1_TX	29	TIM1_COM	50	予約済
9	SPI2_RX	30	TIM2_CH1	51	予約済
10	SPI2_TX	31	TIM2_CH2	52	予約済
11	I2C1_RX	32	TIM2_CH3	53	予約済
12	I2C1_TX	33	TIM2_CH4	54	予約済
13	I2C2_RX	34	TIM2_UP	55	予約済
14	I2C2_TX	35	TIM16_CH1	56	予約済
15	I2C3_RX	36	TIM16_UP	57	予約済
16	I2C3_TX	37	TIM17_CH1	58	予約済

表 83. DMAMUX1 : リソースへのマルチプレクサ入力の割り当て (続き)

DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース
17	USART1_RX	38	TIM17_UP	59	予約済
18	USART1_TX	39	AES_IN	60	予約済
19	USART2_RX	40	AES_OUT	61	予約済
20	USART2_TX	41	SUBGHZSPI_RX	62	予約済
21	LPUART1_RX	42	SUBGHZSPI_TX	63	予約済

表 84. DMAMUX1 : リソースへのトリガ入力の割り当て

トリガ入力	リソース	トリガ入力	リソース
0	EXTI ライン 0	16	dmamux_evt0
1	EXTI ライン 1	17	dmamux_evt1
2	EXTI ライン 2	18	LPTIM1_OUT
3	EXTI ライン 3	19	LPTIM2_OUT
4	EXTI ライン 4	20	LPTIM3_OUT
5	EXTI ライン 5	21	予約済
6	EXTI ライン 6	22	予約済
7	EXTI ライン 7	23	予約済
8	EXTI ライン 8	24	予約済
9	EXTI ライン 9	25	予約済
10	EXTI ライン 10	26	予約済
11	EXTI ライン 11	27	予約済
12	EXTI ライン 12	28	予約済
13	EXTI ライン 13	29	予約済
14	EXTI ライン 14	30	予約済
15	EXTI ライン 15	31	予約済

表 85. DMAMUX1 : リソースへの同期入力の割り当て

同期入力	リソース	同期入力	リソース
0	EXTI ライン 0	16	dmamux_evt0
1	EXTI ライン 1	17	dmamux_evt1
2	EXTI ライン 2	18	LPTIM1_OUT
3	EXTI ライン 3	19	LPTIM2_OUT
4	EXTI ライン 4	20	LPTIM3_OUT
5	EXTI ライン 5	21	予約済
6	EXTI ライン 6	22	予約済
7	EXTI ライン 7	23	予約済
8	EXTI ライン 8	24	予約済

表 85. DMAMUX1 : リソースへの同期入力の割り当て (続き)

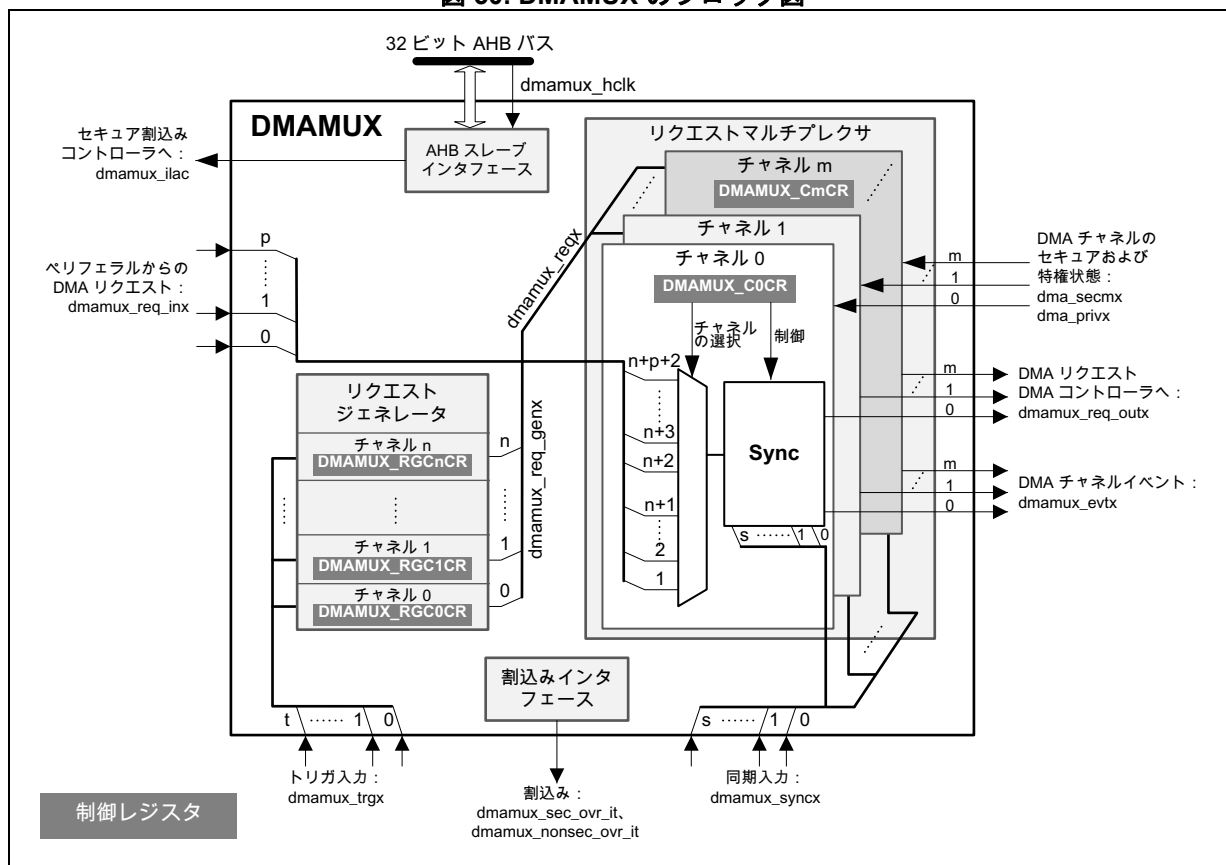
同期入力	リソース	同期入力	リソース
9	EXTI ライン 9	25	予約済
10	EXTI ライン 10	26	予約済
11	EXTI ライン 11	27	予約済
12	EXTI ライン 12	28	予約済
13	EXTI ライン 13	29	予約済
14	EXTI ライン 14	30	予約済
15	EXTI ライン 15	31	予約済

14.4 DMAMUX の機能説明

14.4.1 DMAMUX ブロック図

図 50 に DMAMUX ブロック図を示します。

図 50. DMAMUX のブロック図



DMAMUX には、リクエストラインマルチプレクサとリクエストラインジェネレータの 2 つの主なサブブロックがあります。

実装時の割り当ては次のとおりです。

- ペリフェラル (dmamux_req_inx) および DMAMUX リクエストジェネレータサブブロックのチャンネル (dmamux_req_genx) からの DMAMUX リクエストマルチプレクササブブロック入力 (dmamux_reqx)
- DMA コントローラのチャンネルへの DMAMUX リクエスト出力 (dmamux_req_outx)
- DMA リクエストトリガ入力への内部または外部信号 (dmamux_trgx)
- 同期入力への内部または外部信号 (dmamux_syncx)

14.4.2 DMAMUX 信号

表 86 に DMAMUX 信号をリストします。

表 86. DMAMUX 信号

信号名	説明
dmamux_hclk	DMAMUX AHB クロック
dmamux_req_inx	DMAMUX DMA リクエストライン入力 (ペリフェラルから)
dmamux_trgx	DMAMUX DMA リクエストトリガ入力 (リクエストジェネレータサブブロックへ)
dmamux_req_genx	DMAMUX リクエストジェネレータサブブロックチャンネル出力
dmamux_reqx	DMAMUX リクエストマルチプレクササブブロック入力 (ペリフェラルリクエストおよびリクエストジェネレータチャンネルから)
dmamux_syncx	DMAMUX 同期入力 (リクエストマルチプレクササブブロックへ)
dmamux_req_outx	DMAMUX リクエスト出力 (DMA コントローラへ)
dma_secmx	各 DMA コントローラリクエストチャンネルのセキュアモード
dma_privx	各 DMA コントローラリクエストチャンネルの特権モード
dmamux_evtx	DMAMUX イベント出力
dmamux_non_sec_ovr_it	DMAMUX 非セキュアオーバーラン割込み
dmamux_sec_ovr_it	DMAMUX セキュアオーバーラン割込み
dmamux_illegal_access_it	DMAMUX セキュリティ不正アクセス出力 (セキュア割込みコントローラへ)

14.4.3 DMAMUX チャンネル

DMAMUX チャンネルは、リクエストマルチプレクサで選択された入力に応じて、追加の DMAMUX リクエストジェネレータチャンネルを含む、DMAMUX リクエストマルチプレクサチャンネルです。

DMAMUX リクエストマルチプレクサチャンネルは、DMA コントローラの単一チャンネルへの接続専用です。

チャンネル設定手順

DMAMUX の x チャンネルと関連する DMA チャンネル y の両方を設定するには、次のシーケンスに従ってください。

1. DMA チャンネル y 設定レジスタのセキュア制御ビットへのセキュア書込みアクセスによって DMA チャンネル y をセキュアまたは非セキュアに設定します。また、DMA チャンネル y の設定レジスタの特権制御ビットへの特権書込みアクセスによって DMA チャンネル y を特権または非特権に設定します。
2. DMA チャンネル y をセットし、チャンネル y の有効化を除くすべての設定を行います。
3. 関連する DMAMUX y チャンネルをセットし、すべての設定を行います。

- 最後に、DMA y チャンネルレジスタの EN ビットをセットして DMA チャンネル y を有効にします。
- DMA チャンネル y をセットし、チャンネル y の有効化を除くすべての設定を行います。
- 関連する DMAMUX y チャンネルをセットし、すべての設定を行います。
- 最後に、DMA y チャンネルレジスタの EN ビットをセットして DMA チャンネル y を有効にします。

14.4.4 DMAMUX セキュア／非セキュアチャンネル

DMAMUX はセキュリティ対応のペリフェラルであり、その全リソースを、常に 2 つのワールド（セキュアワールドと通常／非セキュアワールド）のどちらか一方に存在するようにパーティション分割します。

DMAMUX セキュリティはチャンネルレベルでソフトウェアによって制御されます。どの DMAMUX チャンネルも、DMA コントローラの関連チャンネルのセキュアレジスタビットで設定されたとおりに、セキュアステートまたは非セキュアステートになります。

注： 接続された DMAMUX チャンネルを設定する前に、最初に DMA コントローラのチャンネルをセキュアまたは非セキュアとして設定する必要があります。

注： セキュアなソフトウェアは、どの DMAMUX レジスタにも、セキュアであろうと非セキュアであろうと、アクセスできます。非セキュアなソフトウェアは、非セキュアな DMAMUX レジスタまたは非セキュアなレジスタフィールドだけにアクセスが制限されます。

セキュアな読み出し／書き込みアクセスとは、（アドレスサンプリングのクロックサイクルで）信号 HNONSEC = 0 を伴う AHB スレーブ上の読み出し／書き込みトランザクションです。それとは逆に、非セキュアな読み出し／書き込みアクセスとは、信号 HNONSEC = 1 を伴う AHB スレーブ上の読み出し／書き込みトランザクションです。チャンネルがセキュアモードに設定されているとき、その設定レジスタのフィールドはセキュアなリソースになります。つまり、

- （セキュアレジスタの）フィールドへの非セキュアな読み出しアクセスには強制的に 0 が戻ります。
- （セキュアレジスタの）フィールドへの非セキュアな書き込みアクセスは何の効果もありません。

さらに、非セキュアなソフトウェアが下記のセキュアな DMAMUX レジスタにアクセスしようとする時、セキュア割込みコントローラへ不正アクセス信号がパルスとして生成されます。

- リクエストマルチプレクサチャンネル x がセキュアな場合、DMAMUX_CxCR
- リクエストジェネレータチャンネル x がセキュアな場合、DMAMUX_RGxCR

注： DMAMUX チャンネルがすべてセキュアに設定されていても、グローバル割込みステータスおよびクリアレジスタに非セキュアなアクセスがあった時に、セキュア不正アクセス信号がアサートされることはありません。

14.4.5 DMAMUX 特権／非特権チャンネル

DMAMUX は、対象の DMA 接続チャンネルの特権または非特権状態を認識しており、それによって、その DMAMUX リクエストチャンネルを管理します。

注： 接続された DMAMUX チャンネルを設定する前に、最初に DMA コントローラのチャンネルの特権または非特権として設定する必要があります。

注： 特権のあるソフトウェアは、どの DMAMUX レジスタにも、特権であろうと非特権であろうと、アクセスできます。非特権のソフトウェアは、非特権の DMAMUX レジスタまたはレジスタフィールドだけにアクセスが制限されます。

特権のあるソフトウェアが DMA チャンネル x を特権として設定すると、特権のないソフトウェアは関連する DMAMUX チャンネルのレジスタまたはレジスタフィールドにアクセスできません（書き込みは無視され、読み出しにはゼロが返ります）。

14.4.6 DMAMUX リクエストラインマルチプレクサ

DMAMUX リクエストマルチプレクサには複数のチャンネルがあるため、DMA リクエストラインと呼ばれる DMA リクエスト／確認応答制御信号の実際のルーティングが確保されます。

各DMA リクエストラインは、DMAMUX リクエストラインマルチプレクサのすべてのチャンネルにそれぞれ並列に接続されます。

DMA リクエストは、ペリフェラルまたは DMAMUX リクエストジェネレータのどちらかから供給されます。

DMAMUX リクエストラインマルチプレクサチャンネル x は、DMAMUX_CxCR レジスタの DMAREQ_ID フィールドの設定どおり、DMA リクエストライン番号を選択します。

注： DMAREQ_ID フィールドが null 値の場合、いずれの DMA リクエストラインも選択されていません。

注意： 2 つの接続された DMA チャンネルが同時にはアクティブにならないことがアプリケーションで保証される場合を除き、同じ非 null DMAREQ_ID を異なる x および y DMAMUX リクエストマルチプレクサチャンネル (DMAMUX_CxCR および DMAMUX_CyCR 経由) にプログラムしてはなりません。

DMA リクエスト選択の最上部では、必要に応じて同期モードおよび／またはイベント生成を設定および有効化できます。

同期モードおよびチャンネルイベント生成

各 DMAMUX リクエストラインマルチプレクサチャンネル x は、DMAMUX_CxCR レジスタの同期有効化 (SE) ビットを設定することで、個別に同期することができます。

DMAMUX には複数の同期入力があります。同期入力は、リクエストマルチプレクサのすべてのチャンネルに並列に接続されます。

同期入力は、特定のチャンネル x の DMAMUX_CxCR レジスタの SYNC_ID フィールドを介して選択されます。

チャンネルが同期モードの場合、DMAMUX_CxCR レジスタの SPOL[1:0] フィールドを介して、選択された入力同期信号でプログラム可能な立ち上がり／立ち下がりエッジを検出すると、選択された DMA リクエストラインの入力はマルチプレクサチャンネル出力に伝播されます。

さらに、内部的に DMAMUX リクエストマルチプレクサにはプログラム可能な DMA リクエストカウンタもあります。これは、チャンネルリクエスト出力生成あるいはイベント生成にも使用されます。チャンネル x 出力でのイベント生成は、DMAMUX_CxCR レジスタの EGE ビット (イベント生成イネーブル) を使用して有効化されます。

図 52 に示すように、同期入力の検出されたエッジで、保留中の選択された DMA リクエストラインの入力は DMAMUX マルチプレクサチャンネル x 出力に接続されます。

注： 保留中の選択された DMA リクエストラインがないときに同期イベントが発生した場合、そのイベントは破棄されます。続いてアサートされた入力リクエストラインは、同期イベントが再度発生するまで DMAMUX マルチプレクサチャンネル出力に接続されません。

これ以降、接続されている DMAMUX リクエストが DMA コントローラによって処理されるたびに (処理されたリクエストはデアサートされます)、DMAMUX リクエストカウンタがデクリメントされます。アンダーランの際、DMA リクエストカウンタには DMAMUX_CxCR レジスタの NBREQ フィールドの値が自動的にロードされ、DMA リクエストラインの入力はマルチプレクサチャンネル x 出力から切断されます。

このため、検出された同期イベントに続いてマルチプレクサチャンネル x 出力に転送される DMA リクエストの数は、NBREQ フィールドの値に 1 を加えた数と等しくなります。

注： NBREQ フィールド値は、対応するマルチプレクサチャンネル x の SE（同期イネーブル）および EGE（イベント生成イネーブル）ビットの両方が無効である場合にのみ、ソフトウェアによって書き込むことができます。

図 51. DMAMUX リクエストラインマルチプレクサチャンネルの同期モード

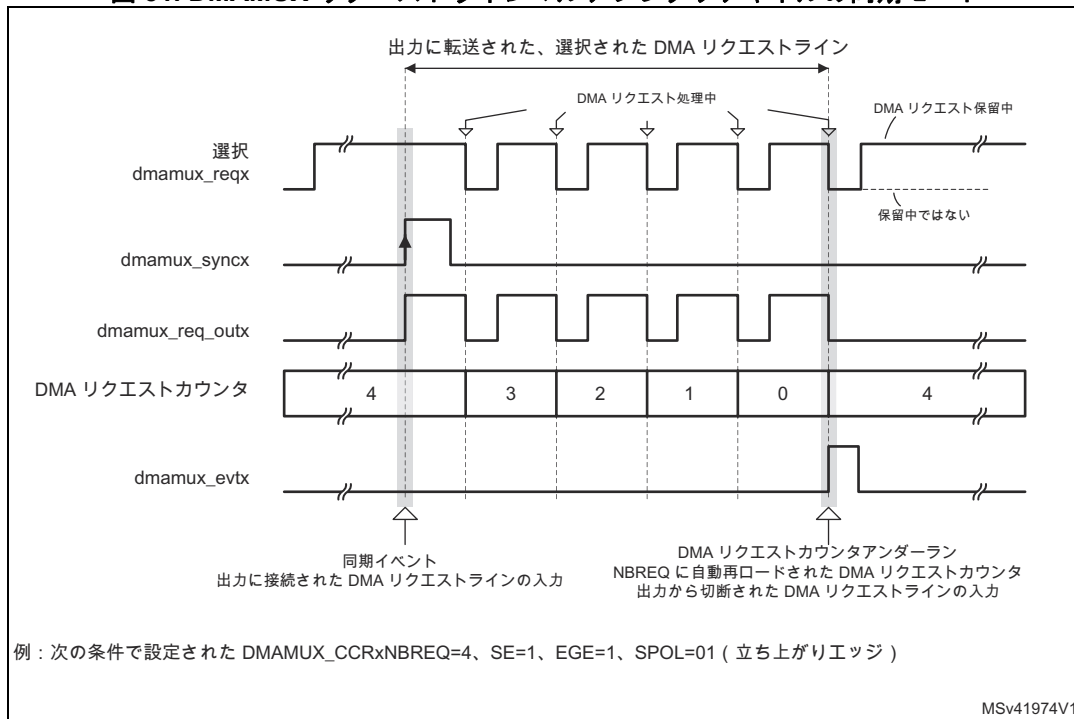


図 52. DMA リクエストラインマルチプレクサチャンネルのイベント生成

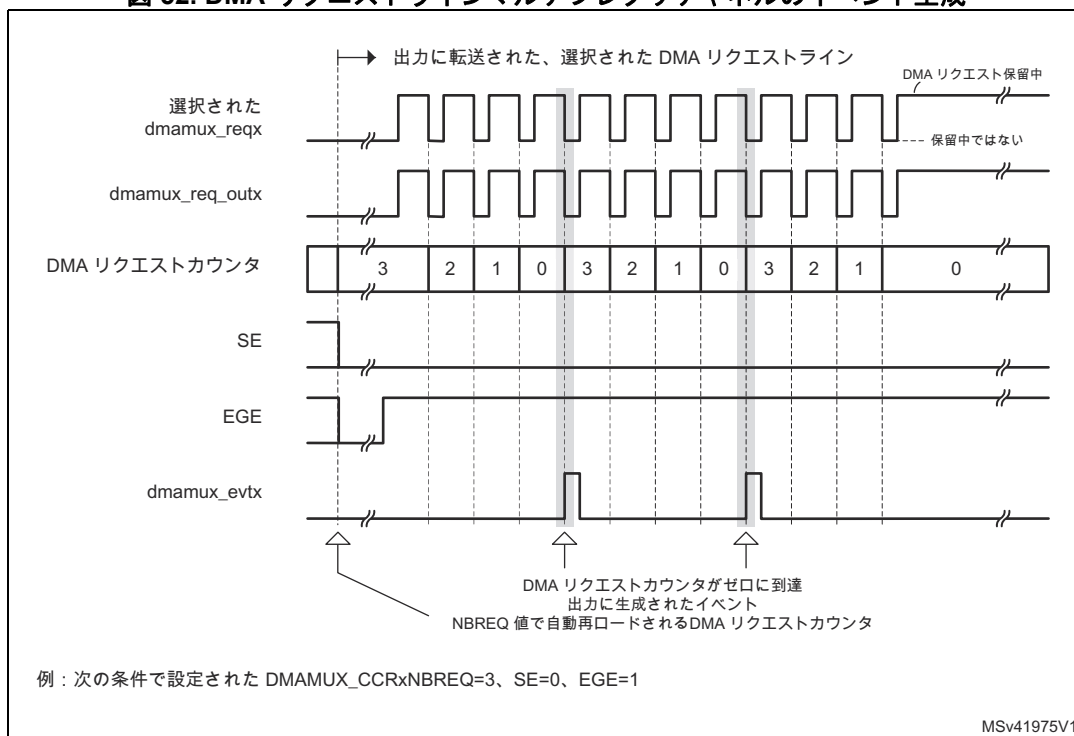


図 51 および図 52 に示したように、EGE が有効である場合、DMA リクエストカウンタにプログラムされた NBREQ フィールドの値が自動的に再ロードされると、マルチプレクサチャネルは 1 つの AHB クロックサイクルのパルスとしてチャネルイベントを生成します。

注： EGE が有効で NBREQ = 0 の場合、各 DMA リクエストが処理されるたびにイベントが発生します。

注： 同期イベント（エッジ）は、エッジ後の状態が 2 AHB クロックサイクルよりも長く安定している場合に検出されます。

DMAMUX_CxCR レジスタに書き込む際、同期イベントは 3 AHB クロックサイクルの間、マスクされます。

同期オーバーランおよび割込み

リクエストカウンタアンダーラン（DMAMUX_CxCR レジスタの NBREQ フィールドを介してプログラムされる内部リクエストカウンタ）の前に新しい同期イベントが発生すると、DMAMUX_CSR ステータスレジスタの同期オーバーランフラグビット SOFx がセットされます。

注： リクエストマルチプレクサチャネル x 同期は、DMA コントローラの関連するチャネルの使用完了時に無効にする必要があります（DMAMUX_CxCR.SE=0）。そうでない場合、新しく同期イベントを検出したときに、DMA コントローラから受信する DMA 確認応答の欠落（すなわち、未処理のリクエスト）によって同期オーバーランが発生します。

オーバーランフラグ SOFx は、DMAMUX_CFR DMAMUX_CCFR レジスタの関連するクリア同期オーバーランフラグビット CSOFx をセットすることでリセットされます。

DMAMUX_CxCR レジスタの同期オーバーラン割込みイネーブルビット SOIE がセットされている場合、同期オーバーランフラグがセットされると、割込みが生成されます。

14.4.7 DMAMUX リクエストジェネレータ

DMAMUX リクエストジェネレータでは、DMA リクエストトリガ入力のトリガイイベントに続いて、DMA リクエストを生成します。

DMAMUX リクエストジェネレータには複数のチャネルがあります。DMA リクエストトリガ入力は、すべてのチャネルに並列に接続されます。

DMAMUX リクエストジェネレータチャネルの出力は、DMAMUX リクエストラインマルチプレクサへの入力です。

各 DMAMUX リクエストジェネレータチャネル x には、対応する DMAMUX_RGxCR レジスタにイネーブルビット GE（ジェネレータイネーブル）があります。

DMAMUX リクエストジェネレータチャネル x の DMA リクエストトリガ入力は、対応する DMAMUX_RGxCR レジスタの SIG_ID（トリガ信号 ID）フィールドによって選択されます。

DMA リクエストトリガ入力のトリガイイベントは立ち上がりエッジと立ち下がりエッジのいずれかです。アクティブなエッジは対応する DMAMUX_RGxCR レジスタの GPOL（ジェネレータ極性）フィールドによって選択されます。

トリガイイベント時、対応するジェネレータチャネルでは出力時に DMA リクエストの生成を開始します。DMAMUX で生成されたリクエストが接続されている DMA コントローラによって処理されるたびに（処理されたリクエストはデアサートされます）、内蔵（DMAMUX リクエストジェネレータ内の）DMA リクエストカウンタがデクリメントされます。アンダーランの際、リクエストジェネレータチャネルは DMA リクエストの生成を停止し、次のトリガイイベント時に DMA リクエストカウンタはプログラムされた値に自動的に再ロードされます。

このため、トリガイイベント後に生成される DMA リクエストの数は GNBREQ + 1 です。

注： GNBREQ フィールド値は、対応するジェネレータチャンネル x のイネーブル GE ビットが無効である場合にのみ、ソフトウェアによって書き込まれなければなりません。

ハードウェア書き込み保護はありません。

トリガイベント（エッジ）は、エッジ後の状態が 2 AHB クロックサイクルよりも長く安定している場合に検出されます。

DMAMUX_RGxCR レジスタに書き込む際、トリガイベントは 3 AHB クロックサイクルの間、マスクされます。

トリガオーバーランおよび割込み

DMAMUX リクエストジェネレータカウンタアンダーラン (DMAMUX_RGxCR レジスタの GNBREQ フィールドを介してプログラムされる内部カウンタ) の前に新しい DMA リクエストトリガイベントが発生し、かつ、リクエストジェネレータチャンネル x が GE によって有効化されている場合、リクエストトリガイベントオーバーランフラグビット OFx は、ハードウェアによってステータス DMAMUX_RGSR レジスタにアサートされます。

注： リクエストジェネレータチャンネル x は、DMA コントローラの関連するチャンネルの使用完了時に無効にする必要があります (DMAMUX_RGxCR.GE = 0)。そうでない場合、新しくトリガイベントを検出したときに、DMA から受信する確認応答の欠落 (すなわち、未処理のリクエスト) によってトリガオーバーランが発生します。

オーバーランフラグ OFx は、DMAMUX_RGCFR レジスタの関連するクリアオーバーランフラグビット COFx をセットすることでリセットされます。

DMAMUX_RGxCR レジスタの DMA リクエストトリガイベントオーバーラン割込みイネーブルビット OIE がセットされている場合、DMAMUX リクエストトリガオーバーランフラグによって、割込みが生成されます。

14.5 DMAMUX 割込み

次の場合に割込みを生成することができます。

- 各 DMA リクエストラインマルチプレクサチャンネルの同期イベントオーバーラン
- 各 DMA リクエストジェネレータチャンネルのトリガイベントオーバーラン

それぞれのケースで、チャンネルごとの個別の割込みイネーブル、ステータス、およびクリアフラグレジスタビットを使用できます。結果として、対象の DMAMUX チャンネルのセキュリティに応じて、同じグローバルステータスおよびクリアフラグ割込みレジスタ内に、セキュアおよび非セキュアのステータスおよびクリアフラグビットフィールドが混在します。

DMAMUX チャンネルのセキュリティに応じて、生成される可能性のある割込み信号には 2 つの異なるセキュア信号と非セキュア信号があります。

表 87. DMAMUX 割込み

割込み信号	割込みイベント	イベントフラグ	クリアビット	イネーブルビット
dmamux_nonsec_ovr_it	DMAMUX リクエストラインマルチプレクサの非セキュアチャンネル x での同期イベントオーバーラン	SOFx	CSOFx	SOIE
	DMAMUX リクエストジェネレータの非セキュアチャンネル x でのトリガイベントオーバーラン	OFx	COFx	OIE
dmamux_sec_ovr_it	DMAMUX リクエストラインマルチプレクサのセキュアチャンネル x での同期イベントオーバーラン	SOFx	CSOFx	SOIE
	DMAMUX リクエストジェネレータのセキュアチャンネル x でのトリガイベントオーバーラン	OFx	COFx	OIE

14.6 DMAMUX レジスタ

DMAMUX ベースアドレスについては、レジスタ境界アドレスを記載した表を参照してください。

DMAMUX レジスタには、バイト (8 ビット)、ハーフワード (16 ビット)、またはワード (32 ビット) でアクセスできます。アドレスはデータサイズに合わせる必要があります。

14.6.1 DMAMUX リクエストラインマルチプレクサチャンネル x 設定レジスタ (DMAMUX_CxCR)

アドレス・オフセット : $0x000 + 0x04 * x$ ($x = 0 \sim 13$)

リセット値 : 0x0000 0000

このレジスタには、接続された DMA コントローラチャンネル y のセキュアモードビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャンネル x のセキュアモードに従って、非セキュアまたはセキュアな書込みによって書き込みます。ここでは、DMAMUX x チャンネル出力は DMA の y チャンネルに接続されていると仮定します (DMAMUX マッピング実装のセクションを参照してください)。

このレジスタには、接続された DMA コントローラチャンネル y の特権制御ビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャンネル x の特権モードに従って、特権または非特権の読み出し/書込みによってアクセスします。ここでは、DMAMUX x チャンネル出力は DMA の y チャンネルに接続されていると仮定します (DMAMUX マッピング実装のセクションを参照してください)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SYNC_ID[4:0]				NBREQ[4:0]				SPOL[1:0]		SE		
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	DMAREQ_ID[7:0]							
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **SYNC_ID[4:0]** : 同期識別

同期入力を選択します (を参照)。

ビット 23:19 **NBREQ[4:0]** : 転送する DMA リクエストの数から 1 を引いた数

同期イベントの後で DMA コントローラに転送する DMA リクエストの数、および/または出カイベントが生成される前の DMA リクエストの数を定義します。

このフィールドは、SE と EGE ビットの両方がローの場合にのみ書き込まれます。

ビット 18:17 **SPOL[1:0]** : 同期極性

選択された同期入力のエッジ極性を定義します。

00 : イベントなし、つまり同期または検出なし。

01 : 立ち上がりエッジ

10 : 立ち下がりエッジ

11 : 立ち上がりおよび立ち下がりエッジ

ビット 16 **SE** : 同期有効化

0 : 同期は無効です。

1 : 同期は有効です。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EGE** : イベント生成イネーブル

0 : イベント生成は無効です。

1 : イベント生成は有効です。

ビット 8 **SOIE** : 同期オーバーラン割込みイネーブル

0 : 割込みは無効です。

1 : 割込みは有効です。

ビット 7:0 **DMAREQ_ID[7:0]** : DMA リクエストID

DMA リクエストの入力を選択しますリソースへのマルチプレクサ入力の割当てについては、DMAMUX の表を参照してください。

14.6.2 DMAMUX リクエストラインマルチプレクサ割込みチャンネルステータスレジスタ (DMAMUX_CSR)

アドレス・オフセット : 0x080

リセット値 : 0x0000 0000

このレジスタには、非セキュアまたはセキュアな読出しにより、ビットレベルでアクセスしなければなりません。このとき、接続された DMA コントローラチャンネル *y* のセキュアモードビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャンネル *x* のセキュアモードに従い、また DMAMUX の *x* チャンネル出力が DMA の *y* チャンネルに接続されているものとみなします (DMAMUX の配置の実装セクションを参照)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SOF13	SOF12	SOF11	SOF10	SOF9	SOF8	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **SOF[13:0]** : 同期オーバーランイベントフラグ

このフラグは、DMA リクエストカウンタの値が NBREQ よりも低い場合に、DMA リクエストラインマルチプレクサチャンネル *x* で同期イベントが発生したときにセットされます。

このフラグは、対応する DMAMUX_CFR DMAMUX_CCFR レジスタの CSOF_x ビットに 1 を書き込むことでクリアされます。

14.6.3 DMAMUX リクエストラインマルチプレクサ割込みチャネルクリアフラグレジスタ (DMAMUX_CCFR)

アドレス・オフセット : 0x084

リセット値 : 0x0000 0000

このレジスタには、非セキュアまたはセキュアな書込みにより、ビットレベルで書き込まなければなりません。このとき、接続された DMA コントローラチャネル y のセキュア制御ビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャネル x のセキュアモードに従い、また DMAMUX の x チャネル出力が DMA の y チャネルに接続されていることを考慮します (DMAMUX の配置の実装セクションを参照)。

このレジスタには、非特権書込みまたは特権書込みにより、ビットレベルで書き込まなければなりません。このとき、接続された DMA コントローラチャネル y の特権制御ビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャネル x の特権モードに従い、また DMAMUX の x チャネル出力が DMA の y チャネルに接続されていることを考慮します (DMAMUX の配置の実装セクションを参照)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CSOF 13	CSOF 12	CSOF 11	CSOF 10	CSOF 9	CSOF 8	CSOF 7	CSOF 6	CSOF 5	CSOF 4	CSOF 3	CSOF 2	CSOF 1	CSOF 0
		w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **CSOF[13:0]** : 同期オーバーランイベントフラグをクリアします。

各ビットに 1 を書き込むと DMAMUX_CSR レジスタの対応するオーバーランフラグ SOF x をクリアします。

14.6.4 DMAMUX リクエストジェネレータチャンネル x 設定レジスタ (DMAMUX_RGxCR)

アドレス・オフセット : $0x100 + 0x04 * x$ ($x = 0 \sim 3$)

リセット値 : 0x0000 0000

このレジスタには、非セキュアまたはセキュアな書込みによって書込みを行います。このとき、このレジスタに割り当てられた対象の DMAMUX リクエストラインマルチプレクサチャンネル y のセキュアモードに従い、また DMAMUX リクエストジェネレータの x チャンネル出力が DMAMUX リクエストラインチャンネルの y チャンネルによって選択されているものとみなします (DMAMUX_CyCR.DMAREQ_ID[7:0] および DMAMUX の配置の実装セクションを参照)。

このレジスタには、非特権書込みまたは特権書込みによって書込みを行います。このとき、このレジスタに割り当てられた対象の DMAMUX リクエストラインマルチプレクサチャンネル y の特権モードに従い、また DMAMUX リクエストジェネレータの x チャンネル出力が DMAMUX リクエストラインチャンネルの y チャンネルによって選択されているものとみなします (DMAMUX_CyCR.DMAREQ_ID[7:0] および DMAMUX の配置の実装セクションを参照)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]				GPOL[1:0]			GE
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
							r/w				r/w	r/w	r/w	r/w	r/w

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:19 **GNBREQ[4:0]** : 生成される DMA リクエストの数 (1 を引く)

トリガイベント後に生成される DMA リクエストの数を定義します。実際に生成される DMA リクエストの数は $GNBREQ + 1$ です。

注 : このフィールドに書き込めるのは、GE ビットが無効なときだけです。

ビット 18:17 **GPOL[1:0]** : DMA リクエストジェネレータトリガ極性

選択されたトリガ入力のエッジ極性を定義します。

00 : イベントなし、つまりトリガ検出も生成もなし。

01 : 立ち上がりエッジ

10 : 立ち下がりエッジ

11 : 立ち上がりおよび立ち下がりエッジ

ビット 16 **GE** : DMA リクエストジェネレータチャンネル x イネーブル

0 : DMA リクエストジェネレータチャンネル x は無効です。

1 : DMA リクエストジェネレータチャンネル x は有効です。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **OIE** : トリガオーバーラン割込みイネーブル

0 : トリガオーバーランイベント発生時の割込みは無効です。

1 : トリガオーバーランイベント発生時の割込みは有効です。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **SIG_ID[4:0]** : 信号 ID

DMA リクエストジェネレータのチャンネル x で使用する DMA リクエストトリガ入力を選択します。

14.6.5 DMAMUX リクエストジェネレータ割込みステータスレジスタ (DMAMUX_RGSR)

アドレス・オフセット : 0x140

リセット値 : 0x0000 0000

このレジスタには、非セキュアまたはセキュアな読出しにより、ビットレベルでアクセスします。このとき、接続された DMA コントローラチャンネル y のセキュアモードビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャンネル x のセキュアモードに従い、また DMAMUX の x チャンネル出力が DMA の y チャンネルに接続されているものとみなします (DMAMUX の配置の実装セクションを参照)。

このレジスタには、非特権読出しまたは特権読出しにより、ビットレベルでアクセスします。このとき、接続された DMA コントローラチャンネル y の特権制御ビットに応じて、対象の DMAMUX リクエストラインマルチプレクサチャンネル x の特権モードに従い、また DMAMUX の x チャンネル出力が DMA の y チャンネルに接続されているものとみなします (DMAMUX の配置の実装セクションを参照)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OF3	OF2	OF1	OF0
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **OF[3:0]** : トリガオーバーランイベントフラグ

このフラグは、リクエストカウンタアンダーラン (DMAMUX_RGxCR レジスタの GNBREQ フィールドを介してプログラムされる内部リクエストカウンタ) の前に、DMA リクエストジェネレータチャンネル x で新しいトリガイベントが発生したときにセットされます。

このフラグは、DMAMUX_RGCFR レジスタの対応する COF x ビットに 1 を書き込むことでクリアされます。

14.6.6 DMAMUX リクエストジェネレータ割込みクリアフラグレジスタ (DMAMUX_RGCFR)

アドレス・オフセット : 0x144

リセット値 : 0x0000 0000

このレジスタには、非セキュアまたはセキュアな書込みによってビットレベルで書込みを行います。このとき、このレジスタに割り当てられた対象の DMAMUX リクエストラインマルチプレクサチャネル y のセキュアモードに従い、また DMAMUX リクエストジェネレータの x チャネル出力が DMAMUX リクエストラインチャネルの y チャネルによって選択されているものとみなします (DMAMUX_CyCR.DMAREQ_ID[7:0] および DMAMUX の配置の実装セクションを参照)。

このレジスタには、非特権書込みまたは特権書込みによってビットレベルで書込みを行います。このとき、このレジスタに割り当てられた対象の DMAMUX リクエストラインマルチプレクサチャネル y の特権モードに従い、また DMAMUX リクエストジェネレータの x チャネル出力が DMAMUX リクエストラインチャネルの y チャネルによって選択されているものとみなします (DMAMUX_CyCR.DMAREQ_ID[7:0] および DMAMUX の配置の実装セクションを参照)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COF3	COF2	COF1	COF0
												w	w	w	w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **COF[3:0]** : トリガオーバーランイベントフラグのクリア

各ビットに 1 を書き込むと DMAMUX_RGSR レジスタの対応するオーバーランフラグ OF x をクリアします。

14.6.7 DMAMUX レジスタマップ

次の表に、DMAMUX レジスタとリセット値の一覧を示します。DMAMUX レジスタベースアドレスについては、レジスタ境界アドレス表を参照してください。

表 88. DMAMUX レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMAMUX_C0CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]						
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x004	DMAMUX_C1CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x008	DMAMUX_C2CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x00C	DMAMUX_C3CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x010	DMAMUX_C4CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x014	DMAMUX_C5CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x018	DMAMUX_C6CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x01C	DMAMUX_C7CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x020	DMAMUX_C8CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x024	DMAMUX_C9CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x028	DMAMUX_C10CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x02C	DMAMUX_C11CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x030	DMAMUX_C12CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x034	DMAMUX_C13CR	Res	Res	Res	SYNC_ID[4:0]				NBREQ[4:0]				SPOL [1:0]	SE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	EGE	SOIE	Res	DMAREQ_ID[6:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0
0x038~0x07C	予約済みです。	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
0x080	DMAMUX_CSR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値																																
0x084	DMAMUX_CCFR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値																																
0x088 - 0x0FC	予約済みです。	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
0x100	DMAMUX_RG0CR	Res	Res	Res	Res	Res	Res	Res	Res	GNBREQ[4:0]				GPOL [1:0]	GE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	リセット値									0	0	0	0	0	0	0	0																



表 88. DMAMUX レジスタマップとリセット値 (続き)

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0x104	DMAMUX_RG1CR	Res	Res	Res	Res	Res	Res	Res	Res	GNBREQ[4:0]				GPOL [1:0]	GE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	OIE	Res	Res	Res	Res	SIG_ID[4:0]								
	リセット値									0	0	0	0	0	0	0										0				0	0	0	0	0					
0x108	DMAMUX_RG2CR	Res	Res	Res	Res	Res	Res	Res	Res	GNBREQ[4:0]				GPOL [1:0]	GE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	OIE	Res	Res	Res	Res	SIG_ID[4:0]								
	リセット値									0	0	0	0	0	0	0										0				0	0	0	0	0					
0x10C	DMAMUX_RG3CR	Res	Res	Res	Res	Res	Res	Res	Res	GNBREQ[4:0]				GPOL [1:0]	GE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	OIE	Res	Res	Res	Res	SIG_ID[4:0]								
	リセット値									0	0	0	0	0	0	0										0				0	0	0	0	0					
0x110 - 0x13C	予約済みです。	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res					
0x140	DMAMUX_RGSR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res					
	リセット値																														0	0	0	0	0				
0x144	DMAMUX_RGCFR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res					
	リセット値																													0	COF3	0	OF3	0	OF2	0	OF1	0	OF0
0x148 - 0x3FC	予約済みです。	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res				

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

15 ネスト化されたベクタ割り込みコントローラ (NVIC)

15.1 NVIC の主な機能

CPU1 NVIC の機能 :

- 62 のマスク可能な割り込みチャンネル (DSP 搭載 Cortex-M4 の 16 本の割り込みラインは数に含まれていない)
- 16 のプログラム可能な優先レベル (4 ビットの割り込み優先順位使用)
- 遅延時間の少ない例外割り込み処理
- 電源管理制御
- システム制御レジスタの実装

CPU2 NVIC の機能 :

- 32 のマスク可能な割り込みチャンネル (Cortex[®]-M0+ の 16 本の割り込みラインは数に含まれていない)
- 4 つのプログラム可能な優先レベル (2 ビットの割り込み優先順位使用)
- 遅延時間の少ない例外割り込み処理
- 電源管理制御

NVIC とプロセッサコアのインタフェースを密に結合することで、割り込み処理の遅延が低減し、後着割り込みが効率的に処理されます。

コア例外を含むすべての割り込みは、NVIC によって管理されます。

例外と NVIC プログラミングの詳細については、Cortex[®]-M4 の PM0214 プログラミングマニュアル (PM0214)、および Cortex[®]-M0+ のプログラミングマニュアル (PM0223) を参照してください。

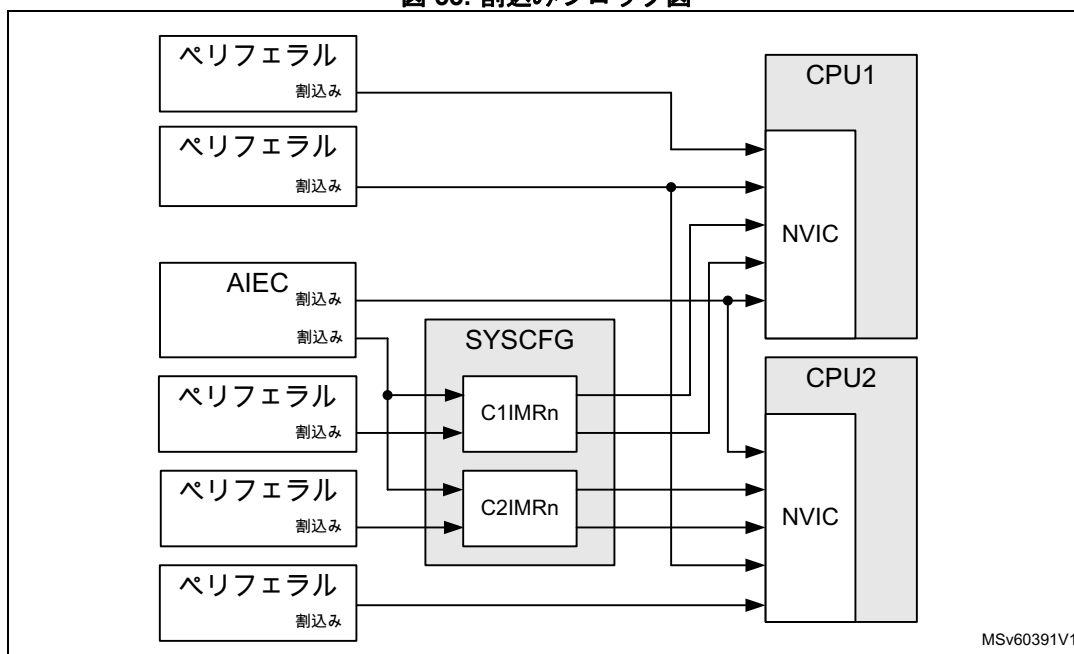
15.2 割り込みブロック図

さまざまなペリフェラル割り込みは、2 つの CPU 間の共有に応じて、異なる方法で接続されます。

ペリフェラルまたは EXTI 割り込みが両方の CPU をトリガするのを防ぐには、NVIC でそれらをマスクすることができ、複数のペリフェラル割り込みを共有する NVIC ベクタの場合は、SYSCFG レジスタの事前マスクでマスクすることができます ([セクション 11: システム設定コントローラ \(SYSCFG\)](#) を参照)。

下図に割り込みブロック図を示します。

図 53. 割り込みブロック図



MSv60391V1

15.3 割り込みベクタと例外ベクタ

CPU1 および CPU2 のベクタテーブルをそれぞれ表 89 および表 90 に示します (網掛けのセルはプロセッサ例外を示します)。

表 89. CPU1 ベクタテーブル

位置	優先順位	優先種別	項目 (略称)	説明 ⁽¹⁾⁽²⁾	アドレス
-	-	-	-	予約済みです。	0x0000 0000
-	-3	固定	リセット	リセット	0x0000 0004
-	-2	固定	NMI	ノンマスクابل割り込み HSE32 CSS、Flash ECC、および SRAM2 パリティ	0x0000 0008
-	-1	固定	HardFault	あらゆる種類の異常	0x0000 000C
-	0	設定可能	MemManage	メモリ管理	0x0000 0010
-	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000 0014
-	2	設定可能	UsageFault	未定義命令または無効状態	0x0000 0018
-	-	-	-	予約済みです。	0x0000 001C 0x0000 0028
-	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
-	4	設定可能	デバッグ	デバッグモニタ	0x0000 0030
-	-	-	-	予約済みです。	0x0000 0034
-	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038

表 89. CPU1 ベクタテーブル (続き)

位置	優先順位	優先種別	項目 (略称)	説明 ⁽¹⁾⁽²⁾	アドレス
-	6	設定可能	SysTick	SysTick タイマ	0x0000 003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ早期ウェイクアップ	0x0000 0040
1	8	設定可能	PVD、 PVM[3]	EXTI[16] 経由の PVD (IMR2[20]) EXTI[34] 経由の PVM[3] (IMR2[18])	0x0000 0044
2	9	設定可能	TAMP、 RTC_STAMP、 LSE_CSS、 RTC_SSRU	TAMP タンパ RTC タイムスタンプ LSECSS 割り込み (IMR1[0]) RTC SSR アンダーフロー割り込み (IMR1[2])	0x0000 0048
3	10	設定可能	RTC_WKUP	RTC ウェイクアップ割り込み	0x0000 004C
4	11	設定可能	FLASH	Flash メモリグローバル割り込みおよび Flash メモリ ECC シングル エラー割り込み	0x0000 0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000 0054
6	13	設定可能	EXTI0	EXTI[0] 経由の EXTI ライン 0 割り込み	0x0000 0058
7	14	設定可能	EXTI1	EXTI[1] 経由の EXTI ライン 1 割り込み	0x0000 005C
8	15	設定可能	EXTI2	EXTI[2] 経由の EXTI ライン 2 割り込み	0x0000 0060
9	16	設定可能	EXTI3	EXTI[3] 経由の EXTI ライン 3 割り込み	0x0000 0064
10	17	設定可能	EXTI4	EXTI[4] 経由の EXTI ライン 4 割り込み	0x0000 0068
11	18	設定可能	DMA1_CH1	DMA1 チャンネル 1 非セキュア割り込み	0x0000 006C
12	19	設定可能	DMA1_CH2	DMA1 チャンネル 2 非セキュア割り込み	0x0000 0070
13	20	設定可能	DMA1_CH3	DMA1 チャンネル 3 非セキュア割り込み	0x0000 0074
14	21	設定可能	DMA1_CH4	DMA1 チャンネル 4 非セキュア割り込み	0x0000 0078
15	22	設定可能	DMA1_CH5	DMA1 チャンネル 5 非セキュア割り込み	0x0000 007C
16	23	設定可能	DMA1_CH6	DMA1 チャンネル 6 非セキュア割り込み	0x0000 0080
17	24	設定可能	DMA1_CH7	DMA1 チャンネル 7 非セキュア割り込み	0x0000 0084
18	25	設定可能	ADC	ADC グローバル割り込み	0x0000 0088
19	26	設定可能	DAC	DAC グローバル割り込み	0x0000 008C
20	27	設定可能	C2SEV PWR_C2H	EXTI[40] 経由の CPU2 SEV PWR CPU2 HOLD ウェイクアップ割り込み	0x0000 0090
21	28	設定可能	COMP	EXTI[22:21] 経由の COMP2 および COMP1 割り込み	0x0000 0094
22	29	設定可能	EXTI[9:5]	EXTI[9:5] 経由の EXTI ライン [9:5] 割り込み (IMR1[25:21])	0x0000 0098
23	30	設定可能	TIM1_BRK	タイマ 1 ブレーク割り込み	0x0000 009C
24	31	設定可能	TIM1_UP	タイマ 1 更新	0x0000 00A0
25	32	設定可能	TIM1_TRG_COM	タイマ 1 のトリガと通信	0x0000 00A4
26	33	設定可能	TIM1_CC	タイマ 1 のキャプチャ比較割り込み	0x0000 00A8
27	34	設定可能	TIM2	タイマ 2 グローバル割り込み	0x0000 00AC
28	35	設定可能	TIM16	タイマ 16 グローバル割り込み	0x0000 00B0
29	36	設定可能	TIM17	タイマ 17 グローバル割り込み	0x0000 00B4

表 89. CPU1 ベクタテーブル (続き)

位置	優先順位	優先種別	項目 (略称)	説明 ⁽¹⁾⁽²⁾	アドレス
30	37	設定可能	I2C1_EV	I2C1 イベント割り込み	0x0000 00B8
31	38	設定可能	I2C1_ER	I2C1 エラー割り込み	0x0000 00BC
32	39	設定可能	I2C2_EV	I2C2 イベント割り込み	0x0000 00C0
33	40	設定可能	I2C2_ER	I2C2 エラー割り込み	0x0000 00C4
34	41	設定可能	SPI1	SPI1 グローバル割り込み	0x0000 00C8
35	42	設定可能	SPI2S2	SPI2S2 グローバル割り込み	0x0000 00CC
36	43	設定可能	USART1	USART1 グローバル割り込み	0x0000 00D0
37	44	設定可能	USART2	USART2 グローバル割り込み	0x0000 00D4
38	45	設定可能	LPUART1	LPUART1 グローバル割り込み	0x0000 00D8
39	46	設定可能	LPTIM1	LP タイマ 1 グローバル割り込み	0x0000 00DC
40	47	設定可能	LPTIM2	LP タイマ 2 グローバル割り込み	0x0000 00E0
41	48	設定可能	EXTI[15:10]	EXTI[15:10] 経由の EXTI ライン [15:10] 割り込み (IMR1[31:26])	0x0000 00E4
42	49	設定可能	RTC_ALARM	RTC アラーム A および B の割り込み	0x0000 00E8
43	50	設定可能	LPTIM3	LP タイマ 3 グローバル割り込み	0x0000 00EC
44	51	設定可能	予約済みです。	予約済みです。	0x0000 00F0
45	52	設定可能	IPCC_C1_RX_IT	IPCC CPU1 RX 占有割り込み	0x0000 00F4
46	53	設定可能	IPCC_C1_TX_IT	IPCC CPU1 TX フリー割り込み	0x0000 00F8
47	54	設定可能	HSEM	CPU1 へのセマフォ割り込み 0	0x0000 00FC
48	55	設定可能	I2C3_EV	I2C3 イベント割り込み	0x0000 0100
49	56	設定可能	I2C3_ER	I2C3 エラー割り込み	0x0000 0104
50	57	設定可能	無線 IRQ、 ビジー	無線 IRQ EXTI[45] 経由の RFBUSY 割り込み	0x0000 0108
51	58	設定可能	AES	AES グローバル割り込み	0x0000 010C
52	59	設定可能	True RNG	真性乱数発生器割り込み	0x0000 0110
53	60	設定可能	PKA	秘密鍵アクセラレータ割り込み	0x0000 0114
54	61	設定可能	DMA2_CH1	DMA2 チャンネル 1 非セキュア割り込み	0x0000 0118
55	62	設定可能	DMA2_CH2	DMA2 チャンネル 2 非セキュア割り込み	0x0000 011C
56	63	設定可能	DMA2_CH3	DMA2 チャンネル 3 非セキュア割り込み	0x0000 0120
57	64	設定可能	DMA2_CH4	DMA2 チャンネル 4 非セキュア割り込み	0x0000 0124
58	65	設定可能	DMA2_CH5	DMA2 チャンネル 5 非セキュア割り込み	0x0000 0128
59	66	設定可能	DMA2_CH6	DMA2 チャンネル 6 非セキュア割り込み	0x0000 012C
60	67	設定可能	DMA2_CH7	DMA2 チャンネル 7 非セキュア割り込み	0x0000 0130
61	68	設定可能	DMAMUX1_OVR	DMAMUX1 オーバーラン割り込み	0x0000 0134

1. IMRx[n] は、SYSCFG_IMRx レジスタの事前マスクビット [n] を指します。

2. EXTI[n] は、EXTI の入力イベント番号 [n] を指します。

表 90. CPU2 ベクタテーブル

位置	優先順位	優先種別	項目 (略称)	説明 ⁽¹⁾⁽²⁾	アドレス
-	-	-	-	予約済みです。	0x0000 0000
-	-3	固定	リセット	リセット	0x0000 0004
-14	-2	固定	NMI	ノンマスカブル割り込み HSE CSS、Flash ECC、および SRAM2 パリティ	0x0000 0008
-13	-1	固定	HardFault	あらゆる種類の異常	0x0000 000C
-	-	-	-	予約済みです。	0x0000 0010 0x0000 0028
-5	0	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
-	-	-	-	予約済みです。	0x0000 0030 0x0000 0034
-2	1	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038
-1	2	設定可能	SysTick	システムティックタイマ	0x0000 003C
0	3	設定可能	TZIC_ILA	セキュリティ割り込みコントローラ不正アクセス割り込み	0x0000 0040
1	4	設定可能	PVD、PVM[3]	EXTI[16] 経由の PVD (C2IMR2[20]) EXTI[34] 経由の PVM[3] (C2IMR2[18])	0x0000 0044
2	5	設定可能	TAMP、 RTC_STAMP、 LSE_CSS、 RTC_ALARM、 RTC_SSRU、 RTC_WKUP	TAMP タンパ RTC タイムスタンプ LSECSS 割り込み (C2IMR1[0]) RTC アラーム A および B 割り込み (C2IMR1[1]) RTC SSR アンダーフロー割り込み (C2IMR1[2]) RTC ウェイクアップ割り込み (C2IMR1[3])	0x0000 0048
3	6	設定可能	RCC、 FLASH、 C1SEV	RCC グローバル割り込み (C2IMR1[5]) Flash メモリグローバル割り込みおよび Flash メモリ ECC シングルエラー割り込み (C2IMR1[6]) EXTI[41] 経由の CPU1 SEV	0x0000 004C
4	7	設定可能	EXTI[1:0]	EXTI[1:0] 経由の EXTI ライン 1:0 の割り込み (C2IMR1[17:16])	0x0000 0050
5	8	設定可能	EXTI[3:2]	EXTI[3:2] 経由の EXTI ライン 3:2 の割り込み (C2IMR1[19:18])	0x0000 0054
6	9	設定可能	EXTI[15:4]	EXTI[15:4] 経由の EXTI ライン 15:4 の割り込み (C2IMR1[31:20])	0x0000 0058
7	10	設定可能	COMP、 ADC、 DAC	EXTI[22:21] 経由の COMP1 および COMP2 割り込み (C2IMR1[11]) ADC グローバル割り込み (C2IMR1[12]) DAC グローバル割り込み (C2IMR1[13])	0x0000 005C
8	11	設定可能	DMA1_CH [3:1]	DMA1 チャンネル 3:1 セキュアおよび非セキュア割り込み (C2IMR2[2:0])	0x0000 0060
9	12	設定可能	DMA1_CH [7:4]	DMA1 チャンネル 7:4 セキュアおよび非セキュア割り込み (C2IMR2[6:3])	0x0000 0064
10	13	設定可能	DMA2_CH [7:1]、 DMAMUX1_OVR	DMA2 チャンネル 7:1 セキュアおよび非セキュア割り込み (C2IMR2[14:8]) DMAMUX1 オーバーラン割り込み (C2IMR2[15])	0x0000 0068
11	14	設定可能	LPTIM1	LPTIMER 1 グローバル割り込み	0x0000 006C

表 90. CPU2 ベクタテーブル (続き)

位置	優先順位	優先種別	項目 (略称)	説明 ⁽¹⁾⁽²⁾	アドレス
12	15	設定可能	LPTIM2	LPTIMER 2 グローバル割り込み	0x0000 0070
13	16	設定可能	LPTIM3	LPTIMER 3 グローバル割り込み	0x0000 0074
14	17	設定可能	TIM1_BRK TIM1_UP TIM1_TRG_COM TIM1_CC	タイマ 1 ブレーク タイマ 1 更新 タイマ 1 のトリガと通信 タイマ 1 のキャプチャ比較割り込み	0x0000 0078
15	18	設定可能	TIM2	タイマ 2 グローバル割り込み	0x0000 007C
16	19	設定可能	TIM16	タイマ 16 グローバル割り込み	0x0000 0080
17	20	設定可能	TIM17	タイマ 17 グローバル割り込み	0x0000 0084
18	21	設定可能	IPCC_C2_RX_IT IPCC_C2_TX_IT	IPCC CPU2 RX 占有割り込み IPCC CPU2 TX フリー割り込み	0x0000 0088
19	22	設定可能	HSEM	CPU2 へのセマフォ割り込み 1	0x0000 008C
20	23	設定可能	True RNG	真性乱数発生器割り込み	0x0000 0090
21	24	設定可能	AES PKA	AES グローバル割り込み (C2IMR1[10]) 秘密鍵アクセラレータ割り込み (C2IMR1[8])	0x0000 0094
22	25	設定可能	I2C1_EV I2C1_ER	I2C1 イベント割り込み I2C1 エラー割り込み	0x0000 0098
23	26	設定可能	I2C2_EV I2C2_ER	I2C2 イベント割り込み I2C2 エラー割り込み	0x0000 009C
24	27	設定可能	I2C3_EV I2C3_ER	I2C3 イベント割り込み I2C3 エラー割り込み	0x0000 00A0
25	28	設定可能	SPI1	SPI1 グローバル割り込み	0x0000 00A4
26	29	設定可能	SPI2S2	SPI2S2 グローバル割り込み	0x0000 00A8
27	30	設定可能	USART1	USART1 グローバル割り込み	0x0000 00AC
28	31	設定可能	USART2	USART2 グローバル割り込み	0x0000 00B0
29	32	設定可能	LPUART1	LPUART1 グローバル割り込み	0x0000 00B4
30	33	設定可能	SUBGHZSPI	Sub-GHz 無線のSPI グローバル割り込み	0x0000 00B8
31	34	設定可能	無線 IRQ ビジー	無線 IRQ EXTI[45] 経由のRFBUSY 割り込み	0x0000 00BC

1. C2IMRx[n] は、SYSCFG_C2IMRx レジスタの事前マスクビット [n] を指します。

2. EXTI[n] は、EXTI の入カイベント番号 [n] を指します。

16 拡張割込み／イベントコントローラ (EXTI)

拡張割込み／イベントコントローラ (EXTI) は、設定可能なイベントおよびダイレクトイベントの入力によって個々の CPU およびシステムのウェイクアップを管理します。電源制御にウェイクアップリクエストを供給し、CPU の NVIC に割込みリクエストを生成し、CPU イベント入力へのイベントを生成します。

各 CPU に対して CPU イベント信号を生成するために追加のイベント生成ブロック (EVG) が必要です。

EXTI ウェイクアップリクエストにより、システムは STOP モードから、CPU は CStop モードおよび CStandby モードからウェイクアップすることができます。

RUN モードでも、割込みリクエストとイベントリクエスト生成の両方を使用できます。

16.1 EXTI の主な機能

EXTI の主な機能は以下のとおりです。

- 47 の入力イベントをサポート。
- ほとんどの イベント入力により、システムをウェイクアップできます。
- 一部のイベントは CPU ウェイクアップイベントを生成するためだけに使用できます。
- ペリフェラルに関連付けられたウェイクアップフラグがないイベントは、EXTI にフラグを持ち、EXTI から CPU への割込みを生成します。

非同期イベント入力は下記の 2 つのグループに分類されます。

- 以下に示す特徴のある設定可能なイベント (パルスを生成できる I/O またはペリフェラルからの信号)。
 - 選択可能なアクティブトリガエッジ
 - 割込みペンディングステータスレジスタビット
 - CPU のウェイクアップ、割込み、およびイベント生成を調整するために使用される個々の割込みおよびイベント生成マスク
 - SW トリガの可能性
- 以下に示す特徴のあるダイレクトイベント (ペリフェラルでクリアすべき関連フラグを持つペリフェラルからの割込みおよびウェイクアップソース)。
 - 固定立ち上がりエッジアクティブトリガ
 - EXTI に割込みペンディングステータスレジスタビットなし (割込みペンディングステータスフラグは、イベントを生成するペリフェラルから供給される)
 - CPU のウェイクアップ、およびイベント生成を調整するために使用される個々の割込みおよびイベント生成マスク
 - ソフトウェアトリガの可能性なし

16.2 EXTI ブロック図

図 54 に示すように、EXTI は AHB インタフェースを介してアクセスするレジスタブロック、イベント入力トリガブロック、およびマスクングブロックから成ります。

レジスタブロックは、すべての EXTI レジスタを含んでいます。

イベント入力トリガブロックは、イベント入力エッジのトリガロジックを供給します。

マスクングブロックは、異なるウェイクアップ、割り込み、およびイベントの出力とそのマスクングに、イベント入力を供給します。

図 54. EXTI ブロック図

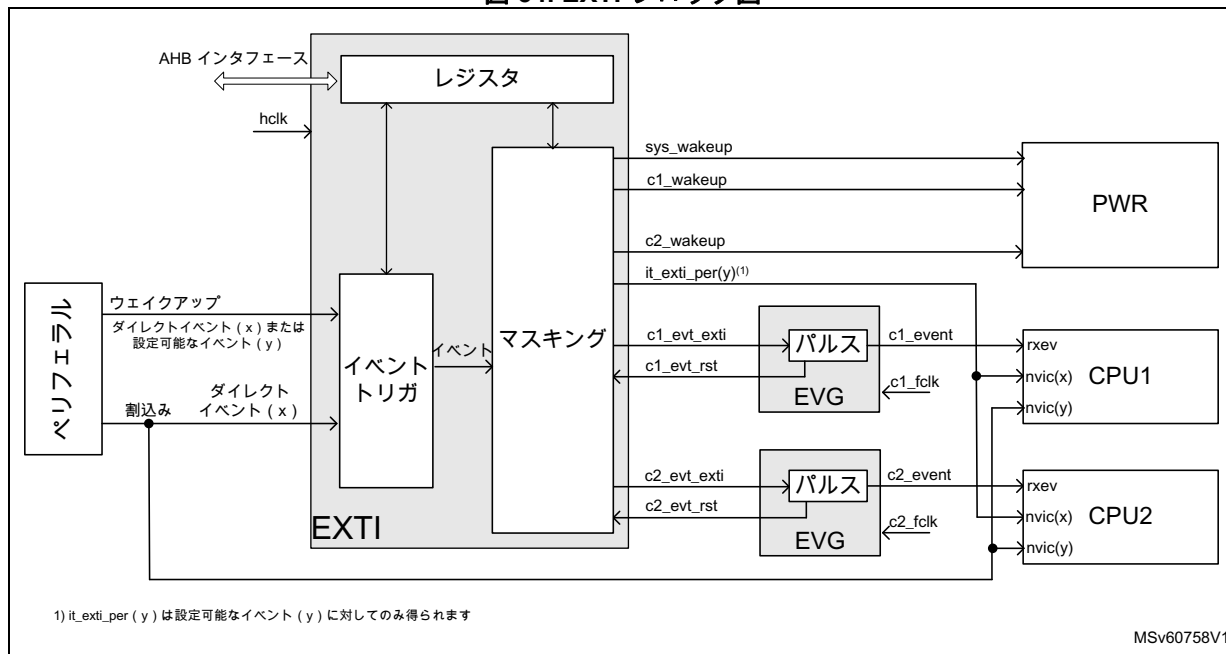


表 91. EXTI ピンの概要

ピン名	I/O	説明
AHB インタフェース	I/O	EXTI レジスタのバスインタフェース
hclk	I	AHB バスクロックおよび EXTI システムクロック
設定可能なイベント (y)	I	ペリフェラルに関連する割り込みとフラグがないペリフェラルからの非同期ウェイクアップイベント
ダイレクトイベント (x)	I	ペリフェラルに関連する割り込みとフラグがあるペリフェラルからの同期および非同期ウェイクアップイベント
it_exti_per (y)	O	設定可能なイベント(y) に伴う CPU への割り込み
cn_evt_exti	O	hclk に同期した、CPU _n 向けのハイレベル対応イベント出力
cn_evt_rst	I	cn_evt_exti をクリアするための非同期リセット入力
sys_wakeup	O	ck_sys および hclk 用の PWR への非同期システムウェイクアップリクエスト
cn_wakeup	O	hclk に同期した、CPU _n 用 PWR へのウェイクアップリクエスト

表 92. EVG ピンの概要

ピン名	I/O	説明
cn_fclk	I	CPUn フリーランニングクロック
cn_evt_in	I	CPUn クロックに非同期の、EXTI からのハイレベル対応イベント入力
cn_event	O	CPUn クロックに同期したイベントパルス
cn_evt_rst	O	CPUn クロックに同期したイベントリセット信号

16.3 ペリフェラルと CPU 間の EXTI 接続

システムの STOP モード時にウェイクアップまたは割り込みイベントを生成できるペリフェラルは EXTI に接続されます。

パルスを生成する、またはペリフェラルに割り込みステータスビットがないペリフェラルのウェイクアップ信号は、EXTI の設定可能なイベント入力に接続されます。これらのイベントに、EXTI はクリアする必要があるステータスペンディングビットを供給します。CPU に割り込むのはステータスビットに関連した EXTI 割り込みです。

ペリフェラルからクリアする必要があるペリフェラルのステータスビットを持つペリフェラルの割り込みやウェイクアップ信号は、EXTI のダイレクトイベント入力に接続されます。EXTI にはステータスペンディングビットはありません。割り込みまたはウェイクアップは、ペリフェラルの CPU によってクリアされます。CPU に直接割り込むのはペリフェラル割り込みです。

EXTI の設定可能なイベント割り込みは、CPU の NVIC に接続されます。

専用の EXTI/EVG CPU イベントを、CPU rxev 入力に接続します。

EXTI の CPU のウェイクアップ信号は PWR ブロックに接続され、システムおよび CPU サブシステムをウェイクアップするために使用されます。

16.3.1 EXTI ウェイクアップ割り込みリスト

ウェイクアップソースを表 93: ウェイクアップ割り込みに示します。

ウェイクアップソースの中には、CPU へのイベントを生成できるものがあります (「イベント」列を参照)。

CPU をウェイクアップするウェイクアップソースの機能は、「ウェイクアップ」列に記載されています。

CPU 割り込み処理については、[セクション 15: ネスト化されたベクタ割り込みコントローラ \(NVIC\)](#) を参照してください。

表 93. ウェイクアップ割り込み

EXTI #	項目 (略称)	説明	EXTI タイプ	イベント	ウェイクアップ
0	EXTI[0]	SYSCFG からの EXTI ライン 0	設定可能	可	CPU1 および CPU2
1	EXTI[1]	SYSCFG からの EXTI ライン 1	設定可能	可	CPU1 および CPU2
2	EXTI[2]	SYSCFG からの EXTI ライン 2	設定可能	可	CPU1 および CPU2
3	EXTI[3]	SYSCFG からの EXTI ライン 3	設定可能	可	CPU1 および CPU2
4	EXTI[4]	SYSCFG からの EXTI ライン 4	設定可能	可	CPU1 および CPU2
5	EXTI[5]	SYSCFG からの EXTI ライン 5	設定可能	可	CPU1 および CPU2

表 93. ウェイクアップ割り込み (続き)

EXTI #	項目 (略称)	説明	EXTI タイプ	イベント	ウェイクアップ
6	EXTI[6]	SYSCFG からの EXTI ライン 6	設定可能	可	CPU1 および CPU2
7	EXTI[7]	SYSCFG からの EXTI ライン 7	設定可能	可	CPU1 および CPU2
8	EXTI[8]	SYSCFG からの EXTI ライン 8	設定可能	可	CPU1 および CPU2
9	EXTI[8]	SYSCFG からの EXTI ライン 9	設定可能	可	CPU1 および CPU2
10	EXTI[10]	SYSCFG からの EXTI ライン 10	設定可能	可	CPU1 および CPU2
11	EXTI[11]	SYSCFG からの EXTI ライン 11	設定可能	可	CPU1 および CPU2
12	EXTI[12]	SYSCFG からの EXTI ライン 12	設定可能	可	CPU1 および CPU2
13	EXTI[13]	SYSCFG からの EXTI ライン 13	設定可能	可	CPU1 および CPU2
14	EXTI[14]	SYSCFG からの EXTI ライン 14	設定可能	可	CPU1 および CPU2
15	EXTI[15]	SYSCFG からの EXTI ライン 15	設定可能	可	CPU1 および CPU2
16	PVD	PVD ライン	設定可能	不可	CPU1 および CPU2
17	RTC_ALARM	RTC アラーム A および B の割り込み	ダイレクト	可	CPU1 および CPU2
18	SSRU	RTC SSR アンダーフロー割り込み	ダイレクト	可	CPU1 および CPU2
19	TAMP、 RTC_STAMP、 LSE_CSS	TAMP タンパ割り込み RTC タイムスタンプ割り込み RCC LSECSS 割り込み	ダイレクト	可	CPU1 および CPU2
20	RTC_WKUP	RTC ウェイクアップ割り込み	ダイレクト	可	CPU1 および CPU2
21	COMP1	COMP1 ライン	設定可能	可	CPU1 および CPU2
22	COMP2	COMP2 ライン	設定可能	可	CPU1 および CPU2
23	I2C1 ウェイクアップ	I2C1 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
24	I2C2 ウェイクアップ	I2C2 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
25	I2C3 ウェイクアップ	I2C3 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
26	USART1	USART1 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
27	USART2	USART2 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
28	LPUART1	LPUART1 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
29	LPTIM1 ウェイクアップ	LP タイマ 1 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
30	LPTIM2 ウェイクアップ	LP タイマ 2 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
31	LPTIM3 ウェイクアップ	LP タイマ 3 ウェイクアップ	ダイレクト	不可	CPU1 および CPU2
32	予約済みです。	-	ダイレクト	不可	-
33	予約済みです。	-	ダイレクト	不可	-
34	PVM[3]	PVM[3] ライン	設定可能	不可	CPU1 および CPU2
35	予約済みです。	-	ダイレクト	不可	-
36	IPCC CPU1	IPCC CPU1 RX 占有および TX フリー割り込み	ダイレクト	不可	CPU1 ⁽¹⁾
37	IPCC CPU2	IPCC CPU2 RX 占有および TX フリー割り込み	ダイレクト	不可	CPU2 ⁽²⁾
38	HSEM 割り込み 0	CPU1 でのセマフォ割り込み 0	ダイレクト	不可	CPU1 ⁽¹⁾

表 93. ウェイクアップ割り込み (続き)

EXTI #	項目 (略称)	説明	EXTI タイプ	イベント	ウェイクアップ
39	HSEM 割り込み 1	CPU2 でのセマフォ割り込み 1	ダイレクト	不可	CPU2 ⁽²⁾
40	C2SEV	CPU2 SEV ライン	設定可能	可	CPU1 ⁽³⁾
41	C1SEV	CPU1 SEV ライン	設定可能	可	CPU2 ⁽⁴⁾
42	Flash	Flash ECC およびグローバル割り込み	ダイレクト	不可	CPU1 および CPU2
43	HSE32 CSS 割り込み	RCC HSE32 CSS 割り込み	ダイレクト	不可	CPU1 および CPU2
44	無線 IRQ	無線 IRQ 割り込み	ダイレクト	不可	CPU1 および CPU2
45	無線ビジー	RFBUSY ウェイクアップ	設定可能	不可	CPU1 および CPU2
46	CDBGPWRUPREQ	デバッグパワーアップリクエストウェイクアップ	ダイレクト	不可	CPU1 および CPU2

- 正しい動作のためには、CPU1 がこのダイレクトイベントを使用する前に、EXTI ダイレクトイベントの EXTI_C2IMRm.IMb ビットを 0 にセットする必要があります。
- 正しい動作のためには、CPU2 がこのダイレクトイベントを使用する前に、EXTI ダイレクトイベントの EXTI_C1IMRm.IMb ビットを 0 にセットする必要があります。
- 正しい動作のためには、CPU1 がこの設定可能なイベントを使用する前に、EXTI 設定可能なイベントの EXTI_C2IMRm.IMb と EXTI_C2EMRm.EMb ビットを両方とも 0 にセットする必要があります。
- 正しい動作のためには、CPU2 がこの設定可能なイベントを使用する前に、EXTI 設定可能なイベントの EXTI_C1IMRm.IMb と EXTI_C1EMRm.EMb ビットを両方とも 0 にセットする必要があります。

16.4 EXTI の機能詳細

EXTI のイベント入力タイプとウェイクアップターゲットに応じて、異なるロジックの実装が使用されます。適用可能な機能は、下記に示すレジスタビットで制御されます。

- アクティブトリガエッジ有効化
 - 立ち上がりエッジの選択
EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTISR1)
EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTISR2)
 - 立ち下がりエッジの選択
EXTI 立ち下がりトリガ選択レジスタ (EXTI_FTISR1)
EXTI 立ち下がりトリガ選択レジスタ (EXTI_FTISR2)
- ソフトウェアトリガ
EXTI ソフトウェア割込みイベントレジスタ (EXTI_SWIER1)
EXTI ソフトウェア割込みイベントレジスタ (EXTI_SWIER2)
- 割込みペンディングフラグ
EXTI ペンディングレジスタ (EXTI_PR1)
EXTI ペンディングレジスタ (EXTI_PR2)
- CPU ウェイクアップおよび割込み有効化
EXTI 割込みマスクレジスタ (EXTI_CnIMR1)
EXTI 割込みマスクレジスタ (EXTI_CnIMR2)
- CPU ウェイクアップおよびイベント有効化
EXTI イベントマスクレジスタ (EXTI_CnEMR1)
EXTI イベントマスクレジスタ (EXTI_CnEMR2)

表 94. EXTI イベント入力設定およびレジスタ制御

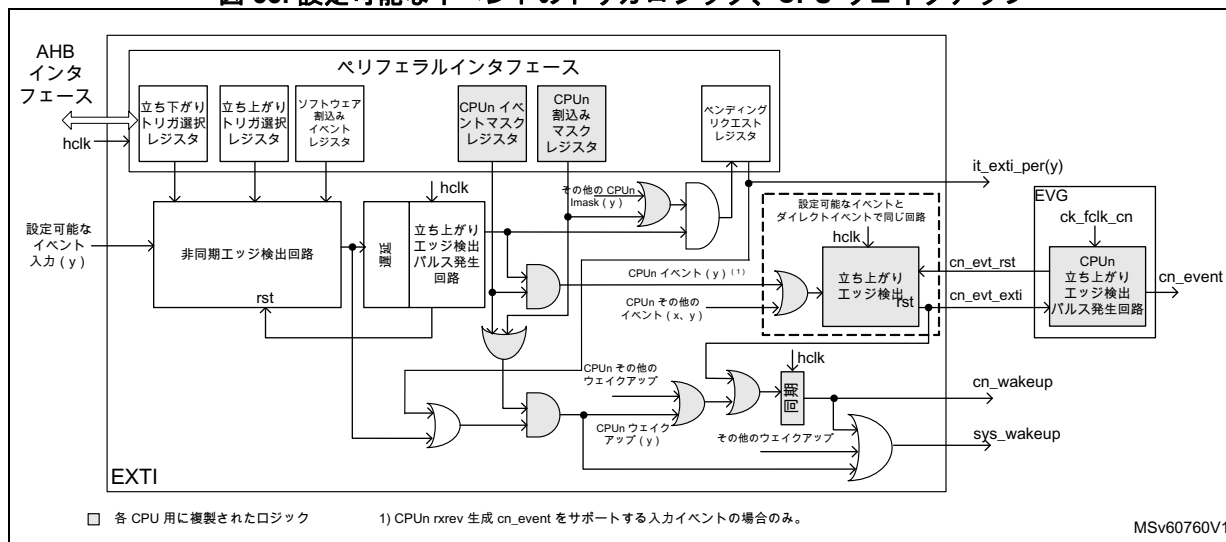
イベント入力タイプ	ロジックの実装	EXTI_RTISR	EXTI_FTISR	EXTI_SWIER	EXTI_PR	EXTI_CnIMR	EXTI_CnEMR (1)
設定可能	設定可能なイベント入力のウェイクアップロジック	x	x	x	x	x	x
ダイレクト	ダイレクトイベント入力のウェイクアップロジック	-	-	-	-	x	x

1. 設定「rxev 生成」が有効になっている入力イベントに対してのみ。

16.4.1 EXTI の設定可能なイベント入力ウェイクアップ

図 55 に、設定可能なイベントの拡張割り込み/イベントブロック図を示します。設定可能なイベントにより、システムと SLEEP モードおよび STOP モードからの CPU のウェイクアップが可能になり、EXTI に保留フラグが提供されます。

図 55. 設定可能なイベントのトリガロジック、CPU ウェイクアップ



ソフトウェア割り込みイベントレジスタによって、対応するレジスタビットを書き込むことで、エッジ選択の設定に関係なく、設定可能なイベントをソフトウェアでトリガできます。

立ち上がりおよび立ち下がりエッジ選択レジスタによって、設定可能なイベントのアクティブトリガエッジ（または両方のエッジ）を有効にできます。

CPU は専用の割り込みマスクおよびイベントマスクレジスタを備えています。有効化されたイベントにより、CPU にイベントが生成されます。CPU に向けたすべてのイベントは論理和が取られ、1 つの CPU イベント信号にまとめられます。イベントのペンディングレジスタ (EXTI_PR) は、マスクされていない CPU イベントにはセットされません。

設定可能なイベントには、CPU と共有される固有の割り込みペンディングリクエストレジスタが割り当てられます。ペンディングレジスタは、マスクされていない割り込みについてのみセットされます。各設定イベントは、CPU に対しそれらに共通した割り込みをかけます。設定可能なイベント割り込みは、EXTI_PR レジスタでソフトウェアにより確認する必要があります。

CPU 割り込みまたは CPU イベントが有効化されると、非同期エッジ検出回路は、クロック遅延および立ち上がりエッジ検出パルス発生回路によってリセットされます。これにより、EXTI hclk クロックは、非同期エッジ検出回路がリセットされる前にウェイクアップされることが保証されます。

注： 検出された設定可能なイベント割り込みペンディングリクエストは、CPU によってクリアされることがあります。割り込みペンディングリクエストがアクティブである限り、システムは低電力モードに入ることができません。

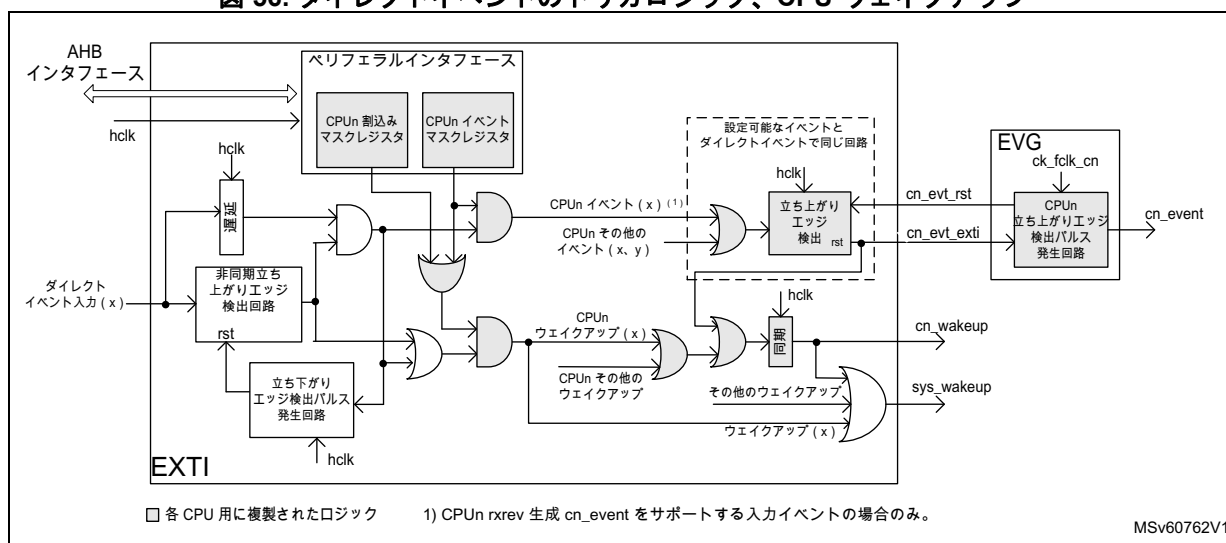
16.4.2 EXTI のダイレクトイベント入力ウェイクアップ

図 56 に、ダイレクトイベントの拡張割り込み/イベントブロック図を示します。ダイレクトイベントによって、システムおよび SLEEP モードおよび STOP モードからの CPU のウェイクアップが可能になります。

ダイレクトイベントには関連する EXTI 割り込みがありません。EXTI はシステムクロックと CPU サブシステムクロックをウェイクアップするだけで、CPU ウェイクアップイベントを生成することができます。ダイレクトウェイクアップイベントに関連するペリフェラル同期割り込みは、CPU をウェイクアップします。EXTI のダイレクトイベントは CPU イベントを生成できません。この CPU イベントが CPU をウェイクアップします。

CPU イベントは、関連するペリフェラルの割り込みフラグがセットされる前に、発生することがあります。

図 56. ダイレクトイベントのトリガロジック、CPU ウェイクアップ



16.5 EXTI の機能的動作

ダイレクトイベント入力は、ウェイクアップイベントを生成する各ペリフェラルで有効にされます。設定可能なイベントは、少なくとも 1 つのトリガエッジを有効にすることで有効になります。

イベント入力が有効になると、CPU ウェイクアップの生成は CPU 割り込みマスクおよび CPU イベントマスクの条件により決定されます。

表 95. マスキングの機能

CPU 割り込みイネーブル EXTI_CnIMRm.IMb	CPU イベントイネーブル EXTI_CnEMRm.EMB	設定可能な イベント入力 EXTI_PRm.PIFb	it_exti_per(y) ⁽¹⁾	CPUn イベント	CPUn ウェイク アップ
0	0	なし	マスク	マスク	マスク
	1	なし	マスク	可	はい
1	0	ステータスラッチ	可	マスク	可 ⁽²⁾
	1	ステータスラッチ	可	はい	はい

- 1 つの it_exti_per(y) 割り込みが両方の CPU で発生します。CPUn に割り込みが必要ない場合、it_exti_per(y) 割り込みは CPUn の NVIC 内でマスクしなければなりません。
- CPU 割り込みが EXTI_CnIMRm.IMb で有効化されている場合のみ。

設定可能なイベント入力の場合、イベント入力時にイネーブルエッジが発生すると、イベントリクエストが生成されます。関連する it_exti_per(y) 割り込みのマスクが解除されると、EXTI_PR の対応するペンディングビットがセットされ、CPU サブシステムがウェイクアップし、CPU 割り込み信号が有効化されます。EXTI_PR ペンディングビットは、ソフトウェアによって 1 にセットする必要があります。これにより、it_exti_per(y) 割り込みがクリアされます。

ダイレクトイベント入力の場合、関連するペリフェラルで有効にすると、イベントリクエストが立ち上がりエッジでのみ生成されます。EXTI には対応する CPU ペンディングビットはありません。関連するダイレクトイベントが EXTI_IM でマスクされない場合、対応する CPU サブシステムがウェイクアップします。CPU はペリフェラル同期割り込みによってウェイクアップされ（割り込まれ）ます。

イベントを生成するには、CPU イベントは EXTI_EMR でマスク解除されなければなりません。イベント入力時にイネーブルエッジが発生すると、CPU イベントパルスが生成されます。イベントペンディングビットはありません。

設定可能なイベント入力の場合、ソフトウェアによって EXTI_SWIER の割り込み/イベントレジスタの対応するビットを 1 にセットして、イベントリクエストを生成することができます。これにより、イベント時に立ち上がりエッジを生成できます。エッジイベントペンディングビットは、EXTI_RTISR の設定にかかわらず、EXTI_PR にセットする必要があります。

16.6 EXTI レジスタ

EXTI レジスタマップは、下の表に示すセクションに分けられています。

表 96. EXTI レジスタマップセクション

アドレス	説明
0x000 - 0x01C	一般の設定可能なイベント [31:0] の設定
0x020 - 0x03C	一般の設定可能なイベント [63:32] の設定
0x080 - 0x0BC	CPU1 入カイベントの設定
0x0C0 - 0x0FC	CPU2 入カイベントの設定

これらすべてのレジスタには、ワード (32 ビット)、ハーフワード (16 ビット)、およびバイト (8 ビット) 単位でアクセスできます。

16.6.1 EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTISR1)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT22	RT21	Res.	Res.	Res.	Res.	RT16
									r/w	r/w					r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT15	RT14	RT13	RT12	RT11	RT10	RT9	RT8	RT7	RT6	RT5	RT4	RT3	RT2	RT1	RT0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **RT22** : 設定可能なイベント入力 22 の立ち上がりトリガイイベント設定ビット

0 : 入力ラインの (イベントと割込みについて) 立ち上がりトリガは無効です。

1 : 入力ラインの (イベントと割込みについて) 立ち上がりトリガは有効です。

注 : 設定可能なイベント入力はエッジトリガされます。これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書込み中に設定可能なイベント入力で立ち上がりエッジが発生した場合、関連するペンディングビットはセットされません。

同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

ビット 21 **RT21** : 設定可能なイベント入力 21 の立ち上がりトリガイイベント設定ビット

ビット 20:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **RT16** : 設定可能なイベント入力 16 の立ち上がりトリガイイベント設定ビット

ビット 15 **RT15** : 設定可能なイベント入力 15 の立ち上がりトリガイイベント設定ビット

ビット 14 **RT14** : 設定可能なイベント入力 14 の立ち上がりトリガイイベント設定ビット

ビット 13 **RT13** : 設定可能なイベント入力 13 の立ち上がりトリガイイベント設定ビット

ビット 12 **RT12** : 設定可能なイベント入力 12 の立ち上がりトリガイイベント設定ビット

- ビット 11 **RT11** : 設定可能なイベント入力 11 の立ち上がりトリガイベント設定ビット
- ビット 10 **RT10** : 設定可能なイベント入力 10 の立ち上がりトリガイベント設定ビット
- ビット 9 **RT9** : 設定可能なイベント入力 9 の立ち上がりトリガイベント設定ビット
- ビット 8 **RT8** : 設定可能なイベント入力 8 の立ち上がりトリガイベント設定ビット
- ビット 7 **RT7** : 設定可能なイベント入力 7 の立ち上がりトリガイベント設定ビット
- ビット 6 **RT6** : 設定可能なイベント入力 6 の立ち上がりトリガイベント設定ビット
- ビット 5 **RT5** : 設定可能なイベント入力 5 の立ち上がりトリガイベント設定ビット
- ビット 4 **RT4** : 設定可能なイベント入力 4 の立ち上がりトリガイベント設定ビット
- ビット 3 **RT3** : 設定可能なイベント入力 3 の立ち上がりトリガイベント設定ビット
- ビット 2 **RT2** : 設定可能なイベント入力 2 の立ち上がりトリガイベント設定ビット
- ビット 1 **RT1** : 設定可能なイベント入力 1 の立ち上がりトリガイベント設定ビット
- ビット 0 **RT0** : 設定可能なイベント入力 0 の立ち上がりトリガイベント設定ビット

16.6.2 EXTI 立ち下がりトリガ選択レジスタ (EXTI_FTSR1)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT22	FT21	Res.	Res.	Res.	Res.	FT16
									rW	rW					rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FT15	FT14	FT13	FT12	FT11	FT10	FT9	FT8	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **FT22** : 設定可能なイベント入力 22 の立ち下がりトリガイベント設定ビット

0 : 入力ラインの (イベントと割込みについて) 立ち下がりトリガは無効です。

1 : 入力ラインの (イベントと割込みについて) 立ち下がりトリガは有効です。

注 : 設定可能なイベント入力はエッジトリガされます。これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書き込み中に設定可能なイベント入力で立ち下がりエッジが発生した場合、関連するペンディングビットはセットされません。

同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

ビット 21 **FT21** : 設定可能なイベント入力 21 の立ち下がりトリガイベント設定ビット

ビット 20:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **FT16** : 設定可能なイベント入力 16 の立ち下がりトリガイベント設定ビット

ビット 15 **FT15** : 設定可能なイベント入力 15 の立ち下がりトリガイベント設定ビット

ビット 14 **FT14** : 設定可能なイベント入力 14 の立ち下がりトリガイベント設定ビット

ビット 13 **FT13** : 設定可能なイベント入力 13 の立ち下がりトリガイベント設定ビット

ビット 12 **FT12** : 設定可能なイベント入力 12 の立ち下がりトリガイベント設定ビット

ビット 11 **FT11** : 設定可能なイベント入力 11 の立ち下がりトリガイベント設定ビット

ビット 10 **FT10** : 設定可能なイベント入力 10 の立ち下がリトリガイベント設定ビット
 ビット 9 **FT9** : 設定可能なイベント入力 9 の立ち下がリトリガイベント設定ビット
 ビット 8 **FT8** : 設定可能なイベント入力 8 の立ち下がリトリガイベント設定ビット
 ビット 7 **FT7** : 設定可能なイベント入力 7 の立ち下がリトリガイベント設定ビット
 ビット 6 **FT6** : 設定可能なイベント入力 6 の立ち下がリトリガイベント設定ビット
 ビット 5 **FT5** : 設定可能なイベント入力 5 の立ち下がリトリガイベント設定ビット
 ビット 4 **FT4** : 設定可能なイベント入力 4 の立ち下がリトリガイベント設定ビット
 ビット 3 **FT3** : 設定可能なイベント入力 3 の立ち下がリトリガイベント設定ビット
 ビット 2 **FT2** : 設定可能なイベント入力 2 の立ち下がリトリガイベント設定ビット
 ビット 1 **FT1** : 設定可能なイベント入力 1 の立ち下がリトリガイベント設定ビット
 ビット 0 **FT0** : 設定可能なイベント入力 0 の立ち下がリトリガイベント設定ビット

16.6.3 EXTI ソフトウェア割込みイベントレジスタ (EXTI_SWIER1)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	SWI22	SWI21	Res	Res	Res	Res	SWI16
									rw	rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWI15	SWI14	SWI13	SWI12	SWI11	SWI10	SWI9	SWI8	SWI7	SWI6	SWI5	SWI4	SWI3	SWI2	SWI1	SWI0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **SWI22** : ライン 22 のソフトウェア割込み

ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。このビットは、読出し時に必ず 0 を返します。

0 : 0 を書き込んでも、ビットの値は変化しません。

1 : このビットに 1 を書き込むと、ライン 22 でイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

ビット 21 **SWI21** : ライン 21 のソフトウェア割込み

ビット 20:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **SWI16** : ライン 16 のソフトウェア割込み

ビット 15 **SWI15** : ライン 15 のソフトウェア割込み

ビット 14 **SWI14** : ライン 14 のソフトウェア割込み

ビット 13 **SWI13** : ライン 13 のソフトウェア割込み

ビット 12 **SWI12** : ライン 12 のソフトウェア割込み

ビット 11 **SWI11** : ライン 11 のソフトウェア割込み

ビット 10 **SWI10** : ライン 10 のソフトウェア割込み

ビット 9 **SWI9** : ライン 9 のソフトウェア割込み

ビット 8 **SWI8** : ライン 8 のソフトウェア割込み

- ビット7 **SWI7** : ライン7のソフトウェア割込み
- ビット6 **SWI6** : ライン6のソフトウェア割込み
- ビット5 **SWI5** : ライン5のソフトウェア割込み
- ビット4 **SWI4** : ライン4のソフトウェア割込み
- ビット3 **SWI3** : ライン3のソフトウェア割込み
- ビット2 **SWI2** : ライン2のソフトウェア割込み
- ビット1 **SWI1** : ライン1のソフトウェア割込み
- ビット0 **SWI0** : ライン0のソフトウェア割込み

16.6.4 EXTI ペンディングレジスタ (EXTI_PR1)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PIF22	PIF21	Res.	Res.	Res.	Res.	PIF16
									rw	rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIF15	PIF14	PIF13	PIF12	PIF11	PIF10	PIF9	PIF8	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PIF22** : イベント入力 22 のペンディングビット

これらのビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

0 : トリガリクエストは発生していません。

1 : トリガリクエストが発生しました。

ビット 21 **PIF21** : イベント入力 21 のペンディングビット

ビット 20:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **PIF16** : イベント入力 16 のペンディングビット

ビット 15 **PIF15** : イベント入力 15 のペンディングビット

ビット 14 **PIF14** : イベント入力 14 のペンディングビット

ビット 13 **PIF13** : イベント入力 13 のペンディングビット

ビット 12 **PIF12** : イベント入力 12 のペンディングビット

ビット 11 **PIF11** : イベント入力 11 のペンディングビット

ビット 10 **PIF10** : イベント入力 10 のペンディングビット

ビット 9 **PIF9** : イベント入力 9 のペンディングビット

ビット 8 **PIF8** : イベント入力 8 のペンディングビット

ビット 7 **PIF7** : イベント入力 7 のペンディングビット

ビット 6 **PIF6** : イベント入力 6 のペンディングビット

ビット 5 **PIF5** : イベント入力 5 のペンディングビット

ビット 4 **PIF4** : イベント入力 4 の ペンディングビット
 ビット 3 **PIF3** : イベント入力 3 の ペンディングビット
 ビット 2 **PIF2** : イベント入力 2 の ペンディングビット
 ビット 1 **PIF1** : イベント入力 1 の ペンディングビット
 ビット 0 **PIF0** : イベント入力 0 の ペンディングビット

16.6.5 EXTI 立ち上がりトリガ選択レジスタ (EXTI_RTSTR2)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	RT45	Res.	Res.	Res.	RT41	RT40	Res.	Res.	Res.	Res.	Res.	RT34	Res.	Res.
		rw				rw	rw						rw		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **RT45** : 設定可能なイベント入力 45 の立ち上がりトリガイイベント設定ビット

0 : 入力ラインの (イベントと割込みについて) 立ち上がりトリガは無効です。

1 : 入力ラインの (イベントと割込みについて) 立ち上がりトリガは有効です。

注 : 設定可能なイベント入力にはエッジトリガされます。これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書き込み中に設定可能なイベント入力で立ち上がりエッジが発生した場合、関連するペンディングビットはセットされません。

同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **RT41** : 設定可能なイベント入力 41 の立ち上がりトリガイイベント設定ビット

ビット 8 **RT40** : 設定可能なイベント入力 40 の立ち上がりトリガイイベント設定ビット

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **RT34** : 設定可能なイベント入力 34 の立ち上がりトリガイイベント設定ビット

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

16.6.6 EXTI 立ち下がリトリガ選択レジスタ (EXTI_FTSR2)

アドレス・オフセット : 0x024

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	FT45	Res.	Res.	Res.	FT41	FT40	Res.	Res.	Res.	Res.	Res.	FT34	Res.	Res.
		rW				rW	rW						rW		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **FT45** : 設定可能なイベント入力 45 の立ち下がリトリガイイベント設定ビット

0 : 入力ラインの (イベントと割込みについて) 立ち下がリトリガは無効です。

1 : 入力ラインの (イベントと割込みについて) 立ち下がリトリガは有効です。

注 : 設定可能なイベント入力はエッジトリガされます。これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書き込み中に設定可能なイベント入力で立ち下がリエッジが発生した場合、関連するペンディングビットはセットされません。

同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がリエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FT41** : 設定可能なイベント入力 41 の立ち下がリトリガイイベント設定ビット

ビット 8 **FT40** : 設定可能なイベント入力 40 の立ち下がリトリガイイベント設定ビット

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **FT34** : 設定可能なイベント入力 34 の立ち下がリトリガイイベント設定ビット

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

16.6.7 EXTI ソフトウェア割り込みイベントレジスタ (EXTI_SWIER2)

アドレス・オフセット : 0x028

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SWI45	Res.	Res.	Res.	SWI41	SWI40	Res.	Res.	Res.	Res.	Res.	SWI34	Res.	Res.
		rw				rw	rw						rw		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 SWI45 : イベント 45 のソフトウェア割り込み

ソフトウェア割り込みは、EXTI_RTISR および EXTI_FTISR の設定とは無関係に生成されます。このビットは、読出し時に必ず 0 を返します。

0 : 0 を書き込んでも、ビットの値は変化しません。

1 : このビットに 1 を書き込むと、ライン 45 でイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 SWI41 : イベント 41 のソフトウェア割り込み

ビット 8 SWI40 : イベント 40 のソフトウェア割り込み

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 SWI34 : イベント 34 のソフトウェア割り込み

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

16.6.8 EXTI ペンディングレジスタ (EXTI_PR2)

アドレス・オフセット : 0x02C

リセット値 : 0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PIF45	Res.	Res.	Res.	PIF41	PIF40	Res.	Res.	Res.	Res.	Res.	PIF34	Res.	Res.
		rw				rw	rw						rw		

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PIF45** : イベント入力 45 の ペンディングビット

これらのビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

0 : トリガリクエストは発生していません。

1 : トリガリクエストが発生しました。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **PIF41** : イベント入力 41 の ペンディングビット

ビット 8 **PIF40** : イベント入力 40 の ペンディングビット

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **PIF34** : イベント入力 34 の ペンディングビット

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

16.6.9 EXTI 割込みマスクレジスタ (EXTI_CnIMR1)

アドレス・オフセット : ブロック 1 : 0x080

アドレス・オフセット : ブロック 2 : 0x0C0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IM[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IM[31:0]** : イベント入力 x の割込みマスクによるウェイクアップ (x = 31~0)

このフィールドの各ビットは次を示します。

0 : ライン x からの割込みリクエストによるウェイクアップはマスクされます。

1 : ライン x からの割込みリクエストによるウェイクアップはマスクされません。

16.6.10 EXTI イベントマスクレジスタ (EXTI_CnEMR1)

アドレス・オフセット：ブロック 1：0x084

アドレス・オフセット：ブロック 2：0x0C4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM22	EM21	EM20	EM19	EM18	EM17	Res.
									rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EM15	EM14	EM13	EM12	EM11	EM10	EM9	EM8	EM7	EM6	EM5	EM4	EM3	EM2	EM1	EM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **EM22**：イベント入力 22 の イベント生成マスクによるウェイクアップ
 0：ライン 22 からのイベントリクエストはマスクされます。
 1：ライン 22 からのイベントリクエストはマスクされません。

ビット 21 **EM21**：イベント入力 21 の イベント生成マスクによるウェイクアップ

ビット 20 **EM20**：イベント入力 20 の イベント生成マスクによるウェイクアップ

ビット 19 **EM19**：イベント入力 19 の イベント生成マスクによるウェイクアップ

ビット 18 **EM18**：イベント入力 18 の イベント生成マスクによるウェイクアップ

ビット 17 **EM17**：イベント入力 17 の イベント生成マスクによるウェイクアップ

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EM15**：イベント入力 15 の イベント生成マスクによるウェイクアップ

ビット 14 **EM14**：イベント入力 14 の イベント生成マスクによるウェイクアップ

ビット 13 **EM13**：イベント入力 13 の イベント生成マスクによるウェイクアップ

ビット 12 **EM12**：イベント入力 12 の イベント生成マスクによるウェイクアップ

ビット 11 **EM11**：イベント入力 11 の イベント生成マスクによるウェイクアップ

ビット 10 **EM10**：イベント入力 10 の イベント生成マスクによるウェイクアップ

ビット 9 **EM9**：イベント入力 19 の イベント生成マスクによるウェイクアップ

ビット 8 **EM8**：イベント入力 8 の イベント生成マスクによるウェイクアップ

ビット 7 **EM7**：イベント入力 7 の イベント生成マスクによるウェイクアップ

ビット 6 **EM6**：イベント入力 6 の イベント生成マスクによるウェイクアップ

ビット 5 **EM5**：イベント入力 5 の イベント生成マスクによるウェイクアップ

ビット 4 **EM4**：イベント入力 4 の イベント生成マスクによるウェイクアップ

ビット 3 **EM3**：イベント入力 3 の イベント生成マスクによるウェイクアップ

ビット 2 **EM2**：イベント入力 2 の イベント生成マスクによるウェイクアップ

ビット 1 **EM1**：イベント入力 1 の イベント生成マスクによるウェイクアップ

ビット 0 **EM0**：イベント入力 0 の イベント生成マスクによるウェイクアップ

16.6.11 EXTI 割込みマスクレジスタ (EXTI_CnIMR2)

アドレス・オフセット : ブロック 1 : 0x090

アドレス・オフセット : ブロック 2 : 0x0D0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	IM46	IM45	IM44	IM43	IM42	IM41	IM40	IM39	IM38	IM37	IM36	Res.	IM34	Res.	Res.
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW		rW		

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **IM46** : イベント入力 46 の割込みマスクによるウェイクアップ

0 : ライン 46 からの割込みリクエストによるウェイクアップはマスクされます。

1 : ライン 46 からの割込みリクエストによるウェイクアップはマスクされません。

ビット 13 **IM45** : イベント入力 45 の割込みマスクによるウェイクアップ

ビット 12 **IM44** : イベント入力 44 の割込みマスクによるウェイクアップ

ビット 11 **IM43** : イベント入力 43 の割込みマスクによるウェイクアップ

ビット 10 **IM42** : イベント入力 42 の割込みマスクによるウェイクアップ

ビット 9 **IM41** : イベント入力 41 の割込みマスクによるウェイクアップ

ビット 8 **IM40** : イベント入力 40 の割込みマスクによるウェイクアップ

ビット 7 **IM39** : イベント入力 39 の割込みマスクによるウェイクアップ

ビット 6 **IM38** : イベント入力 38 の割込みマスクによるウェイクアップ

ビット 5 **IM37** : イベント入力 37 の割込みマスクによるウェイクアップ

ビット 4 **IM36** : イベント入力 36 の割込みマスクによるウェイクアップ

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **IM34** : イベント入力 34 の割込みマスクによるウェイクアップ

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

16.6.12 EXTI イベントマスクレジスタ (EXTI_CnEMR2)

アドレス・オフセット : ブロック 1 : 0x094

アドレス・オフセット : ブロック 2 : 0x0D4

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EM41	EM40	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						rW	rW								

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EM41** : イベント入力 41 の イベント生成マスクによるウェイクアップ

0 : ライン 41 からのイベントリクエストはマスクされます。

1 : ライン 41 からのイベントリクエストはマスクされません。

ビット 8 **EM40** : イベント入力 40 の イベント生成マスクによるウェイクアップ

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

16.6.13 EXTI レジスタマップ

表 97. EXTI レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x000	EXTI_RTSR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT22	RT21	Res.	Res.	Res.	Res.	RT16	RT15	RT14	RT13	RT12	RT11	RT10	RT9	RT8	RT7	RT6	RT5	RT4	RT3	RT2	RT1	RT0	
	リセット値										0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x004	EXTI_FTSR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT22	FT21	Res.	Res.	Res.	Res.	FT16	FT15	FT14	FT13	FT12	FT11	FT10	FT9	FT8	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0	
	リセット値										0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x008	EXTI_SWIER1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI22	SWI21	Res.	Res.	Res.	Res.	SWI16	SWI15	SWI14	SWI13	SWI12	SWI11	SWI10	SWI9	SWI8	SWI7	SWI6	SWI5	SWI4	SWI3	SWI2	SWI1	SWI0	
	リセット値										0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x00C	EXTI_PR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PIF22	PIF21	Res.	Res.	Res.	Res.	PIF16	PIF15	PIF14	PIF13	PIF12	PIF11	PIF10	PIF9	PIF8	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	
	リセット値										0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x010-0x01C	予約済みです。	予約済み。																																
0x020	EXTI_RTSR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x024	EXTI_FTSR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x028	EXTI_SWIER2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x02C	EXTI_PR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x030-0x07C	予約済みです。	予約済み。																																
0x080	EXTI_C1IMR1	IM31	IM30	IM29	IM28	IM27	IM26	IM25	IM24	IM23	IM22	IM21	IM20	IM19	IM18	IM17	IM16	IM15	IM14	IM13	IM12	IM11	IM10	IM9	IM8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	EXTI_C1EMR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x08C	予約済みです。	予約済み。																																
0x090	EXTI_C1IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x094	EXTI_C1EMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x098-0x0BF	予約済みです。	予約済み。																																
0x0C0	EXTI_C2IMR1	IM31	IM30	IM29	IM28	IM27	IM26	IM25	IM24	IM23	IM22	IM21	IM20	IM19	IM18	IM17	IM16	IM15	IM14	IM13	IM12	IM11	IM10	IM9	IM8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C4	EXTI_C2EMR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x0C8	予約済みです。	予約済み。																																
0x0D0	EXTI_C2IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	
0x0D4	EXTI_C2EMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																	

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。



17 巡回冗長検査計算ユニット (CRC)

17.1 概要

CRC (Cyclic Redundancy Check : 巡回冗長検査) 計算ユニットは、8、16、または 32 ビットデータワードと、ある生成多項式から、CRC コードを得るために使用されます。

他のアプリケーションの中でも、CRC ベースのテクニックは、データ転送やストレージの整合性を確認するために使用されます。機能安全規格の範囲内では、このテクニックがFlashメモリの整合性を確認するひとつの手段となっています。CRC 計算ユニットは、実行時にソフトウェアのシグネチャ計算を支援します。リンク時に生成されて、特定のメモリ領域に保存されたリファレンスシグネチャと計算されたソフトウェアシグネチャが比較されます。

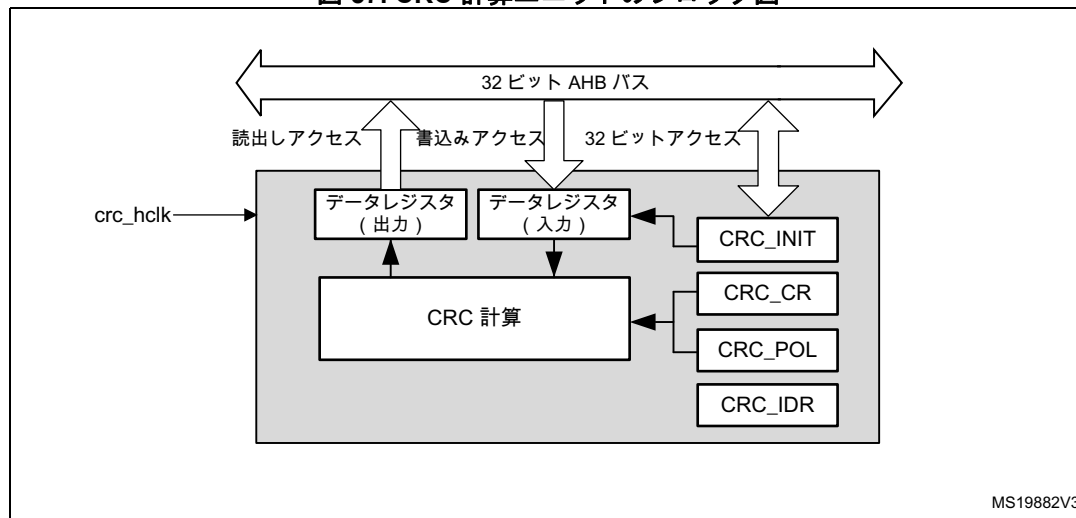
17.2 CRC の主な機能

- 以下の CRC-32 (Ethernet) 多項式を使用します。0x4C11DB7
$$X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$
- あるいは、完全にプログラム可能な多項式をプログラム可能なサイズ (7、8、16、32 ビット) で使用します。
- サイズが 8、16、32 ビットのデータを取り扱います。
- プログラム可能な CRC の初期値
- シングル入力/出力 32 ビットデータレジスタ
- 計算時のバスのストールを避けるための入力バッファ
- データサイズが 32 ビットの場合、CRC の計算は AHB クロック 4 サイクル (HCLK) 以内に行われます。
- 汎用 8 ビットレジスタ (一時ストレージとして使用可能)
- I/O データの可逆性のオプション
- AHB スレーブペリフェラルを介して 32 ビットワード単位でのみアクセスされます。ただし、例外として CRC_DR レジスタは、ワード、右詰めハーフワード、および右詰めバイト単位でアクセスできます。

17.3 CRC の機能説明

17.3.1 CRC ブロック図

図 57. CRC 計算ユニットのブロック図



17.3.2 CRC 内部信号

表 98. CRC 内部入力／出力信号

信号名	信号タイプ	説明
crc_hclk	デジタル入力	AHB クロック

17.3.3 CRC 操作

CRC 計算ユニットは、1 つの 32 ビットリード／ライトデータレジスタ (CRC_DR) を持っています。このレジスタを使用して、新しいデータを入力し (書き込みアクセス)、前回の CRC 計算結果を保持します (読出しアクセス)。

データレジスタへの書き込み操作のたびに、前回の CRC 値 (CRC_DR に格納) と新しい値の組み合わせが作成されます。CRC 計算は、書き込まれるデータのフォーマットに応じ、32 ビットデータワード全体に対して、またはバイト単位で行われます。

CRC_DR レジスタは、ワード、右詰め of のハーフワード、右詰め of のバイトによってアクセスできます。他のレジスタについては、32 ビットアクセスのみ可能です。

計算の時間はデータ幅に依存します。

- 32 ビットの場合、4 AHB クロックサイクル
- 16 ビットの場合、2 AHB クロックサイクル
- 8 ビットの場合、1 AHB クロックサイクル

入力バッファを使うと、前回の CRC 計算によるウェイトステートを待つことなく、すぐに第 2 のデータを書き込むことができます。

特定のバイト数に対する書込みアクセス数を最小限に抑えるために、データサイズを動的に調節することができます。たとえば、5 バイトの CRC は、1 ワードの書込みと、それに続く 1 バイトの書込みで計算することができます。

入力データを逆にして、さまざまなエンディアンネス方式を管理することができます。逆転操作は、CRC_CR レジスタの REV_IN[1:0] ビットに応じて、8、16、および 32 ビットで行うことができます。

たとえば、0x1A2B3C4D 入力データは、CRC 計算では以下のように使用されます。

- 0x58D43CB2 (バイト単位でビットが逆転)
- 0xD458B23C (ハーフワード単位でビットが逆転)
- 0xB23CD458 (フルワードでビットが逆転)

また、出力データも、CRC_CR レジスタの REV_OUT ビットをセットすることによって逆にすることができます。

操作はビットレベルで行われます。たとえば、0x11223344 の出力データは 0x22CC4488 に変換されます。

CRC 計算機は、CRC_CR レジスタの RESET 制御ビットを使用して、プログラム可能な値に初期化することができます (デフォルト値は 0xFFFFFFFF)。

CRC の初期値は、CRC_INIT レジスタでプログラムすることができます。CRC_DR レジスタは、CRC_INIT レジスタの書込みアクセス時に自動的に初期化されます。

CRC_IDR レジスタを使用して、CRC 計算に関する一時的な値を保持することができます。このレジスタは、CRC_CR レジスタの RESET ビットによる影響を受けません。

多項式のプログラマビリティ

多項式係数は CRC_POL レジスタを介して完全にプログラム可能であり、多項式のサイズは CRC_CR レジスタの POLYSIZE[1:0] ビットをプログラムすることにより、7、8、16、または 32 ビットに設定できます。偶多項式はサポートされていません。

注： 偶多項式のタイプは $X+X^2+..+X^n$ であり、奇多項式のタイプは $1+X+X^2+..+X^n$ です。

CRC データが 32 ビット未満であれば、その値は CRC_DR レジスタの下位ビットから読み出すことができます。

信頼できる CRC 計算結果を得るために、CRC 計算の実行中に多項式の値やサイズを変更することはできません。そのため、CRC 計算が進行中である場合、アプリケーションは計算をリセットするか、または CRC_DR の読出しを行ってから、多項式を変更しなければなりません。

多項式のデフォルト値は、CRC-32 (Ethernet) 多項式、0x4C11DB7。

17.4 CRC レジスタ

CRC_DR レジスタは、ワード、右詰めハーフワード、右詰めバイトによってアクセスできます。他のレジスタについては、32 ビットアクセスのみ可能です。

17.4.1 CRCデータレジスタ (CRC_DR)

アドレス・オフセット : 0x00

リセット値 : 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:0 **DR[31:0]** : データレジスタビット

このレジスタを使用して、CRC 計算機に新しいデータを書き込みます。

読出し時には、前回の CRC 計算結果を保持します。

データサイズが 32 ビット未満であれば、下位ビットを使用して正しい値の書き込み/読出しを行います。

17.4.2 CRC 独立型データレジスタ (CRC_IDR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IDR[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:0 **IDR[31:0]** : 汎用 32 ビットデータレジスタビット

これらのビットは、4 バイトの一時的なストレージ領域として使用できます。

このレジスタは、CRC_CR レジスタの RESET ビットによって生成される CRC リセットの影響を受けません。

17.4.3 CRC 制御レジスタ (CRC_CR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_OUT	REV_IN[1:0]		POLYSIZE[1:0]		Res.	Res.	RESET
								rw	rw	rw	rw	rw			rs

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **REV_OUT** : 出力データを逆にします。

このビットは、出力データビット順序の反転を制御します。

0 : ビットの順序は変わりません。

1 : 出力フォーマットのビットが反転しています。

ビット 6:5 **REV_IN[1:0]** : 入力データを逆にします。

このビットフィールドは、入力データのビット順序の反転を制御します

00 : ビットの順序は変わりません

01 : バイト単位でビットが反転します

10 : ハーフワード単位でビットが反転します

11 : ワード単位でビットが反転します

ビット 4:3 **POLYSIZE[1:0]** : 多項式のサイズ

これらのビットは、多項式のサイズを制御します。

00 : 32 ビットの高次多項式

01 : 16 ビットの高次多項式

10 : 8 ビットの高次多項式

11 : 7 ビットの高次多項式

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RESET** : RESET ビット

このビットは、CRC 計算ユニットをリセットし、CRC_INIT レジスタに格納された値にデータレジスタをセットするために、ソフトウェアによってセットされます。このビットはセットのみが可能で、ハードウェアによって自動的にクリアされます。

17.4.4 CRC の初期値 (CRC_INIT)

アドレス・オフセット : 0x10

リセット値 : 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC_INIT[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRC_INIT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **CRC_INIT[31:0]** : プログラム可能な CRC の初期値
 このレジスタを使用して、CRC の初期値を書き込みます。

17.4.5 CRC 多項式 (CRC_POL)

アドレス・オフセット : 0x14

リセット値 : 0x04C1 1DB7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **POL[31:0]** : プログラム可能な多項式
 このレジスタを使用して、CRC 計算に使用される多項式の係数を書き込みます。
 多項式のサイズが 32 ビット未満であれば、下位ビットを使用して正しい値をプログラムする必要があります。

17.4.6 CRC レジスタマップ

表 99. CRC レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRC_DR	DR[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	CRC_IDR	IDR[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	CRC_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_OUT	REV_IN[1:0]	POLYSIZE[1:0]		Res.	Res.	RESET
	リセット値																									0	0	0	0	0			0
0x10	CRC_INIT	CRC_INIT[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x14	CRC_POL	POL[31:0]																															
	リセット値	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	0	1	1	1	1	0	1	1	0	1	1	0	1	1

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

18 アナログデジタルコンバータ (ADC)

18.1 概要

この 12 ビット ADC は、逐次比較型アナログデジタルコンバータです。最大 18 の多重化チャネルを持ち、12 の外部および 4 の内部ソースからの信号を測定することができます。さまざまなチャネルの A/D 変換は、シングル、連続、スキャン、または不連続モードで行うことができます。ADC の結果は、左詰めまたは右詰めで 16 ビットのデータレジスタに格納されます。

アナログウォッチドッグ機能により、入力電圧が、ユーザ定義の上限値または下限値から逸脱していないかを、アプリケーションで検出することができます。

低周波数で非常に低い消費電力を可能にするために、効率的な低電力モードが実装されています。

組み込みのハードウェアのオーバーサンプリング回路により、CPU の計算負荷を軽減しながらアナログ性能を高めることができます。

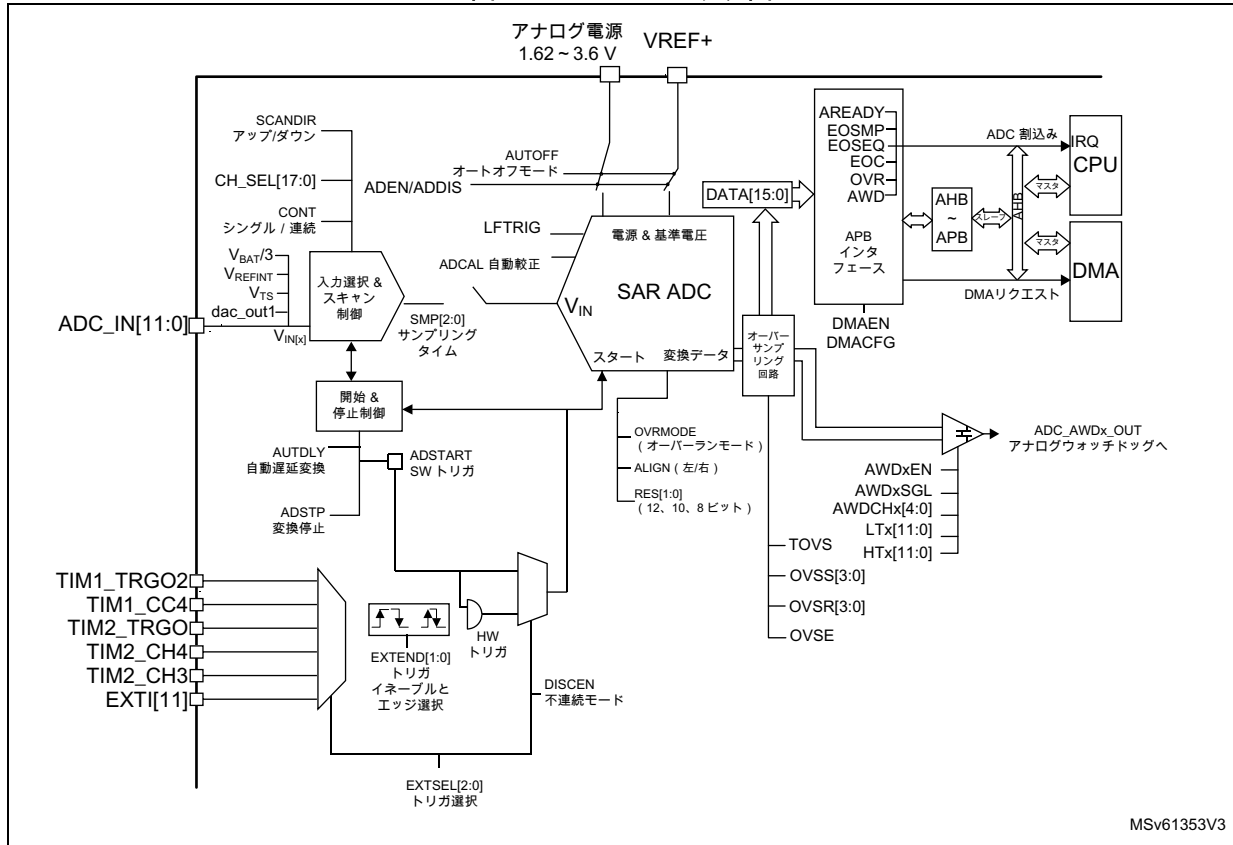
18.2 ADC の主な機能

- 高性能
 - 12 ビット、10 ビット、8 ビット、または 6 ビットの設定可能な分解能
 - ADC 変換時間：12 ビット分解能 (2.5 Msps) で 0.4 μ s。分解能を下げることによって、より高速な変換時間を達成可能。
 - 自己較正
 - プログラム可能なサンプリング時間
 - 組み込みのデータ一貫性によるデータ配置
 - DMA サポート
- 低電力
 - アプリケーションは最適な ADC 性能を維持しながら、低電力動作の PCLK 周波数を低減できます。たとえば、PCLK 周波数にかかわらず、0.4 μ s の変換時間が維持されます。
 - ウェイトモード：低 PCLK 周波数のアプリケーションの ADC オーバーランを防止します。
 - オートオフモード：アクティブ変換フェーズ中以外は、ADC の電源は自動的に切れます。これは ADC の消費電力を大幅に低減します。
- アナログ入力チャンネル
 - 12 の外部アナログ入力
 - 内部温度センサ用の 1 つのチャンネル (V_{TS})
 - 内部基準電圧用の 1 つのチャンネル (V_{REFINT})
 - 外部 V_{BAT} 電源ピン監視用の 1 つのチャンネル
 - DAC 内部チャンネル入力監視用の 1 つのチャンネル
- 変換開始は、次のように開始可能
 - ソフトウェアによって
 - 極性が設定可能なハードウェアトリガによって開始 (タイマイイベントまたは GPIO 入力イベント)
- 変換モード
 - 単一チャンネルを変換でき、または一連のチャンネルをスキャンできます。
 - シングルモードは、選択された入力をトリガごとに1回変換します。
 - 連続モードは、選択された入力を連続的に変換します。
 - 不連続モード
- サンプリング終了時、変換終了時、シーケンス変換終了時、およびアナログウォッチドッグイベントまたはオーバーランイベント時に割込みを生成します。
- アナログウォッチドッグ
- オーバーサンプリング回路
 - 16 ビットデータレジスタ
 - 2 ~ 256 倍までオーバーサンプリング比を調整可能
 - 最大 8 ビットまでプログラム可能なデータシフト
- ADC 入力電圧範囲： $V_{SSA} \leq V_{IN} \leq V_{REF+}$

18.3 ADC の機能説明

図 58 に ADC ブロック図を、表 100 に ADC ピンの説明を示します。

図 58. ADC のブロック図



18.3.1 ADC ピンおよび内部信号

表 100. ADC の入出力ピン

名前	信号タイプ	説明
VDDA	入力、アナログ電源	ADC のアナログ電源と正基準電圧
VSSA	入力、アナログ供給グラウンド	アナログ電源供給のグラウンド
VREF+	入力、アナログ基準電圧正	A/D コンバータのハイレベル/正基準電圧。
ADC_INx	アナログ入力信号	12 の外部アナログ入力チャネル

表 101. ADC 内部入力/出力信号

内部信号名	信号タイプ	説明
V _{IN} [X]	アナログ入力チャネル	内部チャネルまたは ADC_IN _i 外部チャネルのいずれかに接続
TRG _x	入力	ADC 変換トリガ
V _{TS}	入力	内部温度センサ出力電圧
V _{REFINT}	入力	内部電圧基準出力電圧

表 101. ADC 内部入力/出力信号 (続き)

内部信号名	信号タイプ	説明
V _{BAT/3}	入力	3 で分圧された VBAT ピン入力電圧
dac_out1	入力	DAC 内部チャンネル 1 入力
ADC_AWDx_OUT	出力	オンチップタイマに接続された内部アナログウォッチドッグの出力信号 (x = アナログウォッチドッグ番号 = 1、2、3)

表 102. 外部トリガ

名前	転送元	EXTSEL[2:0]
TRG0	TIM1_TRGO2	000
TRG1	TIM1_CC4	001
TRG2	TIM2_TRGO	010
TRG3	TIM2_CH4	011
TRG4	予約済みです。	100
TRG5	TIM2_CH3	101
TRG6	予約済みです。	110
TRG7	EXTI11	111

18.3.2 ADC 電圧レギュレータ (ADVREGEN)

ADC には特定の内部電圧レギュレータがあり、ADC を使用する前に有効にして、安定させる必要があります。

ADC 内部電圧レギュレータは、ADC_CR レジスタの ADVREGEN ビットを 1 にすれば有効にできます。ソフトウェアは、較正を起動するか ADC を有効化する前に、ADC 電圧レギュレータのスタートアップ時間 (t_{ADCVREG_STUP}) だけ待つ必要があります。この遅延はソフトウェアで管理する必要があります (t_{ADCVREG_STUP} の詳細についてはデバイスのデータシートを参照してください)。

ADC の動作が完了すると、ADC は無効化されます (ADEN = 0)。消費電力を低く保つため、低電力モード (LPRun、LPSleep、または STOP モード) に入る前に ADC 電圧レギュレータを無効にすることが重要です。セクション : [ADC 電圧レギュレータの無効化シーケンス](#) を参照してください。

注 : 内部電圧レギュレータが無効なときには、内部アナログ較正が保持されます。

電力制御ユニットからのアナログ基準電圧

内部 ADC 電圧レギュレータは、バッファを通じて電力制御ユニットから供給されるアナログ基準電圧を内部で使います。このバッファは、電力制御ユニットのメイン電圧レギュレータが通常のランモードのときは常に有効です (リセット、クロック制御、および電力制御のセクションを参照してください)。

メイン電圧レギュレータが低電力モード (低電圧運転モードなど) のときはこのバッファは無効で、ADC は使用できません。

ADC 電圧レギュレータイネーブルシーケンス

ADC 電圧レギュレータを有効にするには ADC_CR レジスタの ADVREGEN ビットを 1 にします。

ADC電圧レギュレータの無効化シーケンス

ADC 電圧レギュレータを無効にするには、以下のシーケンスに従います。

1. ADC が無効であることを確認します (ADEN=0)。
2. ADC_CR レジスタの ADVREGEN ビットをクリアします。

18.3.3 較正 (ADCAL)

ADC は較正機能を備えています。この手順時、ADC は、次の ADC の電源オフまで ADC に内部で適用される較正係数を計算します。アプリケーションは、較正中は ADC を使用してはならず、較正が完了するまで待つ必要があります。

較正は、A/D 変換を開始する前に行ってください。較正は、プロセスのばらつきによりチップごとに異なることがあるオフセットエラーを削除します。

較正は、ビット ADCAL を 1 にセットすることによってソフトウェアによって開始されます。以下の条件がすべて満たされた場合にのみ、開始できます。

- ADC 電圧レギュレータが有効になっています (ADVREGEN = 1 および LDORDY = 1)。
- ADC は無効で (ADEN = 0)、かつ
- 自動オフモードは無効になっています (AUTOFF=0)。

すべての較正シーケンス時、ADCAL ビットは 1 のままです。較正が完了すると、ハードウェアによってクリアされます。その後、較正係数を ADC_DR レジスタ (ビット 6 ~ 0) から読み出すことができます。

ADC が無効の場合 (ADEN=0)、内部アナログ較正が保持されます。ADC 動作条件が変化したときには (V_{DDA} の変化が ADC オフセットのばらつきの主因であり、温度変化はそれほど影響しません)、較正サイクルを再実行することが推奨されます。

以下の場合、較正係数は失われます。

- ADC の電源がオフ (たとえば、製品が Standby or VBAT モードになった場合)。
- ADC ペリフェラルがリセットされたとき。

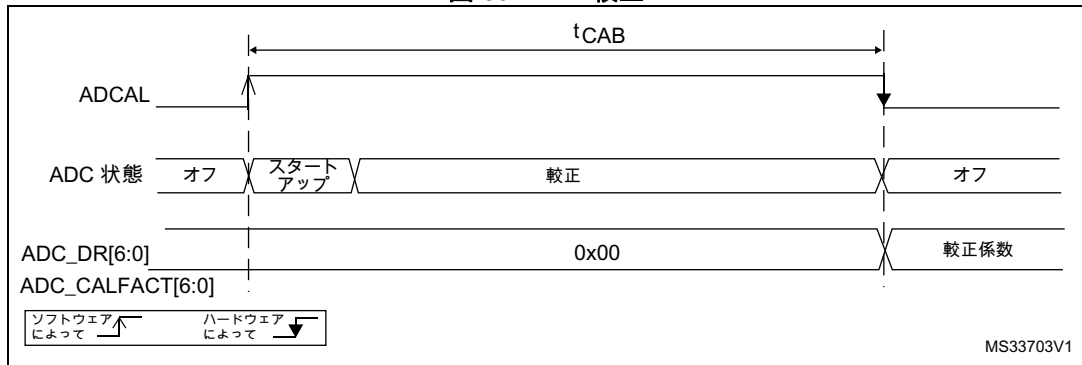
較正係数は ADC の電源がオフになるたびに失われます (たとえば、製品が Standby or VBAT モードになった場合)。しかし、ADC を再起動するときの時間を短縮するために、ソフトウェアによって較正係数を保存して復元することも可能です (ADC パワーダウン中の温度と電圧が安定している限り)。

ADC が有効であり、変換中でない場合 (ADEN = 1 かつ ADSTART = 0)、較正係数を書き込むことができます。その場合、次の変換開始時に、較正係数がアナログ ADC に自動的にインジェクトされます。このローディングは透過的であり、変換開始のサイクル遅延は増加しません。

ソフトウェア較正手順

1. ADEN = 0、AUTOFF = 0、ADVREGEN = 1、および DMAEN = 0 であることを確認します。
2. ADCAL = 1 にセットします。
3. ADCAL = 0 (または EOCAL = 1) になるまで待ちます。これは、ADC_IER レジスタの EOCALIE ビットをセットすることによって割込みを有効にした場合、割込みによって処理できます。
4. 較正係数を ADC_DR または ADC_CALFACT レジスタのビット 6:0 から読み出すことができます。
5. 較正係数抽出のノイズの影響を低減するため、ソフトウェアでは 8 つの CALFACT[6:0] 値の平均を求めることができます (オプション)。

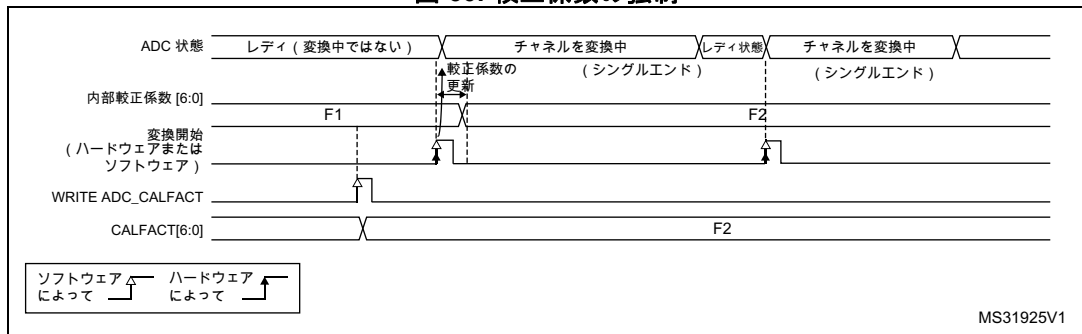
図 59. ADC 較正



較正係数を強制するソフトウェアの手順

1. ADEN = 1 かつ ADSTART = 0 である (ADC が起動していて、変換中でない) ことを確認します。
2. 保存済みの較正係数とともに ADC_CALFACT を書き込みます。
3. 較正係数は、新しい変換が開始されるとすぐに使用されます。

図 60. 較正係数の強制



18.3.4 ADC オン/オフ制御 (ADEN、ADDIS、ADRDY)

パワーアップ時、ADC は無効になり、パワーダウンモードになります (ADEN = 0)。

図 61 に示すように、ADC は正確な変換を開始する前に、安定化時間 t_{STAB} を必要とします。

ADC を有効化または無効化するには、2 つの制御ビットが使用されます。

- ADC を有効にするには、ADEN = 1 をセットします。ADC の動作準備ができると、ADRDY フラグがセットされます。
- ADC を無効にして、ADC をパワーダウンモードにするには、ADDIS = 1 をセットします。ADC が完全に無効になると、ADEN および ADDIS ビットはハードウェアによって自動的にクリアされます。

その後、ADSTART に 1 をセットすることによって (551 ページのセクション 18.4: 外部トリガおよびトリガ極性での変換 (EXTSEL、EXTEN) を参照)、またはトリガが有効な場合は外部トリガイベントが発生したときに、変換を開始できます。

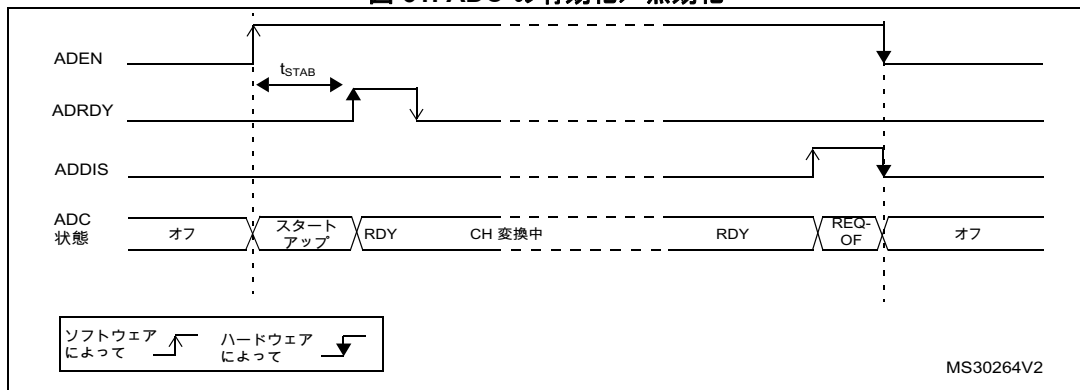
ADC を有効にするには、次の手順を実行します。

1. ADC_ISR レジスタの ADRDY ビットを 1 に設定してクリアします。
2. ADC_CR レジスタの ADEN = 1 をセットします。
3. ADC_ISR レジスタの ADRDY = 1 になるまで待ちます (ADRDY は ADC 起動時間後にセットされます)。これは、ADC_IER レジスタの ADRDYIE ビットをセットすることによって割り込みを有効にした場合、割り込みによって処理できます。

ADC を無効にするには、次の手順を実行します。

1. ADC_CR レジスタの ADSTART = 0 を確認して、変換が実行中でないことを確認します。必要な場合は、ADC_CR レジスタの ADSTP ビットに 1 を書き込み、このビットが 0 として読み出されるまで待つことによって、実行中の変換を停止します。
2. ADC_CR レジスタの ADDIS = 1 をセットします。
3. アプリケーションによって必要とされる場合、ADC_CR レジスタが ADEN = 0 になり、ADC が完全に無効であることを示すまで待ちます (ADEN = 0 になると、ADDIS は自動的にリセットされます)。
4. ADC_ISR レジスタの ADRDY ビットを 1 に設定してクリアします (オプション)。

図 61. ADC の有効化／無効化

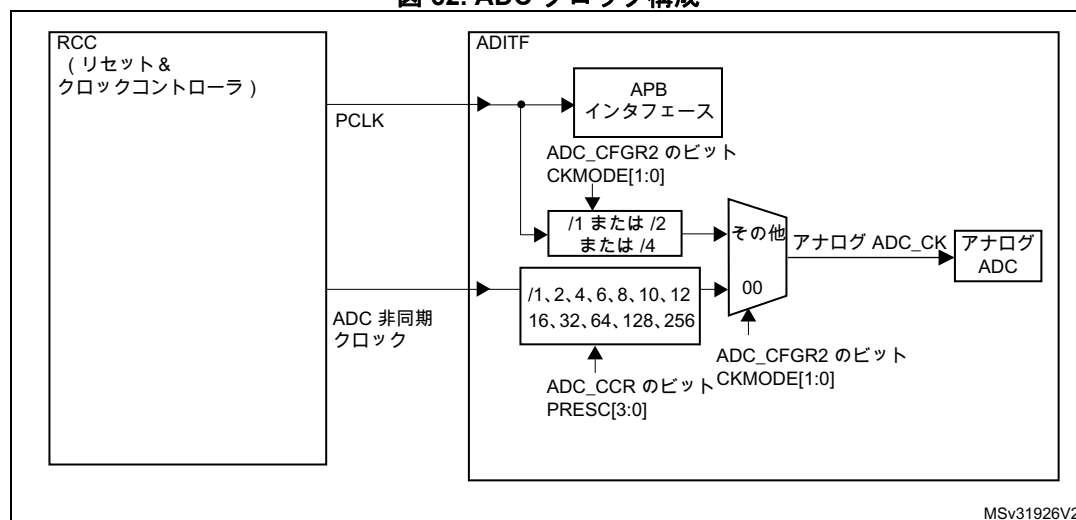


注： オートオフモード (AUTOFF = 1) の場合、パワーオン / オフフェーズはハードウェアによって自動的に実行され、ADRDY フラグはセットされません。

18.3.5 ADC クロック (CKMODE、PRESC[3:0])

ADC はデュアルクロックドメインアーキテクチャを持つので、ADC に APB クロック (PCLK) から独立したクロック (ADC 非同期クロック) を与えることができます。

図 62. ADC クロック構成



1. PCLK クロック および ADC 非同期クロックを有効にする方法については、リセットおよびクロック制御 (RCC) のセクションを参照してください。

アナログ ADC の入力クロックは、2 つのクロックソースから選択できます (PCLK クロックおよび ADC 非同期クロックを有効にする方法については、[図 62: ADC クロック構成](#) を参照してください)。

- a) ADC クロックは、APB クロックから独立し、非同期の「ADC 非同期クロック」という名前の特定のクロックソースにできます。
このクロックソースの生成の詳細については、RCC のセクションを参照してください。
この構成を選択するには、ADC_CFGR2 レジスタのビット CKMODE[1:0] をリセットする必要があります。
- b) ADC クロックは ADC バスインタフェースの APB クロックから取得して、ビット CKMODE[1:0] に従ってプログラム可能な係数 (1、2、または 4) で分周することができます。
この構成を選択するには、ADC_CFGR2 レジスタのビット CKMODE[1:0] が "00" 以外の値である必要があります。

オプション a) では、生成された ADC クロックは、ADC_CCR レジスタのビット PRESC[3:0] をプログラムするときに、プリスケラにより最終的に分周 (1, 2, 4, 6, 8, 10, 12, 16, 32, 64, 128, 256) されます。

オプション a) には、選択された APB クロック構成にかかわらず、最大の ADC クロック周波数に達するという利点があります。

オプション b) には、クロックドメインの再同期を迂回するという利点があります。これは、ADC がタイマによってトリガされるときと、アプリケーションが ADC の確実に精密なトリガを必要とする場合に便利です (そうしないと、トリガインスタンスの不確実性は、2 つのクロックドメイン間の再同期によって高まります)。

表 103. トリガから変換開始までの遅延⁽¹⁾

ADC クロックソース	CKMODE[1:0]	トリガイベントと変換開始の間の遅延
HSI16、SYSCLK、または PLLPCLK ⁽²⁾	00	遅延は決定的ではありません (ジッタ)。
PCLK は 2 分周されます。	01	遅延は決定的であり (ジッタではない)、3.25 ADC クロックサイクルに等しい。
PCLK は 4 分周されます。	10	遅延は決定的であり (ジッタではない)、3.125 ADC クロックサイクルに等しい。
PCLK は 1 分周されます。	11	遅延は決定的であり (ジッタではない)、3 ADC クロックサイクルに等しい。

1. 最大の ADC_CLK 周波数は、デバイスデータシートを参照してください。

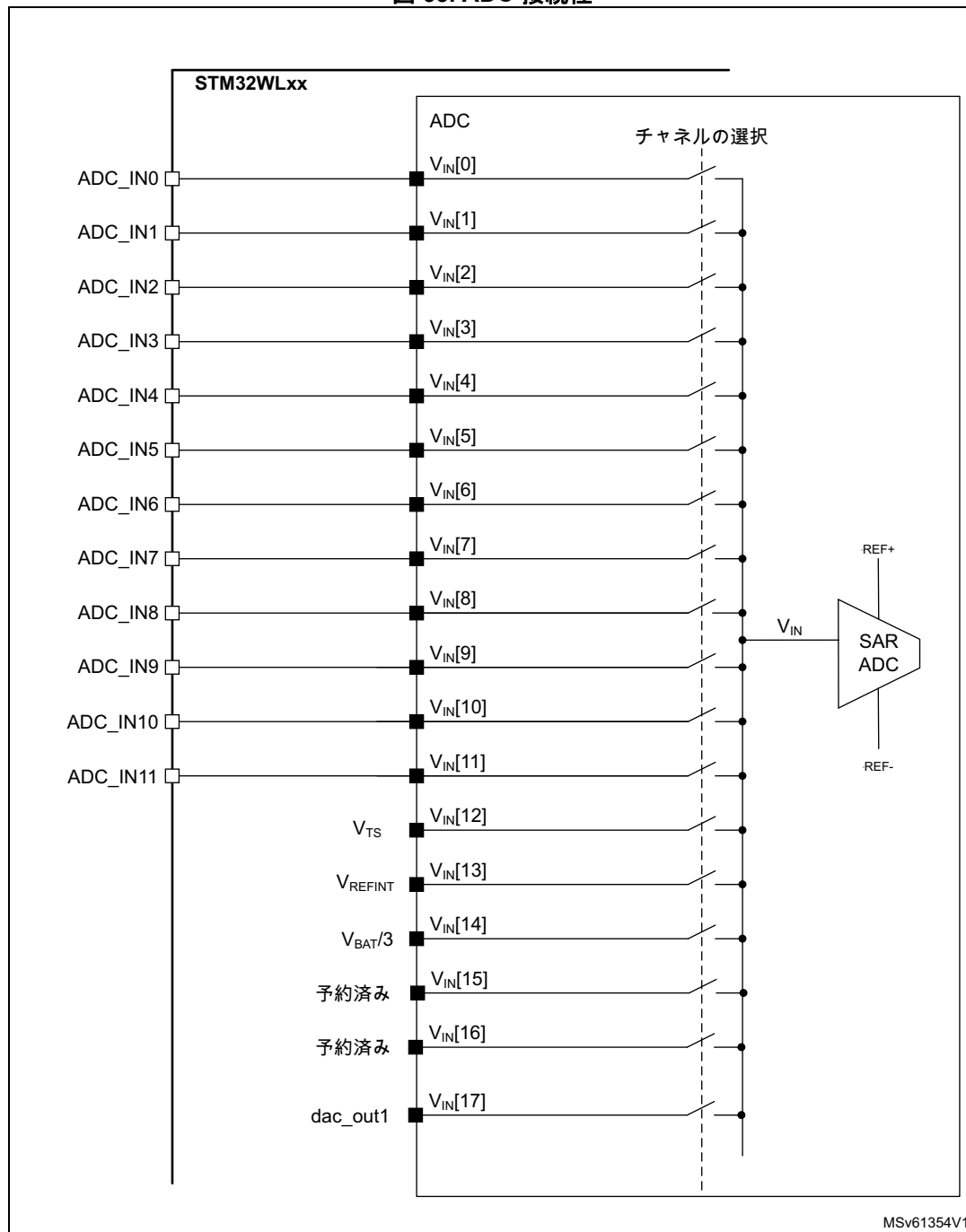
2. RCC_CCIPR レジスタの ADCSEL ビットフィールドで選択します。

注意 : CKMODE[1:0] = 11 (PCLK は 1 分周されます) を選択するときには、ユーザは PCLK が 50% のデューティサイクルを持つことを確認する必要があります。これは、デューティサイクルが50% のシステムクロックを選択し、RCCレジスタを使いバイパスモードでAPB プリスケアラを設定することによって行います (リセットおよびクロックコントローラのセクションを参照してください)。内部ソースクロックが選択された場合、AHB および APB プリスケアラはクロックを分周しません。

18.3.6 ADC 接続性

ADC 入力は、図 63 に示すように内部ソースに加えて外部チャンネルにも接続されている。

図 63. ADC 接続性



18.3.7 ADC の設定

ソフトウェアは、ADC が無効 (ADEN をクリアする必要があります) のときにのみ、ADC_CR レジスタの ADCAL および ADEN ビットに書き込み、ADC_CFGR1 および ADC_CFGR2 レジスタを設定する必要があります。

ADC が有効であり、ADC を無効にする保留中のリクエストがない場合のみ (ADEN = 1 かつ ADDIS = 0)、ソフトウェアは ADC_CR レジスタの ADSTART および ADDIS ビットに書き込む必要があります。

ADC_IER、ADC_SMPR、ADC_CHSELR、および ADC_CCR レジスタの他のすべてのビットについては、[セクション 18.12: ADC レジスタ](#) に示す対応する制御ビットの記述内容を参照してください。

変換の実行中に ADC_AWDTRx レジスタの内容を変更できます。

ADC が有効であり (おそらく変換中)、ADC を無効にする保留中のリクエストがない場合のみ (ADSTART = 1 かつ ADDIS = 0)、ソフトウェアは ADC_CR レジスタの ADSTP ビットに書き込む必要があります。

注: 上記のルールによって禁じられた書き込み操作をソフトウェアが行わないようにするハードウェア保護はありません。そのような禁止された書き込みアクセスが発生した場合、ADC は未定義の状態になることがあります。この場合に正しい動作を回復するには、ADC を無効にする必要があります (ADEN = 0 と ADC_CR レジスタのすべてのビットをクリアします)。

18.3.8 チャンネル選択 (CHSEL, SCANDIR, CHSELRMOD)

最大 18 の多重化チャンネルがあります。

- GPIO ピンからの 12 のアナログ入力 (ADC_INx)
- 4 の内部アナログ入力 (温度センサ、内部基準電圧、DAC 内部チャンネル 1、V_{BAT} チャンネル)
- 2 つの予約済みアナログ入力 (ADC V_{IN}[16] および V_{IN}[15])

単一チャンネル、または一連のチャンネルを変換できます。

変換されるチャンネルのシーケンスは、ADC_CHSELR チャンネル選択レジスタでプログラムできます。各アナログ入力チャンネルに専用の選択ビットがあります (CHSELx)。

ADC スキャンシーケンスは 2 つのモードで使用することができます。

- 完全には設定可能ではないシーケンス

チャンネルがスキャンされる順序は、チャンネル番号によって定義されます (CHSELRMOD ビットを ADC_CFGR1 レジスタでクリアする必要があります)。

 - シーケンスの長さは ADC_CHSELR レジスタの CHSELx ビットで設定します。
 - シーケンス方向: チャンネルは、SCANDIR ビットの値に応じて、前方 (最小チャンネル番号から最大チャンネル番号へ) または後方 (最大チャンネル番号から最小チャンネル番号へ) にスキャンされます (SCANDIR = 0: 前方スキャン、SCANDIR = 1: 後方スキャン)。
 - どのチャンネルでもこれらのシーケンスに属することができます。
- 完全に設定可能なシーケンス

CHSELRMOD ビットが ADC_CFGR1 レジスタにセットされます。

 - シーケンスの長さは最大で 8 チャンネルです。
 - チャンネルがスキャンされる順序はチャンネル番号とは無関係です。どのような順序でも ADC_CHSELR レジスタの SQ1[3:0] から SQ8[3:0] ビットで設定できます。
 - このシーケンスでは、チャンネル 0 から 14 のみが選択可能です。
 - シーケンスが SQx[3:0] = 0b1111 を検出すると、次の SQx[3:0] レジスタは無視されます。
 - SQx[3:0] に 0b1111 がプログラムされていない場合、シーケンスは 8 チャンネル全部をスキャンします。

ADC CHSELR、SCANDIR、およびCHSELRMOD ビット をプログラムした後、変換の開始する前に CCRDY フラグを待つ必要があります。フラグは新しいチャンネル設定が適用されたことを示します。新しい設定が必要なときは、変換を開始する前に CCRDY フラグをクリアする必要があります。

ADSTART ビットがクリアされている（変換が実行中ではない）ときに限り、ソフトウェアは CHSEL、SCANDIR、および CHSELRMOD ビットをプログラムすることができます。

温度センサ、DAC 出力、V_{REFINT}、および V_{BAT} 内部チャンネル

温度センサは、チャンネル ADC に接続されます。V_{IN}[12]

内部電圧基準 V_{REFINT} は、チャンネル ADC に接続されます V_{IN}[13]。

V_{BAT} チャンネルは ADCV_{IN}[14] チャンネルに接続されています。

内部 dac_out1 出力電圧は ADC V_{IN}[17] チャンネルに接続されます。

18.3.9 プログラム可能なサンプリング時間 (SMPx[2:0])

変換を開始する前に、ADC は測定する電圧ソースと ADC の内蔵サンプリングコンデンサの間の直接接続を確立する必要があります。このサンプリング時間は、入力電圧ソースがサンプルをチャージし、コンデンサが入力電圧レベルを保持できるだけの十分な長さが必要です。

プログラム可能なサンプリング時間によって、入力電圧ソースの入力抵抗に従って変換速度を微調整することができます。

ADC は、一定の ADC クロックサイクル数だけ入力電圧をサンプリングしますが、この時間は、ADC_SMPR レジスタの SMP1[2:0] および SMP2[2:0] ビットを使用して変更できます。

各チャンネルは、ADC_SMPR レジスタの SMPSELx ビットにより、SMP1[2:0] および SMP2[2:0] ビットフィールドに設定された 2 つのサンプリング時間から 1 つ選択できます。

合計変換時間は、次のように計算されます。

$$t_{\text{CONV}} = \text{サンプリング時間} + 12.5 \times \text{ADC クロックサイクル}$$

例：

$$\text{ADC_CLK} = 16 \text{ MHz、サンプリング時間} = 1.5 \text{ ADC クロックサイクル}：$$

$$t_{\text{CONV}} = 1.5 + 12.5 = 14 \text{ ADC クロックサイクル} = 0.875 \mu\text{s}$$

ADC は、EOSMP フラグをセットすることによって、サンプリングフェーズの終了を示します。

18.3.10 シングル変換モード (CONT = 0)

シングル変換モードでは、ADC は単一シーケンスの変換を実行して、すべてのチャンネルを一度変換します。このモードは ADC_CFGR1 レジスタの CONT = 0 のときに選択されます。変換は、次のいずれかによって開始されます。

- ADC_CR レジスタの ADSTART ビットのセット
- ハードウェアトリガイベント

シーケンス内で、各変換の完了後、

- 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
- EOC (end of conversion) フラグがセットされます。
- EOCIE ビットがセットされている場合、割込みが生成されます。

変換シーケンスの完了後、

- EOS (シーケンス完了) フラグがセットされます。
- EOSIE ビットがセットされている場合、割込みが生成されます。

次に、ADC は、新しい外部トリガイベントが発生するか、ADSTART ビットが再びセットされるまで停止します。

注： 単一チャンネルを変換するには、長さが 1 のシーケンスをプログラムします。

18.3.11 連続変換モード (CONT = 1)

連続変換モードでは、ソフトウェアまたはハードウェアトリガイベントが発生すると、ADC は一連の変換を実行して、すべてのチャンネルを一度変換した後、自動的に再起動して、同じ変換シーケンスを連続的に実行します。このモードは ADC_CFGR1 レジスタの CONT = 1 のときに選択されます。変換は、次のいずれかによって開始されます。

- ADC_CR レジスタの ADSTART ビットのセット
- ハードウェアトリガイベント

シーケンス内で、各変換の完了後、

- 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
- EOC (end of conversion) フラグがセットされます。
- EOCIE ビットがセットされている場合、割込みが生成されます。

変換シーケンスの完了後、

- EOS (シーケンス完了) フラグがセットされます。
- EOSIE ビットがセットされている場合、割込みが生成されます。

次に、新しいシーケンスをすぐに再開して、ADC は変換シーケンスを連続的に繰り返します。

注： 単一チャンネルを変換するには、長さが 1 のシーケンスをプログラムします。

不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方のビットをセットすることは禁じられています。

18.3.12 変換の開始 (ADSTART)

ソフトウェアは、ADSTART = 1 をセットすることによって ADC 変換を開始します。

ADSTART がセットされると、変換は、

- EXTEN = 00 (ソフトウェアトリガ) の場合、すぐに開始します。
- EXTEN ≠ 00 の場合、選択されたハードウェアトリガの次のアクティブエッジで開始します。

ADSTART ビットは、ADC の動作が実行中かどうかを示すためにも使用されます。ADSTART = 0 であり、ADC がアイドルであることを示しているときには、ADC を再設定できます。

ADSTART ビットは、ハードウェアによってクリアされます。

- ソフトウェアトリガによるシングルモードのとき (CONT = 0、EXTEN = 00)
 - 変換シーケンスの終了時に (EOS = 1)
- ソフトウェアトリガによる不連続モードのとき (CONT = 0、DISCEN = 1、EXTEN = 00)
 - 変換の終了時に (EOC = 1)
- すべての場合に (CONT = x、EXTEN = XX)
 - ソフトウェアによって起動された ADSTP 手順の実行後 ([550 ページのセクション 18.3.14: 実行中の変換の停止 \(ADSTP\)](#) を参照)

注： 連続モード (CONT = 1) では、EOS フラグがセットされたとき、シーケンスは自動的に再起動されるので、ADSTART ビットはハードウェアによってクリアされません。

シングルモードでハードウェアトリガが選択されている場合 (CONT = 0、EXTEN = 01)、EOS フラグがセットされたとき、ADSTART はハードウェアによってクリアされません (ただし、DMAEN = 1 および DMACFG = 0 の場合は DMA 転送後に ADSTART がクリアされます)。このため、ソフトウェアは ADSTART ビットを再びセットする必要がなく、次のトリガイイベントを見逃す恐れがありません。

チャンネル選択設定を変更した後 (ADC_CHSELR レジスタのプログラミング、または、CHSELRMOD または SCANDIR の変更による)、ADSTART をアサートする前に CCRDY フラグがアサートされるまで待つ必要があります。そうしないと、ADSTART に書き込んだ値が無視されます。

18.3.13 タイミング

変換の開始から変換の終了までの経過時間は、設定されたサンプリング時間に逐次比較時間 (データ分解能に依存) を加えた合計です。

$$t_{CONV} = t_{SMPL} + t_{SAR} = [1.5]_{\min} + 12.5 [12\text{bit}] \times t_{ADC_CLK}$$

$$t_{CONV} = t_{SMPL} + t_{SAR} = 42.9 \text{ ns }_{\min} + 357.1 \text{ ns }_{12\text{bit}} = 0.400 \mu\text{s }_{\min} \quad (f_{ADC_CLK} = 35 \text{ MHz の場合})$$

図 64. アナログ/デジタル変換時間

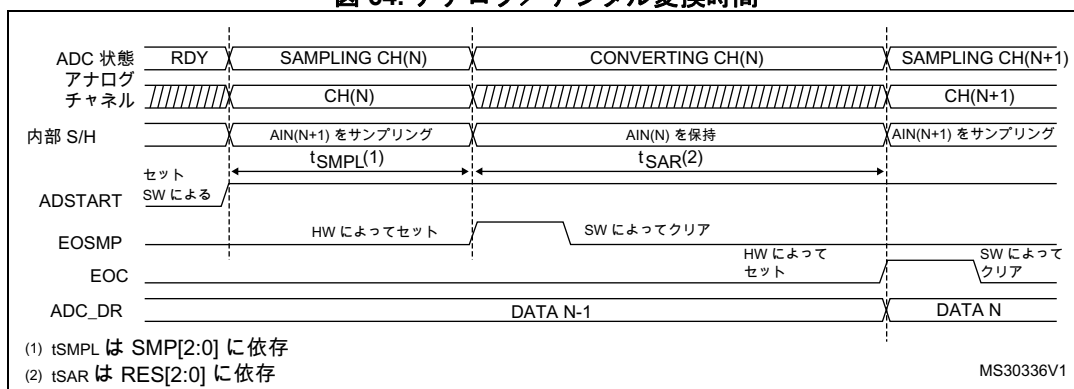
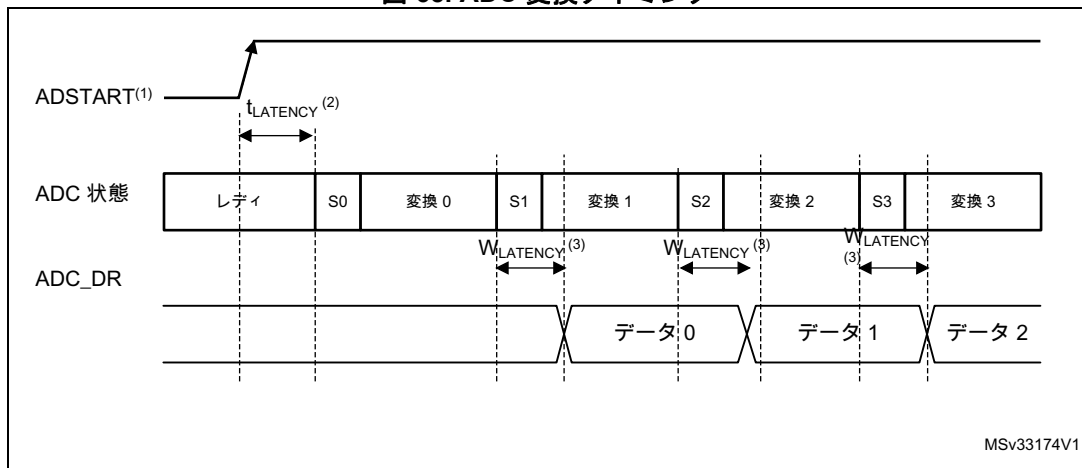


図 65. ADC 変換タイミング



1. EXTEN = 00 または EXTEN ≠ 00
2. トリガ遅延 (詳細についてはデータシートを参照)
3. ADC_DR レジスタ書き込み遅延 (詳細についてはデータシートを参照)

18.3.14 実行中の変換の停止 (ADSTP)

ソフトウェアは、ADC_CR レジスタの ADSTP = 1 をセットすることによって、実行中の変換を停止することができます。

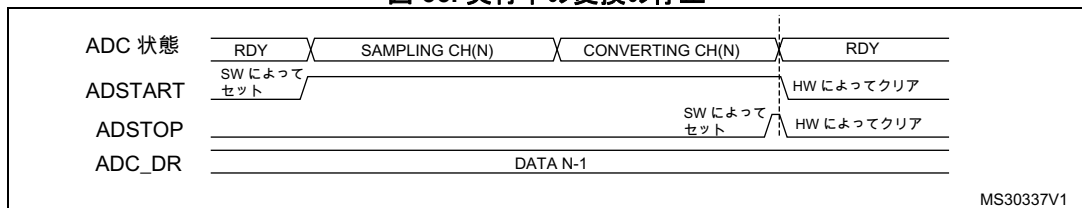
これによって ADC 動作がリセットされ、ADC はアイドルになり、新しい動作の準備ができます。

ADSTP ビットがソフトウェアによってセットされると、実行中の変換は中止され、結果は破棄されます (ADC_DR レジスタは現在の変換で更新されません)。

スキャンシーケンスも中止され、リセットされます (ADC を再起動すると、新しいシーケンスが再開されることを意味します)。

この手順が完了すると、ADSTP および ADSTART ビットの両方がハードウェアによってクリアされ、ソフトウェアは新しい変換を開始する前に ADSTART=0 になるまで待つ必要があります。

図 66. 実行中の変換の停止



18.4 外部トリガおよびトリガ極性での変換 (EXTSEL、EXTEN)

変換または変換シーケンスは、ソフトウェアによって、または外部イベント (タイマキャプチャなど) によってトリガされます。EXTEN[1:0] 制御ビットが "0b00" に等しくない場合、外部イベントは選択された極性で変換をトリガできます。トリガ選択は、ソフトウェアがビット ADSTART = 1 をセットすると有効になります。

変換中に発生したハードウェアトリガは無視されます。

ビット ADSTART = 0 の場合、発生したハードウェアトリガは無視されます。

表 104 にEXTEN[1:0] の値とトリガ極性の対応を示します。

表 104. トリガ極性の設定

転送元	EXTEN[1:0]
トリガ検出は無効です。	00
立ち上がりエッジで検出します。	01
立ち下がりエッジで検出します。	10
立ち上がりエッジと立ち下がりエッジの両方で検出します。	11

注： 外部トリガの極性は、ADC が変換中でない (ADSTART = 0) ときだけ変更できます。

EXTSEL[2:0] 制御ビットは、8 つの可能なイベントのうち、変換をトリガするイベントを選択するために使用されます。

レギュラ変換に使用できるすべての外部トリガの一覧については、[セクション 18.3.1: ADC ピンおよび内部信号](#) の表 102: 外部トリガ を参照してください。

ソフトウェアソーストリガイベントは、ADC_CR レジスタの ADSTART ビットをセットすることによって生成できます。

注： トリガ選択は、ADC が変換中でない (ADSTART = 0) ときだけ変更できます。

18.4.1 不連続モード (DISCEN)

このモードは、ADC_CFGR1 レジスタの DISCEN ビットをセットすることによって有効になります。

このモード (DISCEN = 1) では、シーケンスで定義された各変換を開始するには、ハードウェアまたはソフトウェアトリガイベントが必要です。逆に、DISCEN = 0 の場合は、単一のハードウェアまたはソフトウェアトリガイベントが、シーケンス内で定義されたすべての変換を連続的に開始します。

例：

- DISCEN = 1、変換されるチャネル = 0、3、7、10
 - 最初のトリガ：チャネル 0 が変換され、EOC イベントが生成されます。
 - 2 番目のトリガ：チャネル 3 が変換され、EOC イベントが生成されます。
 - 3 番目のトリガ：チャネル 7 が変換され、EOC イベントが生成されます。
 - 4 番目のトリガ：チャネル 10 が変換され、EOC イベントと EOS イベントの両方が生成されます。
 - 5 番目のトリガ：チャネル 0 が変換され、EOC イベントが生成されます。
 - 6 番目のトリガ：チャネル 3 が変換され、EOC イベントが生成されます。
 -

- DISCEN = 0、変換されるチャネル = 0、3、7、10
 - 最初のトリガ：シーケンス全体、すなわち、チャネル 0、3、7、および 10 が変換されます。各変換後に EOC イベントが生成され、最後の変換後には EOS イベントも生成されます。
 - 後続のトリガイベントがあると、シーケンス全体が再開されます。

注： 不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方のビットをセットすることは禁じられています。

18.4.2 プログラム可能な分解能 (RES) - 高速変換モード

ADC の分解能を下げることによって、高速な変換時間 (t_{SAR}) が可能になります。

分解能は、ADC_CFGR1 レジスタの RES[1:0] ビットをプログラムすることによって、12、10、8、または 6 ビットに設定できます。分解能を下げることによって、高いデータ精度を必要としないアプリケーションの変換時間を高速にできます。

注： RES[1:0] ビットは、ADEN ビットがリセットされたときだけ変更する必要があります。

変換結果は常に 12 ビット幅であり、未使用の LSB ビットはゼロとして読み出されます。

分解能を下げると、表 105 に示すように、逐次比較ステップに必要な変換時間が短縮されます。

表 105. t_{SAR} タイミングは分解能に依存

RES[1:0] ビット	t_{SAR} (ADC クロック サイクル)	t_{SAR} (ns) ($f_{ADC} =$ 35 MHz 時)	t_{SMPL} (min) (ADC クロック サイクル)	t_{CONV} (ADC クロック サイクル) (最小 t_{SMPL} を含む)	t_{CONV} (ns) ($f_{ADC} =$ 35 MHz 時)
12	12.5	357	1.5	14	400
10	10.5	300	1.5	12	343
8	8.5	243	1.5	10	286
6	6.5	186	1.5	8	229

18.4.3 変換の終了、サンプリングフェーズの終了 (EOC、EOSMP フラグ)

ADC は、各変換の終了 (EOC) イベントを示します。

ADC は、新しい変換データ結果が ADC_DR レジスタで使用可能になるとすぐに、ADC_ISR レジスタの EOC フラグをセットします。ADC_IER レジスタの EOCIE ビットがセットされている場合、割込みが生成されます。EOC フラグは、ソフトウェアによって 1 を書き込むことによって、または ADC_DR レジスタを読み出すことによってクリアされます。

ADC は、ADC_ISR レジスタの EOSMP フラグをセットすることによって、サンプリングフェーズの終了も示します。EOSMP フラグは、ソフトウェアによって 1 を書き込むことによってクリアされず。ADC_IER レジスタの EOSMPIE ビットがセットされている場合、割込みが生成されます。

この割込みの目的は、処理を変換と同期するためです。一般に、アナログマルチプレクサには変換フェーズ中の隠された時間でアクセスできるため、マルチプレクサは次のサンプリング開始時に位置づけられます。

注： サンプリングの終了から変換の終了までは非常に短時間しか残されていないため、割込みと WFI 命令ではなく、ポーリングまたは WFE 命令を使用することが推奨されます。

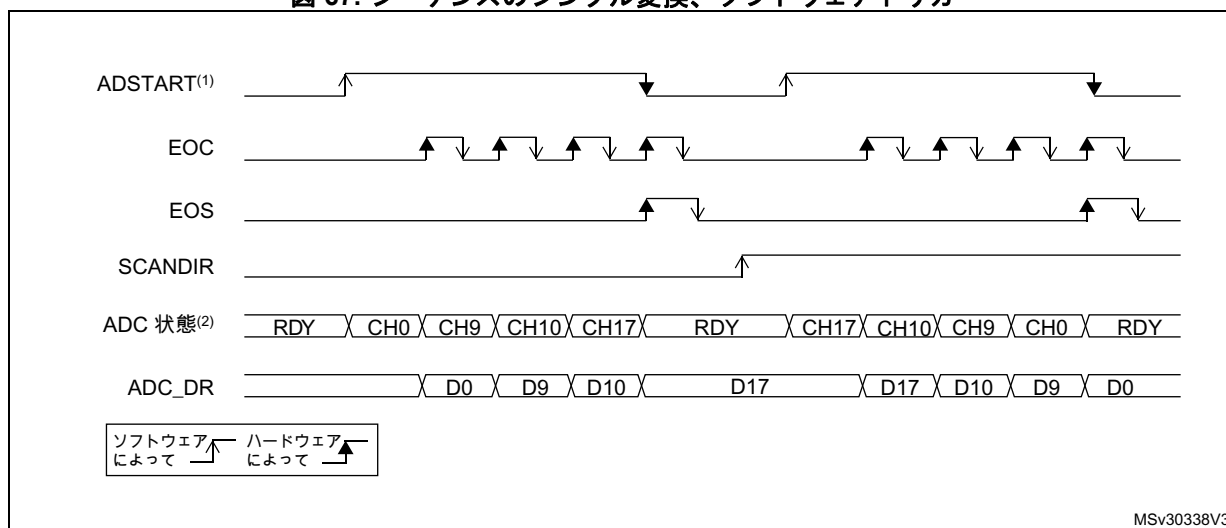
18.4.4 変換シーケンスの終了 (EOS フラグ)

ADC は各シーケンスの終了 (EOS) イベントをアプリケーションに通知します。

ADC は、変換の最後のデータ結果が ADC_DR レジスタで使用可能になるとすぐに、ADC_ISR レジスタの EOS フラグをセットします。ADC_IER レジスタの EOSIE ビットがセットされている場合、割り込みが生成されます。EOS フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

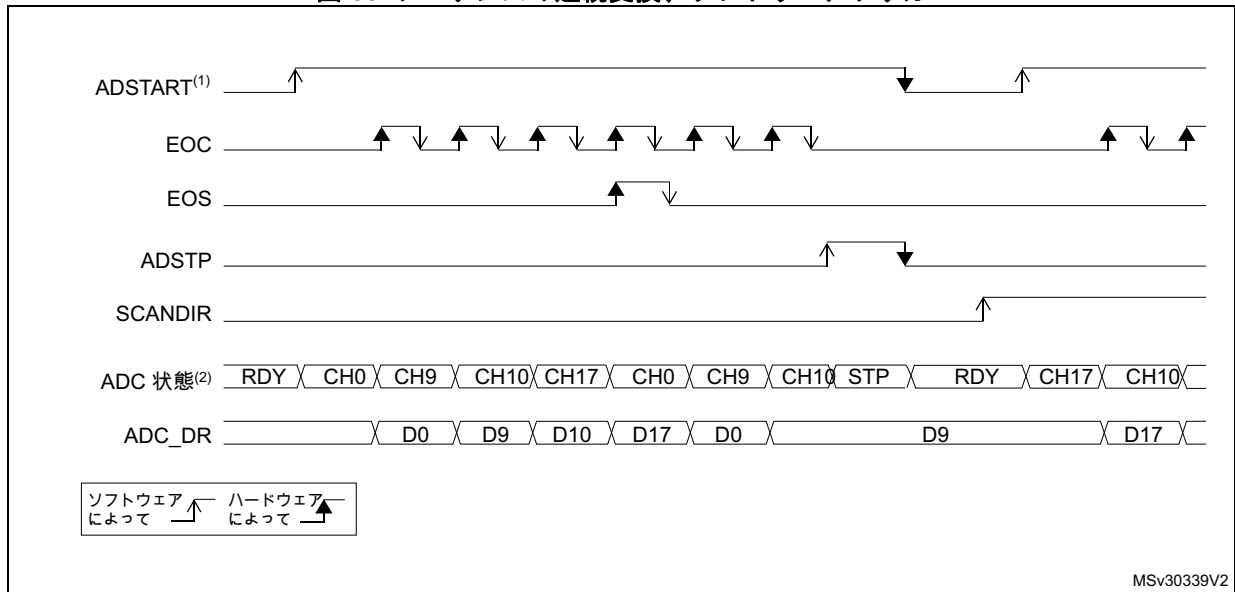
18.4.5 タイミング図の例 (シングル/連続モードのハードウェア/ソフトウェアトリガ)

図 67. シーケンスのシングル変換、ソフトウェアトリガ



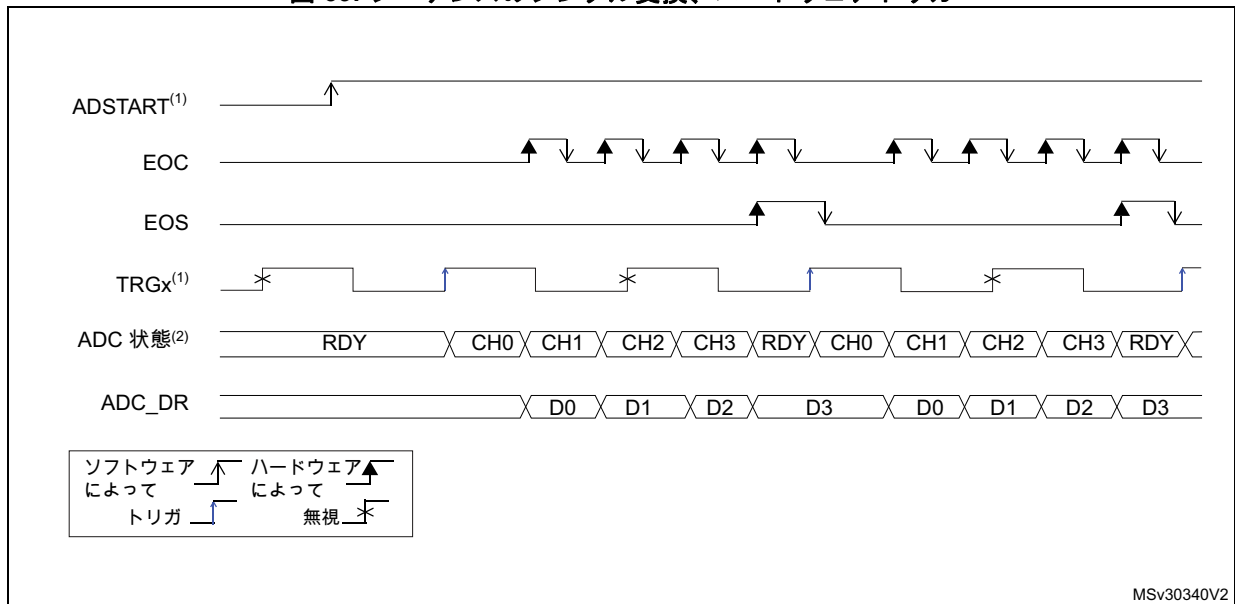
1. EXTEN = 00、CONT = 0
2. CHSEL = 0x20601、WAIT = 0、AUTOFF = 0

図 68. シーケンスの連続変換、ソフトウェアトリガ



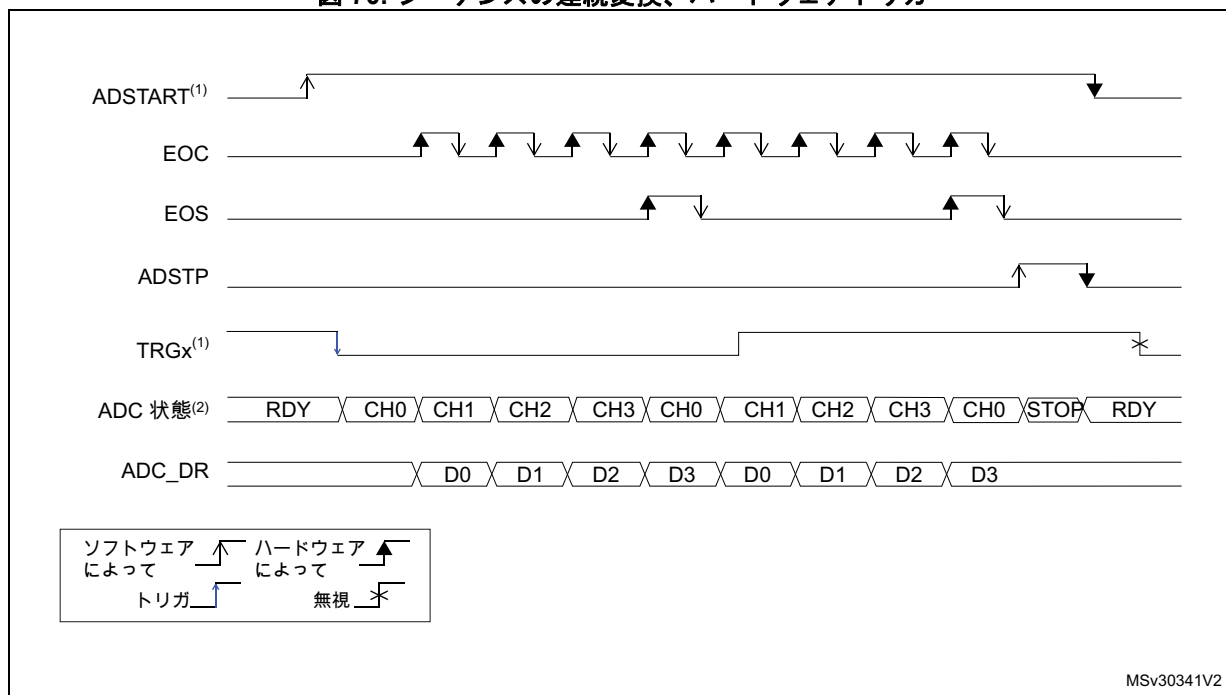
- EXTEN = 00、CONT = 1、
- CHSEL = 0x20601、WAIT = 0、AUTOFF = 0

図 69. シーケンスのシングル変換、ハードウェアトリガ



- EXTSEL = TRGx (オーバー周波数)、EXTEN = 01 (立ち上がりエッジ)、CONT=0
- CHSEL = 0xF、SCANDIR = 0、WAIT = 0、AUTOFF = 0

図 70. シーケンスの連続変換、ハードウェアトリガ



- EXTSEL = TRGx、EXTEN = 10 (立ち下がりエッジ)、CONT = 1
- CHSEL = 0xF、SCANDIR = 0、WAIT = 0、AUTOFF = 0

18.4.6 低周波数トリガモード

ADC が有効になるかまたは最後の ADC 変換が完了したとき、ADC は新しい変換を開始する準備が整います。ADC は事前定義した時間 (t_{idle}) に開始する必要があります。そうしないと、トランジスタのリークにより ADC の変換データが破壊される可能性があります (t_{idle} の最大値についてはデバイスデータシートを参照してください)。

アプリケーションが最大の t_{idle} 値 (シングル変換モードにおける 1 つのトリガからもう 1 つのトリガまでの間、または ADC イネーブルと最初の ADC 変換の間) より長い時間をサポートしなければならない場合、ADC 内部状態の再設定が必要になります。このメカニズムは、ADC_CFGR2 レジスタの LFTRIG ビットに 1 をセットすれば有効になります。このビットを設定することで、どのようなトリガでも (ソフトウェアまたはハードウェア) ADC にリアームコマンドを送ることができます。変換は、LFTRIG クリア の時と比べて 1 ADC クロックサイクルの遅延の後に開始されます。

AUTOFF ビットがセットされているときは、このモードを使う必要はありません。ウェイトモードの場合、内部リアームコマンドを生成できるのは最初のトリガだけです。

18.5 データ管理

18.5.1 データレジスタおよびデータの配置 (ADC_DR、ALIGN)

各変換の終了時 (EOC イベントの発生時)、変換されたデータの結果は 16 ビット幅の ADC_DR データレジスタに格納されます。

ADC_DR のフォーマットは、設定されたデータ配置と分解能に依存します。

ADC_CFGR1 レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。図 71 に示すように、データは右詰め (ALIGN = 0) または左詰め (ALIGN = 1) にできます。

図 71. データの配置と分解能 (オーバーサンプリング無効 : OVSE = 0)

ALIGN	RES	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0x0	0x0											DR[11:0]				
	0x1	0x00						DR[9:0]									
	0x2	0x00						DR[7:0]									
	0x3	0x00						DR[5:0]									
1	0x0	DR[11:0]											0x0				
	0x1	DR[9:0]						0x00									
	0x2	DR[7:0]						0x00									
	0x3	0x00						DR[5:0]						0x0			

MS30342V1

18.5.2 ADC オーバーラン (OVR、OVRMOD)

オーバーランフラグ (OVR) は、新しい変換からのデータが使用可能になる前に、変換されたデータが CPU または DMA によって時間内に読み出されなかったときに、データオーバーランを示します。

OVR フラグは、新しい変換が完了した時点で EOC フラグが '1' のままであった場合に、ADC_ISR レジスタでセットされます。ADC_IER レジスタの OVRIE ビットがセットされている場合、割込みが生成されます。

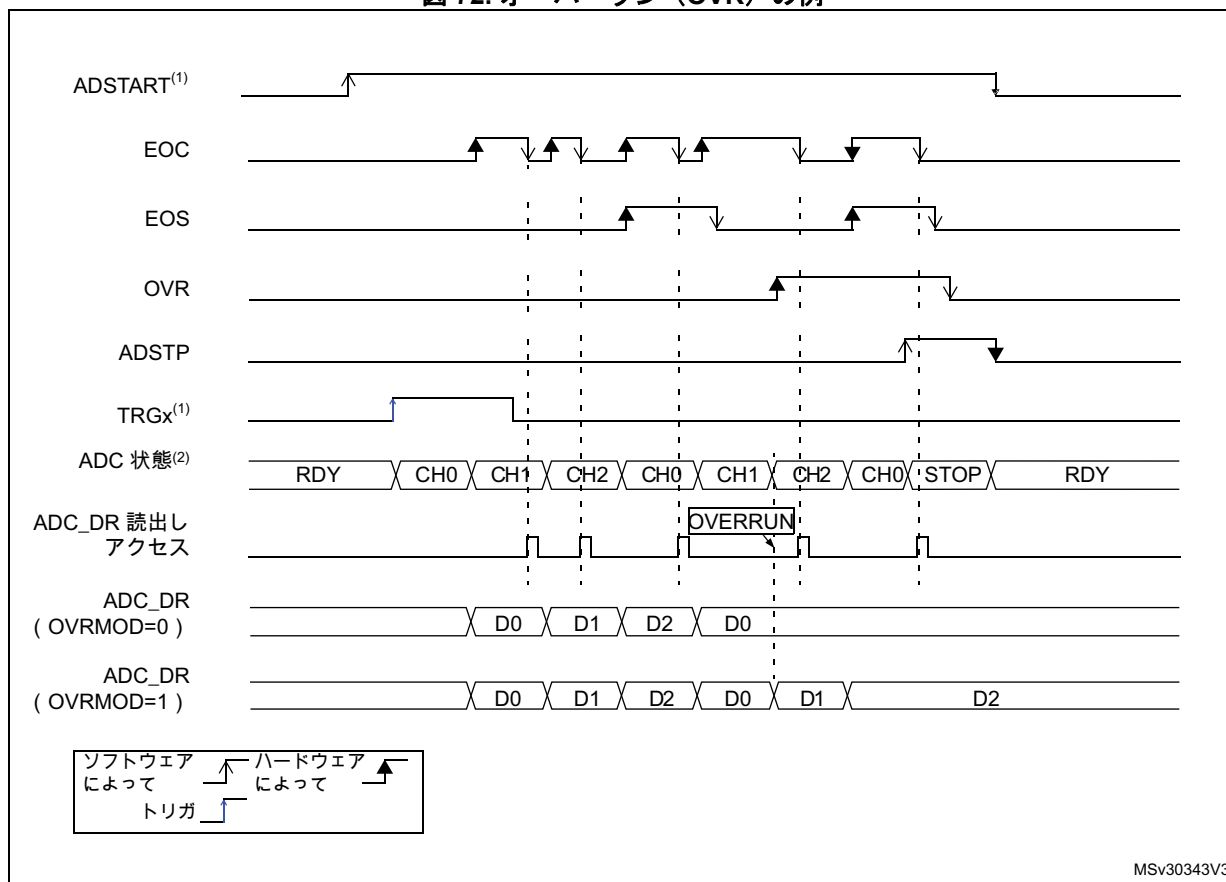
オーバーラン条件が発生すると、ADC は動作し続け、ソフトウェアが ADC_CR レジスタの ADSTP ビットをセットすることによってシーケンスの停止とリセットを決めるまで、変換を続行できます。

OVR フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

ADC_CFGR1 レジスタの OVRMOD ビットをプログラムすることによって、オーバーランイベントが発生したときにデータが保存されるか上書きされるかを設定できます。

- OVRMOD = 0
 - オーバーランイベントが発生しても、データレジスタは上書きされません。古いデータは保持され、新しい変換は破棄されます。OVR が 1 のままの場合、さらに変換を実行できますが、結果データは破棄されます。
- OVRMOD = 1
 - データレジスタは最後の変換結果で上書きされ、以前の未読データは失われます。OVR が 1 のままの場合、さらに変換を実行でき、ADC_DR レジスタは常に最新の変換からのデータを含みます。

図 72. オーバーラン (OVR) の例



18.5.3 DMA を使用しない変換データシーケンスの管理

変換が十分に遅い場合、ソフトウェアで変換シーケンスを処理することができます。この場合、ソフトウェアは EOC フラグと関連の割込みを使用して、各データ結果を処理する必要があります。変換が完了するたびに、ADC_ISR レジスタの EOC ビットがセットされ、ADC_DR レジスタを読み出すことができます。オーバーラインイベントをエラーとして管理するには、ADC_CFGR1 レジスタの OVRMOD ビットを 0 に設定する必要があります。

18.5.4 オーバーランなしでの DMA を使用しない変換データの管理

変換のたびにデータの読出しをせずに ADC に 1 つまたは複数のチャンネルを変換させると便利な場合があります。この場合、OVRMOD ビットを 1 に設定する必要があります。ソフトウェアは OVR フラグを無視する必要があります。OVRMOD = 1 のとき、オーバーラインイベントが発生しても ADC は変換を続行し、ADC_DR レジスタは常に最新の変換データを含みます。

18.5.5 DMA を使用した変換データの管理

変換されたレギュラチャネルの値はすべて、単一のデータレジスタに格納されるので、複数のチャネルを変換するときには DMA を使用すると効率的です。これによって、ADC_DR レジスタに格納されている変換データ結果が失われるのを避けることができます。

DMA モードが有効なとき (ADC_CFGR1 レジスタの DMAEN ビットがセットされている)、各チャネルの変換後、DMA リクエストが生成されます。これにより、変換されたデータを ADC_DR レジスタからソフトウェアで選択した場所へ転送することができます。

注： ADC_CFGR1 レジスタの DMAEN ビットは、ADC 較正フェーズ後にセットする必要があります。

これにもかかわらず、DMA が DMA 転送リクエストを時間内に処理できなかったためにオーバーランが発生した場合 (OVR = 1)、ADC は DMA リクエストの生成を停止し、新しい変換に対応するデータは DMA によって転送されません。これは、RAM に転送されるすべてのデータを有効とみなすことができることを意味します。

OVRMOD ビットの設定に応じて、データは保存または上書きされます (556 ページのセクション 18.5.2: ADC オーバーラン (OVR、OVRMOD) を参照してください)。

DMA 転送リクエストは、ソフトウェアが OVR ビットをクリアするまでブロックされます。

アプリケーションの用途に応じて 2 つの DMA モードがあり、ADC_CFGR1 レジスタのビット DMACFG で設定されます。

- DMA ワンショットモード (DMACFG = 0)。
DMA が固定数のデータワードを転送するようにプログラムされたときには、このモードを選択してください。
- DMA サーキュラモード (DMACFG = 1)
DMA をサーキュラモードまたはダブルバッファモードでプログラムするときには、このモードを選択してください。

DMA ワンショットモード (DMACFG = 0)

このモードでは、ADC は新しい変換データワードが使用可能になるたびに DMA 転送リクエストを生成し、変換が再び開始された場合でも、DMA が最後の DMA 転送に達すると (転送完了割込みが発生すると) (Section 10: Direct memory access controller (DMA) on page 190 を参照)、DMA リクエストの生成を停止します。

DMA 転送が完了すると (DMA コントローラで設定されたすべての転送が終了すると)、

- ADC データレジスタの内容が停止されます。
- 実行中の変換は中止され、その部分的な結果は破棄されます。
- DMA コントローラに対する新しい DMA リクエストは発行されません。これによって、開始された変換がある場合のオーバーランエラーの生成を回避します。
- スキャンシーケンスは中止され、リセットされます。
- DMA は停止します。

DMA サーキュラモード (DMACFG = 1)

このモードでは、DMA が最後の DMA 転送に達した場合でも、ADC は新しい変換データワードがデータレジスタで使用可能になるたびに DMA 転送リクエストを生成します。これにより、DMA を連続的なアナログ入力データストリームを処理するようにサーキュラモードで設定できます。

18.6 低電力機能

18.6.1 ウェイトモード変換

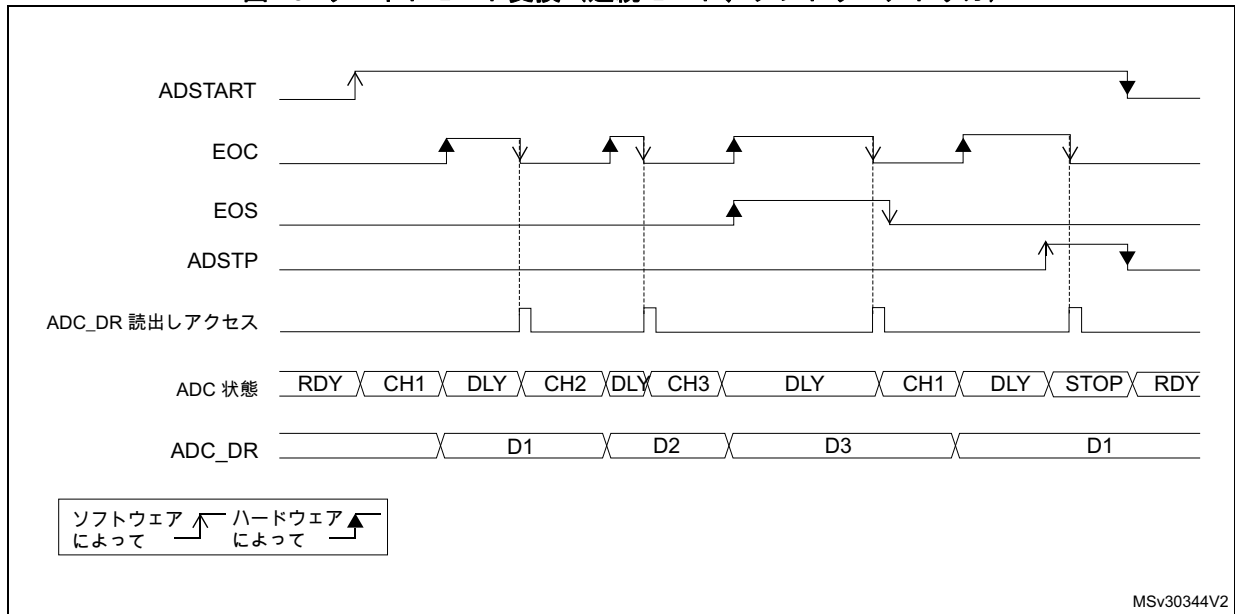
ウェイトモード変換を使用すると、ソフトウェアを単純化するだけでなく、ADC オーバーランが発生するリスクのある低周波数のクロックで動作しているアプリケーションのパフォーマンスを最適化できます。

ADC_CFGR1 レジスタの WAIT ビットがセットされているとき、新しい変換は、前のデータが処理された場合、ADC_DR レジスタが読み出された場合、または EOC ビットがクリアされた場合のみ開始できます。

これは、ADC の速度をデータを読み出すシステムの速度に自動的に適応させる方法です。

注： 変換中または読み出しアクセス前のウェイト時間中に発生したハードウェアトリガは無視されます。

図 73. ウェイトモード変換 (連続モード、ソフトウェアトリガ)



- EXTEN = 00、CONT = 1
- CHSEL = 0x3、SCANDIR = 0、WAIT = 1、AUTOFF = 0

18.6.2 オートオフモード (AUTOFF)

ADC にはオートオフモードと呼ばれる自動電源管理機能があり、ADC_CFGR1 レジスタの AUTOFF = 1 をセットすることによって有効になります。

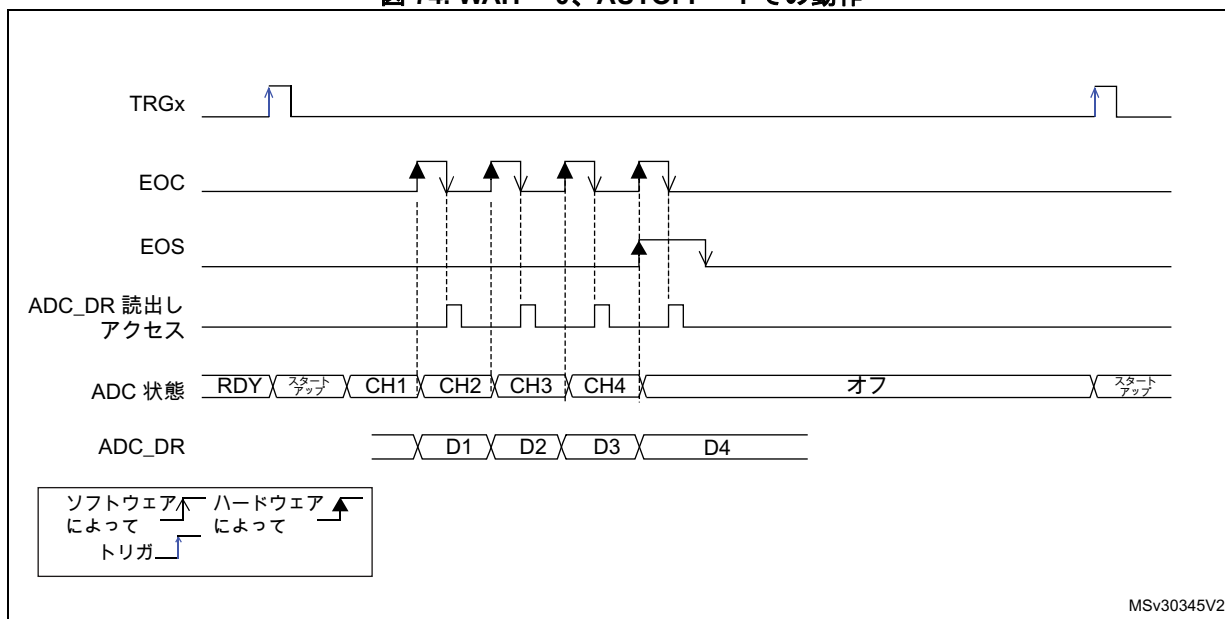
AUTOFF = 1 のとき、ADC は、変換中でないときには常に電源がオフであり、(ソフトウェアまたはハードウェアトリガによって) 変換が開始されると自動的にウェイクアップします。変換を開始するトリガイベントと ADC のサンプリング時間の間に、スタートアップ時間が自動的に挿入されます。変換シーケンスが完了すると、ADC は自動的に無効になります。

オートオフモードは、アプリケーションが比較的少ない変換しか必要としないとき、または変換リクエストの間隔が十分に離れているとき (低周波数のハードウェアトリガによる場合など) に消費電力を大幅に削減できるため、ADC のオンとオフを切り替えるために余分な電力と余分な時間がかかって引き合います。

低周波数のクロックで動作するアプリケーションの場合、オートオフモードとウェイトモード変換 (WAIT = 1) を組み合わせることができます。この組み合わせは、ADC がウェイトフェーズで自動的に電源オフされ、ADC_DR レジスタがアプリケーションによって読み出されるとすぐに再起動する場合、大幅な節電を可能にします (図 75: WAIT = 1、AUTOFF = 1 での動作を参照してください)。

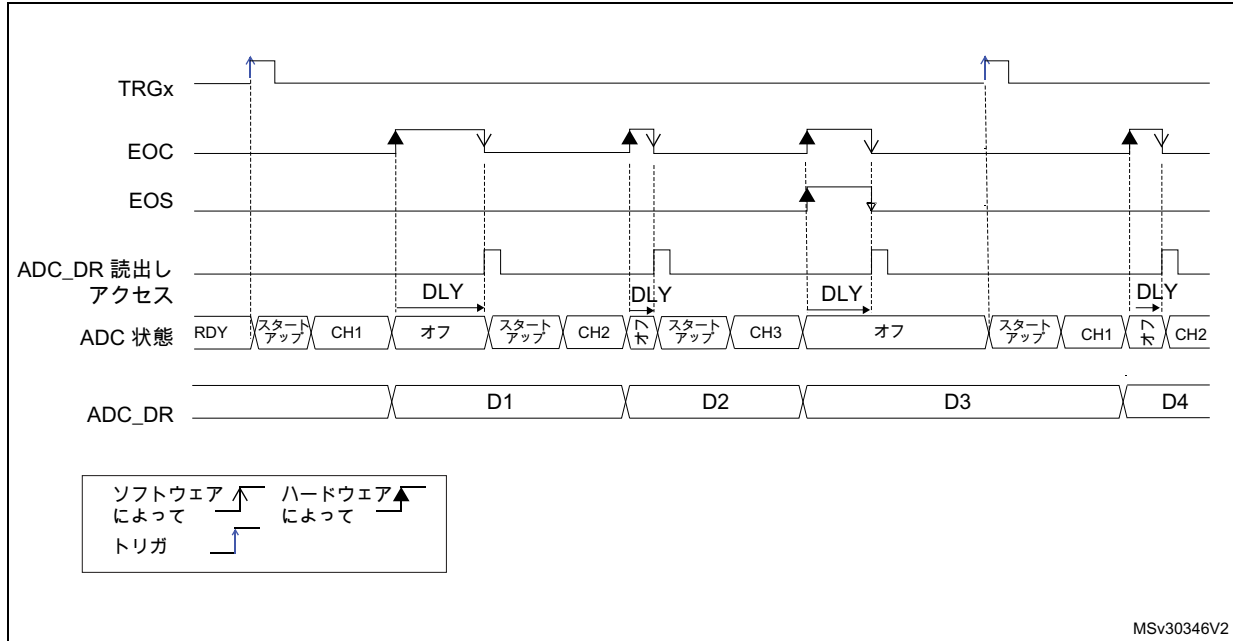
注： 専用 14 MHz 内部オシレータを管理する方法については、リセットおよびクロック制御 (RCC) のセクションを参照してください。ADC インタフェースは、節電のために、14 MHz 内部オシレータの ON / OFF を自動的に切り替えることができます。

図 74. WAIT = 0、AUTOFF = 1 での動作



- EXTSEL = TRGx、EXTEN = 01 (立ち上がりエッジ)、CONT = x、ADSTART = 1、CHSEL = 0xF、SCANDIR = 0、WAIT = 1、AUTOFF = 1

図 75. WAIT = 1、AUTOFF = 1 での動作



1. EXTSEL = TRGx、EXTEN = 01 (立ち上がりエッジ)、CONT = x、ADSTART = 1、CHSEL = 0xF、SCANDIR = 0、WAIT = 1、AUTOFF = 1

18.7 アナログウィンドウ型ウォッチドッグ

3つのAWDアナログウォッチドッグは、設定された電圧範囲（ウィンドウ）内に一部のチャンネルが留まっているかどうかを監視します。

18.7.1 アナログウォッチドッグ1の説明

AWD1アナログウォッチドッグを有効にするには、ADC_CFGR1レジスタのAWD1ENビットをセットします。図76に示すように、選択された1つのチャンネルまたはすべての有効チャンネル（表107: アナログウォッチドッグ1チャンネル選択を参照）が、設定された電圧範囲（ウィンドウ）内にとどまっているかどうかを監視するために使用されます。

アナログウォッチドッグ（AWD1）ステータスビットは、ADCによって変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。これらの閾値は、ADC_AWD1TRレジスタのHT1[11:0]ビットおよびLT1[11:0]ビットでプログラムされます。ADC_IERレジスタのAWD1IEビットをセットすることによって、割込みを有効にできます。

AWD1フラグは、ソフトウェアによって1を書き込むことによってクリアされます。

12ビット未満の分解能でデータを変換するときには（DRES[1:0]ビットに従って）、内部比較は常に12ビット全体の元の変換データ（左詰め）に対して実行されるため、プログラムされた閾値のLSBはクリアされたままである必要があります。

表106に、可能なすべての分解能での比較方法を示します。

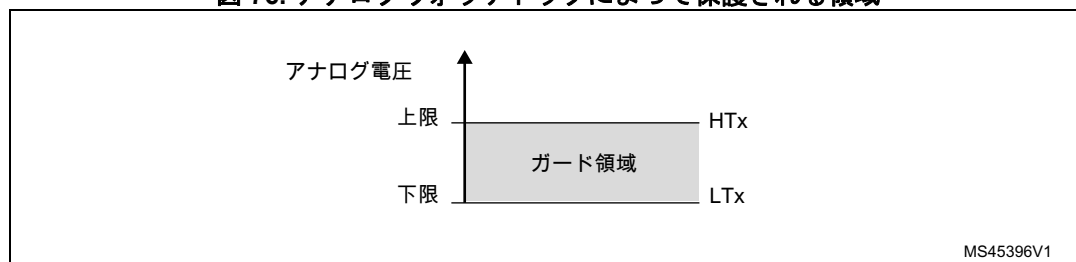
表 106. アナログウォッチドッグ比較

分解能 ビット RES[1:0]	アナログウォッチドッグ比較:		コメント
	元の変換データ、 左詰め ⁽¹⁾	閾値	
00 : 12 ビット	DATA[11:0]	LTx[11:0] および HTx[11:0]	-
01 : 10 ビット	DATA[11:2],00	LTx[11:0] および HTx[11:0]	ユーザは LTx[1:0] と HTx[1:0] を "00" に設定する必要があります。
10 : 8 ビット	DATA[11:4],0000	LTx[11:0] および HTx[11:0]	ユーザは LTx[3:0] と HTx[3:0] を "0000" に設定する必要があります。
11 : 6 ビット	DATA[11:6],000000	LTx[11:0] および HTx[11:0]	ユーザは LTx[5:0] と HTx[5:0] を "000000" に設定する必要があります。

1. 配置計算の前に、元の変換データに対するウォッチドッグ比較が行われます。

表 107 に、ADC_CFGR1 レジスタの AWD1SGL および AWD1EN ビットを設定して、1 つ以上のチャネルに対してアナログウォッチドッグを有効にする方法を示します。

図 76. アナログウォッチドッグによって保護される領域



MS45396V1

表 107. アナログウォッチドッグ 1 チャンネル選択

アナログウォッチドッグによって保護されるチャネル	AWD1SGL ビット	AWD1EN ビット
なし	x	0
すべてのチャネル	0	1
単一の ⁽¹⁾ チャネル	1	1

1. AWD1CH[4:0] ビットによって選択されます。

18.7.2 アナログウォッチドッグ 2 および 3 の説明

2 番目と 3 番目のアナログウォッチドッグはより柔軟性の高く、ADC_AWDxCR (x = 2, 3) の AWDxCHy をプログラムすることにより、いくつかの選択されたチャネルをガードすることができます。

対応するウォッチドッグは、AWDxCHy (x = 2, 3) の任意のビットがセットされると有効になります。

12 ビット未満の分解能でデータを変換するときには (DRES[1:0] ビットに従って)、内部比較は常に 12 ビット全体の元の変換データ (左詰め) に対して実行されるため、プログラムされた閾値の LSB はクリアされたままである必要があります。

表 106 に、可能なすべての分解能での比較方法を示します。

AWD2/3 アナログウォッチドッグステータスビットは、ADC により変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。これらの閾値は、AWDxTR レジスタの HTx[11:0]

および LTx[11:0] にプログラムされます (x = 2 または 3)。ADC_IER レジスタの AWDxIE ビットをセットすることによって、割込みを有効にできます。

AWD2 および ADW3 フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

18.7.3 ADC_AWDx_OUT 出力信号生成

各アナログウォッチドッグは、一部のオンチップタイマの ETR 入力 (外部トリガ) に直接接続された内部ハードウェア信号 ADC_AWDx_OUT (x はウォッチドッグの数) と関連付けられています (ADC_AWDx_OUT 信号を ETR として選択する方法の詳細はタイマのセクションを参照してください)。

ADC_AWDx_OUT は、関連付けられたアナログウォッチドッグが有効になった時にアクティブ化されます。

- ADC_AWDx_OUT は、ガードされた変換がプログラムされた閾値の外にある場合にセットされます。
- ADC_AWDx_OUT は、プログラムされた閾値内にある次のガードされた変換の終了後にリセットされます。それは、次のガードされた変換がまだプログラムされた閾値の外にある間は 1 であり続けます。
- ADC_AWDx_OUT は、ADC を無効化 (ADDIS を 1 にセット) するときにもリセットされます。なお、変換を中止すると (ADSTP をセット)、ADC_AWDx_OUT の状態をクリアしてしまうことがあります。
- ADC がガードされていないチャンネルを変換している間、ADC_AWDx_OUT の状態は変化しません (図 79 を参照)。

AWDx フラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。AWDx フラグは、ADC_AWDx_OUT の生成にまったく影響しません (例えば、ソフトウェアによって AWDx フラグがクリアされず、このフラグが 1 のまま維持される間、ADC_AWDx_OUT をトグルできます)。

ADC_AWDx_OUT 信号は ADC_CLK ドメインで生成されます。この信号は APB クロックが停止していても生成できます。

EOC 比較はADC が終了するたびに実施されます。ADC_AWDx_OUT の立ち上がりおよび立ち下がりエッジは、比較完了後 2 ADC_CLK サイクルが経過してから発生します。

ADC_AWDx_OUT はADC_CLK ドメインにより、AWD フラグは APB_CLK ドメインによりそれぞれ生成されるため、これらの信号の立ち上がりエッジは同期していません。

図 77. ADC_AWDx_OUT 信号生成

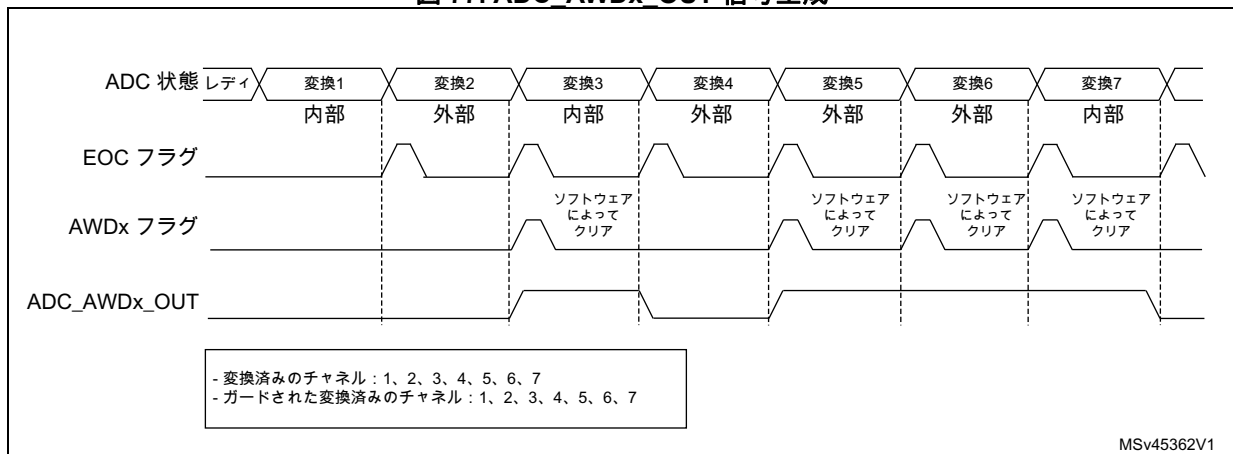


図 78. ADC_AWDx_OUT 信号生成 (ソフトウェアによって AWDx フラグがクリアされない場合)

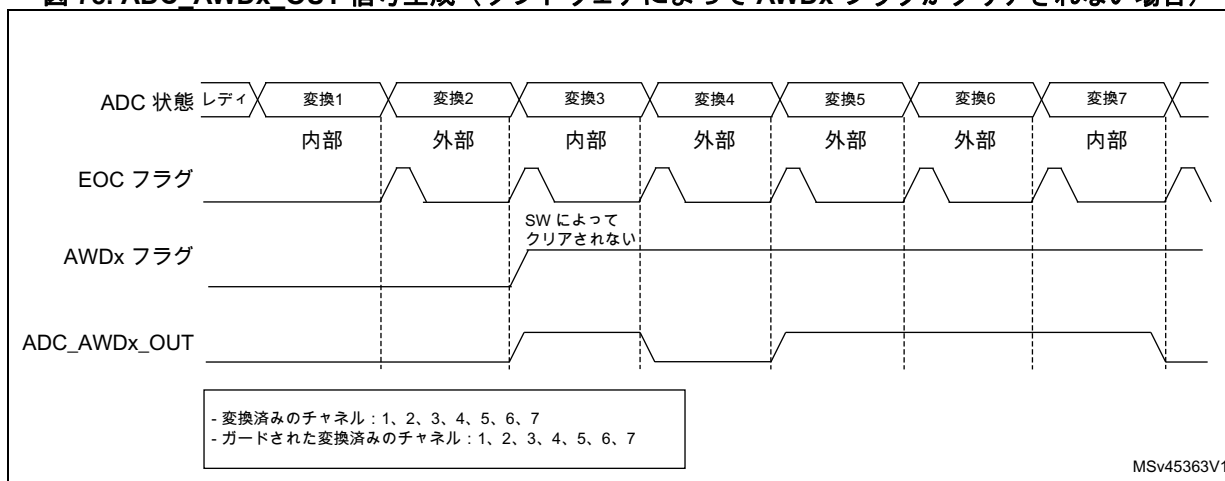
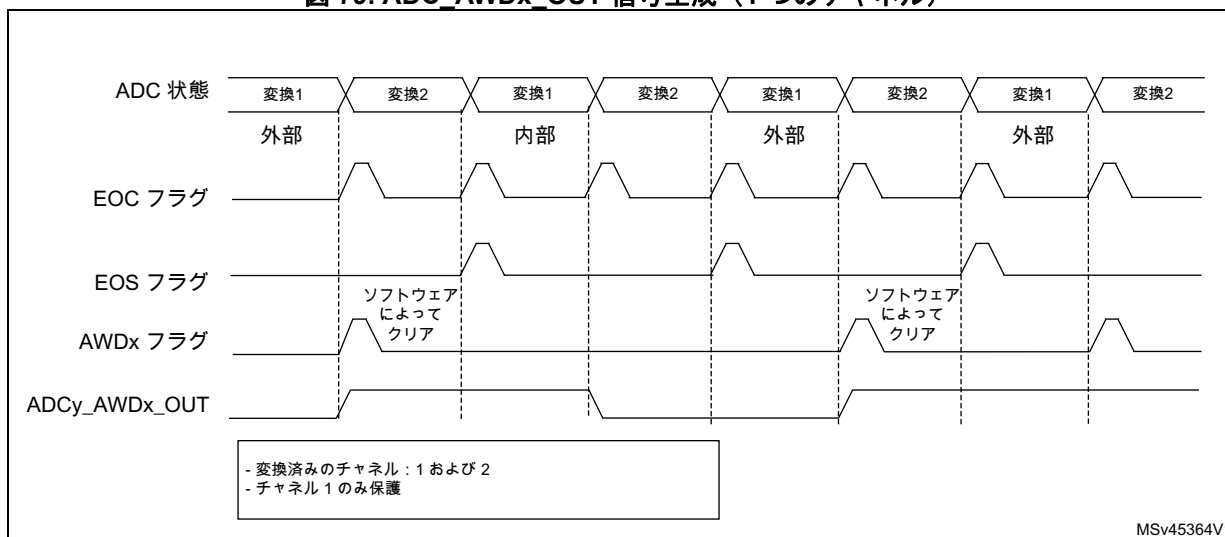


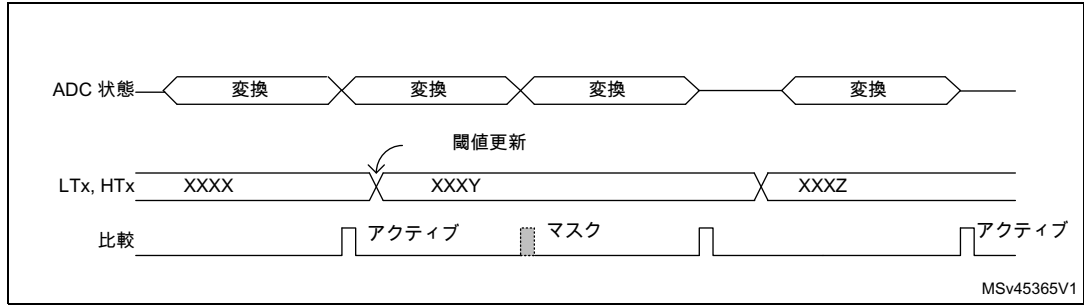
図 79. ADC_AWDx_OUT 信号生成 (1つのチャンネル)



18.7.4 アナログウォッチドッグ閾値制御

LTx[11:0] および HTx[11:0] は、アナログ/デジタル変換中 (ADC 内部状態の変換開始から変換終了後) に変更できます。HTx および LTx のビットが、ADC のガードされたチャンネルの変換中にプログラムされる場合、この変換のためにウォッチドッグ機能はマスクされます。このマスクは新規の変換が開始されるとクリアされ、その結果新しい AWD 閾値が適用されて次の ADC 変換結果が開始します。AWD 比較は変換が終了するときに実施されます。現在の ADC データが新しい閾値間隔から外れていても、割込みまたは ADC_AWDx_OUT 信号は生成されません。割込みおよび ADC_AWDx_OUT が生成されるのは、閾値更新の後に開始されたADC 変換の終了時のみです。ADC_AWDx_OUT がすでにアサートされている場合、新しい閾値をプログラムしてもADC_AWDx_OUT 信号はデアサートされません。

図 80. アナログウォッチドッグ閾値更新



18.8 オーバーサンプリング回路

オーバーサンプリングユニットは、データの前処理を実行して、CPU の負荷を軽減します。複数の変換を処理して、最大 16 ビット幅の単一データに平均化できます。

以下の形式で結果を提供します。N および M は調整可能です。

$$\text{Result} = \frac{1}{M} \times \sum_{n=0}^{n=N-1} \text{Conversion}(t_n)$$

これにより、平均化、データレートの低減、SNR の改善、基本フィルタの機能をハードウェアで実行できます。

オーバーサンプリング比 N は、ADC_CFGR2 レジスタの OVFS[2:0] ビットによって定義されます。2x から 256x までの範囲にできます。分周係数 M は、最大 8 ビットの右ビットシフトから成ります。これは、ADC_CFGR2 レジスタの OVSS[3:0] ビットによって設定されます。

合計ユニットは最大 20 ビット (256 x 12 ビット) の結果をもたらし、最初に右へシフトされます。結果の上位ビットは切り詰められ、最下位 16 ビットのみが保持されて、シフトによって残った最下位ビットを使用して最も近い値に丸められてから ADC_DR データレジスタに転送されます。

注： シフト後の中間結果が 16 ビットを超える場合、結果の上位ビットは単純に切り詰められます。

図 81. 20 ビットから 16 ビットへの結果の切り詰め

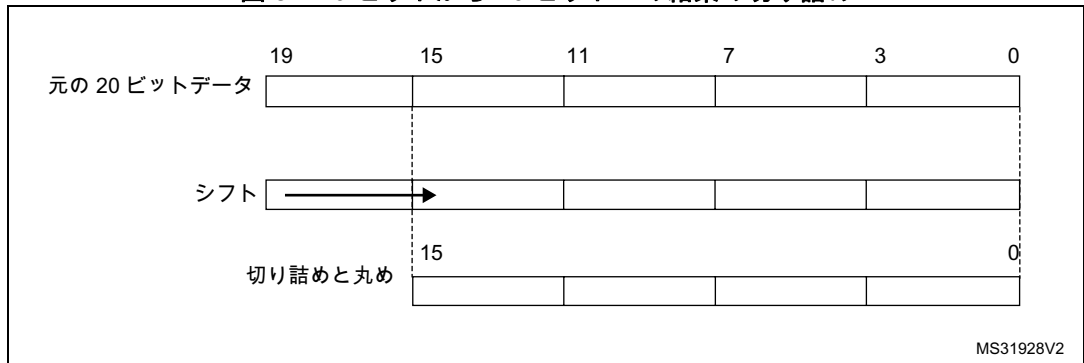


図 82 に、元の 20 ビットの累積データから最終的な 16 ビットの結果への処理の数値例を示します。

図 82.5 ビットシフトと丸めの数値例



下の表 108 に、元の 変換データが 0x FFF の場合の、さまざまな N と M の組み合わせでのデータフォーマットを示します。

表 108. 最大出力結果対 N と M。グレーの値は切り詰めを示す

オーバー サンプリング 比	最大値 元の データ	シフト なし OVSS = 0000	1 ビット シフト OVSS = 0001	2 ビット シフト OVSS = 0010	3 ビット シフト OVSS = 0011	4 ビット シフト OVSS = 0100	5 ビット シフト OVSS = 0101	6 ビット シフト OVSS = 0110	7 ビット シフト OVSS = 0111	8 ビット シフト OVSS = 1000
2x	0x1FFE	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040	0x0020
4x	0x3FFC	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040
8x	0x7FF8	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080
16x	0xFFF0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100
32x	0x1FFE0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200
64x	0x3FFC0	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400
128x	0x7FF80	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800
256x	0xFFF00	0xFF00	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF

オーバーサンプリングモードでの変換タイミングは、標準変換モードと同じです。サンプル時間はオーバーサンプリングシーケンス全体を通じて一定に保たれます。新しいデータは N 回の変換ごとに提供され、同等遅延は $N \times t_{CONV} = N \times (t_{SMPL} + t_{SAR})$ に等しくなります。フラグ機能は、次のように実行されます。

- サンプリングフェーズの終了 (EOSMP) は、各サンプリングフェーズ後にセットされます。
- 変換の終了 (EOC) は、N 回の変換ごとに発生し、オーバーサンプリングされた結果が使用可能になります。
- シーケンスの終了 (EOCSEQ) は、オーバーサンプリングされたデータのシーケンスが完了すると発生します (すなわち、N x シーケンス長の変換合計後)。

18.8.1 オーバーサンプリング時の ADC 動作モードのサポート

オーバーサンプリングモードでは、ほとんどの ADC 動作モードが使用可能です。

- シングルまたは連続モード変換、前方または後方スキャンシーケンス、および最大 8 チャンネルのプログラムされたシーケンス
- ソフトウェアまたはトリガによる ADC 変換の開始
- 変換中の ADC の停止 (中止)
- オーバーラン検出時の CPU または DMA 経由でのデータの読出し
- 低電力モード (WAIT、AUTOFF)
- プログラム可能な分解能: この場合、削減された変換値 (ADC_CFGR1 レジスタの RES[1:0] ビットに従って) の累積、切り詰め、丸め、およびシフトは、12 ビット変換と同様に行われます。

注: オーバーサンプリングされたデータを操作するときには、配置モードは使用できません。ADC_CFGR1 の ALIGN ビットは無視され、データは常に右詰めで提供されます。

18.8.2 アナログウォッチドッグ


アナログウォッチドッグ機能を使用できますが、次のような違いがあります。

- RES[1:0] ビットは無視され、比較は常に 12 ビット値全部 HTx[11:0] および LTx[11:0] を使用して行われます。
- 比較は、16 ビットのオーバーサンプリングされた結果の上位 12 ビット ADC_DR[15:4] に対して行われます。

注: 高いシフト値を使用するときには注意が必要です。これによって比較範囲が小さくなります。たとえば、オーバーサンプリングされた結果が 4 ビットシフトされた場合、12 ビットの右詰めデータになり、有効なアナログウォッチドッグ比較が行われるのは、8 ビットに対してだけです。比較は ADC_DR[11:4] と HTx[7:0] / LTx[7:0] の間で行われ、HTx[11:8] / LTx[11:8] はリセットしておく必要があります。

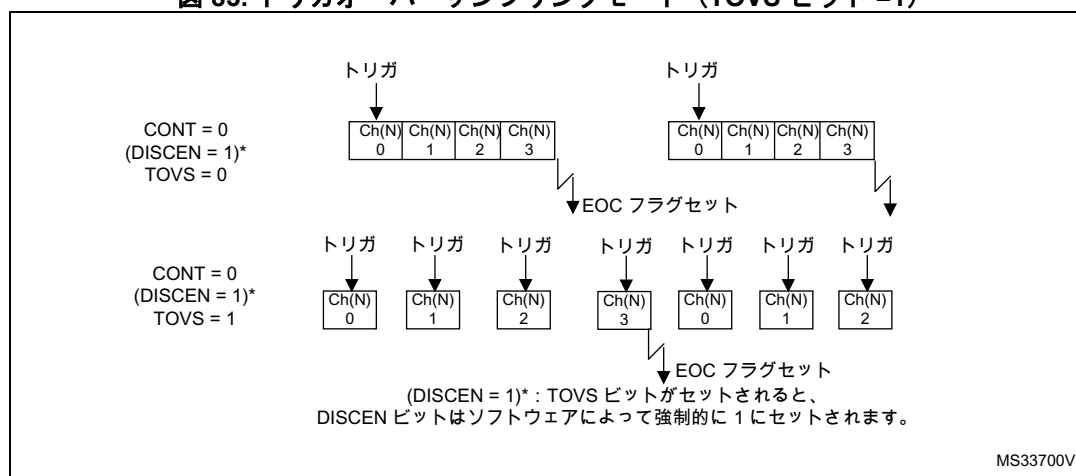
18.8.3 トリガモード

平均化回路は、基本的なフィルタリング目的で使用することもできます。あまり効率的なフィルタではありませんが (ロールオフが低速であり、阻止帯域減衰に限られる)、ノッチフィルタとして使用して、周期的なノイズ周波数を低減できます (一般に主電源またはスイッチモードの電源が原因)。この目的のために、ADC_CFGR2 の TOVS ビットで特定の不連続モードを有効にして、変換時間に依存せずに、オーバーサンプリング周波数をユーザが定義できるようにできます。

 83 に、不連続モードでトリガに反応して変換を開始する方法を示します。

TOVS ビットがセットされている場合、DISCEN ビットの内容は無視され、1 とみなされます。

図 83. トリガオーバーサンプリングモード (TOVS ビット = 1)



18.9 温度センサと内部基準電圧

温度センサを使用して、デバイスの接合温度 (T_J) を測定できます。温度センサは、センサの出力電圧をデジタル値に変換する ADCV_{IN}[12] 入力チャネルに内部接続されます。温度センサのアナログピンのサンプリング時間は、最小の T_{S_temp} より大きい値である必要があります。使用しないときには、センサをパワーダウンモードにすることができます。

内部電圧基準 (VREFINT) は、ADC とコンパレータに安定した (バンドギャップ) 電圧出力を提供します。VREFINT は、ADCV_{IN}[13] 入力チャネルに内部接続されます。VREFINT の正確な電圧は、生産試験時に ST によって部品ごとに個別に測定され、システムメモリ領域に格納されます。

図 84 に、温度センサ、内部電圧基準、および ADC 間の接続のブロック図を示します。

ADCV_{IN}[12] (温度センサ) の変換を有効にするには、TSEN ビットをセットする必要があります。ADCV_{IN}[13] (VREFINT) の変換を有効にするには、VREFEN ビットをセットする必要があります。

温度センサの出力電圧は、温度に比例して変化します。このラインのオフセットは、プロセスのばらつきにより、チップごとに異なります (チップ間で最大 45 °C)。

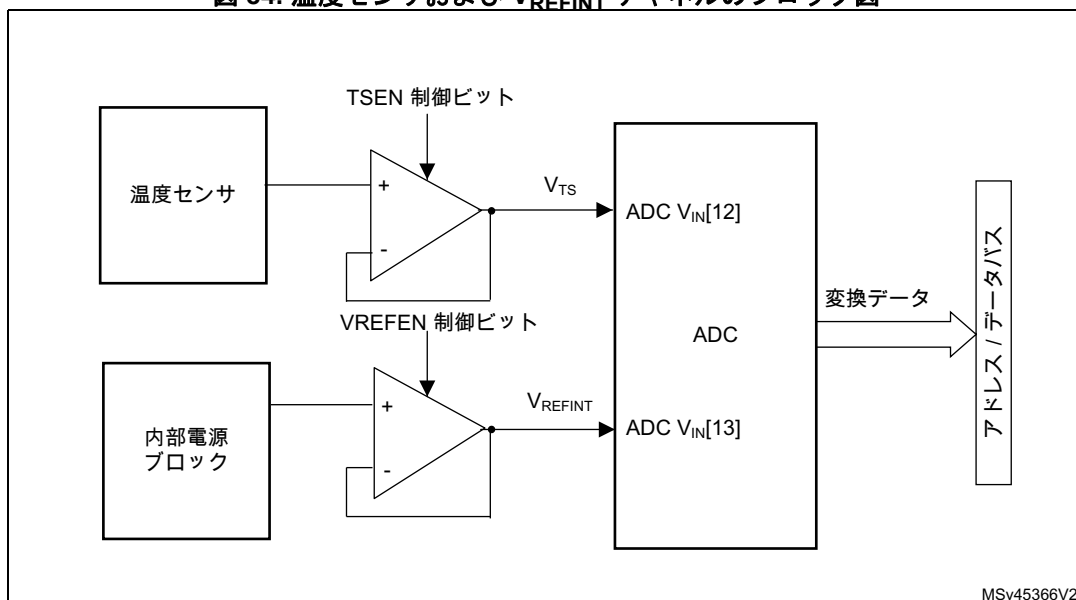
較正されていない内部温度センサは、温度の絶対値の代わりに温度変化を検出するアプリケーションに適しています。温度センサの測定精度を高めるために、生産時に ST によって各デバイスの較正值がシステムメモリに格納されています。

製造プロセス中に、温度センサと内部電圧基準の較正データがシステムメモリ領域に格納されます。ユーザアプリケーションはこれらを読み出して、温度センサまたは内部基準の精度の向上に使用できます。詳細については、データシートを参照してください。

主な特徴

- 直線性：最大 $\pm 2^{\circ}\text{C}$ 、精度は校正に依存

図 84. 温度センサおよび V_{REFINT} チャンネルのブロック図



MSv45366V2

温度の読出し

- ADC $V_{\text{IN}}[12]$ 入力チャンネルを選択します。
- デバイスのデータシートで指定されている適切なサンプリング時間 ($T_{\text{S_temp}}$) を選択します。
- ADC_CCR レジスタの TSEN ビットをセットして、温度センサをパワーダウンモードからウェイクアップし、安定化時間 (t_{START}) だけ待ちます。
- ADC_CR レジスタの ADSTART ビットをセットすることによって(または外部トリガによって) ADC 変換を開始します。
- ADC_DR レジスタから結果の V_{TS} データを読み出します。
- 次の式を使用して、温度を計算します。

$$\text{Temperature (in } ^{\circ}\text{C)} = \frac{\text{TS_CAL2_TEMP} - \text{TS_CAL1_TEMP}}{\text{TS_CAL2} - \text{TS_CAL1}} \times (\text{TS_DATA} - \text{TS_CAL1}) + \text{TS_CAL1_TEMP}$$

ここで、

- TS_CAL2 は、TS_CAL2_TEMP で得られた温度センサの較正值です (TS_CAL2 の値についてはデータシートを参照してください)。
- TS_CAL1 は、TS_CAL1_TEMP で得られた温度センサの較正值です (TS_CAL1 の値についてはデータシートを参照してください)。
- TS_DATA は、ADC によって変換された実際の温度センサの出力値です。
TS_CAL1 および TS_CAL2 較正ポイントの詳細については、特定のデバイスのデータシートを参照してください。

注： センサがパワーダウンモードからウェイクアップして、正しいレベルで V_{TS} を出力できるようになるまでには時間がかかります (スタートアップ時間)。ADC にも起動後のスタートアップ時間があるので、遅延を最小にするには、ADEN ビットと TSEN ビットを同時にセットしてください。

内部基準電圧を使用した実際の V_{REF+} 電圧の計算

V_{REF+} 電圧は、変動したり、または正確にはわからない場合があります。内蔵の内部基準電圧 (V_{REFINT}) と、製造プロセス時に V_{REF+_charac} で ADC によって得られた較正データを使用して、実際の V_{REF+} 電圧レベルを評価することができます。

デバイスに印加される実際の V_{REF+} 電圧は、次の式で求められます。

$$V_{REF+} = V_{REF+_Charac} \times VREFINT_CAL / VREFINT_DATA$$

ここで、

- V_{REF+_Charac} は、製造工程中に V_{REFINT} で特性評価された V_{REF+} 電圧の値です。これはデバイスのデータシートで指定されています。
- $VREFINT_CAL$ は、 $VREFINT$ の較正值です。
- $VREFINT_DATA$ は、ADC によって変換された実際の $VREFINT$ の出力値です。

供給に相対的な ADC 測定値から絶対電圧値への変換

ADC は、アナログ電源と変換されるチャンネルに印加される電圧との比に対応するデジタル値を提供するように設計されています。ほとんどのアプリケーションの使用事例では、この比を V_{REF+} に依存しない電圧に変換する必要があります。 V_{REF+} が既知であり、ADC によって変換された値が右詰めされるアプリケーションでは、次の式を使用して、この絶対値を求めることができます。

$$V_{CHANNELx} = \frac{V_{REF+}}{FULL_SCALE} \times ADC_DATA_x$$

V_{REF+} の値が既知ではないアプリケーションの場合、内部電圧基準を使用する必要があり、 V_{REF+} を [セクション：内部基準電圧を使用した実際の \$V_{REF+}\$ 電圧の計算](#) に記載されている式で置き換えることができ、次の式が得られます。

$$V_{CHANNELx} = \frac{V_{REF+_Charac} \times VREFINT_CAL \times ADC_DATA_x}{VREFINT_DATA \times FULL_SCALE}$$

ここで、

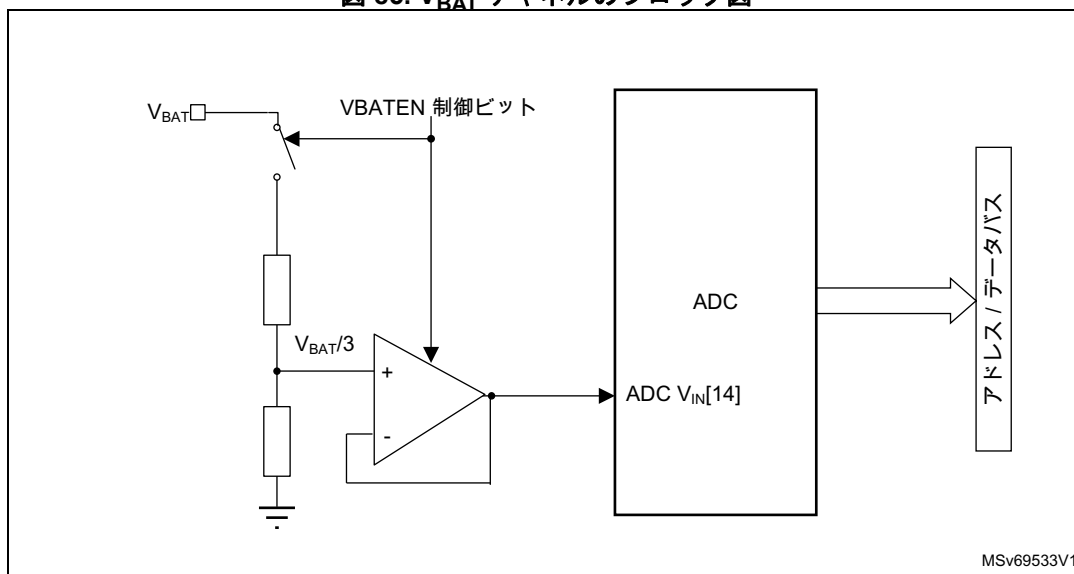
- V_{REF+_Charac} は、製造工程中に V_{REFINT} で特性評価された V_{REF+} 電圧の値です。これはデバイスのデータシートで指定されています。
- $VREFINT_CAL$ は、 $VREFINT$ の較正值です。
- ADC_DATA_x は、チャンネル x で ADC によって測定された値です (右詰め)。
- $VREFINT_DATA$ は、ADC によって変換された実際の $VREFINT$ の出力値です。
- $FULL_SCALE$ は、ADC 出力の最大デジタル値です。たとえば、12 ビット分解能では $2^{12} - 1 = 4095$ になり、8 ビット分解能では $2^8 - 1 = 255$ になります。

注： ADC 測定が 12 ビット右詰め以外の出力形式を使用して行われる場合、計算を行う前に、すべてのパラメータを互換性のある形式に変換しておく必要があります。

18.10 バッテリ電圧監視

アプリケーションでは ADC_CCR レジスタの VBATEN ビットによって VBAT ピンのバックアップバッテリー電圧を測定できます。V_{BAT} 電圧は V_{REF+} より高くなる可能性があるため、ADC の正常な動作を保障するため VBAT ピンは内部的にブリッジ分圧回路に接続されています。このブリッジは、VBATEN ビットがセットされると自動的に有効になり、V_{BAT} を ADC V_{IN}[14] 入力チャンネルに接続します。結果として、変換されたデジタル値は V_{BAT} /3 です。望ましくないバッテリー消費を避けるには、ADC 変換を行うときだけ、ブリッジ分圧回路を有効にすることが推奨されます。

図 85. V_{BAT} チャンネルのブロック図



18.11 ADC 割込み

割込みは、次のイベントによって生成できます。

- 較正の終了 (EOCAL フラグ)
- ADC パワーアップ、ADC の準備ができたとき (ADRDY フラグ)
- 変換の終了 (EOC フラグ)
- 変換シーケンスの終了 (EOS フラグ)
- アナログウォッチドッグ検出の発生時 (AWD1、AWD2、AWD3 フラグ)
- チャネル設定の準備ができているとき (CCRDY フラグ)
- サンプリングフェーズの終了が発生したとき (EOSMP フラグ)
- データオーバーランの発生時 (OVR フラグ)

高い柔軟性を実現するため、個別の割込みイネーブルビットを使用できます。

表 109. ADC 割込み

割込みイベント	イベントフラグ	有効制御ビット
較正終了	EOCAL	EOCALIE
ADC レディ	ADRDY	ADRDYIE
変換の終了	EOC	EOCIE
変換シーケンスの終了	EOS	EOSIE
アナログウォッチドッグ 1 のステータスビットのセット	AWD1	AWD1IE
アナログウォッチドッグ 2 のステータスビットのセット	AWD2	AWD2IE
アナログウォッチドッグ 3 のステータスビットのセット	AWD3	AWD3IE
チャネル設定レディ	CCRDY	CCRDYIE
サンプリングフェーズの終了	EOSMP	EOSMPIE
オーバーラン	OVR	OVRIE

18.12 ADC レジスタ

レジスタの説明で使用されている略語のリストについては、[セクション 1.2](#) を参照してください。

18.12.1 ADC 割込みおよびステータスレジスタ (ADC_ISR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CCRDY	Res.	EOCAL	Res.	AWD3	AWD2	AWD1	Res.	Res.	OVR	EOS	EOC	EOSMP	ADRDY
		rc_w1		rc_w1		rc_w1	rc_w1	rc_w1			rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CCRDY** : チャネル設定レディフラグ

このフラグビットは、ADC_CHSELR レジスタ へのプログラム、ならびに CHSELRMOD または SCANDIR の変更の後でチャネル設定が適用されたときに、ハードウェアによってセットされます。ソフトウェアで 1 をプログラムすることによってクリアされます。

0 : チャネル設定の更新は適用されません。

1 : チャネル設定の更新が適用されます。

注 : ソフトウェアでチャネルを設定 (ADC_CHSELR をプログラム、あるいは CHSELRMOD または SCANDIR を変更する) するとき、再度の設定または変換の開始に先立ち CCRDY フラグが立ち上がるまで待つ必要があります。そうしないと、新規の設定 (またはスタートビット) は無視されます。フラグが一度アサートされると、ソフトウェアがチャネルを再度設定する場合、新しい設定を進める前に CCRDY フラグをクリアする必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **EOCAL** : 較正終了フラグ

このビットは、較正が完了したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0 : 較正は完了していません。

1 : 較正は完了しています。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **AWD3** : アナログウォッチドッグ 3 フラグ

このビットは、変換された電圧が ADC_AWD3TR および ADC_AWD3TR レジスタでプログラミングされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアで 1 をプログラマことによってクリアされます。

0 : アナログウォッチドッグイベントは発生しませんでした (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : アナログウォッチドッグイベントが発生しました。

ビット 8 **AWD2** : アナログウォッチドッグ 2 フラグ

このビットは、変換された電圧が ADC_AWD2TR および ADC_AWD2TR レジスタでプログラミングされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアプログラミングによってクリアされます。

0 : アナログウォッチドッグイベントは発生しませんでした (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : アナログウォッチドッグイベントが発生しました。

ビット 7 AWD1 : アナログウォッチドッグ 1 フラグ

このビットは、変換された電圧がADC_TR1 および ADC_HR1 レジスタでプログラミングされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアで 1 をプログラマことによってクリアされます。

0 : アナログウォッチドッグイベントは発生しませんでした (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : アナログウォッチドッグイベントが発生しました。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 OVR : ADC オーバーランです。

このビットは、オーバーランが発生したときにハードウェアによってセットされ、EOC フラグがすでにセットされているときに新しい変換が完了したことを意味します。ソフトウェアで 1 を書き込むことによってクリアされます。

0 : オーバーランは発生していません (またはフラグイベントはソフトウェアによってすでに確認され、クリアされています)。

1 : オーバーランが発生しました。

ビット 3 EOS : シーケンス終了フラグ

このビットは、CHSEL ビットによって選択されたチャネルのシーケンスの変換終了時にハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0 : 変換シーケンスは完了していません (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : 変換シーケンスが完了しました。

ビット 2 EOC : 変換終了フラグ

このビットは、チャネルの各変換の終了時に、新しいデータ結果が ADC_DR レジスタで使用可能になったときに、ハードウェアによってセットされます。ソフトウェアによって 1 を書き込むことによって、または ADC_DR レジスタを読み出すことによってクリアされます。

0 : チャネル変換は完了していません (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : チャネル変換が完了しました。

ビット 1 EOSMP : サンプリング終了フラグ

このビットは、変換中、サンプリングフェーズの終了時にハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0 : サンプリングフェーズの終了時ではありません (またはフラグイベントはソフトウェアによってすでに確認され、クリアされました)。

1 : サンプリングフェーズは終了しました。

ビット 0 ADRDY : ADC レディ

このビットは、ADC が有効にされた後 (ビット ADEN = 1)、ADC が変換リクエストを受け入れる準備ができた状態に達したときに、ハードウェアによってセットされます。

ソフトウェアで 1 を書き込むことによってクリアされます。

0 : ADC はまだ変換を開始する準備ができていません (またはフラグイベントはソフトウェアによってすでに確認され、クリアされています)。

1 : ADC は変換を開始する準備ができました。

18.12.2 A/D コンバータ割込み有効レジスタ (ADC_IER)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CCRDYIE	Res.	EOCALIE	Res.	AWD3IE	AWD2IE	AWD1IE	Res.	Res.	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
		r/w		r/w		r/w	r/w	r/w			r/w	r/w	r/w	r/w	r/w

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CCRDYIE** : チャネル設定レディ割込みイネーブル

このビットは、チャネル設定割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : チャネル設定割込みは無効です。

1 : チャネル設定レディ割込みは有効です。

注 : ソフトウェアは、**ADSTART** ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **EOCALIE** : 較正終了割込みイネーブル

このビットは、較正終了時の割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : 較正終了割込みは無効です。

1 : 較正終了割込みは有効です。

注 : ソフトウェアは、**ADSTART** ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **AWD3IE** : アナログウォッチドッグ 3 割込みイネーブル

このビットは、アナログウォッチドッグ割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : アナログウォッチドッグ割込みは無効です。

1 : アナログウォッチドッグ割込みは有効です。

注 : ソフトウェアは、**ADSTART** ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 8 **AWD2IE** : アナログウォッチドッグ 2 割込みイネーブル

このビットは、アナログウォッチドッグ割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : アナログウォッチドッグ割込みは無効です。

1 : アナログウォッチドッグ割込みは有効です。

注 : ソフトウェアは、**ADSTART** ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 7 **AWD1IE** : アナログウォッチドッグ 1 割込みイネーブル

このビットは、アナログウォッチドッグ割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : アナログウォッチドッグ割込みは無効です。

1 : アナログウォッチドッグ割込みは有効です。

注 : ソフトウェアは、**ADSTART** ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **OVRIE** : オーバーラン割込みイネーブル

このビットは、オーバーラン割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : オーバーラン割込みは無効です。

1 : オーバーラン割込みは有効です。OVR ビットがセットされると、割込みが生成されます。

注 : ソフトウェアは、ADSTART ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 3 **EOSIE** : 変換シーケンス終了割込み有効

このビットは、変換シーケンス終了時の割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : EOS 割込み無効

1 : EOS 割込みは有効です。EOS ビットがセットされると、割込みが生成されます。

注 : ソフトウェアは、ADSTART ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 2 **EOCIE** : 変換終了割込み有効

このビットは、変換終了時の割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : EOC 割込み無効

1 : EOC 割込みは有効です。EOC ビットがセットされると、割込みが生成されます。

注 : ソフトウェアは、ADSTART ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 1 **EOSMPIE** : サンプリング終了フラグ割込み有効

このビットは、サンプリングフェーズ終了時の割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : EOSMP 割込みは無効です。

1 : EOSMP 割込みは有効です。EOSMP ビットがセットされると、割込みが生成されます。

注 : ソフトウェアは、ADSTART ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 0 **ADRDYIE** : ADC レディ割込みイネーブル

このビットは、ADC レディ割込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : ADRDY 割込みは無効です。

1 : ADRDY 割込みは有効です。ADRDY ビットがセットされると、割込みが生成されます。

注 : ソフトウェアは、ADSTART ビットがクリアされている (変換が実行中でない) ときのみ、このビットに書き込むことができます。

18.12.3 ADC 制御レジスタ (ADC_CR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAL	Res.	Res.	ADVRE GEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs			rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADSTP	Res.	ADSTAR T	ADDIS	ADEN
											rs		rs	rs	rs

ビット 31 ADCAL : ADC 較正

このビットは、ADC の較正を開始するためにソフトウェアによってセットされます。

較正の完了後、ハードウェアによってクリアされます。

0 : 較正が完了しました。

1 : ADC を較正するには、1 を書き込みます。1 として読み出されたときには、較正が実行中であることを意味します。

注 : ソフトウェアは、ADC が無効のときだけ (ADCAL = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、AUTOFF = 0、および ADEN = 0)、ADCAL をセットできます。

ソフトウェアは、ADEN = 1 かつ ADSTART = 0 (ADC が有効であり、変換中でない) のときだけ、ADC_CALFACT に書き込むことによって較正係数を更新できます。

ビット 30:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 ADVREGEN : ADC 電圧レギュレータイネーブル

このビットは、ADC 内部電圧レギュレータを有効にするために、ソフトウェアによってセットされます。

ADCVREG_STUP 後、電圧レギュレータ出力は使用可能になります。

電圧レギュレータを無効にすることによって、ソフトウェアによってクリアされます。ADEN を 0 にセットすることによってのみクリアされます。

0 : ADC 電圧レギュレータは無効です。

1 : ADC 電圧レギュレータは有効です。

注 : ソフトウェアは、ADC が無効のときのみ (ADCAL = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0)、このビットフィールドをプログラムできます。

ビット 27:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 ADSTP : ADC 変換停止コマンド

このビットは、実行中の変換を停止および破棄するためにソフトウェアによってセットされます (ADSTP コマンド)。

変換が効果的に破棄され、ADC が新しい変換開始コマンドを受け入れる準備ができたときに、ハードウェアによってクリアされます。

0 : ADC 変換停止コマンドは実行中ではありません。

1 : ADC を停止するには、1 を書き込みます。1 として読み出されたときには、ADSTP コマンドが実行中であることを意味します。

注 : ADSTART = 1 かつ ADDIS = 0 (ADC が有効であり、変換中である可能性があり、ADC を無効にする保留中のリクエストがない) のときだけ、ADSTP の "1" 設定は有効です。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 ADSTART : ADC 変換開始コマンド

このビットは、ADC 変換を開始するためにソフトウェアによってセットされます。EXTEN {1:0} 設定ビットに応じて、変換はただちに開始されるか (ソフトウェアトリガ設定) またはハードウェアトリガイベントが発生したときに (ハードウェアトリガ設定) 開始されます。

次のときに、ハードウェアによってクリアされます。

- シングル変換モード (CONT = 0、DISCEN = 0) では、ソフトウェアトリガが選択されているとき (EXTEN = 00) : 変換シーケンス終了 (EOS) フラグのアサート時。
- 不連続変換モード (CONT = 0、DISCEN = 1) では、ソフトウェアトリガが選択されているとき (EXTEN = 00) : 変換終了 (EOS) フラグのアサート時。
- すべての場合 : ADSTP コマンドの実行後、ADSTP ビットがハードウェアによってクリアされると同時に。
 - 0 : ADC 変換は実行中ではありません。
 - 1 : ADC を開始するには、1 を書き込みます。1 として読み出されたときには、ADC が動作中であり、変換中である可能性があることを意味します。

注 : ソフトウェアは、ADEN = 1 かつ ADDIS = 0 である (ADC が有効であり、ADC を無効にする保留中のリクエストがない) ときだけ、ADSTART をセットできます。

ADC_CHSELR レジスタへの書き込み後、あるいは CHSELRMOD または SCANDIRW の変更後、ADSTART をセットする前に CCRDY フラグがアサートされる必要があります。そうしないと、ADSTART に書き込んだ値が無視されます。

ビット 1 ADDIS : ADC 無効化コマンド

このビットは、ADC を無効にして (ADDIS コマンド)、パワーダウン状態 (OFF 状態) にするためにソフトウェアによってセットされます。

ADC が効果的に無効化されると、ハードウェアによってクリアされます (ADEN もこの時点でハードウェアによってクリアされます)。

0 : ADDIS コマンドは実行中ではありません。

1 : ADC を無効にするには、1 を書き込みます。1 として読み出されたときには、ADDIS コマンドが実行中であることを意味します。

注 : ADEN = 1 かつ ADSTART = 0 (変換が実行中でない) ときのみ、ADSTP の "1" 設定は有効です。

ビット 0 ADEN : ADC 有効化コマンド

このビットは、ADC を有効にするために、ソフトウェアによってセットされます。ADRDY フラグがセットされると、ADC は動作する準備ができています。

ADDIS コマンドの実行後、ADC が無効になるとハードウェアによってクリアされます。

0 : ADC は無効です (OFF 状態)。

1 : ADC を有効にするには、1 を書き込みます。

注 : ソフトウェアは、ADC_CR レジスタのすべてのビットが 0 のとき (ADCAL = 0、ADSTP = 0、ADSTART = 0、ADDIS = 0、および ADEN = 0) だけ、ADEN をセットできます。

18.12.4 ADC 設定レジスタ 1 (ADC_CFGR1)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

ADC_CR の ADEN がクリアされているときのみ、ソフトウェアは ADC_CFGR1 をプログラムできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	AWD1CH[4:0]					Res.	Res.	AWD1EN	AWD1SGL	CHSELR MOD	Res.	Res.	Res.	Res.	DISCEN
	r/w	r/w	r/w	r/w	r/w			r/w	r/w	r/w					r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AUTOFF	WAIT	CONT	OVRMOD	EXTEN[1:0]		Res.	EXTSEL[2:0]			ALIGN	RES[1:0]		SCANDI R	DMACF G	DMAEN
r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:26 **AWD1CH[4:0]** : アナログウォッチドッグチャンネル選択

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグによって保護される入力チャンネルを選択します。

00000 : ADC アナログ入力チャンネル 0 が AWD によって監視されます。

00001 : ADC アナログ入力チャンネル 1 が AWD によって監視されます。

.....

10001 : ADC アナログ入力チャンネル 17 が AWD によって監視されます。

その他 : 予約済みです。

注 : **AWDCH [4:0]** ビットによって選択されたチャンネルは、**CHSELR** レジスタにもセットされる必要があります。

ソフトウェアは、**ADEN** ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 25:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **AWD1EN** : アナログウォッチドッグ有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : アナログウォッチドッグ 1は無効です。

1 : アナログウォッチドッグ 1は有効です。

注 : ソフトウェアは、**ADEN** ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 22 **AWD1SGL** : ウォッチドッグを単一チャンネルまたはすべてのチャンネルで有効にします。

このビットは、**AWDCH[4:0]** ビットによって指定されたチャンネルまたはすべてのチャンネルに対するアナログウォッチドッグを有効にするために、ソフトウェアによってセット/クリアされます。

0 : すべてのチャンネルでアナログウォッチドッグ 1は有効です。

1 : 単一チャンネルでアナログウォッチドッグ 1は有効です。

注 : ソフトウェアは、**ADEN** ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 21 **CHSELRMOD** : ADC_CHSELR レジスタのモード選択

このビットは、ADC_CHSELR 機能を制御するために、ソフトウェアによってセット/クリアされます。

0 : ADC_CHSELR レジスタの各ビットが入力を有効にします。

1 : ADC_CHSELR レジスタは最大で 8 チャンネルのシーケンスが可能です。

注 : ソフトウェアは、**ADEN** ビットがクリアされているときだけ、このビットを書き込むことができます。

チャンネル設定 (ADC_CHSELR レジスタへの書き込みまたは **CHSELRMOD** または **SCANDIR** の変更) の後で、**CCRDY** がまだアサートされていない場合、このビットへ書き込んだ値は無視されます。

ビット 20:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **DISCEN** : 不連続モード

このビットは、不連続モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0 : 不連続モードは無効です。
1 : 不連続モードは有効です。

注 : 不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方のビットをセットすることは禁じられています。
ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 15 **AUTOFF** : オートオフモード

このビットは、オートオフモードを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0 : オートオフモードは無効です。
1 : オートオフモードは有効です。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 14 **WAIT** : ウェイト変換モード

このビットは、ウェイト変換モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0 : ウェイト変換モードはオフです。
1 : ウェイト変換モードはオンです。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 13 **CONT** : シングル/連続変換モード

このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされた場合、それがクリアされるまで連続的に変換が行われます。
0 : シングル変換モード
1 : 連続変換モード

注 : 不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方のビットをセットすることは禁じられています。
ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 12 **OVRMOD** : オーバーラン管理モード

このビットは、ソフトウェアによってセット/クリアされ、データオーバーランを管理する方法を設定します。
0 : オーバーランが検出されたとき、ADC_DR レジスタの古いデータが保存されます。
1 : オーバーランが検出されたとき、ADC_DR レジスタは最後の変換結果で上書きされます。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 11:10 **EXTEN[1:0]** : 外部トリガ有効および極性選択

これらのビットは、外部トリガ極性を選択し、トリガを有効にするために、ソフトウェアによってセット/クリアされます。
00 : ハードウェアトリガ検出は無効です (変換はソフトウェアによって開始できます)。
01 : 立ち上がりエッジでハードウェアトリガを検出します。
10 : 立ち下がりエッジでハードウェアトリガを検出します。
11 : 立ち上がりエッジと立ち下がりエッジの両方でハードウェアトリガを検出します。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 9 予約済みであり、リセット値に保持する必要があります。

ビット 8:6 EXTSEL[2:0] : 外部トリガ選択

これらのビットは、変換の開始をトリガするために使用される外部イベントを選択します（詳細については、表 102: 外部トリガを参照）。

000 : TRG0
001 : TRG1
010 : TRG2
011 : TRG3
100 : TRG4
101 : TRG5
110 : TRG6
111 : TRG7

注： ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 5 ALIGN : データの配置

このビットは、右詰めまたは左詰めを選択するために、ソフトウェアによってセット/クリアされます。556 ページの図 71: データの配置と分解能 (オーバーサンプリング無効: OVSE = 0) を参照してください。

0 : 右詰め
1 : 左詰め

注： ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 4:3 RES[1:0] : データ分解能

これらのビットは、変換の分解能を選択するために、ソフトウェアによって書き込まれます。

00 : 12 ビット
01 : 10 ビット
10 : 8 ビット
11 : 6 ビット

注： ソフトウェアは、ADEN がクリアされているときだけ、これらのビットを書き込むことができます。

ビット 2 SCANDIR : スキャンシーケンス方向

このビットは、シーケンス内のチャンネルをスキャンする方向を選択するために、ソフトウェアによってセット/クリアされます。CHSELMOD ビットがクリアされたときのみ有効です。

0 : 前方スキャン (CHSEL0 から CHSEL17)
1 : 後方スキャン (CHSEL17 から CHSEL0)

注： ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。
チャンネル設定 (ADC_CHSELR レジスタへの書き込みまたは CHSELRMOD または SCANDIR の変更) の後で、CCRDY がまだアサートされていない場合、このビットへ書き込んだ値は無視されます。

ビット 1 DMACFG : ダイレクトメモリアクセス設定

このビットは、2 つの DMA 動作モードを選択するためにソフトウェアによってセット/クリアされ、DMAEN = 1 のときのみ有効です。

0 : DMA ワンショットモードが選択されています。
1 : DMA サーキュラモードが選択されています。

詳細については、558 ページのセクション 18.5.5: DMA を使用した変換データの管理を参照してください。

注： ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 0 DMAEN : ダイレクトメモリアクセス有効

このビットは、DMA リクエストの生成を有効にするために、ソフトウェアによってセット/クリアされます。これにより、DMA コントローラを使って、変換されたデータを自動的に管理することができます。詳細については、558 ページのセクション 18.5.5: DMA を使用した変換データの管理を参照してください。

0 : DMA は無効です。
1 : DMA は有効です。

注： ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

18.12.5 ADC 設定レジスタ 2 (ADC_CFGR2)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

ADC_CR の ADEN がクリアされているときのみ、ソフトウェアは ADC_CFGR2 をプログラムできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKMODE[1:0]		LFTRIG	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TOVS	OVSS[3:0]			OVSR[2:0]			Res.	OVSE	
						rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:30 CKMODE[1:0] : ADC クロックモード

これらのビットは、アナログ ADC クロックの動作方法を定義するために、ソフトウェアによってセット/クリアされます。

00 : ADCCLK (非同期クロックモード)。製品レベルで生成されます (RCC セクションを参照)。

01 : PCLK/2 (同期クロックモード)

10 : PCLK/4 (同期クロックモード)

11 : PCLK (同期クロックモード)。この設定は、PCLK が 50% デューティクロックサイクルを持つ場合のみ有効にする必要があります (RCC 内で設定された APB プリスケーラを迂回する必要があり、システムクロックは 50% デューティサイクルで動作する必要があります)。

すべての同期クロックモードにおいて、タイマトリガから変換開始までの遅延にジッタはありません。

注 : ソフトウェアは、ADC が無効のときだけ (ADCAL = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0)、これらのビットを書き込むことができます。

ビット 29 LFTRIG : 低周波数トリガモードが有効です。

このビットは、ソフトウェアによってセット/クリアされます。

0 : 低周波数モードは無効です。

1 : 低周波数モードは有効です。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 28:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 TOVS : トリガオーバーサンプリング

このビットは、ソフトウェアによってセット/クリアされます。

0 : チャンルのオーバーサンプリング変換はすべて、トリガ後に連続的に行われます。

1 : チャンルのオーバーサンプリング変換ごとにトリガが必要です。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 8:5 OVSS[3:0] : オーバーサンプリングシフト

このビットは、ソフトウェアによってセット/クリアされます。

0000 : シフトなし

0001 : 1 ビットシフト

0010 : 2 ビットシフト

0011 : 3 ビットシフト

0100 : 4 ビットシフト

0101 : 5 ビットシフト

0110 : 6 ビットシフト

0111 : 7 ビットシフト

1000 : 8 ビットシフト

その他 : 予約済みです。

注 : ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 4:2 **OVSRR[2:0]** : オーバーサンプリング比

このビットは、オーバーサンプリング比の数を定義します。

- 000 : 2x
- 001 : 4x
- 010 : 8x
- 011 : 16x
- 100 : 32x
- 101 : 64x
- 110 : 128x
- 111 : 256x

注: ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **OVSE** : オーバーサンプリング回路有効

このビットは、ソフトウェアによってセット/クリアされます。

- 0 : オーバーサンプリング回路は無効です。
- 1 : オーバーサンプリング回路は有効です。

注: ソフトウェアは、ADEN ビットがクリアされているときだけ、このビットを書き込むことができます。

18.12.6 ADC サンプルング時間レジスタ (ADC_SMPR)

アドレス・オフセット : 0x14

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	SMPSEL 17	SMPSEL 16	SMPSEL 15	SMPSEL 14	SMPSEL 13	SMPSEL 12	SMPSEL 11	SMPSEL 10	SMPSEL 9	SMPSEL 8
						r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMPSEL 7	SMPSEL 6	SMPSEL 5	SMPSEL 4	SMPSEL 3	SMPSEL 2	SMPSEL 1	SMPSEL 0	Res.	SMP2 [2:0]			Res.	SMP1 [2:0]		
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w		r/w	r/w	r/w

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:8 **SMPSELx** : チャネル x サンプルング時間選択 (x = 17~0)

これらのビットは、使用するサンプルング時間を選択するため、ソフトウェアによって書き込まれます。

- 0 : CHANNELx のサンプルング時間は、SMP1[2:0] レジスタの設定を使います。
- 1 : CHANNELx のサンプルング時間は、SMP2[2:0] レジスタの設定を使います。

ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **SMP2[2:0]**: サンプリング時間選択 2

これらのビットは、すべてのチャンネルに適用されるサンプリング時間を選択するために、ソフトウェアによって書き込まれます。

000 : 1.5 ADC クロックサイクル
 001 : 3.5 ADC クロックサイクル
 010 : 7.5 ADC クロックサイクル
 011 : 12.5 ADC クロックサイクル
 100 : 19.5 ADC クロックサイクル
 101 : 39.5 ADC クロックサイクル
 110 : 79.5 ADC クロックサイクル
 111 : 160.5 ADC クロックサイクル

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **SMP1[2:0]**: サンプリング時間選択 1

これらのビットは、すべてのチャンネルに適用されるサンプリング時間を選択するために、ソフトウェアによって書き込まれます。

000 : 1.5 ADC クロックサイクル
 001 : 3.5 ADC クロックサイクル
 010 : 7.5 ADC クロックサイクル
 011 : 12.5 ADC クロックサイクル
 100 : 19.5 ADC クロックサイクル
 101 : 39.5 ADC クロックサイクル
 110 : 79.5 ADC クロックサイクル
 111 : 160.5 ADC クロックサイクル

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

18.12.7 ADC ウォッチドッグ閾値レジスタ (ADC_AWD1TR)

アドレス・オフセット : 0x20

リセット値 : 0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT1 [11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT1 [11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **HT1[11:0]**: アナログウォッチドッグ 1 高閾値

これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。
[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#)を参照してください。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **LT1[11:0]**: アナログウォッチドッグ 1 低閾値

これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。
[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#)を参照してください。

18.12.8 ADC ウォッチドッグ閾値レジスタ (ADC_AWD2TR)

アドレス・オフセット : 0x24

リセット値 : 0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT2 [11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT2 [11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **HT2[11:0]** : アナログウォッチドッグ 2 高閾値

これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。

[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#)を参照してください。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **LT2[11:0]** : アナログウォッチドッグ 2 低閾値

これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。

[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#)を参照してください。

18.12.9 ADC チャンネル選択レジスタ (ADC_CHSELR)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

同じレジスタを 2 つのモードで使用することができます。

- ADC_CHSELR の各ビットは、1 つの入力を有効にします (ADC_CFGR1 の CHSELRMOD = 0)。「電流」のセクションを参照してください。
- ADC_CHSELR は最大 8 チャンネルまで連続処理できます (ADC_CFGR1 の CHSELRMOD = 1)。次のセクションを参照してください。

ADC_CFGR1で、CHSELRMOD = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHSEL1 7	CHSEL1 6
														r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHSEL1 5	CHSEL1 4	CHSEL1 3	CHSEL1 2	CHSEL1 1	CHSEL1 0	CHSEL9	CHSEL8	CHSEL7	CHSEL6	CHSEL5	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:0 **CHSEL[17:0]** : チャンネル x 選択

これらのビットはソフトウェアによって書き込まれ、変換されるチャンネルのシーケンスの一部になるチャンネルを定義します。外部チャンネルと内部ソースに接続される ADC 入力については、[図 63: ADC 接続性](#)を参照してください。

0 : 入力チャンネル x は変換対象として選択されません。

1 : 入力チャンネル x は変換対象として選択されます。

注 : ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

チャンネル設定 (ADC_CHSELR レジスタへの書き込みまたは CHSELRMOD または SCANDIR の変更) の後で、CCRDY がまだアサートされていない場合、このビットへ書き込んだ値は無視されます。

18.12.10 ADC チャンネル選択レジスタ [オルタネート] (ADC_CHSELR)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

同じレジスタを 2 つのモードで使用することができます。

- ADC_CHSELR の各ビットは、1 つの入力を有効にします (ADC_CFGR1 の CHSELRMOD = 0)。直前のセクションを参照してください。
- ADC_CHSELR は最大 8 チャンネルまで連続処理できます (ADC_CFGR1 の CHSELRMOD = 1)。このセクションを参照してください。

ADC_CFGR1 で、CHSELRMOD = 1 :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SQ8 [3:0]				SQ7 [3:0]				SQ6 [3:0]				SQ5 [3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4 [3:0]				SQ3 [3:0]				SQ2 [3:0]				SQ1 [3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:28 **SQ8[3:0]** : シーケンスの 8 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。

0000 : CH0

0001 : CH1

.....

1100 : CH12

1101 : CH13

1110 : CH14

1111 : チャンネル未選択 (シーケンスの終了)

注 : ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 27:24 **SQ7[3:0]** : シーケンスの 7 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注 : ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 23:20 **SQ6[3:0]** : シーケンスの 6 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注 : ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 19:16 **SQ5[3:0]** : シーケンスの 5 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 15:12 **SQ4[3:0]** : シーケンスの 4 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 11:8 **SQ3[3:0]** : シーケンスの 3 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 7:4 **SQ2[3:0]** : シーケンスの 2 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 3:0 **SQ1[3:0]** : シーケンスの 1 番目の変換

これらのビットは、シーケンスの 8 番目の変換に割り当てられたチャンネル番号 (0...14) を使いソフトウェアによってプログラムされます。0b1111はシーケンスの終了を示します。

0b1111 (シーケンスの終了) が低いシーケンスチャンネルにプログラムされると、これらのビットは無視されます。チャンネル選択の定義は SQ8[3:0] を参照してください。

注: ソフトウェアは、ADSTART=0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

18.12.11 ADC ウォッチドッグ閾値レジスタ (ADC_AWD3TR)

アドレス・オフセット : 0x2C

リセット値 : 0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT3 [11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT3 [11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **HT3[11:0]** : アナログウォッチドッグ3 高閾値

これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。
[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#) を参照してください。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **LT3[11:0]** : アナログウォッチドッグ3 低閾値

これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。
[561 ページのセクション 18.7: アナログウィンドウ型ウォッチドッグ](#) を参照してください。

18.12.12 ADC データレジスタ (ADC_DR)

アドレス・オフセット : 0x40

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **DATA[15:0]** : 変換データ

これらのビットは読み出し専用です。これらは、最後の変換チャンネルの変換結果を含んでいます。[556 ページの図 71: データの配置と分解能 \(オーバーサンプリング無効 : OVSE = 0\)](#) に示すように、データは左詰めまたは右詰めされています。

較正の完了直後、DATA[6:0] は較正係数を含んでいます。

18.12.13 ADC アナログウォッチドッグ 2 設定レジスタ (ADC_AWD2CR)

アドレス・オフセット : 0xA0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2C H17	AWD2C H16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD2C H15	AWD2C H14	AWD2C H13	AWD2C H12	AWD2C H11	AWD2C H10	AWD2C H9	AWD2C H8	AWD2C H7	AWD2C H6	AWD2C H5	AWD2C H4	AWD2C H3	AWD2C H2	AWD2C H1	AWD2C H0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:0 **AWD2CH[17:0]** : アナログウォッチドッグチャンネル選択

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグ 2 (AWD2) によって保護される入力チャンネルを有効化して選択します。

0 : ADC アナログチャンネル x は AWD2 によって監視されません。

1 : ADC アナログチャンネル x は AWD2 によって監視されます。

注 : **ADC_AWD2CR** で選択したチャンネルは、**ADC_CHSELR** レジスタにも設定する必要があります。ソフトウェアは、**ADSTART=0** である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

18.12.14 ADC アナログウォッチドッグ 3 設定レジスタ (ADC_AWD3CR)

アドレス・オフセット : 0xA4

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3C H17	AWD3C H16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD3C H15	AWD3C H14	AWD3C H13	AWD3C H12	AWD3C H11	AWD3C H10	AWD3C H9	AWD3C H8	AWD3C H7	AWD3C H6	AWD3C H5	AWD3C H4	AWD3C H3	AWD3C H2	AWD3C H1	AWD3C H0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:0 **AWD3CH[17:0]** : アナログウォッチドッグチャンネル選択

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグ 3 (AWD3) によって保護される入力チャンネルを有効化して選択します。

0 : ADC アナログチャンネル x は AWD3 によって監視されません。

1 : ADC アナログチャンネル x は AWD3 によって監視されます。

注 : **ADC_AWD3CR** で選択したチャンネルは、**ADC_CHSELR** レジスタにも設定する必要があります。ソフトウェアは、**ADSTART=0** である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

18.12.15 ADC 較正係数 (ADC_CALFACT)

アドレス・オフセット : 0xB4

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT[6:0]						
									rW	rW	rW	rW	rW	rW	rW

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **CALFACT[6:0]** : 較正係数

これらのビットは、ハードウェアまたはソフトウェアによって書き込まれます。

- 較正が完了すると、ハードウェアによって較正係数で更新されます。
- ソフトウェアは、これらのビットに新しい較正係数を書き込むことができます。新しい較正係数がアナログ A/D コンバータに格納されている現在のものと異なる場合は、新しい変換の起動時に適用されます。
- 較正の完了直後、DATA[6:0] は較正係数を含んでいます。

注： ソフトウェアは、ADEN=1 のときのみ (ADC が有効であり、較正中でなく、変換中でない)、これらのビットを書き込むことができます。

18.12.16 ADC 共通設定レジスタ (ADC_CCR)

アドレス・オフセット : 0x308

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	VBATE N	TSEN	VREFE N	PRESC[3:0]				Res.	Res.
							rW	rW	rW	rW	rW	rW	rW		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **VBATEN** : V_{BAT} イネーブル

このビットは、V_{BAT} チャネルを有効/無効にするために、ソフトウェアによってセット/クリアされます。

- 0 : V_{BAT} チャネルは無効です
- 1 : V_{BAT} チャネルは有効です。

注： ソフトウェアは、ADSTART = 0 である (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 23 **TSEN** : 温度センサ有効

このビットは、温度センサを有効/無効にするために、ソフトウェアによってセット/クリアされます。

- 0 : 温度センサは無効です。
- 1 : 温度センサは有効です。

注： ソフトウェアは、ADSTART = 0 (変換が実行中でない) ときのみ、このビットに書き込むことができます。



ビット 22 **VREFEN** : V_{REFINT} 有効化

このビットは、 V_{REFINT} を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : V_{REFINT} は無効です。

1 : V_{REFINT} は有効です。

注 : ソフトウェアは、**ADSTART = 0** (変換が実行中でない) ときのみ、このビットに書き込むことができます。

ビット 21:18 **PRESC[3:0]** : ADC プリスケーラ

ADC へのクロックの周波数を選択するために、ソフトウェアによってセット/クリアされます。

0000 : ADC 入力クロックは分周されません。

0001 : ADC 入力クロックが 2 分周されます。

0010 : ADC 入力クロックが 4 分周されます。

0011 : ADC 入力クロックが 6 分周されます。

0100 : ADC 入力クロックが 8 分周されます。

0101 : ADC 入力クロックが 10 分周されます。

0110 : ADC 入力クロックが 12 分周されます。

0111 : ADC 入力クロックが 16 分周されます。

1000 : ADC 入力クロックが 32 分周されます。

1001 : ADC 入力クロックが 64 分周されます。

1010 : ADC 入力クロックが 128 分周されます。

1011 : ADC 入力クロックが 256 分周されます。

その他 : 予約済みです。

注 : ソフトウェアは、ADC が無効のときだけ (**ADCAL = 0**、**ADSTART = 0**、**ADSTP = 0**、**ADDIS = 0**、および **ADEN = 0**)、これらのビットを書き込むことができます。

ビット 17:0 予約済みであり、リセット値に保持する必要があります。

18.13 ADC レジスタマップ

次の表に ADC レジスタの一覧を示します。

表 110. ADC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	ADC_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCRDY	EOCAL	Res.	Res.	AWD3	AWD2	AWD1	Res.	Res.	OVR	EOS	EOC	EOSMP	ADRDY
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	ADC_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCRDYIE	EOCALIE	Res.	Res.	AWD3IE	AWD2IE	AWD1IE	Res.	Res.	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	ADC_CR	ADCAL	Res.	Res.	ADVREGEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADSTP	Res.	ADSTART	ADDIS	ADEN
	リセット値	0			0																									0		0	0	0
0x0C	ADC_CFGR1	Res.	AWDCH[4:0]				Res.	Res.	Res.	Res.	AWD1EN	AWD1SGL	CHSELRMOD	Res.	Res.	Res.	Res.	DISCEN	AUTOFF	WAIT	CONT	OVRMOD	EXTEN[1:0]	Res.	Res.	EXTSEL [2:0]	Res.	ALIGN	RES [1:0]	SCANDIR	DIMACFG	DMAEN		
	リセット値		0	0	0	0	0			0	0	0	0				0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0
0x10	ADC_CFGR2	CKMODE[1:0]	Res.	LFRIG	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TOVS	OVSS[8:0]			Res.	OVSRR[2:0]	Res.	Res.	OVSE		
	リセット値	0	0	0																					0	0	0	0	0	0	0	0	0	0
0x14	ADC_SMPR	Res.	Res.	Res.	Res.	Res.	Res.	SMPSEL17	SMPSEL16	SMPSEL15	SMPSEL14	SMPSEL13	SMPSEL12	SMPSEL11	SMPSEL10	SMPSEL9	SMPSEL8	SMPSEL7	SMPSEL6	SMPSEL5	SMPSEL4	SMPSEL3	SMPSEL2	SMPSEL1	SMPSEL0	Res.	SMP2 [2:0]		Res.	SMP1 [2:0]				
	リセット値							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x18	予約済	予約済																																
0x1C	予約済	予約済																																
0x20	ADC_AWD1TR	Res.	Res.	Res.	Res.	HT1 [11:0]											Res.	Res.	Res.	Res.	Res.	LT1 [11:0]												
	リセット値					1	1	1	1	1	1	1	1	1	1	1	1																	
0x24	ADC_AWD2TR	Res.	Res.	Res.	Res.	HT2 [11:0]											Res.	Res.	Res.	Res.	Res.	LT2 [11:0]												
	リセット値					1	1	1	1	1	1	1	1	1	1	1																		
0x28	ADC_CHSELR (CHSELRMOD=0)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHSEL17	CHSEL16	CHSEL15	CHSEL14	CHSEL13	CHSEL12	CHSEL11	CHSEL10	CHSEL9	CHSEL8	CHSEL7	CHSEL6	CHSEL5	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x28	ADC_CHSELR (CHSELRMOD=1)	SQ8 [3:0]			SQ7 [3:0]			SQ6 [3:0]			SQ5 [3:0]			SQ4 [3:0]			SQ3 [3:0]			SQ2 [3:0]			SQ1 [3:0]											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2C	ADC_AWD3TR	Res.	Res.	Res.	Res.	HT3 [11:0]											Res.	Res.	Res.	Res.	LT3 [11:0]													
	リセット値					1	1	1	1	1	1	1	1	1	1	1																		
0x30 0x34 0x38 0x3C	予約済	予約済																																
0x40	ADC_DR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DATA[15:0]																	
	リセット値																																	
.....	予約済	予約済																																



表 110. ADC レジスタマップとリセット値 (続き)

オフ セット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
0xA0	ADC_AWD2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2CH17	AWD2CH16	AWD2CH15	AWD2CH14	AWD2CH13	AWD2CH12	AWD2CH11	AWD2CH10	AWD2CH9	AWD2CH8	AWD2CH7	AWD2CH6	AWD2CH5	AWD2CH4	AWD2CH3	AWD2CH2	AWD2CH1	AWD2CH0							
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
0xA4	ADC_AWD3CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3CH17	AWD3CH16	AWD3CH15	AWD3CH14	AWD3CH13	AWD3CH12	AWD3CH11	AWD3CH10	AWD3CH9	AWD3CH8	AWD3CH7	AWD3CH6	AWD3CH5	AWD3CH4	AWD3CH3	AWD3CH2	AWD3CH1	AWD3CH0							
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
.....	予約済	予約済																																							
0xB4	ADC_CALFACT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT[6:0]						
	リセット値																																		0	0	0	0	0	0	0
.....	予約済	予約済																																							
0x308	ADC_CCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VBATEN	TSEN	VREFEN	PRESC3	PRESC2	PRESC1	PRESC0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.					
	リセット値									0	0	0	0	0	0	0																									

レジスタ境界アドレスについては [72 ページのセクション 2.6](#) を参照してください。

19 D/A コンバータ (DAC)

19.1 概要

DAC モジュールは、12 ビットの電圧出力デジタルアナログコンバータです。DAC は、8 または 12 ビットモードで設定でき、DMA コントローラと組み合わせて使用することもできます。12 ビットモードでは、データを左詰め右詰めどちらにも配置できます。DAC は 1 つのシングルチャネルを備えています。精度を高めるために、入力基準ピン V_{REF+} (その他のアナログペリフェラルと共用) を使用することができます。内部基準も、同じ入力でセットできます。電圧基準バッファ (VREFBUF) セクションを参照してください。

DAC 出力が出力パッドから切断され、オンチップペリフェラルに接続されている場合、DACx_OUT1 ピンは汎用入力/出力 (GPIO) として使用できます。駆動出力電流を上げるために、オプションで DAC 出力バッファを有効にできます。個別の較正が各 DAC 出力チャンネルに適用可能です。DAC 出力チャンネルは低電力モード (サンプルおよびホールドモード) をサポートしています。

19.2 DAC の主な機能

DAC の主な機能は以下のとおりです (図 86: DAC のブロック図を参照)。

- 1 つの DAC インタフェース
- 12 ビットモードでのデータの左詰めまたは右詰め
- 同期更新機能
- ノイズ波および三角波生成
- シングル DAC チャンネル
- DMA アンダーランエラー検出を含む各チャンネルの DMA 機能
- 変換外部トリガ
- DAC 出力チャンネルバッファ/バッファ無モード
- バッファオフセット較正
- DAC 出力は DACx_OUT1 出力ピンから切り離し可能
- オン-チップペリフェラルへの DAC 出力接続
- STOP モードの低電力動作でのサンプルおよびホールドモード
- V_{REF+} ピンまたは内部 VREFBUF 基準からの入力電圧基準

図 86 は DAC チャンネルのブロック図を、表 112 はピンの概要を示します。

19.3 DAC の実装

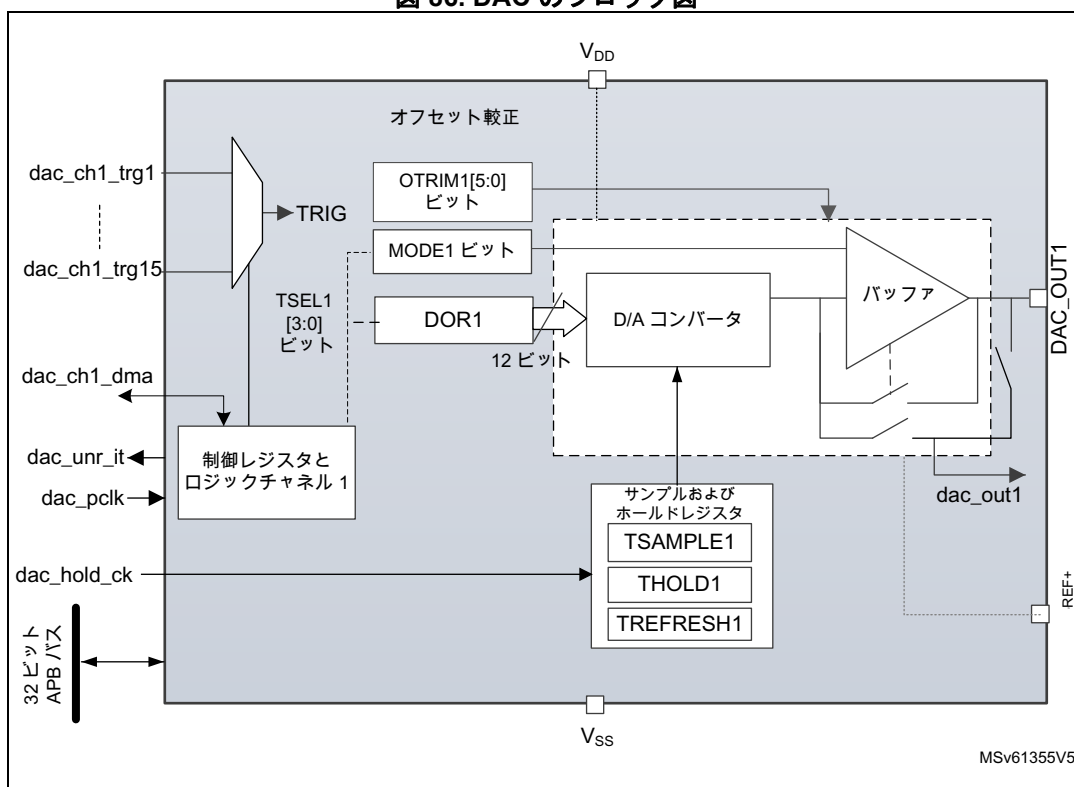
表 111. DAC の機能

DAC の機能	DAC
デュアルチャンネル	-
出力バッファ	X
I/O 接続	DAC_OUT1 から PA10
最大サンプリング時間	1 Msps
自律モード	-
VREF+ ピン	X

19.4 DAC の機能説明

19.4.1 DAC ブロック図

図 86. DAC のブロック図



1. DAC_MCR の MODE1 ビットによって、出力モードが制御され、バッファ有/バッファ無し設定の通常モードとサンプルおよびホールドモード間の切り替えが制御されます。

19.4.2 DAC ピンおよび内部信号

DAC には次の要素が含まれます。

- 1つの出力チャンネル
- DACx_OUT1 を出力ピンから切り離して標準の GPIO として使用可能
- dac_out1 でコンパレータ、オペアンプ、および ADC（使用できる場合）などのオンチップペリフェラルへの内部ピン接続が使用可能
- DAC 出力チャンネルのバッファ有またはバッファ無
- スタティック変換のために LSI クロックソース (dac_hold_ck) を使用し、STOP モードで動作可能なサンプルおよびホールドブロック、レジスタ。

DAC には最大 2 つの個別出力チャンネルが搭載されています。各出力チャンネルは、コンパレータ、オペアンプ、および ADC（使用できる場合）などのオンチップペリフェラルに接続できます。この場合、DAC 出力チャンネルは DACx_OUT1 出力ピンから切断でき、対応する GPIO を別の目的に使用できます。

DAC 出力はバッファの有無を設定できます。サンプルホールドブロックと、それに関連するレジスタは、LSI クロックソース (dac_hold_ck) を使用して STOP モードで動作可能です。

表 112. DAC の入出力ピン

ピン名	信号タイプ	説明
VREF+	入力、アナログ基準電圧正	DAC のハイレベル/正基準電圧 $V_{REF+} \leq V_{DDAmax}$ (データシートを参照)
VDD	入力、アナログ電源供給	アナログ電源供給
VSS	入力、アナログ供給グラウンド	アナログ電源供給のグラウンド
DACx_OUT1	アナログ出力信号	DACx チャンネル 1 アナログ出力

表 113. DAC 内部入力/出力信号

内部信号名	信号タイプ	説明
dac_ch1_dma	双方向	DAC チャンネル 1 DMA リクエスト/確認応答
dac_ch1_trgx (x = 1~15)	入力	DAC チャンネル1 トリガ入力/確認応答
dac_unr_it	出力	DAC アンダーラン割込み
dac_pclk	入力	DAC ペリフェラルクロック
dac_hold_ck	入力	サンプルおよびホールドモードで使用される DAC 低電カクロック
dac_out1	アナログ出力	オンチップペリフェラル用 DAC チャンネル1 出力

表 114. DAC の相互接続

信号名	転送元	ソースタイプ
dac_hold_ck	ck_lsi	RCC で選択された LSI クロック
dac_ch1_trg1	tim1_trgo	オンチップタイマからの内部信号 TIM1_TGO_CKTIM
dac_ch1_trg2	tim2_trgo	オンチップタイマからの内部信号 TIM2_TGO_CKTIM
dac_ch1_trg11	lptim1_out	オンチップタイマからの内部信号 LPTIM1_OUT

表 114. DAC の相互接続 (続き)

信号名	転送元	ソースタイプ
dac_ch1_trg12	lptim2_out	オンチップタイマからの内部信号 LPTIM2_OUT
dac_ch1_trg13	lptim3_out	オンチップタイマからの内部信号 LPTIM3_OUT
dac_ch1_trg14	exti9	外部ピン EXTI[9]

19.4.3 DAC チャネルイネーブル

DAC チャネルは、DAC_CR レジスタの対応する EN1 ビットをセットすることによって起動できます。DAC チャネルは、 t_{WAKEUP} のスタートアップ時間後に有効になります。

注： EN1 ビットは、アナログ DAC チャネル 1 のみを有効にします。DAC チャネル 1 デジタルインタフェースは、EN1 ビットがリセットされた場合でも有効になります。

19.4.4 DAC データフォーマット

以下に示すように、選択された設定モードに応じて、指定されたレジスタにデータを書き込む必要があります。

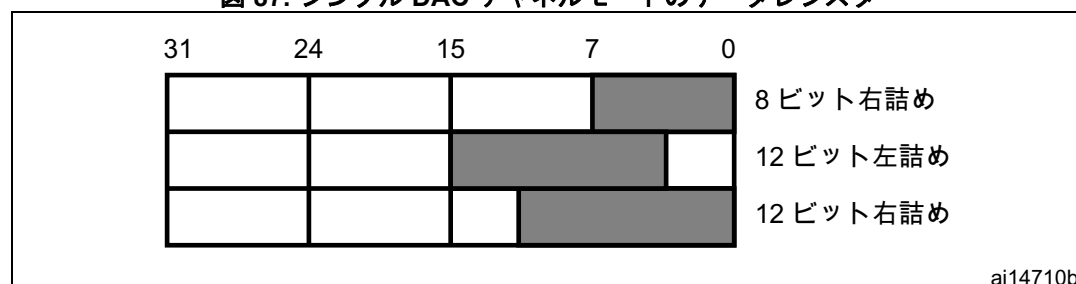
- シングル DAC チャネル

この場合、次の 3 つの設定が可能です。

- 8 ビット右詰め：ソフトウェアはデータを DAC_DHR8R1[7:0] ビットにロードする必要があります (DHR1[11:4] ビットに格納)。
- 12 ビット左詰め：ソフトウェアはデータを DAC_DHR12L1 [15:4] ビットにロードする必要があります (DHR1[11:0] ビットに格納)。
- 12 ビット右詰め：ソフトウェアはデータを DAC_DHR12R1 [11:0] ビットにロードする必要があります (DHR1 [11:0] ビットに格納)。

ユーザによって書き込まれたデータは、ロードされた DAC_DHR yy xx レジスタに応じて、シフトされてから、対応する DHR1 (メモリマップされない内部レジスタであるデータ保持レジスタ x) に格納されます。その後、DHR1 レジスタは自動的に、ソフトウェアトリガまたは外部イベントトリガによって、DOR1 レジスタにロードされます。

図 87. シングル DAC チャネルモードのデータレジスタ



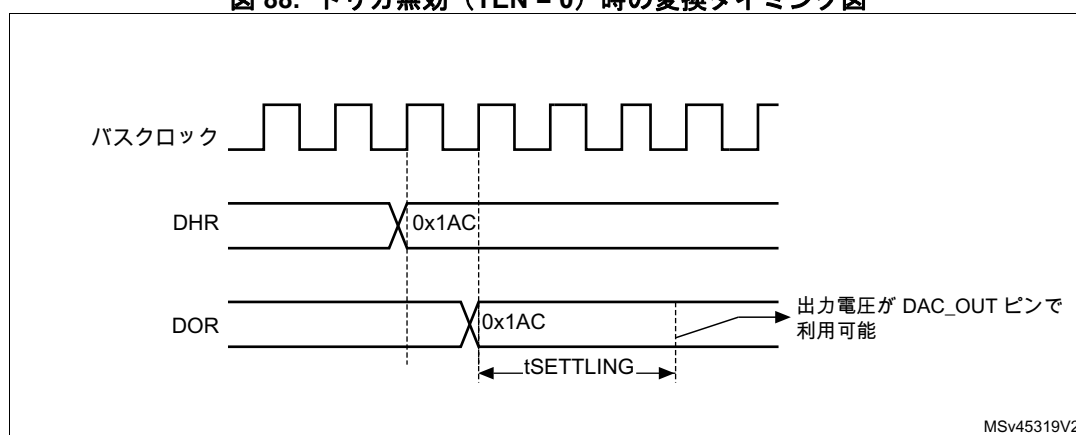
19.4.5 DAC 変換

DAC_DOR1 に直接書き込むことはできず、DAC_DHR1 レジスタをロードすることによって (DAC_DHR8R1、DAC_DHR12L1、DAC_DHR12R1、DAC_DHR8RD、DAC_DHR12RD、または DAC_DHR12LD への書き込み操作)、DAC チャンネル 1 へのデータ転送を行う必要があります。

DAC_DHR1 レジスタに格納されたデータは、ハードウェアトリガが選択されていない (DAC_CR レジスタの TEN1 ビットがリセットされている) 場合に、1 dac_pclk クロックサイクル後に DAC_DOR1 レジスタに自動的に転送されます。ただし、ハードウェアトリガが選択されている (DAC_CR レジスタの TEN1 ビットがセットされている) ときには、トリガが発生すると、転送はトリガ信号の 3 dac_pclk クロックサイクル後に行われます。

DAC_DOR1 に DAC_DHR1 の内容がロードされると、電源電圧とアナログ出力負荷に応じて決定される $t_{SETTLING}$ 時間後にアナログ出力電圧が使用可能になります。

図 88. トリガ無効 (TEN = 0) 時の変換タイミング図



19.4.6 DAC 出力電圧

デジタル入力は、0 から V_{REF+} までのリニア変換で出力電圧に変換されます。

DAC チャンネルピンのアナログ出力電圧は、次の式によって求められます。

$$DAC_{output} = V_{REF} \times \frac{DOR}{4096}$$

19.4.7 DAC トリガ選択

TEN1 制御ビットがセットされている場合、外部イベント (タイマカウンタ、外部割込みラインなど) によって変換をトリガできます。DAC_CR レジスタの TSEL1[3:0] ビットに示すように、TSEL1[3:0] 制御ビットは、変換をトリガするイベントを 16 のイベントから決定します。これらのイベントは、ソフトウェアトリガまたはハードウェアトリガのいずれかです。[セクション 19.4.2: DAC ピンおよび内部信号](#)の相互接続の表を参照してください。

DAC インタフェースが選択されたトリガソース (次の表を参照) で立ち上がりエッジを検出するたびに、DAC_DHR1 レジスタに最後に格納されたデータが DAC_DOR1 レジスタに転送されます。DAC_DOR1 レジスタは、トリガが発生してから 3 dac_pclk サイクル後に更新されます。

ソフトウェアトリガが選択されている場合、変換は、SWTRIG ビットがセットされると開始されず。SWTRIG ビットは、DAC_DOR1 レジスタに DAC_DHR1 レジスタの内容がロードされると、ハードウェアによってリセットされます。

注： EN1 ビットがセットされているときには、TSEL1[3:0] ビットを変更することはできません。
ソフトウェアトリガが選択されているときには、DAC_DHR1 レジスタから DAC_DOR1 レジスタへの転送は、わずか 1 dac_pclk クロックサイクルで行われます。

19.4.8 DMA リクエスト

DAC チャンネルは、DMA 機能を備えています。DAC チャンネルの DMA リクエストは、1 つの DMA チャンネルを使用して処理されます。

DMAEN1 ビットがセットされているときに、外部トリガ（ソフトウェアトリガ以外）が発生した場合、DAC_DHR1 レジスタの値は DAC_DOR1 レジスタに転送され、転送が終了すると、DMA リクエストが生成されます。

DAC_DHR1 から DAC_DOR1 へのデータ転送は DMA リクエストの前に起きるので、最初のトリガイベントが発生する前に最初のデータを DAC_DHR1 に書き込む必要があります。

DMA アンダーラン

DAC DMA リクエストはキューされないため、最初の外部トリガに対する確認応答が受信される（最初のリクエスト）前に 2 つ目の外部トリガが発生すると、新しいリクエストは発行されず、DAC_SR レジスタの DMA チャンネル 1 アンダーランフラグ DMAUDR1 がセットされてエラー状態が報告されます。DAC チャンネル 1 は、古いデータを変換し続けます。

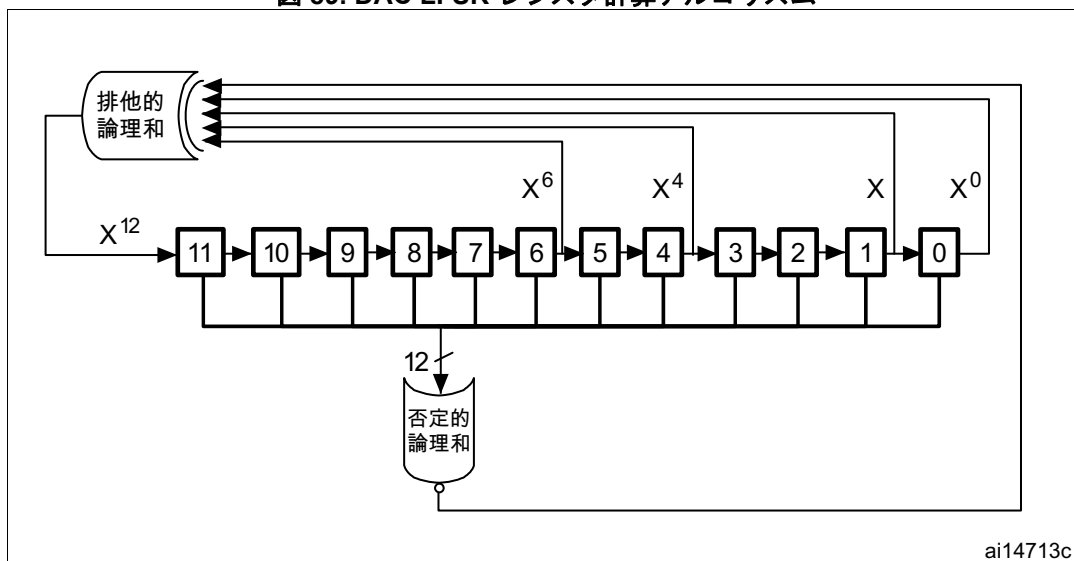
ソフトウェアは、1 を書き込むことによって DMAUDR1 フラグをクリアし、使用された DMA ストリームの DMAEN ビットをクリアし、DMA と DAC のチャンネル 1 両方を再初期化して転送を正しくリスタートさせる必要があります。また、DAC トリガ変換周波数を変更するか DMA の負荷を軽減して、新しい DMA アンダーランを回避する必要があります。最後に、DMA データ転送と変換トリガを有効にすることによって DAC 変換を再開することができます。

DAC チャンネル 1 では、DAC_CR レジスタの対応する DMAUDRIE1 ビットが有効にされている場合、割込みも生成されます。

19.4.9 ノイズ生成

リニアフィードバックシフトレジスタ (LFSR) を使用して、可変振幅の擬似ノイズを生成することができます。DAC ノイズ生成を選択するには、WAVE1[1:0] を 01 にセットします。LFSR にプリロードされる値は 0xAAA です。このレジスタは、各トリガイベントの 3 dac_pclk クロックサイクル後に、特定の計算アルゴリズムに従って更新されます。

図 89. DAC LFSR レジスタ計算アルゴリズム

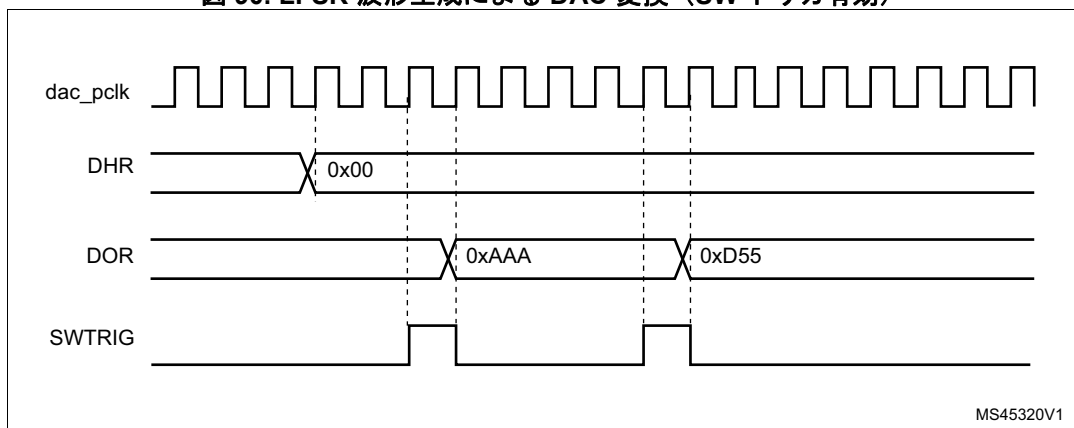


LFSR 値は、DAC_CR レジスタの MAMP1[3:0] ビットによって部分的または全体的にマスクでき、オーバーフローなしに DAC_DHR1 の内容に加算され、DAC_DOR1 レジスタに転送されます。

LFSR が 0x0000 の場合、“1”がインジェクトされます (アンチロックアップメカニズム)。

WAVE1[1:0] ビットをリセットすることによって、LFSR 波形生成をリセットできます。

図 90. LFSR 波形生成による DAC 変換 (SW トリガ有効)



注： ノイズ生成のためには、DAC_CR レジスタの TEN1 ビットをセットすることによって、DAC トリガを有効にしなければなりません。

19.4.10 三角波生成

DC または低周波数信号上に、小さな振幅の三角波を追加することが可能です。DAC 三角波生成を選択するには、WAVE1[1:0] を 10 にセットします。振幅は、DAC_CR レジスタの MAMP1[3:0] ビットによって設定されます。内部三角波カウンタは、各トリガイベントの 3 dac_pclk クロックサイクル後にインクリメントされます。このカウンタの値は、オーバーフローなしに DAC_DHR1 レジスタに加えられ、合計は DAC_DOR1 レジスタに転送されます。三角波カウンタは、MAMP1[3:0] ビットによって定義された最大振幅以上になるまでインクリメントされます。設定された振幅に達すると、カウンタは 0 にデクリメントされ、再びインクリメントが開始されます。

WAVE1[1:0] ビットをリセットすることによって、三角波生成をリセットできます。

図 91. DAC 三角波生成

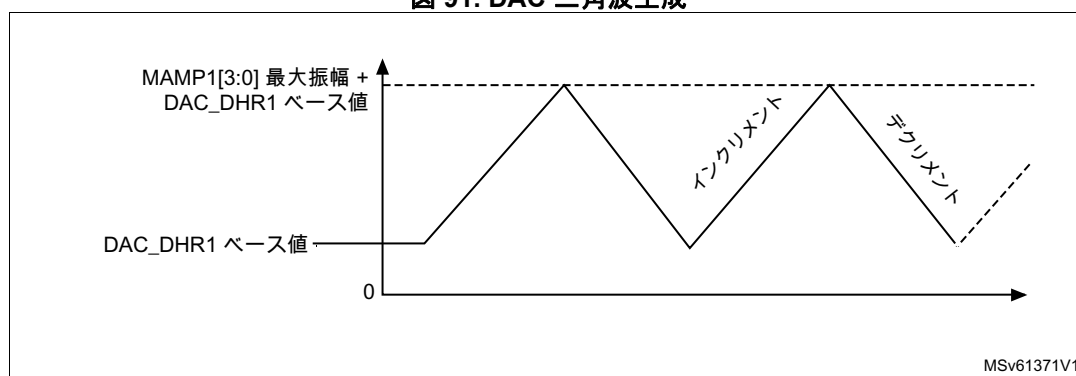
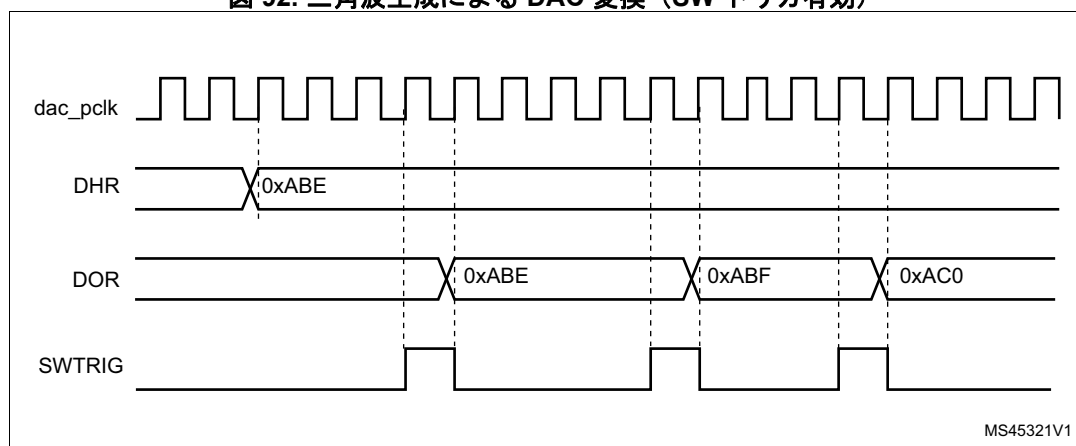


図 92. 三角波生成による DAC 変換 (SW トリガ有効)



注： 三角波生成のためには、DAC_CR レジスタの TEN1 ビットをセットすることによって、DAC トリガを有効にしなければなりません。

DAC を有効にするには、その前に MAMP1[3:0] ビットを設定する必要があります。そうしないと、これらのビットは変更できません。

19.4.11 DAC チャネルモード

DAC チャネルは、通常モードまたはサンプルおよびホールドモードのいずれかに設定できます。高駆動機能を得るために、出力バッファを有効にできます。出力バッファを有効にする前に、電圧オフセットを校正する必要があります。この校正は出荷時に実施され（リセット後にロードされ）、アプリケーション動作中にソフトウェアで調整できます。

通常モード

通常モードでは、バッファ状態の変更と DACx_OUT1 ピン相互接続の変更による 4 つの組み合わせがあります。

出力バッファを有効にするには、DAC_MCR レジスタの MODE1[2:0] ビットを次のようにセットする必要があります。

- 000 : DAC を外部ピンに接続
- 001 : DAC を外部ピンとオンチップペリフェラルに接続

出力バッファを無効にするには、DAC_MCR レジスタの MODE1[2:0] ビットを次のようにセットする必要があります。

- 010 : DAC を外部ピンに接続
- 011 : DAC をオンチップペリフェラルに接続

サンプルおよびホールドモード

サンプルおよびホールドモードでは、DAC コアがトリガ変換でデータを変換してから、コンデンサで変換された電圧を保持します。変換しない場合、DAC コアおよびバッファはサンプル間で完全にオフになり、DAC 出力はトライステートになるため、全体の消費電力を低減します。新しい変換を行う前ごとに、安定時間（その値はバッファ状態に応じて変わります）が必要になります。

このモードでは、DAC コアならびにすべての対応するロジックとレジスタは、dac_pclk クロックに加えて LSI ロースピードクロック (dac_hold_ck) によっても駆動されますので、STOP モードなどの超低電力モードで DAC チャネルを使用できます。

LSI 低速クロック (dac_hold_ck) は、サンプルおよびホールドモードが有効なときは停止しないでください。

サンプル/ホールドモードの動作は、3 つのフェーズに分けられます。

1. サンプルフェーズ : サンプル/ホールド要素が対象の電圧までチャージされます。チャージ時間はコンデンサ値（ユーザによって選択された内部または外部）によって異なります。サンプリング時間は、DAC_SHSR1 レジスタの TSAMPLE1[9:0] ビットで設定されます。TSAMPLE1[9:0] ビットの書込み中、両方のクロックドメイン（APB および低速クロック）を同期するために DAC_SR レジスタの BWST1 ビットが 1 にセットされ、DAC チャネル動作中にソフトウェアによってサンプルフェーズの値を変更できるようになります。
2. ホールドフェーズ : DAC 出力チャンネルはトライステートになり、DAC コアおよびバッファはオフになって消費電流を低減します。ホールド時間は、DAC_SHHR レジスタの THOLD1[9:0] ビットで設定されます。
3. リフレッシュフェーズ : リフレッシュ時間は、DAC_SHRR レジスタの TREFRESH1[7:0] ビットで設定されます。

上記 3つのフェーズのタイミングは、LSI クロック周期の単位で行われます。たとえば、350 μ s のサンプル時間、2 ms のホールド時間、100 μ s のリフレッシュ時間を設定するために、LSI \sim 32 KHz を選択するとします。

12 サイクルがサンプルフェーズで必要になります。TSAMPLE1[9:0] = 11、

62 サイクルがホールドフェーズで必要になります。THOLD1[9:0] = 62、

そして、4 サイクルがリフレッシュ時間で必要になります。TREFRESH1[7:0] = 4。

この例では、消費電力が通常モードに対してほぼ 15分の1に低減されます。

適切なサンプルおよびリフレッシュタイミングを計算する公式は、以下の表に記載しており、ホールド時間はリーク電流によって異なります。

表 115. サンプルおよびリフレッシュタイミング

バッファ状態	$t_{\text{SAMP}}^{(1)(2)}$	$t_{\text{REFRESH}}^{(2)(3)}$
イネーブル	$7 \mu\text{s} + (10 \cdot R_{\text{BON}} \cdot C_{\text{SH}})$	$7 \mu\text{s} + (R_{\text{BON}} \cdot C_{\text{SH}}) \cdot \ln(2 \cdot N_{\text{LSB}})$
無効化	$3 \mu\text{s} + (10 \cdot R_{\text{BOFF}} \cdot C_{\text{SH}})$	$3 \mu\text{s} + (R_{\text{BOFF}} \cdot C_{\text{SH}}) \cdot \ln(2 \cdot N_{\text{LSB}})$

- 上記の公式で、 $\frac{1}{2}$ LSBエラー精度での目標のコード値までの整定には、12 ビットの分解能の場合、10 定数時間が必要です。8 ビット分解能の場合、整定時間は7 定数時間です。
- C_{SH} はサンプルおよびホールドモードでのコンデンサ容量です。
- ホールドフェーズ中に許容される電圧低下「 V_d 」は、コンデンサが出力リーク電流で放電した後の LSB の数で表されません。 $\frac{1}{2}$ LSB エラー精度で目標のコード値まで整定し直すには、DAC の $\ln(2 \cdot N_{\text{LSB}})$ 定数時間が必要です。

出力バッファがオンの場合のサンプルおよびリフレッシュ時間の計算例

以下に使用される値は、例示のみを目的としています。製品データについては、製品データシートを参照してください。

$$C_{\text{SH}} = 100 \text{ nF}$$

$$V_{\text{DD}} = 3.0 \text{ V}$$

サンプリングフェーズ：

$$t_{\text{SAMP}} = 7 \mu\text{s} + (10 \cdot 2000 \cdot 100 \cdot 10^{-9}) = 2.007 \text{ ms}$$

(ここで、 $R_{\text{BON}} = 2 \text{ k}\Omega$)

リフレッシュフェーズ：

$$t_{\text{REFRESH}} = 7 \mu\text{s} + (2000 \cdot 100 \cdot 10^{-9}) \cdot \ln(2 \cdot 10) = 606.1 \mu\text{s}$$

(ここで、 $N_{\text{LSB}} = 10$ (ホールドフェーズ中は 10 LSB 低下))

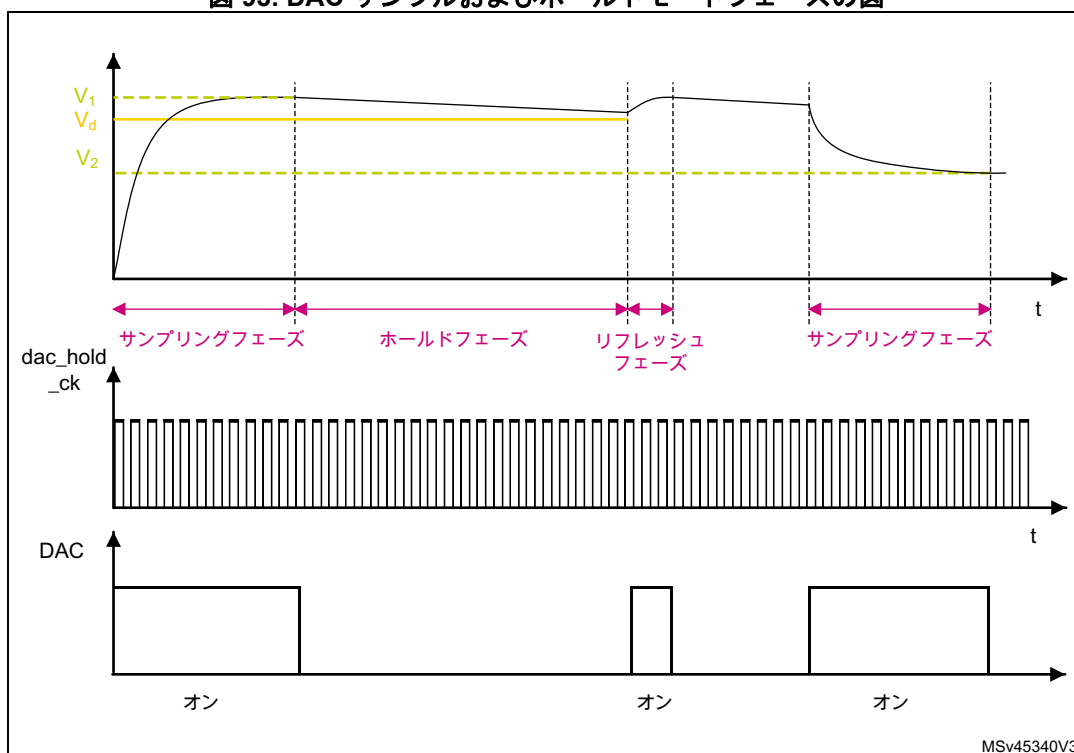
ホールドフェーズ：

$$D_v = i_{\text{leak}} \cdot t_{\text{hold}} / C_{\text{SH}} = 0.0073 \text{ V} \quad (3 \text{ V で 12 ビットの 10 LSB)}$$

$$i_{\text{leak}} = 150 \text{ nA} \quad (\text{すべての温度範囲の IO リークで最悪のケース})$$

$$t_{\text{hold}} = 0.0073 \cdot 100 \cdot 10^{-9} / (150 \cdot 10^{-9}) = 4.867 \text{ ms}$$

図 93. DAC サンプルおよびホールドモードフェーズの図



通常モードと同様に、サンプルおよびホールドモードには個別の設定があります。

出力バッファを有効にするには、DAC_MCR レジスタの MODE1[2:0] ビットを次のようにセットする必要があります。

- 100 : DAC を外部ピンに接続
- 101 : DAC を外部ピンとオンチップペリフェラルに接続

出力バッファを無効にするには、DAC_MCR レジスタの MODE1[2:0] ビットを次のようにセットする必要があります。

- 110 : DAC を外部ピンとオンチップペリフェラルに接続
- 111 : DAC をオンチップペリフェラルに接続

MODE1[2:0] ビットが 111 と等しい場合、内部コンデンサ C_{Lint} は、DAC コアの電圧出力を保持し、それによってオンチップペリフェラルを駆動します。

すべてのサンプルおよびホールドフェーズは割り込み可能であり、DAC_DHR1 のあらゆる変更は新しいサンプルフェーズを即座にトリガします。

表 116. チャネル出力モードの概要

MODE1 [2:0]		モード	バッファ	出力接続
0	0	通常モード	有効	外部ピンに接続
0	1			外部ピンとオンチップペリフェラルに接続 (コンパレータなど)
0	1		無効	外部ピンに接続
0	1			オンチップペリフェラルに接続 (コンパレータなど)

表 116. チャネル出力モードの概要 (続き)

MODE1 [2:0]			モード	バッファ	出力接続
1	0	0	サンプルおよび ホールドモード	有効	外部ピンに接続
1	0	1			外部ピンとオンチップペリフェラルに接続 (コンパレータなど)
1	1	0		無効	外部ピンとオンチップペリフェラルに接続 (コンパレータなど)
1	1	1			オンチップペリフェラルに接続 (コンパレータなど)

19.4.12 DAC 出力バッファ較正

N ビットのデジタルアナログコンバータ (DAC) の転送関数は次のとおりです。

$$V_{out} = ((D/2^N) \times G \times V_{ref}) + V_{OS}$$

ここで、V_{OUT} はアナログ出力、D はデジタル入力、G はゲイン、V_{ref} は公称フルスケール電圧、V_{OS} はオフセット電圧です。理想的な DAC チャネルでは、g = 1、V_{os} = 0 となります。

出力バッファの特性によって、オフセット電圧が部分的に異なり、アナログ出力で絶対的なオフセットエラーをもたらす場合があります。V_{os} を補正するには、トリミング技法による較正が必要です。

この較正は、DAC チャネル がバッファ有効状態で動作している場合 (MODE1[2:0] = 000b、001b、100b、または 101b) のみ有効です。バッファがオフのときに他のモードで適用される場合は影響しません。較正中は次のようになります。

- バッファ出力がピンの内部/外部接続から切断され、トライステートモード (HiZ) になります。
- バッファがミドルコード値 0x800 を検出して、内部ブリッジによる VREF+/2 信号と比較するためにコンパレータとして機能し、比較結果 (CAL_FLAG1 ビット) に応じて出力信号を 0 または 1 にトグルします。

次の 2 つの較正技法があります。

- 出荷時トリミング (デフォルト設定)
DAC バッファオフセットが出荷時にトリミングされます。DAC_CCR レジスタの OTRIM1[4:0] ビットのデフォルト値は出荷時トリミング値となり、DAC デジタルインタフェースがリセットされるとロードされます。
- ユーザトリミング
動作条件が出荷時トリミング条件と異なる場合、特に V_{DDA} 電圧、温度、VREF+ の値が変化する場合に、ユーザトリミングはソフトウェアによって適用時にいつでも実行できます。

注： 出荷時トリミング条件の詳細については、データシートを参照してください。

また、VDD が無くなる場合 (デバイスが STANDBY モードや VBAT モードに移行する場合など)、較正が必要になります。

ユーザトリミング較正を実行する手順は次のとおりです。

1. DAC チャネルがアクティブな場合、DAC_CR の EN1 ビットに 0 を書き込み、チャネルを無効にします。
2. DAC_MCR レジスタに MODE1[2:0] = 000b、001b、100b、または 101b を書き込んで、バッファが有効なモードを選択します。
3. DAC_CR レジスタの CEN1 ビットを 1 にセットして、DAC チャネル の較正を開始します。
4. トリミングアルゴリズムを適用します。
 - a) OTRIM1[4:0] ビットにコード (00000b で開始する) を書き込みます。
 - b) tTRIM の遅延を待ちます。

- c) DAC_SR の CAL_FLAG1 ビットが 1 にセットされているか確認します。
- d) CAL_FLAG1 が 1 にセットされている場合、OTRIM1[4:0] トリミングコードが検索され、これを出力値を補正するデバイスの操作中に使用できます。それ以外は OTRIM1[4:0] をインクリメントし、(a) から (d) のステップを再び繰り返します。

ソフトウェアアルゴリズムによって、逐次比較や二分岐法を使用して、より早く OTRIM1[4:0] ビットの内容を計算してセットできます。

CAL_FLAG1 ビットの転流／トグルは、オフセットが正しく補正されたことを示し、対応するトリミングコードを DAC_CCR レジスタの OTRIM1[4:0] ビットに保持しておく必要があります。

注： tTRIM 遅延が、OTRIM1[4:0] ビットへの書き込みと DAC_SR レジスタの CAL_FLAG1 ビットの読出しの間で守られなければ、正しい値を取得できません。このパラメータは、データシートの電気的特性のセクションで指定されています。

V_{DDA}、VREF+、および温度条件がデバイス動作中に変化せず、STANDBY および VBAT モードに頻繁に移行する場合、ソフトウェアは最初のユーザ較正時に見つかった OTRIM1[4:0] ビットを Flash またはバックアップレジスタに格納して、後でデバイスの電源が復帰したときに直接ロード／書き込むことができ、新しい較正時間を待たなくて済むようになります。

GEN1 ビットがセットされているとき、EN1 ビットをセットすることはできません。

19.4.13 DAC チャンネル変換モード

4 つの変換モードが可能です。

波形生成なしの独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

1. DAC チャンネルトリガイネーブルビット、TEN1 をセットします。
2. TSEL1[3:0] ビットに異なる値を設定することによって、トリガソースを設定します。
3. 目的の DHR レジスタ (DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD) に DAC チャンネルデータをロードします。

DAC チャンネルトリガが発生すると、DHR1 レジスタが DAC_DOR1 に転送されます (3 dac_pclk クロックサイクル後)。

1 つの LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

1. DAC チャンネルトリガイネーブルビット、TEN1 をセットします。
2. TSEL1[3:0] ビットに異なる値を設定することによって、トリガソースを設定します。
3. DAC チャンネル WAVE1[1:0] ビットを 01 に設定し、MAMP1[3:0] ビットで同じ LFSR マスク値を設定します。
4. 目的の DHR レジスタ (DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD) に DAC チャンネルデータをロードします。

DAC チャンネルトリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます (3 dac_pclk クロックサイクル後)。その後、LFSR1 カウンタが更新されます。

1 つの三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

1. DAC チャンネルトリガイネーブルビット、TEN1 をセットします。

2. TSEL1[3:0] ビットに異なる値を設定することによって、トリガソースを設定します。
3. DAC チャンネル WAVE1[1:0] ビットを 1x に設定し、MAMP1[3:0] ビットで同じ最大振幅値を設定します。
4. 目的の DHR レジスタ (DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD) に DAC チャンネルデータをロードします。

DAC チャンネルトリガが発生すると、同じ三角波振幅を持つ DAC チャンネルの三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます (3 dac_pclk クロックサイクル後)。その後、DAC チャンネルの三角波カウンタが更新されます。

1 つののこぎり波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

1. STRSTTRIGSEL1[3:0] および STINCTRIGSEL1[3:0] ビットに異なる値を設定することによって、トリガソースを設定します。
2. DAC チャンネル WAVE1[1:0] ビットを 11 に設定し、STRSTDATA1[11:0]、STINCDATA1[15:0]、および STDIR1 の各レジスタに同じ値をセットします。

DAC チャンネルトリガが発生すると、DAC チャンネルのこぎり波カウンタが DHR1 レジスタを更新して、DAC_DOR1 に転送します (3 APB クロックサイクル後)。

19.5 低消費電力モードの DAC

表 117. 低消費電力モードが DAC に与える影響

モード	説明
SLEEP	影響はありません。DAC が DMA と使用されます。
LPRun	影響はありません。
LPSleep	影響はありません。DAC が DMA と使用されます。
STOP 0 / STOP 1	サンプルおよびホールドモードが LSI クロックを使用して選択されている場合、DAC はスタティック値でアクティブのままになります。
STOP 2	DAC レジスタの内容は失われ、STOP 2 の終了後に再び初期化する必要があります。STOP 2 モードに入る前に DAC を無効にする必要があります。
STANDBY	DAC ペリフェラルはパワーダウンされ、STANBY または SHUTDOWN モード終了後に再初期化する必要があります。
SHUTDOWN	

19.6 DAC 割込み

表 118. DAC 割込み

項目 (割込みの略称)	割込み イベント	イベント フラグ	有効制御 ビット	割込みのクリア 方法	SLEEP モードの終了	STOP モードの終了	STANDBY モードの終了
DAC	DMA アンダー ラン	DMAUDR1	DMAUDRIE 1	DMAUDRx = 1 を 書き込む	可	不可	不可

19.7 DAC レジスタ

レジスタの説明で使用されている略語のリストについては、59 ページのセクション 1 を参照してください。

ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスする必要があります。

19.7.1 DAC 制御レジスタ (DAC_CR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CEN1	DMAUDRIE1	DMAEN1	MAMP1 [3:0]				WAVE1 [1:0]		TSEL1[3]	TSEL1[2]	TSEL1[1]	TSEL1[0]	TEN1	EN1
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **CEN1** : DAC チャンネル 1 較正イネーブル

このビットは、DAC チャンネル 1 の較正を有効化/無効化するためにソフトウェアによってセット/クリアされます。DAC_CR でビット EN1 = 0 の場合のみ書込み可能で (DAC チャンネルが無効化された場合のみ較正モードに移行/終了できます)、それ以外の書込み操作は無視されます。

0 : DAC チャンネル 1 は通常動作モードです。

1 : DAC チャンネル 1 は較正モードです。

ビット 13 **DMAUDRIE1** : DAC チャンネル 1 DMA アンダーラン割込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0 : DAC チャンネル 1 DMA アンダーラン割込みは無効です。

1 : DAC チャンネル 1 DMA アンダーラン割込みは有効です。

ビット 12 **DMAEN1** : DAC チャンネル 1 DMA イネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0 : DAC チャンネル 1 DMA モードは無効です。

1 : DAC チャンネル 1 DMA モードは有効です。

ビット 11:8 **MAMP1[3:0]** : DAC チャンネル 1 マスク/振幅セレクタ

これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。

0000 : LFSR/三角波振幅のアンマスクビット 0 は 1 に等しい。
0001 : LFSR/三角波振幅のアンマスクビット [1:0] は 3 に等しい。
0010 : LFSR/三角波振幅のアンマスクビット [2:0] は 7 に等しい。
0011 : LFSR/三角波振幅のアンマスクビット [3:0] は 15 に等しい。
0100 : LFSR/三角波振幅のアンマスクビット [4:0] は 31 に等しい。
0101 : LFSR/三角波振幅のアンマスクビット [5:0] は 63 に等しい。
0110 : LFSR/三角波振幅のアンマスクビット [6:0] は 127 に等しい。
0111 : LFSR/三角波振幅のアンマスクビット [7:0] は 255 に等しい。
1000 : LFSR/三角波振幅のアンマスクビット [8:0] は 511 に等しい。
1001 : LFSR/三角波振幅のアンマスクビット [9:0] は 1023 に等しい。
1010 : LFSR/三角波振幅のアンマスクビット [10:0] は 2047 に等しい。
≥ 1011 : LFSR/三角波振幅のアンマスクビット [11:0] は 4095 に等しい。

ビット 7:6 **WAVE1[1:0]** : DAC チャンネル 1 ノイズ/三角波生成イネーブル

これらのビットは、ソフトウェアによってセット/クリアされます。

00 : 波形生成は無効です。
01 : ノイズ波生成は有効です。
1x : 三角波生成は有効です。
ビット TEN1 = 1 (DAC チャンネル 1 トリガ有効) の場合のみ使用されます。

ビット 5:2 **TSEL1[3:0]** : DAC チャンネル 1 トリガ選択

これらのビットは、DAC チャンネル 1 をトリガするために使用される外部イベントを選択します。

0000 : SWTRIG1
0001 : dac_ch1_trg1
0010 : dac_ch1_trg2
.....
1111 : dac_ch1_trg15

トリガの設定とマッピングの詳細については、[セクション 19.4.2: DAC ピンおよび内部信号のトリガ選択表](#)を参照してください。

注： ビット TEN1 = 1 (DAC チャンネル 1 トリガ有効) の場合のみ使用されます。

ビット 1 **TEN1** : DAC チャンネル 1 トリガイネーブル

このビットは、DAC チャンネル 1 トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : DAC チャンネル 1 トリガは無効であり、DAC_DHR1 レジスタに書き込まれたデータは、1 dac_pclk クロックサイクル後に DAC_DOR1 レジスタに転送されます。
1 : DAC チャンネル 1 トリガは有効であり、DAC_DHR1 レジスタからのデータは、3 dac_pclk クロックサイクル後に DAC_DOR1 レジスタに転送されます。

注： ソフトウェアトリガが選択されているときには、DAC_DHR1 レジスタから DAC_DOR1 レジスタへの転送は、わずか 1 dac_pclk クロックサイクルで行われます。

ビット 0 **EN1** : DAC チャンネル 1 イネーブル

このビットは、DAC チャンネル 1 を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : DAC チャンネル 1 は無効です。
1 : DAC チャンネル 1 は有効です。

19.7.2 DAC ソフトウェアトリガレジスタ (DAC_SWTRGR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWTRIG1
															w

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SWTRIG1** : DAC チャンネル 1 ソフトウェアトリガ

このビットは、ソフトウェアトリガモードで DAC をトリガするために、ソフトウェアによってセットされます。

0 : トリガなし

1 : トリガ

注 : このビットは、DAC_DHR1 レジスタの値が DAC_DOR1 レジスタにロードされると、ハードウェアによってクリアされます (1 dac_pclk クロックサイクル後)。

19.7.3 DAC チャンネル 1 の 12 ビット右詰めデータ保持レジスタ (DAC_DHR12R1)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DHR [11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DACC1DHR[11:0]** : DAC チャンネル 1 の 12 ビット右詰めデータ

これらのビットは、ソフトウェアによって書き込まれます。これらには、DAC チャンネル 1 の 12 ビットデータを指定します。

19.7.4 DAC チャンネル 1 の 12 ビット左詰めデータ保持レジスタ (DAC_DHR12L1)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR [11:0]												Res.	Res.	Res.	Res.
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w				

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:4 **DACC1DHR[11:0]** : DAC チャンネル 1 の 12 ビット左詰めデータ
 これらのビットは、ソフトウェアによって書き込まれます。
 これらには、DAC チャンネル 1 の 12 ビットデータを指定します。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

19.7.5 DAC チャンネル 1 の 8 ビット右詰めデータ保持レジスタ (DAC_DHR8R1)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **DACC1DHR[7:0]** : DAC チャンネル 1 の 8 ビット右詰めデータ
 これらのビットは、ソフトウェアによって書き込まれます。これらには、DAC チャンネル 1 の 8 ビットデータを指定します。

19.7.6 デュアル DAC 12 ビット右詰めデータ保持レジスタ (DAC_DHR12RD)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DHR [11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DACC1DHR[11:0]** : DAC チャンネル 1 の 12 ビット右詰めデータ

これらのビットは、DAC チャンネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

19.7.7 デュアル DAC 12 ビット左詰めデータ保持レジスタ (DAC_DHR12LD)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR [11:0]												Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:4 **DACC1DHR[11:0]** : DAC チャンネル 1 の 12 ビット左詰めデータ

これらのビットは、DAC チャンネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

19.7.8 デュアル DAC 8 ビット右詰めデータ保持レジスタ (DAC_DHR8RD)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **DACC1DHR[7:0]** : DAC チャンネル 1 の 8 ビット右詰めデータ

これらのビットは、DAC チャンネル 1 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

19.7.9 DAC チャンネル 1 データ出力レジスタ (DAC_DOR1)

アドレス・オフセット : 0x2C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DOR [11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DACC1DOR[11:0]** : DAC チャンネル 1 データ出力

これらのビットは読み出し専用であり、DAC チャンネル 1 のデータ出力を含みます。

19.7.10 DAC ステータスレジスタ (DAC_SR)

アドレス・オフセット : 0x34

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BWST1	CAL_FLAG1	DMAUD_R1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	rc_w1													

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 予約済みであり、リセット値に保持する必要があります。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **BWST1** : DAC チャンネル 1 ビジー書き込みサンプル時間フラグ

このビットは、サンプルおよびホールドモードが有効になった直後にシステムによって、およびソフトウェアが DAC_SHSR1レジスタに書き込むたびにセットされます。DAC_SHSR1の書き込み操作が完了するとハードウェアによってクリアされます (同期に約 3 LSI 周期かかります)。

0 : 進行中の DAC_SHSR1 の書き込み操作はありません。DAC_SHSR1 は書き込み可能です。

1 : 進行中の DAC_SHSR1 の書き込み操作があります。DAC_SHSR1 は書き込みできません。

ビット 14 **CAL_FLAG1** : DAC チャンネル 1 較正オフセットステータス

このビットは、ハードウェアによってセット/クリアされます。

0 : 較正トリミング値はオフセット較正值未満です。

1 : 較正トリミング値がオフセット較正值以上です。

ビット 13 **DMAUDR1** : DAC チャンネル 1 の DMA アンダーランフラグ

このビットは、ハードウェアによってセットされ、(1 を書き込むことによって) ソフトウェアによってクリアされます。

0 : DAC チャンネル 1 に DMA アンダーランエラー条件は発生しませんでした。

1 : DAC チャンネル 1 に DMA アンダーランエラー条件が発生しました (現在選択されているトリガは、DMA サービス機能のレートを上回る周波数で DAC チャンネル 1 変換を駆動しています)。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

19.7.11 DAC 較正制御レジスタ (DAC_CCR)

アドレス・オフセット : 0x38

リセット値 : 0x00XX 00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM1 [4:0]				
											r/w	r/w	r/w	r/w	r/w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **OTRIM1[4:0]** : DAC チャンネル 1 オフセットトリミング値

19.7.12 DAC モード制御レジスタ (DAC_MCR)

アドレス・オフセット : 0x3C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE1 [2:0]		
													r/w	r/w	r/w

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 予約済みであり、リセット値に保持する必要があります。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **MODE1[2:0]** : DAC チャンネル 1 モード

これらのビットは、DAC が無効になっており、較正モードでない場合 (DAC_CR レジスタでビット EN1 = 0 およびビット CEN1 = 0) のみ書込み可能です。EN1 = 1 または CEN1 = 1 の場合、書込み操作は無視されます。

これらは、DAC チャンネル 1 モードを選択するために、ソフトウェアによってセット/クリアされます。

– DAC チャンネル 1 は通常動作モードです。

000 : DAC チャンネル 1 はバッファ有効で外部ピンに接続されています。

001 : DAC チャンネル 1 はバッファ有効で外部ピンとオンチップペリフェラルに接続されています。

010 : DAC チャンネル 1 はバッファ無効で外部ピンに接続されています。

011 : DAC チャンネル 1 はバッファ無効でオンチップペリフェラルに接続されています。

– DAC チャンネル 1 はサンプルおよびホールドモードです。

100 : DAC チャンネル 1 はバッファ有効で外部ピンに接続されています。

101 : DAC チャンネル 1 はバッファ有効で外部ピンとオンチップペリフェラルに接続されています。

110 : DAC チャンネル 1 はバッファ無効で外部ピンとオンチップペリフェラルに接続されています。

111 : DAC チャンネル 1 はバッファ無効でオンチップペリフェラルに接続されています。

注 : このレジスタは、EN1 = 0 のときのみ修正できます。

19.7.13 DAC チャンネル 1 サンプルおよびホールドのサンプル時間レジスタ (DAC_SHSR1)

アドレス・オフセット : 0x40

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE1 [9:0]									
						r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:0 **TSAMPLE1[9:0]** : DAC チャンネル 1 サンプル時間 (サンプルおよびホールドモードでのみ有効)

これらのビットは DAC チャンネル 1 が無効である場合や通常動作中にも書き込み可能です。後者の場合、DAC_SR レジスタの BWST1 がローのときのみ書き込み可能であり、BWST1 = 1 の場合、書き込み操作は無視されます。

注 : これは、サンプルフェーズを実行する LSI クロックの数を表します。サンプリング時間 = (TSAMPLE1[9:0] + 1) x LSI クロック周期です。

19.7.14 DAC サンプルおよびホールド時間レジスタ (DAC_SHHR)

アドレス・オフセット : 0x48

リセット値 : 0x0001 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	THOLD1 [9:0]									
						r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:0 **THOLD1[9:0]** : DAC チャンネル 1 ホールド時間 (サンプルおよびホールドモードでのみ有効)

ホールド時間 = (THOLD[9:0]) x LSI クロック周期

注 : このレジスタは、EN1 = 0 のときのみ修正できます。

注 : これらのビットは、DAC チャンネルが無効になっており、通常動作モードの場合 (DAC_CR レジスタのビット EN1 = 0 およびビット CEN1 = 0) のみ書き込み可能です。EN1 = 1 または CEN1 = 1 の場合、書き込み操作は無視されます。

19.7.15 DAC サンプルおよびホールドのリフレッシュ時間レジスタ (DAC_SHRR)

アドレス・オフセット : 0x4C

リセット値 : 0x0001 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TREFRESH1 [7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TREFRESH1[7:0]** : DAC チャンネル 1リフレッシュ時間 (サンプルおよびホールドモードでのみ有効)
リフレッシュ時間 = (TREFRESH[7:0]) × LSI クロック周期

注 : このレジスタは、EN1 = 0 のときにのみ修正できます。

注 : これらのビットは、DAC チャンネルが無効になっており、通常動作モードの場合 (DAC_CR レジスタのビット EN1 = 0 およびビット CEN1 = 0) のみ書き込み可能です。EN1 = 1 または CEN1 = 1 の場合、書き込み操作は無視されます。

19.7.16 DAC レジスタマップ

表 119 に DAC レジスタの要約を示します。

表 119. DAC レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
0x00	DAC_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CEN1	DMAUDRIE1	DMAEN1	MAMP1 [3:0]			WAVE1 [1:0]		TSEL13	TSEL12	TSEL11	TSEL10	TEN1	EN1						
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x04	DAC_SWTRGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWTRIG1			
	リセット値																																	0				
0x08	DAC_DHR12R1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [11:0]																
	リセット値																						0	0	0	0	0	0	0	0	0	0	0	0	0			
0x0C	DAC_DHR12L1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [11:0]																
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x10	DAC_DHR8R1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [7:0]		
	リセット値																										0	0	0	0	0	0	0	0	0	0		
0x20	DAC_DHR12RD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [11:0]															
	リセット値																						0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x24	DAC_DHR12LD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [11:0]		
	リセット値																						0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x28	DAC_DHR8RD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR [7:0]		
	リセット値																										0	0	0	0	0	0	0	0	0	0	0	
0x2C	DAC_DOR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DOR [11:0]		
	リセット値																																		0			
0x34	DAC_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BWST1	CAL_FLAG1	DMAUDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																		0	0	0																	
0x38	DAC_CCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM1 [4:0]		
	リセット値																																		X X X X X			
0x3C	DAC_MCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE1 [2:0]		
	リセット値																																		0 0 0			
0x40	DAC_SHSR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE1 [9:0]		
	リセット値																																		0 0 0 0 0 0 0 0 0 0			
0x48	DAC_SHHR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	THOLD1 [9:0]	
	リセット値																																			0 0 0 0 0 0 0 0 0 0 1		



表 119. DAC レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x4C	DAC_ SHRR	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	XRES	TREFRESH1 [7:0]										
	リセット値																										0	0	0	0	0	0	0	0	1		

レジスタ境界アドレスについては、[72 ページのセクション 2.6](#) を参照してください。

20 電圧基準バッファ (VREFBUF)

20.1 概要

デバイスには電圧基準バッファが搭載されており、ADC や DAC の電圧基準や、VREF+ ピンを介した外部コンポーネントの電圧基準としても使用できます。VREF+ ピンがパッケージの VDDA ピンに二重結合されている場合、基準電圧バッファは使用できず、無効にしておく必要があります (パッケージのピン配置の説明については、データシートを参照してください)。

20.2 VREFBUF の機能説明

内部電圧基準バッファは次の 2 つの電圧^(a) をサポートしており、VREFBUF_CSR レジスタの VRS ビットで設定します。

- VRS = 0 : V_{REF_OUT1} 約 2.048 V
- VRS = 1 : V_{REF_OUT2} 約 2.5 V

内部電圧基準は ENVR および HIZ ビットの設定に応じて 4 つの個別モードに設定できます。これらのモードを以下の表に示します。

表 120. VREF バッファモード

ENVR	HIZ	VREF バッファ設定
0	0	VREFBUF バッファオフモード : - VREF+ ピンが VSSA にプルダウン
0	1	外部電圧基準モード (デフォルト値) : - VREFBUF バッファオフ - VREF+ ピンは入力モード
1	0	内部電圧基準モード - VREFBUF バッファオン - VREF+ ピンは VREFBUF バッファ出力に接続
1	1	ホールドモード : - VREF は出力バッファなしで有効になり、VREF+ ピン電圧は外部コンデンサによってホールドされます。 - VRR の検出は無効で、VRR ビットは最後の状態を保持

VREFBUF_CSR レジスタの ENVR ビットをセットし、HIZ ビットをクリアすることで VREFBUF を有効化した後、ユーザは電圧基準出力が期待値に達したことを示す VRR ビットがセットされるまで待つ必要があります。

a. V_{DDA} の最小電圧は VRS の設定に依存します。製品データシートを参照してください。

20.3 VREFBUF レジスタ

20.3.1 VREFBUF 制御およびステータスレジスタ (VREFBUF_CSR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR
												r	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **VRR** : 電圧基準バッファ レディ

- 0 : 電圧基準バッファ出力がレディ状態ではありません。
- 1 : 電圧基準バッファ出力がリクエストされたレベルに達しました。

ビット 2 **VRS** : 電圧基準スケール

このビットは、電圧基準バッファによって生成される値を選択します。

- 0 : 電圧基準が V_{REF_OUT1} (約 2.048 V) にセットされます。
- 1 : 電圧基準が V_{REF_OUT2} (約 2.5 V) にセットされます。

ビット 1 **HIZ** : ハイインピーダンスモード

このビットによって、 V_{REF+} ピンを接続/切断するためのアナログスイッチを制御します。

- 0 : V_{REF+} ピンが 電圧基準バッファ出力に内部接続されます。
- 1 : V_{REF+} ピンをハイインピーダンスにします。

ENVR ビットの設定に応じたモード説明については、[表 120: VREF バッファモード](#)を参照してください。

ビット 0 **ENVR** : 電圧基準バッファモード有効化

このビットは、電圧基準バッファモードの有効化に使用されます。

- 0 : 内部電圧基準モード無効化 (外部電圧基準モード)
- 1 : 内部電圧基準モード (基準バッファ有効化またはホールドモード) 有効化

20.3.2 VREFBUF 較正制御レジスタ (VREFBUF_CCR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 : 00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
										rW	rW	rW	rW	rW	rW

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 TRIM[5:0] : トリミングコード

これらのビットは、生産試験中にFlashメモリに格納されたトリミング値でリセットした後に自動的に初期化されます。これらのビットに書き込むことで、内部基準電圧バッファを調整できます。

注： ユーザアプリケーションで調整する場合、トリミングコードは 000000~111111 へ、昇順で開始する必要があります。

20.3.3 VREFBUF レジスタマップ

次の表に、VREFBUF レジスタマップとリセット値を示します。

表 121. VREFBUF レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x00	VREFBUF_CSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR				
	リセット値																													0	0	1	0				
0x04	VREFBUF_CCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]									
	リセット値																													x	x	x	x	x	x		

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

21 コンパレータ (COMP)

21.1 COMP の概要

このデバイスには 2 個の超低消費電力コンパレータ (COMP1 および COMP2) が内蔵されています。

これらのコンパレータは、以下の様なさまざまな機能に使用できます。

- アナログ信号によってトリガされる低電力モードからのウェイクアップ
- アナログ信号調節
- タイマからの PWM 出力を組み合わせた場合のサイクルごとの電流制御ループ

21.2 COMP の主な機能

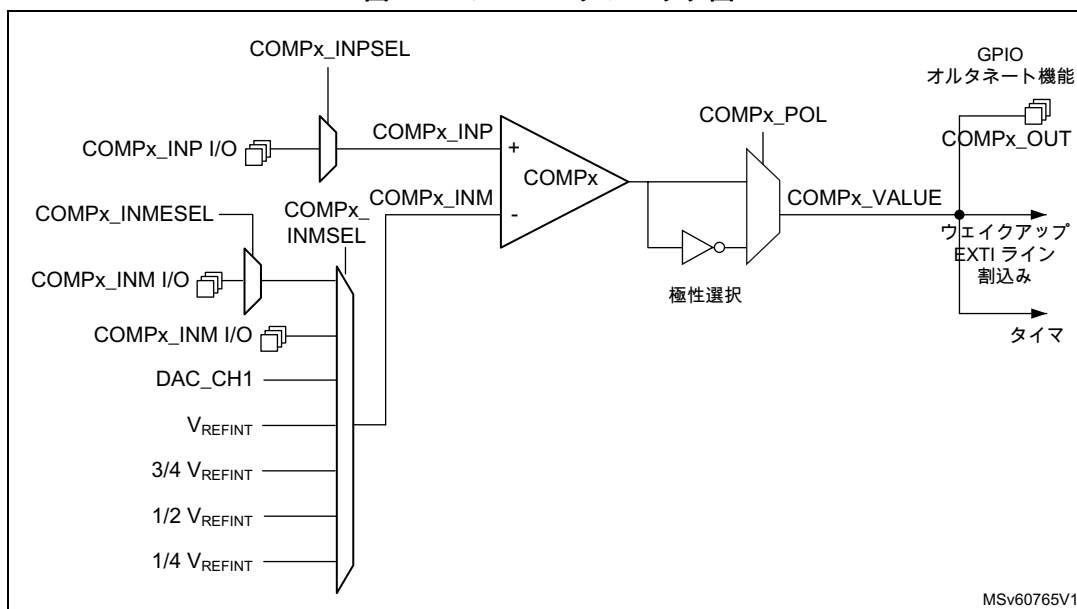
- 柔軟性の高い電圧に対応する設定可能なプラスおよびマイナスの入力：
 - マルチプレクス I/O ピン
 - DAC channel1
 - スケーラ (バッファ付き分圧器) が提供する内部基準電圧および 3 つの分圧比 (1/4、1/2、3/4)
- プログラム可能なヒステリシス
- プログラム可能なスピード/消費電力
- 次のイベントをトリガするための I/O またはタイマ入力への出力先の変更：
 - 高速 PWM 停止のブレーキイベント
- コンパレータ出力のブランキング
- ウィンドウコンパレータ
- SLEEP および STOP モードからのウェイクアップ (EXTI コントローラ経由) を備えた割込み生成機能

21.3 COMP の機能説明

21.3.1 COMP ブロック図

コンパレータのブロック図を次の図に示します。

図 94. コンパレータブロック図



MSv60765V1

21.3.2 COMP ピンおよび内部信号

コンパレータ入力として使用される I/O は、GPIO レジスタのアナログモードで設定する必要があります。

コンパレータ出力は、オルタネート機能を通じて I/O に接続できます（製品データシートを参照）。

出力先を、以下の目的に使用される各種タイマ入力に内部で変更することも可能です。

- BKIN および BKIN2 入力を使用した PWM 信号の緊急停止
- OCREF_CLR 入力を使用したサイクル-バイ-サイクル電流制御
- タイミング測定のための入力キャプチャ

コンパレータの出力先は、内部と外部で同時に変更できます。

表 122. COMP1 正入力の割り当て

COMP1_INP	COMP1_INPSEL
PB4	00
PB2	01

表 123. COMP1 負入力の割り当て

COMP1_INM	COMP1_INMSEL [2:0]	COMP1_INMESEL [1:0]
1/4 V _{REFINT}	000	影響なし
1/2 V _{REFINT}	001	影響なし
3/4 V _{REFINT}	010	影響なし
V _{REFINT}	011	影響なし
DAC channel1	100	影響なし
予約済みです。	101	影響なし
PB3	110	影響なし
PA10	111	00
PA11	111	01
PA15	111	10
予約済みです。	111	11

表 124. COMP2 正入力の割り当て

COMP2_INP	COMP2_INPSEL
PB4	00
PB1	01
PA15	10

表 125. COMP2 負入力の割り当て

COMP2_INM	COMP2_INMSEL [2:0]	COMP2_INMESEL [1:0]
1/4 V _{REFINT}	000	影響なし
1/2 V _{REFINT}	001	影響なし
3/4 V _{REFINT}	010	影響なし
V _{REFINT}	011	影響なし
DAC channel1	100	影響なし
予約済みです。	101	影響なし
PB3	110	影響なし
PB2	111	00
PA10	111	01
PA11	111	10
予約済みです。	111	11

21.3.3 COMP のリセットおよびクロック

クロックコントローラによって提供される COMP クロックは、APB2 クロックと同期しています。

RCC コントローラには、クロックイネーブル制御ビットは提供されていません。リセットおよびクロックイネーブルビットは COMP と SYSCFG に共通です。

注： **重要：極性選択ロジックおよびポートへの出力先変更は、APB2 クロックとは独立に動作します。これにより、コンパレータは STOP モードでも機能することができます。**

21.3.4 コンパレータのロック機構

コンパレータは、過電流保護や熱保護などの安全上の目的で使用されます。特定の機能安全要件があるようなアプリケーションでは、プログラムカウンタの破壊のような発生するおそれのある好ましくない変更から、コンパレータの設定を保護できます。

このような目的で、コンパレータの設定レジスタを書込み保護することができます（読出し専用）。

プログラミングが完了したら、COMPx の LOCK ビットを 1 にセットすることができます。これにより、COMPx の LOCK ビットを含め、レジスタ全体が読出し専用になります。

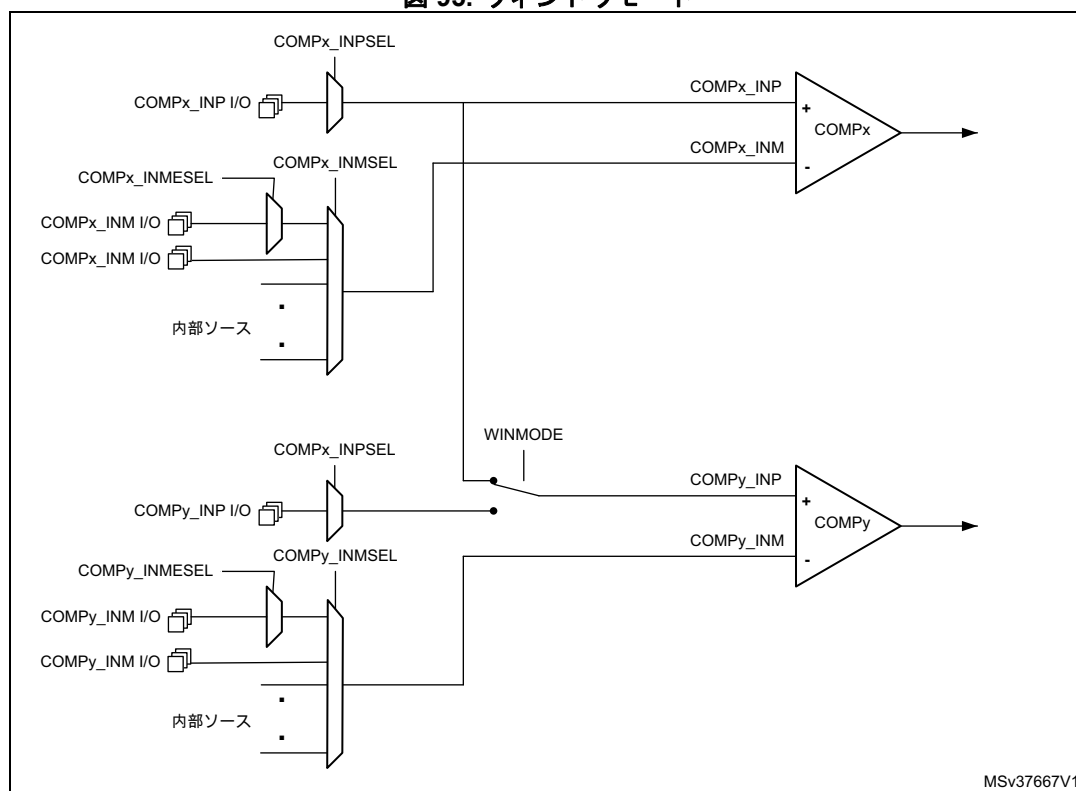
書込み保護は MCU リセットによってのみ解除可能です。

21.3.5 ウィンドウコンパレータ

ウィンドウコンパレータの目的は、アナログ電圧を監視して、下限および上限閾値によって定義された指定の電圧範囲内にあるかどうかを確認することです。

COMP1 および COMP2 は、ウィンドウコンパレータの作成に使用されます。監視されるアナログ電圧は、ともに接続されたコンパレータの非反転（正）入力に接続され、上限および下限閾値の電圧はコンパレータの反転（負）入力に接続されます。2 個の非反転入力は、WINMODE ビットを有効化することで、内部的に一緒に接続されるので、1 つの I/O を他の目的のために確保できます。

図 95. ウィンドウモード

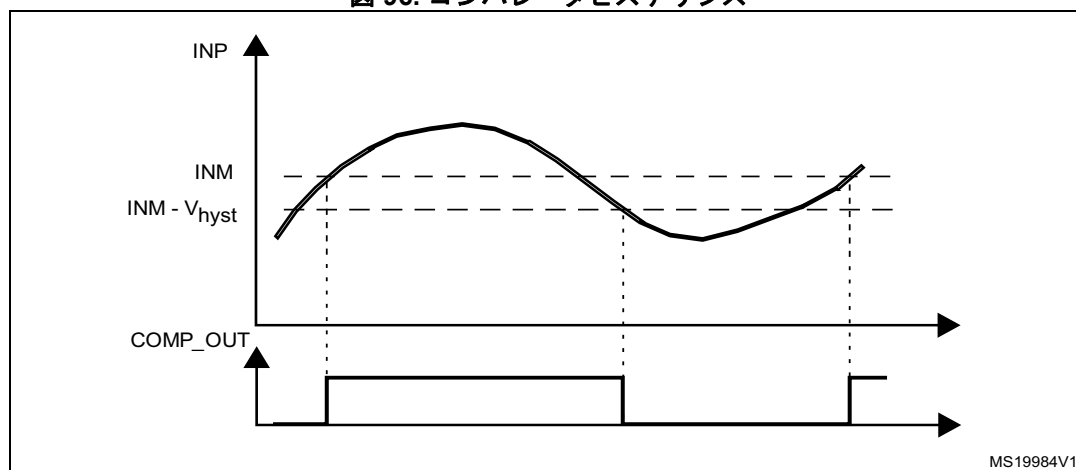


MSv37667V1

21.3.6 ヒステリシス

コンパレータには、ノイズの多い信号での疑似出力遷移を避けるために、プログラム可能なヒステリシスが含まれています。不要な場合は、ヒステリシスを無効にすることができます（低電力モードを終了する場合など）。これにより、外部コンポーネントを使用してヒステリシス値を強制できます。

図 96. コンパレータヒステリシス

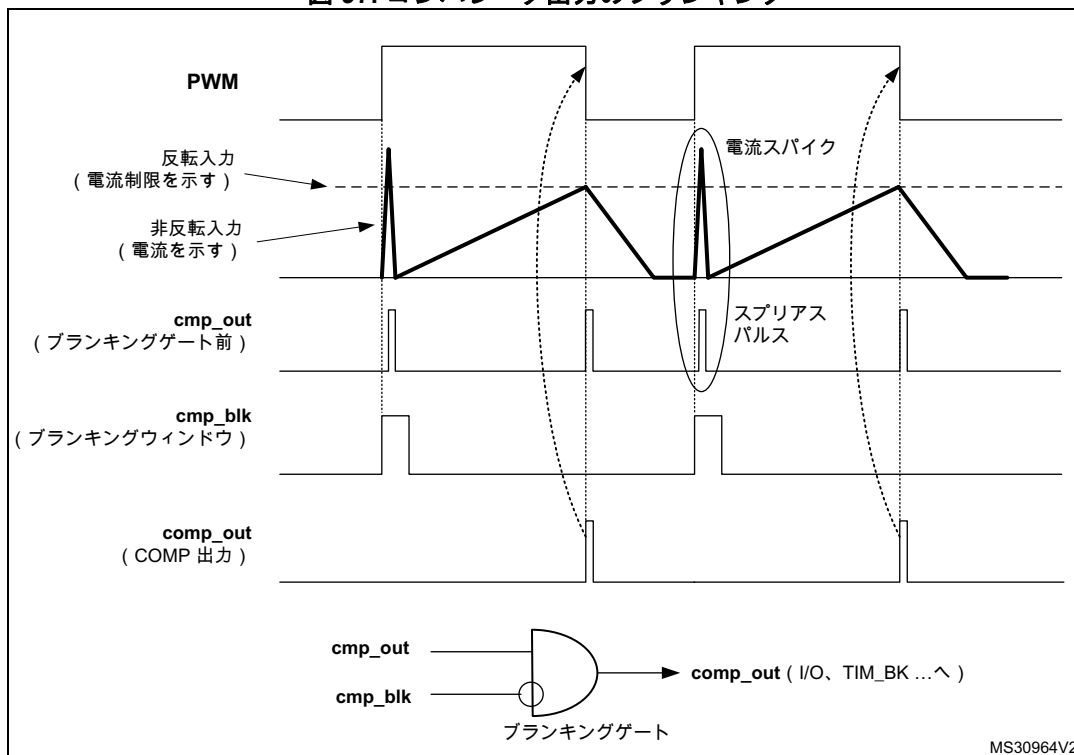


MS19984V1

21.3.7 コンパレータの出力のブランキング機能

ブランキング機能の目的は、PWM 周期の開始時に短絡電流スパイクでトリップするために現在のレギュレーションを防ぐことです（通常は電源スイッチのアンチパラレルダイオードのリカバリ電流）。タイマ出力比較信号で定義されたブランキングウィンドウを使用します。選択可能ブランキング信号に関するレジスタの説明を参照してください。ブランキング信号は、以下に図示されているように、comp_out から電流スパイクによるスプリアスパルスを除去するといった目的のために、内部コンパレータ出力をゲート処理します。

図 97. コンパレータ出力のブランキング



MS30964V2

21.3.8 COMP 電力とスピードモード

COMP1 および COMP2 の電力消費と伝搬遅延を調節して、特定のアプリケーションに最適なトレードオフを実現させることができます。

COMPx_CSR レジスタの PWRMODE[1:0] ビットは次のようにプログラムできます：

- 00 : ハイスピード／フル電力
- 01 : 中速／中電力
- 10 : 中速／中電力
- 11 : 超低速／超低電力

21.4 COMP 低電力モード

表 126. 低電力モードでのコンパレータの動作

モード	説明
SLEEP	コンパレータへの影響はありません コンパレータ割込みによって、デバイスは SLEEP モードから復帰します。
LPRun	影響なし。
LPSleep	コンパレータへの影響はありません コンパレータ割込みによって、デバイスは LPSleep モードから復帰します。
STOP 0	コンパレータへの影響はありません コンパレータ割込みによって、デバイスは STOP モードから復帰します。
STOP 1	
STOP 2	
STANDBY	COMP レジスタはパワーダウンされ、STANDBY または SHUTDOWN モード終了後に再度初期化する必要があります。
SHUTDOWN	

21.5 COMP 割込み

コンパレータの出力は拡張割込み/イベントコントローラ (EXTI) に内部的に接続されます。各コンパレータには専用の EXTI ラインがあり、割込みまたはイベントを生成することができます。低電力モードを終了するときにも同じ方法が使用されます。

詳細については、「割込みおよびイベント」のセクションを参照してください。

EXTI ブロックを経由する COMPx 割込みを有効にするシーケンスは次のとおりです：

1. 割込みモードで COMPx 出力イベントに対応する EXTI ラインを設定して有効にし、立ち上がり、立ち下がり、または両方のエッジ感度を選択します。
2. 対応する EXTI ラインにマップされた NVIC IRQ チャンネルを設定し、有効にします。
3. COMPx を有効にします。

表 127. 割込み制御ビット

割込みイベント	イベントフラグ	有効制御ビット	SLEEP モードの 終了	STOP モードの 終了	STANDBY モードの終了
COMP1 出力	COMP1_CSR の VALUE	EXTI 経由	可	はい	適用外
COMP2 出力	COMP2_CSR の VALUE	EXTI 経由	可	はい	適用外

21.6 COMP レジスタ

21.6.1 COMP1 制御およびステータスレジスタ (COMP1_CSR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	INMESEL[1:0]		Res.	SCAL EN	BRGEN	Res.	BLANKING[2:0]			HYST[1:0]	
rs	r				rw	rw		rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLARITY	Res.	Res.	Res.	Res.	Res.	Res.	INPSEL[1:0]		INMSEL[2:0]			PWRMODE[1:0]		Res.	EN
rw							rw	rw	rw	rw	rw	rw	rw		rw

ビット 31 **LOCK** : レジスタ COMP1_CSR[31:0] の内容全体をロックします。

このビットは、ソフトウェアでセットされ、ハードウェアシステムリセットでクリアされます。

0 : COMP1_CSR[31:0] は読み出し/書き込み用です。

1 : COMP1_CSR[31:0] は読み出し専用です。

ビット 30 **VALUE** : COMP1 出カステータスビット

このビットは読み出し専用です。POLARITY ビットの効果を考慮して、現在の COMP1 出力を反映します。

ビット 29:27 予約済みであり、リセット値に保持する必要があります。

ビット 26:25 **INMESEL[1:0]** : COMP1 入力マイナス拡張選択

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、INMSEL [2:0] = 111 の場合に、COMP1 の負入力に接続される拡張 GPIO 入力を選択します。

00 : PA10

01 : PA11

10 : PA15

11 : 予約済み

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **SCALEN** : 電圧スケールラインナップ

このビットは、ソフトウェアによってセット/クリアされます。これにより、COMP1 の負入力で使用できる V_{REFINT} 分圧器の出力を有効にします。

0 : バンドギャップスケールは無効です (COMP2_CSR レジスタの SCALEN ビットもリセットされている場合)。

1 : バンドギャップスケールは有効です。

ビット 22 **BRGEN** : スケラブリッジイネーブル

このビットは、ソフトウェアによってセット/クリアされます。スケラのブリッジを有効にします。SCALEN がセットされ、BRGEN がリセットされている場合、BG 電圧基準は使用できますが、1/4 BGAP、1/2 BGAP、3/4 BGAP は使用できません。BGAP の値が、1/4 BGAP、1/2 BGAP、3/4 BGAP の代わりに送信されます。SCALEN および BRGEN の両方がセットされている場合、1/4 BGAP、1/2 BGAP、3/4 BGAP、および BGAP の電圧基準が使用できます。

0 : スケラ抵抗ブリッジは無効です (COMP2_CSR レジスタの BRGEN ビットもリセットされている場合)。

1 : スケラレジスタブリッジは有効です。

ビット 21 予約済みであり、リセット値に保持する必要があります。

- ビット 20:18 **BLANKING[2:0]** : COMP1 ブランキングソースの選択
これらのビットによって COMP1 出力のブランキングを制御するタイマ出力を選択します。
000 : ブランキングなし
001 : TIM1 OC5 がブランキングソースとして選択されます。
010 : TIM2 OC3 がブランキングソースとして選択されます。
その他 : 予約済み
- ビット 17:16 **HYST[1:0]** : COMP1 ヒステリシス選択
これらのビットは、ソフトウェアによってセット/クリアされます。COMP1 のヒステリシス電圧を選択します。
00 : ヒステリシスなし
01 : 低ヒステリシス
10 : 中ヒステリシス
11 : 高ヒステリシス
- ビット 15 **POLARITY** : COMP1 極性の選択
このビットは、ソフトウェアによってセット/クリアされます。COMP1 の極性を反転させます。
0 : COMP1 出力値は反転しません。
1 : COMP1 出力値は反転されます。
- ビット 14:9 予約済みであり、リセット値に保持する必要があります。
- ビット 8:7 **INPSEL[1:0]** : COMP1 正入力の選択
これらのビットは、ソフトウェアによってセット/クリアされます。
00 : PB4
01 : PB2
10 : 予約済み
11 : 予約済み
- ビット 6:4 **INMSEL[2:0]** : COMP1 負入力の選択
これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、COMP1 の負入力に接続される入力を選択します。
000 : $1/4 V_{REFINT}$
001 : $1/2 V_{REFINT}$
010 : $3/4 V_{REFINT}$
011 : V_{REFINT}
100 : DAC channel1
101 : 予約済み
110 : PB3
111 : INMESEL[1:0] ビットによって選択された GPIOx
- ビット 3:2 **PWRMODE[1:0]** : COMP1 電力モード
これらのビットは、ソフトウェアによってセット/クリアされます。COMP1 の電力と速度を制御します。
00 : ハイスピード
01 : ミディアムスピード
10 : ミディアムスピード
11 : 超低電力
- ビット 1 予約済みであり、リセット値に保持する必要があります。
- ビット 0 **EN** : COMP1 有効化
このビットは、ソフトウェアによってセット/クリアされます。COMP1 をスイッチオンにします。
0 : COMP1 はスイッチオフです。
1 : COMP1 はスイッチオンです。

21.6.2 COMP2 制御およびステータスレジスタ (COMP2_CSR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	INMESEL[1:0]		Res.	SCAL EN	BRGEN	Res.	BLANKING[2:0]			HYST[1:0]	
rs	r				rw	rw		rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLARITY	Res.	Res.	Res.	Res.	Res.	WIN MODE	INPSEL[1:0]		INMSEL[2:0]			PWRMODE[1:0]		Res.	EN
rw						rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31 **LOCK** : レジスタ COMP2_CSR[31:0] の内容全体をロックします。

このビットは、ソフトウェアでセットされ、ハードウェアシステムリセットでクリアされます。

0 : COMP2_CSR[31:0] は読出し/書き込み用です。

1 : COMP2_CSR[31:0] は読出し専用です。

ビット 30 **VALUE** : COMP2 出カステータスビット

このビットは読出し専用です。POLARITY ビットの効果を考慮して、現在の COMP2 出力を反映します。

ビット 29:27 予約済みであり、リセット値に保持する必要があります。

ビット 26:25 **INMESEL[1:0]** : COMP2 入力マイナス拡張選択

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、INMSEL [2:0] = 111 の場合に、COMP2 の負入力に接続される拡張 GPIO 入力を選択します。

00 : PB2

01 : PA10

10 : PA11

11 : 予約済み

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **SCALEN** : 電圧スケーライネーブル

このビットは、ソフトウェアによってセット/クリアされます。これにより、COMP2 の負入力で使用できる V_{REFINT} 分圧器の出力を有効にします。

0 : バンドギャップスケーラは無効です (COMP1_CSR レジスタの SCALEN ビットもリセットされている場合)。

1 : バンドギャップスケーラは有効です。

ビット 22 **BRGEN** : スケーラブリッジイネーブル

このビットは、ソフトウェアによってセット/クリアされます。スケーラのブリッジを有効にします。SCALEN がセットされ、BRGEN がリセットされている場合、BG 電圧基準は使用できますが、1/4 BGAP、1/2 BGAP、3/4 BGAP は使用できません。BGAP の値が、1/4 BGAP、1/2 BGAP、3/4 BGAP の代わりに送信されます。SCALEN および BRGEN の両方がセットされている場合、1/4 BGAP、1/2 BGAP、3/4 BGAP、および BGAP の電圧基準が使用できます。

0 : スケーラ抵抗ブリッジは無効です (COMP1_CSR レジスタの BRGEN ビットもリセットされている場合)。

1 : スケーラレジスタブリッジは有効です。

ビット 21 予約済みであり、リセット値に保持する必要があります。

- ビット 20:18 **BLANKING[2:0]** : COMP2 ブランキングソースの選択
これらのビットによって COMP2 出力のブランキングを制御するタイマ出力を選択します。
000 : ブランキングなし
001 : TIM1 OC5 がブランキングソースとして選択されます。
010 : TIM2 OC3 がブランキングソースとして選択されます。
その他 : 予約済み
- ビット 17:16 **HYST[1:0]** : COMP2 ヒステリシス選択
これらのビットは、ソフトウェアによってセット/クリアされます。COMP2 のヒステリシス電圧を選択します。
00 : ヒステリシスなし
01 : 低ヒステリシス
10 : 中ヒステリシス
11 : 高ヒステリシス
- ビット 15 **POLARITY** : COMP2 極性の選択
このビットは、ソフトウェアによってセット/クリアされます。COMP2 の極性を反転させます。
0 : COMP2 出力値は反転しません。
1 : COMP2 出力値は反転されます。
- ビット 14:10 予約済みであり、リセット値に保持する必要があります。
- ビット 9 **WINMODE** : ウィンドウモード選択
このビットは、ソフトウェアによってセット/クリアされます。コンパレータのウィンドウモードを選択します。セットされると、コンパレータの正入力とともに接続されます。
0 : COMP2 正入力は COMP1 に接続されません。
1 : COMP2 正入力は COMP1 に接続されます。
- ビット 8:7 **INPSEL[1:0]** : COMP2 正入力の選択
これらのビットは、ソフトウェアによってセット/クリアされます。
00 : PB4
01 : PB1
10 : PA15
11 : 予約済み
- ビット 6:4 **INMSEL[2:0]** : COMP2 負入力の選択
これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、COMP2 の負入力に接続される入力を選択します。
000 : $1/4 V_{REFINT}$
001 : $1/2 V_{REFINT}$
010 : $3/4 V_{REFINT}$
011 : V_{REFINT}
100 : DAC channel1
101 : 予約済み
110 : PB3
111 : INMESEL[1:0] ビットによって選択された GPIOx
- ビット 3:2 **PWRMODE[1:0]** : COMP2 電力モード
これらのビットは、ソフトウェアによってセット/クリアされます。COMP2 の電力と速度を制御します。
00 : ハイスピード
01 : ミディアムスピード
10 : ミディアムスピード
11 : 超低電力
- ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット0 EN : COMP2 有効化

このビットは、ソフトウェアによってセット/クリアされます。COMP2 をスイッチオンにします。

0 : COMP2 はスイッチオフです。

1 : COMP2 はスイッチオンです。

21.6.3 COMP レジスタマップ

表 128. COMP レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	COMP1_CSR	LOCK	VALUE	Res.	Res.	Res.	INMSEL[1:0]		Res.	SCALEN	BRGEN	Res.	BLANKING[2:0]		HYST[1:0]		POLARITY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INPSEL[1:0]		INMSEL[2:0]		PWRMODE[1:0]		Res.	EN	
	リセット値	0	0				0	0		0	0		0	0	0	0	0	0								0	0	0	0	0	0	0	0
0x04	COMP2_CSR	LOCK	VALUE	Res.	Res.	Res.	INMSEL[1:0]		Res.	SCALEN	BRGEN	Res.	BLANKING[2:0]		HYST[1:0]		POLARITY	Res.	Res.	Res.	Res.	Res.	Res.	WINMODE	INPSEL[1:0]		INMSEL[2:0]		PWRMODE[1:0]		Res.	EN	
	リセット値	0	0				0	0		0	0		0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

22 真性乱数発生器 (RNG)

22.1 概要

RNG は、完全エントロピー出力を 32 ビットサンプルとしてアプリケーションに提供する真性乱数発生器です。ライブエントロピーソース（アナログ）と内部conditioning component(条件付けコンポーネント)から構成されています。

RNG は NIST SP 800-90B 準拠のエントロピーソースで、非決定論的乱数発生器 (NDRBG) を構築するために使用できます。

RNG 真性乱数発生器は、NIST SP800-90B に従って事前認定されています。また、ドイツ BSI 文書の統計的検定 AIS-31 (T0~T8) 規格に従って試験を行いました。

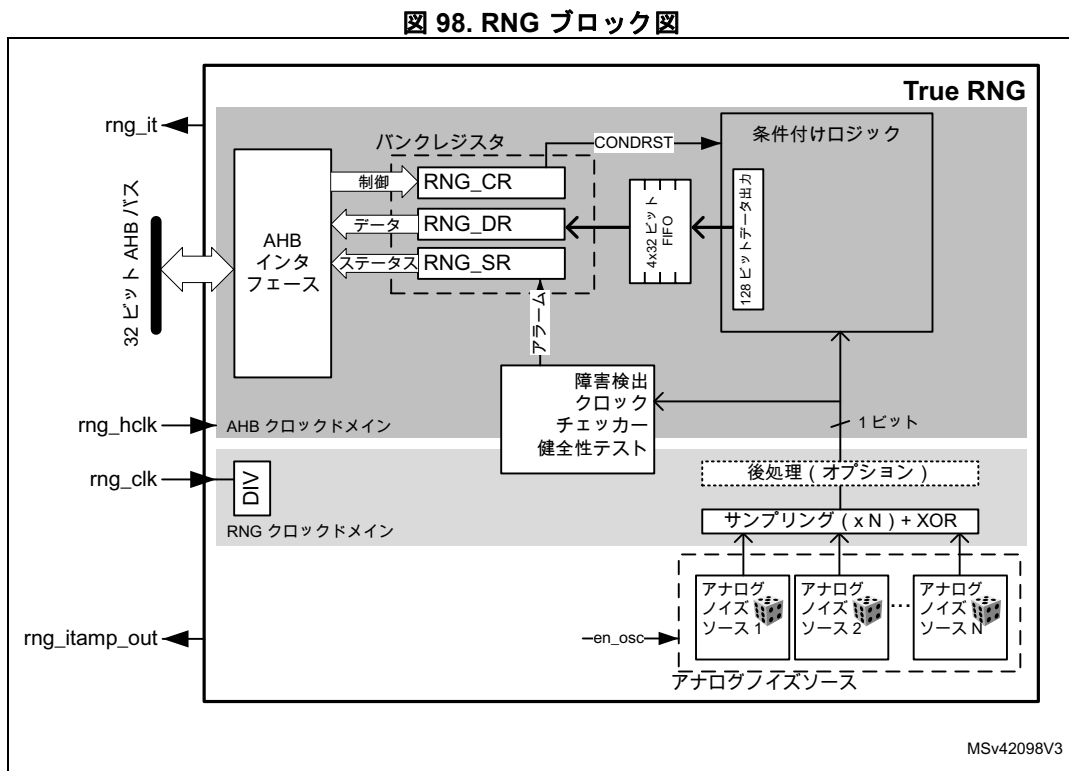
22.2 RNG の主な機能

- RNG は、NIST SP800-90B 承認条件付けステージで条件付けされたアナログエントロピーソースによって作成された 32 ビットの真の乱数を供給します。
- 非決定論的乱数発生器 (NDRBG) を構築するためのエントロピーソースとして使用できます。
- NIST 構成では、 f_{AHB} が $f_{\text{threshold}}$ 未満の場合、412 AHB クロックサイクル（それ以外の場合は 256 RNG クロックサイクル）ごとに 4 つの 32 ビットのランダムサンプルを生成します。
- 本機能には、起動および NIST SP800-90B 承認の Continuous health tests(連続した健全性テスト): repetition count(繰り返しのカウントテスト) および adaptive proportion tests(適応比例テスト)が内蔵されていて、その健全性テストは特定のエラー管理と関連付けられています。
- 本機能を無効にして消費電力を低減できます。また、自動低消費電力モードで有効にできます (デフォルト設定)。
- 32 ビットワードのシングルアクセスでのみアクセス可能な AMBA AHB スレーブペリフェラルが搭載されています (それ以外は AHB バスエラーが発生し、書込みアクセスは無視されます)。

22.3 RNG の機能説明

22.3.1 RNG ブロック図

図 98 に RNG ブロック図を示します。



22.3.2 RNG 内部信号

表 129 では、RNG をより良く理解するために内部の信号のリストを記載しております。STM32 (パッド上) の入出力の信号ではありません。

表 129. RNG 内部入力/出力信号

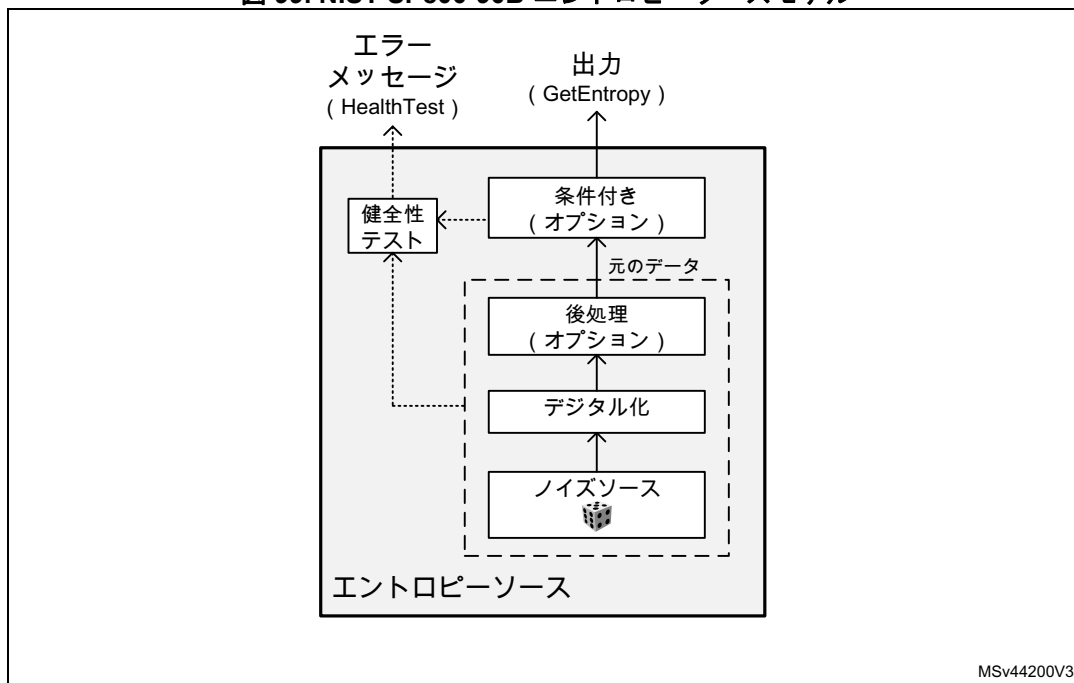
信号名	信号タイプ	説明
rng_it	デジタル出力	RNG グローバル割込みリクエスト
rng_hclk	デジタル入力	AHB クロック
rng_clk	デジタル入力	RNG 専用クロック、rng_hclk と非同期

22.3.3 乱数の生成

真性乱数発生器 (RNG) は、決定論的な間隔で AHB インタフェースを介して真にランダムなデータを伝送します。

その境界内で、RNG には 図 99 に示されている必要なすべての NIST コンポーネントが統合されています。これらのコンポーネントは、アナログノイズソース、デジタル化ステージ、条件付けアルゴリズム、健全性監視ブロック、およびエントロピーソースとの相互作用に使用される 2 つのインターフェイス、すなわち GetEntropy と HealthTest です。

図 99. NIST SP800-90B エントロピーソースモデル



上に図示されたコンポーネントの詳細を以下に示します。

ノイズソース

ノイズソースは、非決定論的なエントロピーを生成する構成要素のノイズソースで、これは出力の不確実性に関連したものです(デジタル化されたノイズソースやソースデータ)このノイズソースは 1 ビットのサンプルを提供します。以下の要素で構成されます。

- それぞれ排他的論理和がとられたフリーランニングのリングオシレータの出力 3 つに基づく複数のアナログノイズソース (x6)。セクション 22.3.8: RNG の低消費電力時の取り扱いに記載しているとおり、電力低減のためにそれらのアナログオシレータは無効化できます。
- シングルアナログ出力に対するすべてのノイズソースの排他的論理和。
- 専用クロック入力 (rng_clk (内蔵分周回路あり)) によってクロック供給されたこの出力のサンプリングステージ。1 ビットの元データ出力を伝送します。

このノイズソースサンプリングは、AHB インタフェースクロック周波数 (rng_hclk) から独立しています。ソフトウェアは統合された分周回路を使用してサンプリング周波数を減少させることができます。

注： [セクション 22.6: RNG エントロピーソース検証](#)では、推奨される RNG クロック周波数および関連する分周値が示されています。

後処理

NIST 構成では、サンプリングされたノイズソースに後処理は適用されません。非 NIST 構成 B (セクション 22.6.2 で定義されている) では、ノーマライゼーションバイアス解除が適用されます。すなわち、ビットの半分はサンプルノイズソースから取得し、あとの半分は反転したサンプルノイズソースから取得します。

条件付け

RNG の条件付けコンポーネントは、結果として得られる固定長ビット列出力 (128 ビット) のエントロピー率を増加させる決定論的機能です。NIST SP800-90B の目標は、出力でのフルエントロピーです (128 ビット)。

2 つの乱数生成の間に必要な時間、RNG を初期化してから最初のサンプルを利用できるまでに必要な時間については、セクション 22.5: RNG 処理時間に記載しています。

出力バッファ

データ出力バッファは、条件付けコンポーネントから出力された 32 ビットワードを 4 つまで格納できます。RNG_DR レジスタを通じて出力 FIFO から 4 ワード読み出されると、128 ビット条件付け出力レジスタの内容は出力 FIFO にプッシュされ、新たな条件付けが自動的に始まります。セクション 22.5: RNG 処理時間に指定された数のクロックサイクルの後に、新たな 4 ワードが条件付け出力レジスタに追加されます。

乱数が RNG_DR レジスタを介して使用できるときは必ず、DRDY フラグが 0 から 1 に遷移します。このフラグは、RNG_DR レジスタから 4 ワード読み出した後、出力バッファが空になるまで "1" になります。

注： 割込みが有効の場合、このデータレディフラグが 0 から 1 に遷移するときに割込みが生成されます。その後、上記で説明したように割込みは RNG によって自動的にクリアされます。

健全性チェック

このコンポーネントは、エントロピーソース全体 (ノイズソースを含む) が期待どおりに動作することを保証し、障害が迅速かつ高い確率と信頼性で検出されることを保証します。

RNG は、NIST SP800-90B に準拠して、以下のような健全性チェック機能を実行します。記述されている閾値は、レジスタ RNG_HTCR の推奨値に対応します (セクション 22.6.2 の設定 A を参照)。

- リセットしてから RNG を初めてエントロピーソースとして使用するまでに実行される起動時健全性テスト
 - 繰り返しカウントテスト: ノイズソースが 42 ビット以上連続して一定値 (0 または 1) を提供した場合にエラーフラグを立てます。
 - 1024 の連続ビットのウィンドウで実行される適応割合テスト: RNG は、ノイズソース出力の最初のビットが 628 回以上繰り返されていないことを検証します。
 - 既知解テストで、条件付けステージを検証します。
- ノイズソースの出力で無制限に実行する、連続した健全性テスト
 - 起動時テストで実行されるものと同様の、繰り返しカウントテスト。
 - 起動時テストで実行されるものと同様の、適応割合テスト。
- ベンダ固有の継続テスト
 - 遷移カウントテスト。ノイズソースが 2 ビットパターン (01 や 10) を 32 回以上連続して提供した場合にエラーフラグを立てます。
 - リアルタイムの「遅すぎる」サンプリングクロック検出。1 RNG クロックサイクル (分周前) が 32 で分周された AHB クロックサイクルより小さい場合にエラーフラグを立てます。
- デジタル化ノイズソース (元のデータ) のオン・デマンドのテスト
 - エントロピーソースを再起動し、起動テストを再実行することでサポートされます (セクション 22.3.4: RNG 初期化 のソフトウェアリセットシーケンスを参照)。その他の必要に応じたテスト (ソフトウェアベース) はサポートされません。

エラーコンディションが検出された時に、RNG_SR レジスタの CECS および SECS ステータスビットに表示されます。詳細はセクション 22.3.7: エラー管理を参照してください。

注: エラーが検出された場合、割込みを生成することができます。

上記の健全性テストの閾値は、RNG_HTCR レジスタの値を変更することで変更されます。詳細については、セクション 22.6: RNG エントロピーソース検証を参照してください。

22.3.4 RNG 初期化

図 100 に RNG 簡易ステートマシンを図示します。

RNG を有効化した後 (RNG_CR の RNGEN = 1)、以下の一連のイベントが発生します。

- アナログノイズソースが有効になると、デフォルトでは RNG はアナログ出力のサンプリングを開始して 128 ビット条件付けシフトレジスタに入力するまで 16 RNG クロックサイクル待ちます。
- 条件付けハードウェアは起動すると、元のデータサンプルでの起動時動作テストと既知解テストを自動的にトリガします。
- 起動時健全性テストが完了した時。この間に、3 つの 128 ビットのノイズソースサンプルが使用されます。
- 条件付けステージの内部入力データバッファに 128 ビットが再入力され、RNG 設定 (NIST または非 NIST) によって定義された多数の条件付けが実行されます。その後、出力バッファには後処理の結果が入力されます。
- 出力バッファは RNG の使用方法に応じて自動的に再入力されます。

関連する初期化時間については、[セクション 22.5: RNG 処理時間](#)を参照してください。

図 100. RNG 初期化の概要

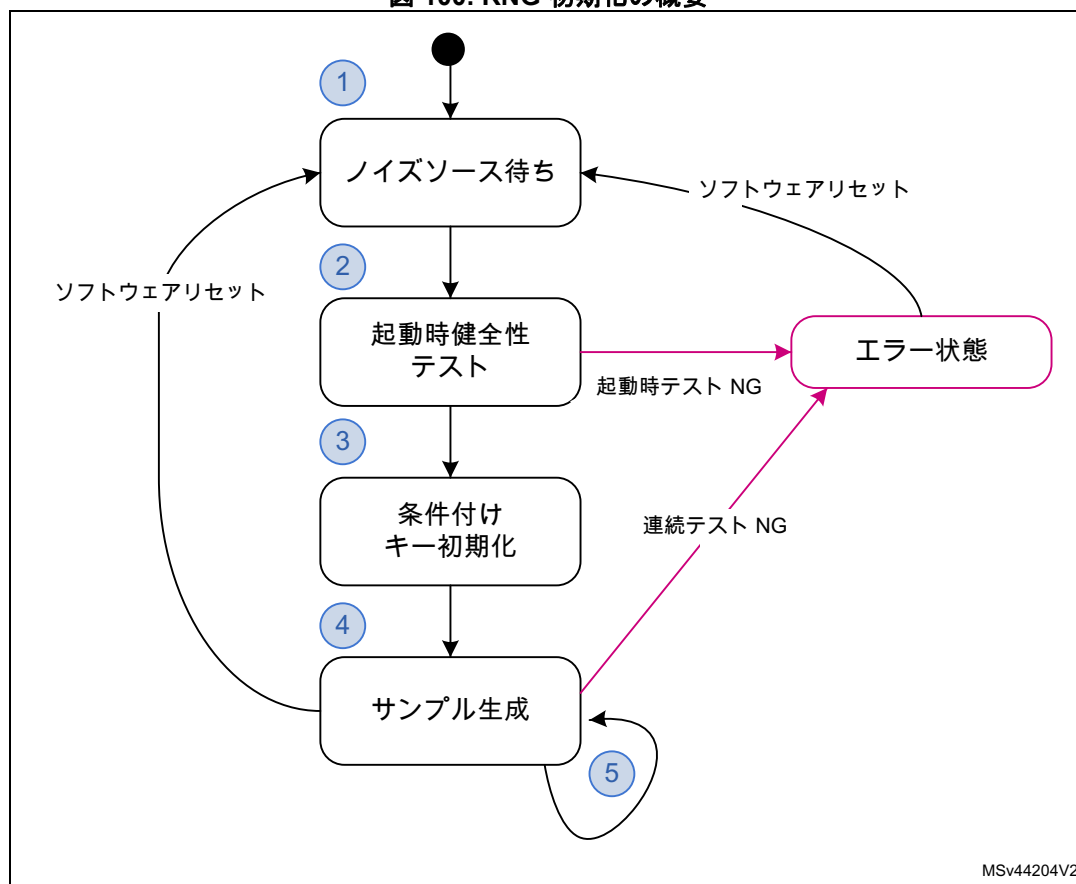


図 100 では、以下によって実施される考えられるソフトウェアリセットのシーケンスも説明しています。

1. 同じ RNG 設定および新しい CLKDIV で、RNG_CR レジスタにビット RNGEN = 0 および CONDRST = 1 を書き込みます (必要に応じて)。
2. 次に、RNG_CR レジスタに RNGEN = 1 および CONDRST = 0 を書き込みます。
3. 初期化が完了した後、乱数が準備できるまで待ちます。

注： RNG ペリフェラルが RCC (ハードウェアリセット) を介してリセットされると、RNG レジスタで最適なランダム性のための RNG 設定が失われます。CONFIGLOCK をセットしたソフトウェアリセットでは、RNG 設定が保持されます。

22.3.5 RNG 操作

通常動作

割込みを使用して RNG を作動させるには、次の手順を推奨します。

1. [セクション 22.6: RNG エントロピーソース検証](#)を参照して、特定の RNG 設定がアプリケーションに必要なかどうかを確認します。
 - 必要であれば、RNG_CR レジスタに正しい RNG 設定とともにビット CONDRST = 1 を書き込みます。次に、RNG_CR レジスタにビット CONDRST = 0、割込みイネーブルビット IE = 1、RNG イネーブルビット RNGEN = 1 を、さらに書き込みます。
 - 必要でない場合、RNG_CR レジスタに割込みイネーブルビット IE = 1、RNG イネーブルビット RNGEN = 1 を書き込みます。
2. 乱数の準備ができたとき、またはエラーが発生したとき、割込みが生成されるようになります。そのため、割込みごとに次をチェックします。
 - 発生したエラーはありません。RNG_SR レジスタで SEIS および CEIS ビットを 0 にセットする必要があります。
 - 乱数が準備できています。RNG_SR レジスタで DRDY ビットを 1 にセットする必要があります。
 - 上記 2 つの条件に当てはまる場合、最大で連続 4 回まで RNG_DR レジスタの内容が読み出せるようになります。条件付出力バッファに有効なデータがある場合には、アプリケーションによってさらに 4 ワード読み出すことができます（この場合には DRDY ビットはハイのままです）。上記の条件のどちらかまたは両方に当てはまらない場合、RNG_DR レジスタを読み出さないでください。エラーが発生した場合には、[セクション 22.3.7](#)に記載されたリカバリシーケンスを使用する必要があります。

ポーリングモードで RNG を作動させるには、次の手順を推奨します。

1. [セクション 22.6: RNG エントロピーソース検証](#)を参照して、特定の RNG 設定がアプリケーションに必要なかどうかを確認します。
 - 必要であれば、RNG_CR レジスタに修正 RNG 設定とともにビット CONDRST = 1 を書き込みます。次に、RNG_CR レジスタにビット CONDRST = 0、RNG イネーブルビット RNGEN = 1 を、さらに書き込みます。
 - 必要でない場合、RNG_CR レジスタの RNGEN ビットを 1 にセットして、RNG を有効にするだけです。
2. RNG_SR レジスタを読み出し、次を確認します。
 - 発生したエラーはありません (SEIS および CEIS ビットは 0 にセットされていなければなりません)。
 - 乱数が準備できています (DRDY ビットは 1 にセットされていなければなりません)。
3. 上記の条件に当てはまる場合、最大で連続 4 回まで RNG_DR レジスタの内容を読み出します。条件付出力バッファに有効なデータがある場合にはアプリケーションによってさらに 4 ワード読み出すことができます（この場合には DRDY ビットはハイのままです）。上記の条件のどちらかまたは両方に当てはまらない場合、RNG_DR レジスタを読み出さないでください。エラーが発生した場合には、[セクション 22.3.7](#)に記載されたリカバリシーケンスを使用する必要があります。

注： データが準備できていない場合 (DRDY = 0)、RNG_DR は 0 を返します。RNG_DR がゼロではないことを常に確認することをお勧めします。ゼロの場合、RNG_SR ポーリングと RND_DR 出力読出しの間にシードエラーが発生した (まれなイベント) ことを意味するからです。

乱数生成周期がアプリケーションに対して懸念となる場合、および NIST の準拠が必須ではない場合、[セクション 22.6: RNG エントロピーソース検証](#)に記載されている RNG の設定“B”を使用して、より高

速な RNG 設定を選択できます。乱数生成速度の増加に関する概要は、[セクション 22.5: RNG 処理時間](#)に示しています。

低電力動作

消費電力がアプリケーションに対して懸念となる場合、[セクション 22.3.8: RNG の低消費電力時の取り扱い](#)に示すように低電圧ストラテジーを使用できます。

ソフトウェア後処理

AIS-31 または NIST SP800-90B の承認を満たすために期待される特定のソフトウェア後処理／条件付けはありません。

内蔵されている健全性チェック機能の説明は[セクション 22.3.3: 乱数の生成](#)を参照してください。

22.3.6 RNG クロック供給

RNG は、AHB バスクロックと専用 RNG クロックの 2 種類の異なるクロックで動作します。

AHB クロックは、AHB バンクレジスタおよび条件付けコンポーネントにクロック供給するために使用されます。RNG クロックは、プログラム可能な分周回路 (RNG_CR レジスタの CLKDIV ビットフィールドを参照) と組み合わせてノイズソースサンプリングに使用されます。推奨されるクロック設定は、[セクション 22.6: RNG エントロピーソース検証](#)で詳しく説明されています。

注： RNG_CR レジスタの CED ビットが 0 にセットされている場合、内部分周器の前の RNG クロック周波数は 32 で分周された AHB クロック周波数より高くする必要があります。そうしないと、クロックチェッカーが必ずクロックエラーのフラグ (RNG_SR レジスタの CECS = 1) を立てます。

詳細 (AHB および RNG クロックドメイン) については、[セクション 22.3.1: RNG ブロック図](#)を参照してください。

22.3.7 エラー管理

このセクションに詳細を示しているとおり、乱数生成と並行して、健全性チェックブロックにより、正しいノイズソース動作と RNG ソースクロックの周波数が検証されます。関連するエラー状態も記載されています。

クロックエラー検出

クロックエラー検出が有効なとき (CED = 0)、RNG クロック周波数が低すぎる場合、RNG は CEIS と CECS の両方のビットを 1 にセットして、クロックエラーが発生したことを示します。この場合、アプリケーションによって RNG クロックが正しく設定されていること ([セクション 22.3.6: RNG クロック供給](#)を参照) をチェックして、CEIS ビットの割込みフラグをクリアする必要があります。CECS ビットは、クロック条件が正常なときに自動的にクリアされます。

注： クロックエラーは、生成された乱数には影響しないため、アプリケーションは RNG_DR レジスタを読み出すことができます。

CEIS は、RNG によって CECS が 1 にセットされているときのみセットされます。

ノイズソースエラー検出

ノイズソース（またはシード）エラーが発生すると、RNG は乱数生成を停止し、SEIS および SECS ビットを両方 1 にセットして、シードエラーが発生したことを示します。RNG_DR レジスタにおける値が利用可能な場合であっても、エントロピーが十分でない可能性があるため使用することはできません。

シードエラーからの完全なリカバリを行うには、次のシーケンスを使用する必要があります。

1. CONDRST に 1、そして 0 を書き込んでソフトウェアリセットします（詳細はビットフィールドの説明を参照）。
2. RNG_CR レジスタで CONDRST がクリアされるまで待ってから、SEIS が RNG_SR レジスタでクリアされていることを確認します。
3. SECS が RNG によってクリアされるまで待ちます。乱数生成が正常に戻ります。

22.3.8 RNG の低消費電力時の取り扱い

消費電力が懸念される場合、RNG_CR レジスタの RNGEN ビットを 0 にセットして DRDY ビットを 1 にセットするとすぐに、RNG を無効化できます。RNGEN = 0 であっても後処理ロジックと出力バッファは動作を続けていますので、ソフトウェアは次の機能を使用できます。

- 出力バッファに有効なワードが存在する場合には、RNG_DR レジスタから乱数をもう 4 個読み出すことができます。
- 条件付け出力内部レジスタに有効なビットが存在する場合には、RNG_DR レジスタから乱数をもう 4 個読み出すことができます。そうではない場合には、期待される新しいノイズソースビット閾値（NIST モードでは 128 ビット）に達して、条件付けが完了するまでアプリケーションで RNG を再度有効にする必要があります。

期待される条件付けの回数に達した場合のみ（NISTC = 0 の場合は 2 回）、新たな 4 つの乱数ワードを使用できるようになります。全体的な時間については、[645 ページのセクション 22.5: RNG 処理時間](#)を参照してください。

RNG を無効化する場合、すべてのアナログシード発生回路を無効にします。その消費電力は、データシートの電気的特性セクションに示されています。また、RNG クロックによってクロックの供給を受けるロジックはすべてゲートします。この方法では、RNG 初期化時間のために、RNG_DR レジスタでランダムサンプルが利用可能となるまでのレイテンシが増加することに注意してください。

初期化中（すなわち DRDY ビットが初めて立ち上がるよりも十分前に）に RNG ブロックが無効化された場合、初期化シーケンスは、RNGEN ビットが 1 にセットされて停止したところから再開されず（アプリケーションが RNG_CR レジスタの CONDRST ビットを使用して条件付けロジックをリセットしていない場合を除きます）。

22.4 RNG 割込み

RNG では、割込みは次のイベントによって生成できます。

- データレディフラグ
- シードエラー、を参照 [セクション 22.3.7: エラー管理](#)
- クロックエラー、を参照 [セクション 22.3.7: エラー管理](#)

表 130 に示すように、専用割込みイネーブル制御ビットが使用できます。

表 130. RNG 割込みリクエスト

項目 (割込みの略称)	割込みイベント	イベントフラグ	有効制御ビット	割込みのクリア方法
RNG	データレディフラグ	DRDY	IE	なし (自動)
	シードエラーフラグ	SEIS	IE	SEIS に 0 を書き込むか、CONDRST に 1 を書き込んでから 0 を書き込みます。
	クロックエラーフラグ	CEIS	IE	CEIS に 0 を書き込みます。

RNG_CR レジスタのマスクビットまたは全体的な割込み制御ビット IE を変更することにより、上記の割込みソースを個別に有効にしたり無効にしたりすることができます。個別の割込みソースのステータスは RNG_SR レジスタから読み出すことができます。

注： 割込みは、RNG が有効化されている場合にのみ生成されます。

22.5 RNG 処理時間

表 131 に記載されている推奨設定 A では、4 つの 32 ビットデータの 2 セットの間時間は次のいずれかです。

- $f_{\text{AHB}} < f_{\text{threshold}}$ の場合、 $206 \times N$ AHB サイクル (条件付けステージが制限要因)、または
- $f_{\text{AHB}} \geq f_{\text{threshold}}$ の場合、 $128 \times N$ RNG サイクル (ノイズソースステージが制限要因)

ここで、 $f_{\text{threshold}} = 1.6 \times f_{\text{RNG}}$ 、たとえば、 $f_{\text{RNG}} = 48$ MHz の場合、77 MHz。N の値は 2 です。

注： CLKDIV が 0 ではない場合、 f_{RNG} は内部分周比を考慮する必要があります。

設定 B を選択した場合、性能数値は次のようになります。

- $f_{\text{AHB}} < f_{\text{threshold}}$ の場合、206 AHB サイクル、または
- $f_{\text{AHB}} \geq f_{\text{threshold}}$ の場合、32 RNG サイクル

ここで、 $f_{\text{threshold}} = 6.5 \times f_{\text{RNG}}$ 。

22.6 RNG エントロピーソース検証

22.6.1 概要

RNG から使用できるエントロピーの量を評価するために、STMicroelectronics はドイツの BSI AIS-31 統計テスト (T0~T8) および NIST SP800-90B テストスイートを使用してペリフェラルをテストしました。結果は要求に応じて提供でき、顧客側でテストを再現できます。

22.6.2 検証条件

STMicroelectronics は、以下の条件下で RNG 真性乱数発生器をテストしました。

- RNG クロック rng_clk= 48 MHz
- RNG の設定については、[表 131: RNG の設定](#)で説明しています。設定 A のみ NIST SP800-90B を認証できます。

表 131. RNG の設定

RNG 設定	RNG_CR ビット						ループ数 (N)	RNG_ HTCR レジスタ ⁽¹⁾	RNG_ NCSR レジスタ
	NISTC ビット	RNG_ CONFIG1 [5:0]	CLKDIV [3:0]	RNG_ CONFIG2 [2:0]	RNG_ CONFIG3 [3:0]	CED ビット			
A	0	0x0F	0x0	0x0	0xD	0	2	0x0000AA74 ⁽²⁾	0x0000 0492
B	1	0x18	0x0	0x0	0x0	0	1	0x0000AA74	0x0003 FFFF

1. このレジスタに書き込むときは、マジックナンバー 0x17590ABC を指定された値の直前に書き込む必要があります。
2. 繰り返しテストでは 42 に相当し、適応テストでは 628 に相当します。詳細は、[640 ページの健全性チェック](#)を参照してください。

22.6.3 データ収集

統計テストを行うためには、サンプルを元データレベルでのエントロピーソースからだけでなく、エントロピーソースの出力からも収集する必要があります。データ収集と統計テストスイートの実行の詳細については、www.st.com から入手できるアプリケーションノート「STM32 microcontrollers random number generation validation using NIST statistical test suite」(AN4230)を参照してください。

製品で上記サンプルを取得する必要がある場合は、STMicroelectronics までご連絡ください。

22.7 RNG レジスタ

RNG は、制御レジスタ、データレジスタ、ステータスレジスタと連動します。

22.7.1 RNG 制御レジスタ (RNG_CR)

アドレス・オフセット : 0x000

リセット値 : 0x0080 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CONFIG LOCK	COND RST	Res.	Res.	Res.	Res.	RNG_CONFIG1 [5:0]						CLKDIV[3:0]			
rs	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNG_CONFIG2 [2:0]			NISTC	RNG_CONFIG3 [3:0]				Res.	Res.	CED	Res.	IE	RNGEN	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw			rw		rw	rw		

ビット 31 CONFIGLOCK : RNG 設定ロック

0 : RNG_HTCR および RNG_CR 設定ビット [29:4] への書き込みが許可されます。

1 : RNG_HTCR および RNG_CR 設定ビット [29:4] への書き込みは、次の RNG リセットまで無視されます。このビットフィールドは 1 回セットされます。このビットがセットされると、RNG がリセットされた場合のみ 0 にリセットできます。

ビット 30 CONDRST : 条件付きソフトリセット

1 を書き込んでから 0 を書き込んで条件付けロジックをリセットし、すべての FIFO をクリアして、RNG_SR がクリアされた状態で新しい RNG 初期化処理を開始します。RNG_CR および RNG_HTCR レジスタは、CONDRST によっては変更されません。

設定ビット [29:4] をセットするのと同じアクセスで、このビットを 1 にセットする必要があります。言い換えると、CONDRST ビットが 1 にセットされる際には、ビット [29:4] にも正しい設定を書き込む必要があります。

CONDRST がソフトウェアによって 0 にセットされると、その値はリセット処理が完了したときになり 0 になります。これには約 2 AHB クロックサイクルと 2 RNG クロックサイクルを必要とします。

ビット 29:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:20 RNG_CONFIG1[5:0] : RNG 設定 1

RNG 設定に予約済みです (ビットフィールド 1)。セクション 22.6: RNG エントロピーソース検証に記載された推奨される値を使用して初期化する必要があります。

RNG_CONFIG1 のあらゆるビットへの書き込みは、CONFIGLOCK が 0 のままで同じアクセスで CONDRST ビットが 1 にセットされる場合のみ考慮されます。CONFIGLOCK = 1 の場合、このビットへの書き込みは無視されます。

ビット 19:16 CLKDIV[3:0] : クロック分周回路ファクタ

この値は、受信 RNG クロックで動作するプログラム可能な内部分周回路 (1~16) の設定に使用されます。これらのビットに書き込めるのは、コアが無効 (RNGEN = 0) のときだけです。

0x0 : 分周回路以降の内部 RNG クロックは、受信 RNG クロックと類似しています。

0x1 : 内部 RNG クロックごとに 2 RNG クロックサイクルです。

0x2 : 内部 RNG クロックごとに 2^2 (= 4) RNG クロックサイクルです。

.....

0xF : 内部クロックごとに 2^{15} RNG クロックサイクルです (たとえば、受信した 48 MHz の RNG クロックは 1.5 kHz の内部 RNG クロックになります)。

これらのビットへの書き込みは、CONFIGLOCK が 0 のままで同じアクセスで CONDRST ビットが 1 にセットされる場合のみ考慮されます。CONFIGLOCK = 1 の場合、このビットへの書き込みは無視されます。

ビット 15:13 **RNG_CONFIG2[2:0]** : RNG 設定 2

RNG 設定に予約済みです (ビットフィールド 2)。詳細は、RNG_CONFIG1 ビットフィールドの説明を参照してください。

ビット 12 **NISTC** : NIST カスタム

0 : NIST 準拠 RNG のハードウェアデフォルト値この設定では、128 ビット出力ごとの 2 回の条件付ループが実行され、ノイズソースの 256 ビットが使用されます。

1 : NIST 準拠 RNG のカスタム値提案される設定については、[セクション 22.6: RNG エントロピーソース検証](#)を参照してください。

このビットへの書込みは、CONFIGLOCK が 0 のままで同じアクセスで CONDRST ビットが 1 にセットされる場合のみ考慮されます。CONFIGLOCK = 1 の場合、このビットへの書込みは無視されます。

ビット 11:8 **RNG_CONFIG3[3:0]** : RNG 設定 3

RNG 設定に予約済みです (ビットフィールド 3)。詳細は、RNG_CONFIG1 ビットフィールドの説明を参照してください。

このレジスタの NISTC ビットがクリアされた場合、RNG_CONFIG3 のビットフィールドの値は RNG によって無視されます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **CED** : クロックエラー検出

0 : クロックエラー検出は有効です。

1 : クロックエラー検出は無効です。

RNG が有効になっている場合、動作中にクロックエラー検出を有効化/無効化できません。CED を有効化/無効化するには、RNG を無効化する必要があります。

このビットへの書込みは、CONFIGLOCK が 0 のままで同じアクセスで CONDRST ビットが 1 にセットされる場合のみ考慮されます。CONFIGLOCK = 1 の場合、このビットへの書込みは無視されます。

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **IE** : 割込みイネーブル

0 : RNG 割込みは無効です。

1 : RNG 割込みは有効です。RNG_SR レジスタで DRDY = 1、SEIS = 1、または CEIS = 1 になると、割込みは直ちにペンディングとなります。

ビット 2 **RNGEN** : 真性乱数発生器イネーブル

0 : 真性乱数発生器は無効です。アナログノイズソースの電力がオフになり、RNG クロックによって供給されるロジックがゲートされます。

1 : 真性乱数発生器は有効です。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

22.7.2 RNG ステータスレジスタ (RNG_SR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY
									rc_w0	rc_w0			r	r	r

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SEIS** : シードエラー割込みステータス

このビットは、SECS として同じ時間でセットされます。0 を書き込むことによってクリアされます (CONDRST が使用されていない場合)。1 を書き込んでも、ビットの値は変化しません。

0 : 障害シーケンスは検出されませんでした。

1 : 1 つ以上の障害シーケンスが検出されています。詳細については、SECS ビットの説明を参照してください。

RNG_CR レジスタで IE = 1 である場合、割込みが保留となります。

ビット 5 **CEIS** : クロックエラー割込みステータス

このビットは、CECS として同じ時間でセットされます。0 を書き込むことによってクリアされます。1 を書き込んでも、ビットの値は変化しません。

0 : 正しい RNG クロックです (fRNGCLK > fHCLK/32)。

1 : 内部分周回路より前の RNG クロックが遅すぎると検出されています (fRNGCLK < fHCLK/32)。

RNG_CR レジスタで IE = 1 である場合、割込みが保留となります。

ビット 4:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **SECS** : シードエラーの現在のステータス

0 : 障害のあるシーケンスは現在のところ検出されていません。SEIS ビットがセットされている場合、これは障害のあるシーケンスが検出されたが、回復していることを意味します。

1 : 次の障害シーケンスのうち 1 つ以上が検出されました。

- ランタイム時の繰り返しのカウントテストに失敗しました (ノイズソースが 24 ビット以上連続して一定値 0 または 1 を提供したか、32 回以上連続して 2 つのビットパターン 01 や 10 を提供しました)。
- ノイズソースで起動時または連続した適応比例テストに失敗しました。
- 起動時の後処理 / 条件付け正常性チェックに失敗しました。

ビット 1 **CECS** : クロックエラーの現在のステータス

0 : 正しい RNG クロックです (fRNGCLK > fHCLK/32)。CEIS ビットがセットされている場合、これは遅いクロックが検出されたが、回復していることを意味します。

1 : 遅すぎる RNG クロックです (fRNGCLK < fHCLK/32)。

注 : CECS ビットは、RNG_CR レジスタの CED ビットが 0 にセットされたときにのみ有効です。

ビット 0 **DRDY** : データレディ

0 : RNG_DR レジスタがまだ有効でなく、乱数データは利用できません。

1 : RNG_DR レジスタに有効な乱数データが入っています。

出力バッファが空になると (RNG_DR レジスタの読み出し後)、新しい乱数値が生成されるまで、このビットは 0 に戻ります。

注 : ペリフェラルが無効化されている場合 (RNG_CR レジスタの RNGEN = 0) に、DRDY ビットが立ち上がることがあります。

RNG_CR レジスタで IE=1 の場合、DRDY = 1 のときに割込みが生成されます。

22.7.3 RNG データレジスタ (RNG_DR)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

RNG_DR レジスタは読み出し専用レジスタであり、読み出されると 32 ビットの乱数値を返します。このレジスタの内容は、RNGEN = 0 の場合でも、DRDY = 1 で、値が 0x0 でないときに有効です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNDATA[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RNDATA[31:0]** : 乱数データ

DRDY = 1 のときに有効な 32 ビット乱数データです。DRDY = 0 のとき、RNDATA の値は 0 です。DRDY がセットされているとき、RNG_DR がゼロではないことを常に確認することをお勧めします。ゼロの場合、RNG_SR ポーリングと RND_DR 出力読み出しの間にシードエラーが発生した (まれなイベント) ことを意味するからです。

22.7.4 RNG 健全性テスト制御レジスタ (RNG_HTCR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 : 5A4E

RNG_HTCR への書込みは、RNG_CR で CONDRST ビットがセットされ、CONFIGLOCK ビットがクリアされている場合のみ考慮されます。CONFIGLOCK=1 の場合、このレジスタへの書込みは無視されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HTCFG[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTCFG[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:0 **HTCFG[31:0]** : 健全性テストの設定

この設定は健全性テストを設定するために RNG によって使用されます。推奨値については [セクション 22.6: RNG エントロピーソース検証](#) を参照してください。

注: 推奨値と異なる値が書き込まれた場合、このレジスタの読み出しを含む RNG の動作は保証されません。

このレジスタの読み書きをするときは、マジックナンバー 0x17590ABC を RNG_HTCR レジスタの直前に書き込む必要があります。

22.7.5 RNG レジスタマップ

表 132. RNG レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x000	RNG_CR	CONFIGLOCK	CONDRST	Res.	Res.	Res.	Res.	RNG_CONFIG1 [5:0]					CLKDIV [3:0]				RNG_CONFIG 2 [2:0]		NISTC	RNG_CONFIG 3 [3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0					0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0
0x004	RNG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY	
	リセット値																										0	0			0	0	0	0
0x008	RNG_DR	RNDATA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	RNG_HTCR	HTCFG[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	1	1	0	1	0	0	1	0	0	1	1	1	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。

23 AES ハードウェアアクセラレータ (AES)

23.1 概要

AES ハードウェアアクセラレータ (AES) は、連邦情報処理規格公報 (FIPS) 197 によって規定されている高度暗号化標準 (AES : Advanced Encryption Standard) に完全に準拠したアルゴリズムと実装を使用してデータを暗号化および復号化します。

本ペリフェラルは、128 または 256 ビットのキー長に対して CTR、GCM、GMAC、CCM、ECB、および CBC の連鎖モードをサポートしています。

AES は 32 ビットのシングルアクセスでのみアクセス可能な AMBA AHB スレーブペリフェラルです。その他のアクセスタイプは、AHB エラーを生成し、32 ビット以外の書込みを行うとレジスタの内容が破損する可能性があります。

本ペリフェラルは入力および出力データの DMA シングル転送をサポートします (2 つの DMA チャンネルが必要です)。

23.2 AES の主な特徴

- 2001 年 11 月発効の NIST 『高度暗号化標準 (AES)、FIPS 公報 197』 に準拠
- 128 ビットデータブロックの処理
- 128 ビットおよび 256 ビットの暗号キー長に対応
- 次の複数の連鎖モードで暗号化と復号化：
 - 電子コードブック (ECB) モード
 - 暗号ブロック連鎖 (CBC) モード
 - カウンタ (CTR) モード
 - ガロアカウンタモード (GCM)
 - ガロアメッセージ認証コード (GMAC) モード
 - CBC-MAC 付きカウンタ (CCM) モード
- 128 ビットまたは 256 ビットキーを使用して 1 個の 128 ビットブロックのデータを処理する場合は ECB モードでそれぞれ 51 または 75 クロックサイクルの遅延
- ECB/CBC 復号化の最終ラウンドのキーを計算する統合ラウンドキースケジューラ
- 32 ビットワードのシングルアクセスでのみアクセス可能な AMBA AHB スレーブペリフェラル
- 暗号化キーを格納するための 256 ビット書込み専用レジスタ (32 ビットレジスタ 8 個)
- 初期化ベクタを格納するための 128 ビットレジスタ (32 ビットレジスタ 4 個)
- データ入力および出力用の 32 ビットバッファ
- 2 つのチャンネル (1 チャンネルは入力データ用、1 チャンネルは処理済みデータ用) を使用したシングル転送ダイレクトメモリアクセス (DMA) のサポートによる自動データフロー制御
- 1、8、16、32 ビットデータをサポートするデータスワッピングロジック
- AES がより優先順位の高い別メッセージを処理する必要がある場合は、ソフトウェアでメッセージをサスペンドしてから元のメッセージのレジュームが可能

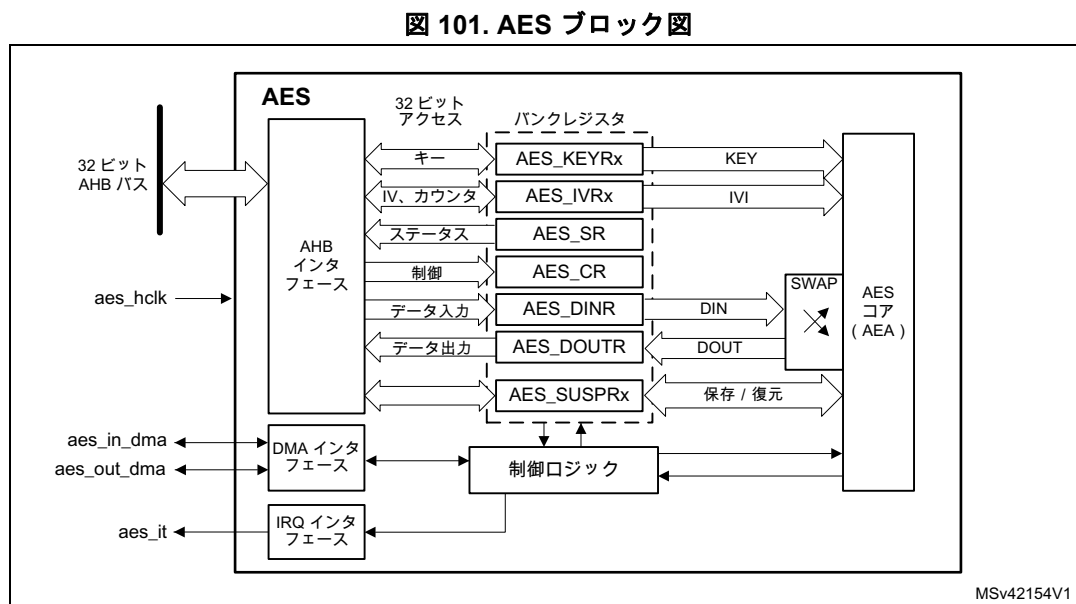
23.3 AES の実装

The devices have one AES peripheral.

23.4 AES機能詳細

23.4.1 AES ブロック図

図 101 に AES のブロック図を示します。



23.4.2 AES 内部信号

表 133 には、AES ペリフェラルにインタフェース接続するユーザ関連内部信号を示しています。

表 133. AES 内部入力/出力信号

信号名	信号タイプ	説明
aes_hclk	入力	AHB バスクロック
aes_it	出力	AES 割込みリクエスト
aes_in_dma	入力/出力	入力 DMA シングルリクエスト/確認応答
aes_out_dma	入力/出力	出力 DMA シングルリクエスト/確認応答

23.4.3 AES 暗号コア

概要

AES 暗号コアは、次のコンポーネントで構成されています。

- AES コアアルゴリズム (AEA)
- バイナリガロアフィールド (GF2mul) の乗算器
- キー入力
- 初期化ベクタ (IV) 入力
- 連鎖アルゴリズムロジック (XOR、フィードバック/カウンタ、マスク)

AES コアは 128 ビットまたは 256 ビットキー長を使用して 128 ビットデータブロック (4 ワード) で動作します。連鎖モード次第で、AES は 0 個または 1 個の 128 ビット初期化ベクタ IV を必要とします。

AES には、次の動作モードがあります。

- **モード 1:**
AES_KEYRx レジスタに格納されたキーを使用して平文を暗号化します。
- **モード 2:**
ECB または CBC の復号化キーを準備します。ECB または CBC の連鎖モードでモード 3 を選択する前に使用する必要があります。復号化のために準備されたキーは、AES_KEYRx レジスタに自動的に格納されます。これで、AES ペリフェラルをモード 3 に切り替えて、データ復号化を実行する準備ができます。
- **モード 3:**
AES_KEYRx レジスタに格納されたキーを使用して暗号文を復号化します。ECB および CBC の連鎖モードを選択した場合、モード 2 で事前にキーを準備する必要があります。

注: モード 2 は、ECB および CBC の復号化を実行する場合のみ使用します。

動作モードは、AES_CR レジスタの MODE[1:0] ビットフィールドをプログラムして選択します。この操作は、AES ペリフェラルが無効である場合のみ実行できます。

標準的データ処理

AES の標準的な使用方法を [659 ページのセクション 23.4.4: 暗号操作を行うための AES の手順](#) に示します。

注: IVI ビットフィールドを除き、中間 AEA ステージの出力が暗号境界の外に漏れることは決してありません。

連鎖モード

次の連鎖モードが AES でサポートされており、AES_CR レジスタの CHMOD[2:0] ビットフィールドで選択します。

- 電子コードブック (ECB)
- 暗号ブロック連鎖 (CBC)
- カウンタ (CTR)
- ガロアカウンタモード (GCM)
- ガロアメッセージ認証コード (GMAC)
- CBC-MAC付きカウンタ (CCM)

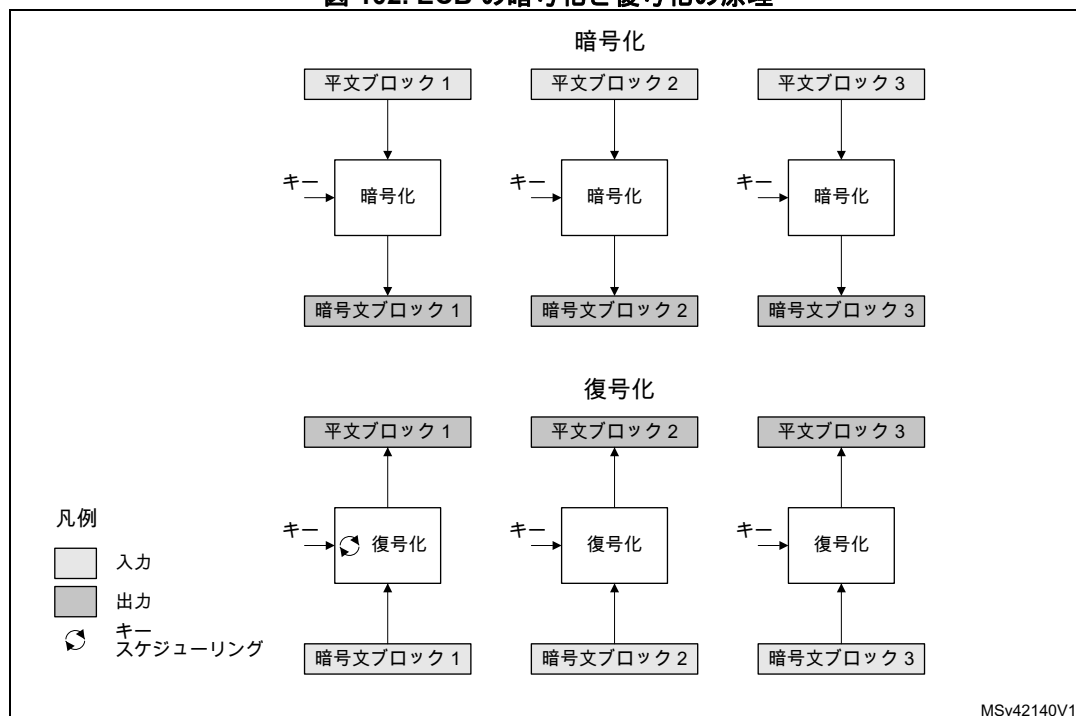
注： 連鎖モードは、AES が無効である (AES_CR レジスタの EN ビットがクリアされている) 場合のみ変更できます。

各 AES 連鎖モードの原理については、以降の項目に記載されています。

詳細については、[セクション 23.4.8: AES 基本連鎖モード \(ECB、CBC\)](#) 以降の専用セクションに示されています。

電子コードブック (ECB) モード

図 102. ECB の暗号化と復号化の原理

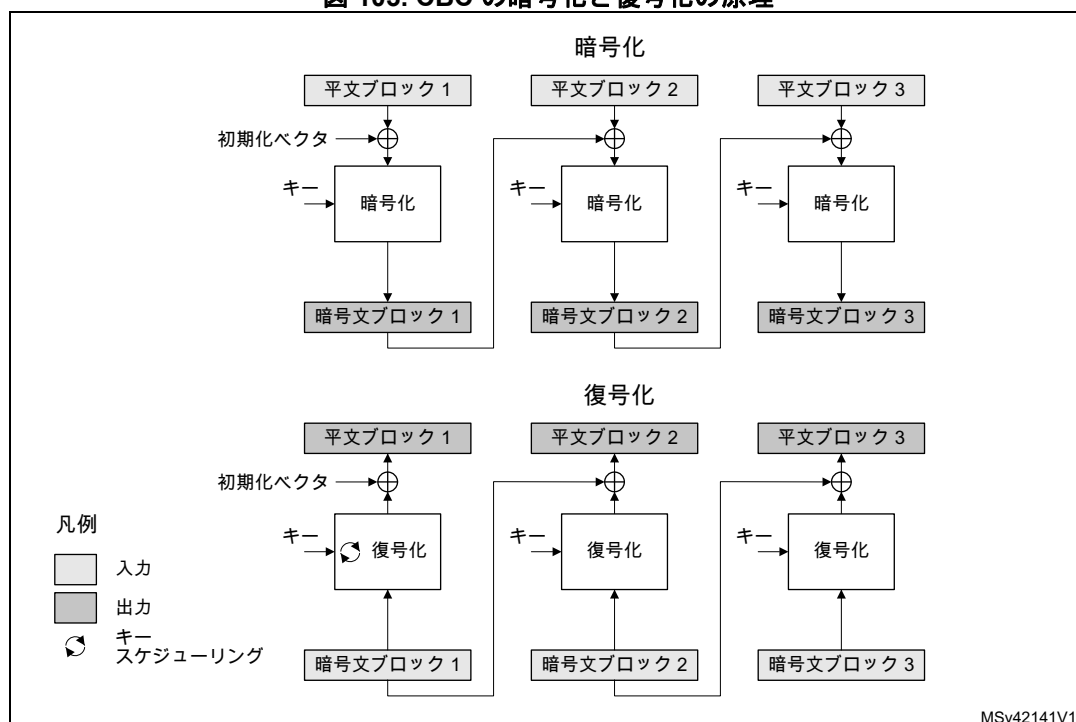


ECB は最も単純な動作モードです。連鎖操作も、特別な初期化ステージもありません。メッセージはブロックに分割され、各ブロックが個別に暗号化または復号化されます。

注： 復号化では、最初のブロックを処理する前に特別なキースケジューリングが必要となります。

暗号ブロック連鎖 (CBC) モード

図 103. CBC の暗号化と復号化の原理

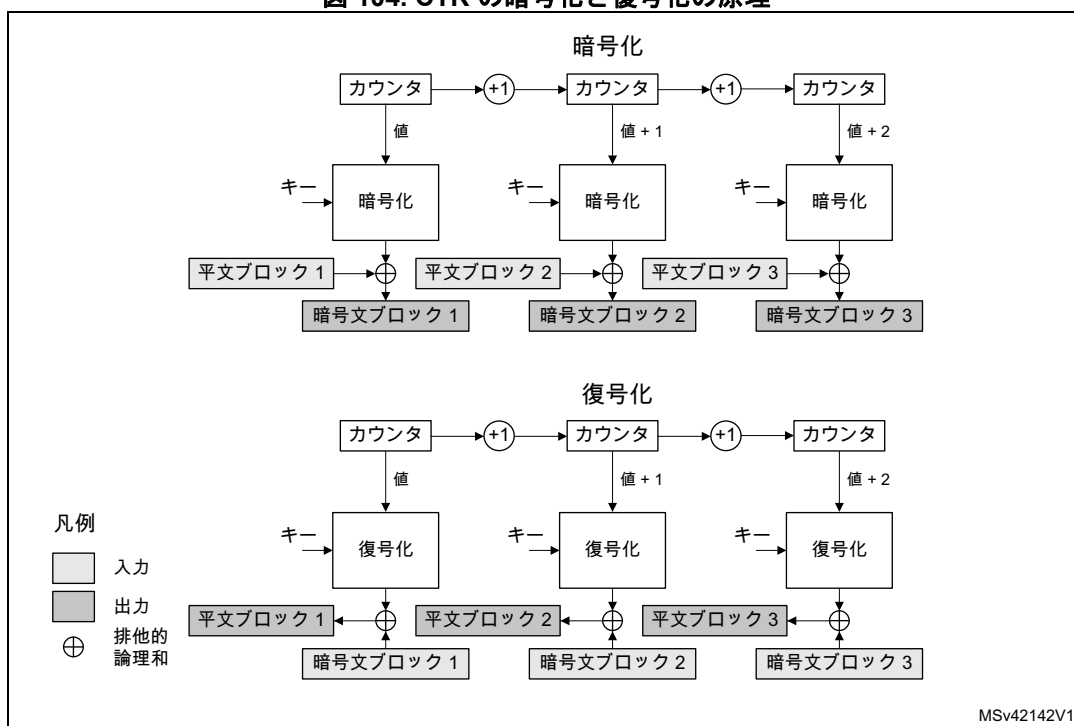


CBC モードでは、各ブロックの出力が次のブロックの入力で連鎖されます。各メッセージを一意にするために、最初のブロック処理時に初期化ベクタが使用されます。

注：復号化では、最初のブロックを処理する前に特別なキースケジューリングが必要となります。

カウンタ (CTR) モード

図 104. CTR の暗号化と復号化の原理

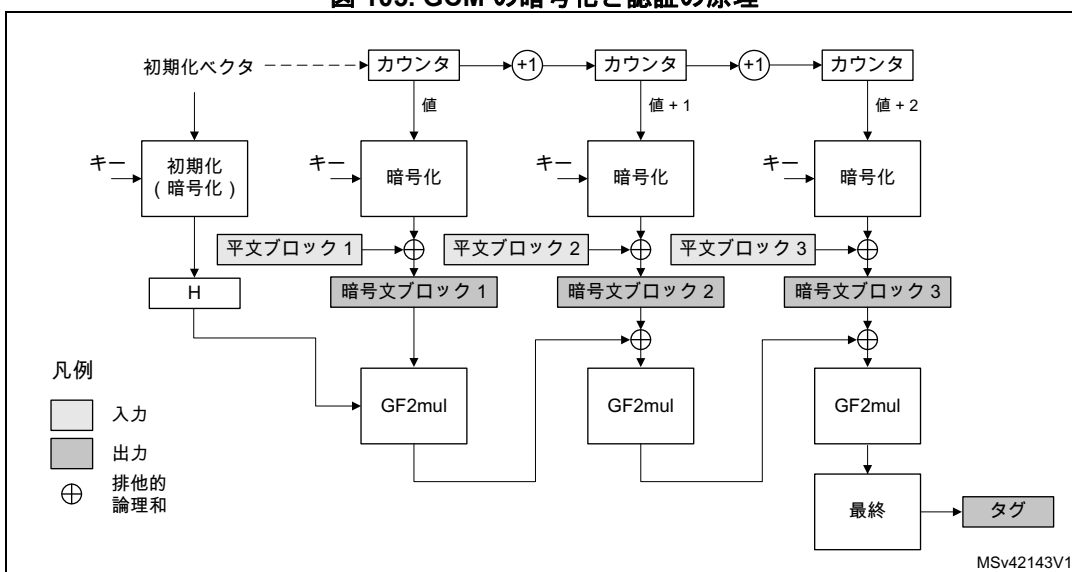


CTR モードでは、AES コアを使用してキーストリームを生成します。次に、このキーは、NIST 特別公報 800-38A 『ブロック暗号の推奨動作モード』で指定されている暗号文を得るために、平文との排他的論理和がとられます。

注： この連鎖スキームでは、キーストリームまたはカウンタブロックの生成に AES コアが暗号化モードで必ず使用されるため、ECB モードや CBC モードとは異なり、CTR の復号化にキースケジュールは必要ありません。

ガロア/カウンタモード (GCM)

図 105. GCM の暗号化と認証の原理

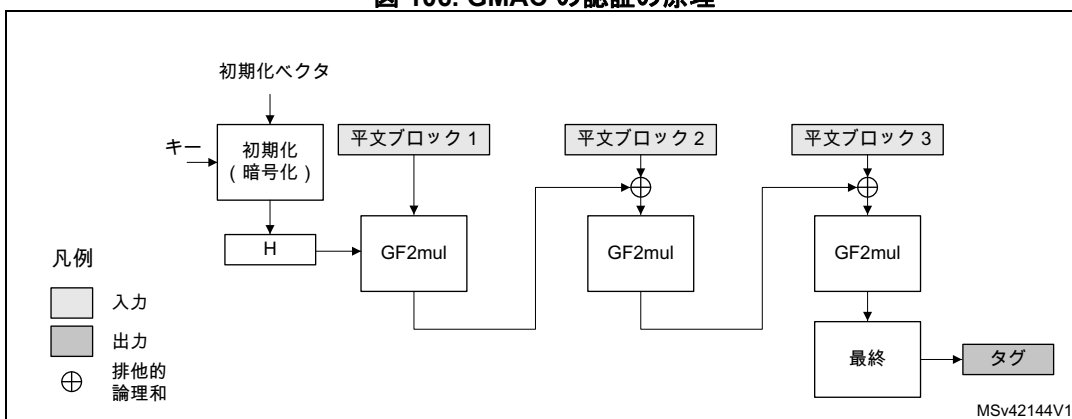


ガロア/カウンタモード (GCM) では、平文メッセージが暗号化されている間に、並列でメッセージ認証コード (MAC) が計算され、対応する暗号文とその MAC (認証タグともいいます) が生成されます。これは、NIST 特別公報 800-38D 『ブロック暗号の推奨動作モード - ガロア/カウンタモード (GCM) および GMAC』 の中に定義されています。

GCM モードは、機密性のためにカウンタモードでの AES に基づいています。固定の有限体に乗算器を使用して、メッセージ認証コードを計算します。初期値ならびにメッセージの最後に特殊な 128 ビットブロックを必要とします。

ガロアメッセージ認証コード (GMAC) の原理

図 106. GMAC の認証の原理

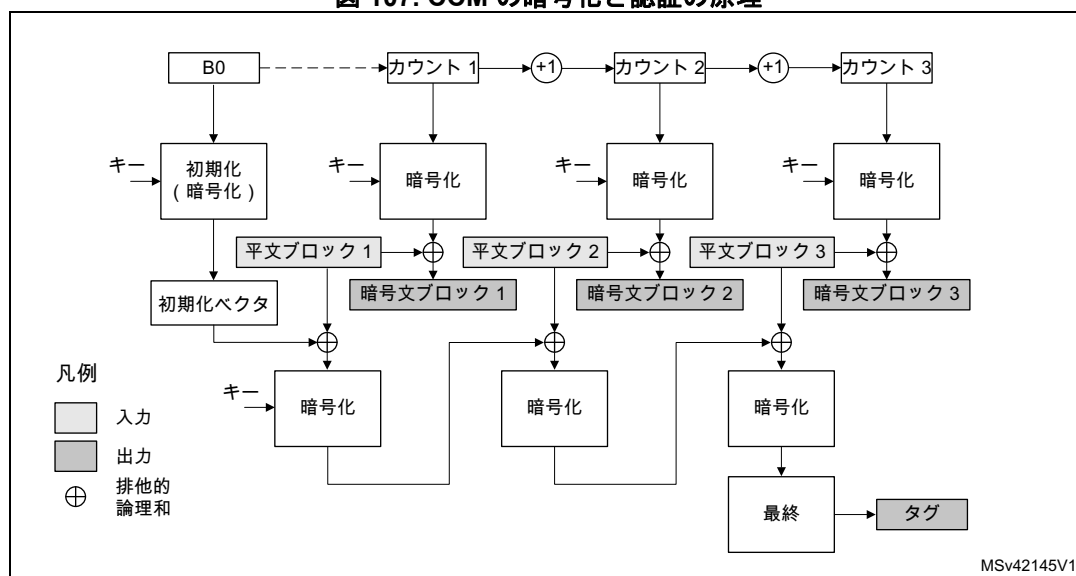


ガロアメッセージ認証コード (GMAC) を使用すると、メッセージの認証と、対応するメッセージ認証コード (MAC) の生成が可能となります。これは、NIST 特別公報 800-38D 『ブロック暗号の推奨動作モード - ガロア/カウンタモード (GCM) および GMAC』 の中に定義されています。

平文の認証済みデータのみで構成されたメッセージ (すなわち、ヘッダのみでペイロードなし) に適用されることを除けば、GMAC は GCM と似ています。

CBC-MAC 付きカウンタ (CCM) の原理

図 107. CCM の暗号化と認証の原理



暗号ブロック連鎖-メッセージ認証コード付きカウンタ (CCM) モードでは、平文メッセージが暗号化されている間に、並列でメッセージ認証コード (MAC) が計算され、対応する暗号文と対応する MAC (タグとも言います) が生成されます。これは、NIST 特別公報 800-38C 『ブロック暗号の推奨動作モード - 認証および機密性のための CCM モード』の中に説明されています。

CCM モードは、機密性のためにカウンタモードでの AES に基づいており、CBC を使用してメッセージ認証コードを計算します。初期値が必要です。

CCM 連鎖モードは、GCM のように平文の認証済みデータのみで構成されたメッセージ (すなわち、ヘッダのみでペイロードなし) に適用できます。CCM をこのように使用することは CMAC とは呼ばれず (GCM/GMAC とは異なります)、その使用は NIST による推奨ではないことに注意してください。

23.4.4 暗号操作を行うための AES の手順

概要

標準的な暗号操作を以下に説明します。詳細については、[セクション 23.4.8: AES 基本連鎖モード \(ECB、CBC\)](#) 以降のセクションに示されています。

AES の初期化

AES を初期化するには、まず AES_CR レジスタの EN ビットをクリアして無効化します。次に、任意の順番で次の手順を実行します。

- AES_CR レジスタの MODE[1:0] ビットフィールドをプログラムして、AES モードを設定します。
 - 暗号化の場合、モード 1 を選択します (MODE[1:0] = 00)。
 - 復号化の場合、ECB または CBC の連鎖モードを使用していない場合、モード 3 を選択します (MODE[1:0] = 10)。後者の場合、[セクション 23.4.5: AES 復号化ラウンドキーの準備](#)に記載されているとおり、暗号化キーの初期キー導出を実行します。
- AES_CR レジスタの CHMOD[2:0] ビットフィールドをプログラムして、連鎖モードを選択します。
- AES_CR レジスタの DATATYPE[1:0] ビットフィールドでデータ型 (1、8、16、32 ビット) を設定します。

- 必要であれば (CBC または CTR の連鎖モードの場合など)、初期化ベクタを AES_IVRx レジスタに書き込みます。
- AES_CR レジスタの KEYSIZE ビットフィールドでキーサイズ (128 ビットまたは 256 ビット) を設定します。
- 対称キーを AES_KEYRx レジスタ (キーサイズに応じて 4 個か 8 個のレジスタ) に書き込みます。

データ追加

このセクションでは、処理するデータのサイズが 128 ビットの倍数ではない場合に処理するためにデータを追加するさまざまな方法について説明します。

ECB または CBC モードについては、[セクション 23.4.6: AES 暗号文借用およびデータパディング](#)を参照してください。これらの場合の最終ブロックの管理は、このセクションで説明しているシーケンスより複雑になります。

ポーリングでのデータ追加

この方法では、フラグポーリングを使用して次のシーケンスでデータ追加を制御します。

1. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
2. ペイロードが完全に処理されるまで次のサブシーケンスを繰り返します。
 - a) AES_DINR レジスタに 4 つの入力データワードを書き込みます。
 - b) ステータスフラグ CCF が AES_SR でセットされるまで待って、AES_DOUTR レジスタから 4 つのデータワードを読み出します。
 - c) AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
 - d) 処理したばかりのデータブロックがメッセージの最後から 2 番目のブロックであり、処理する最終ブロックの有効データが 128 ビットを下回る場合、最終ブロックの残り部分を 0 でパディングし、GCM のペイロード暗号化または CCM のペイロード復号化の場合は、AES_CR レジスタの NPBLB ビットフィールドで、AES が正しいタグを計算できるように有効ではないバイト数を指定します。
3. これが最終ブロックなので、データの一部ではないデータを破棄してから、AES_CR レジスタの EN ビットをクリアして AES ペリフェラルを無効にします。

注： ウェイトサイクルは AES_DINR レジスタに対する連続する 2 つの書き込みの間に最大 3 つまで自動的に挿入され、AES プロセッサにキーを送信できます。

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズで使用されません。

割込みを使用したデータ追加

この方法は、AES ペリフェラルからの割込みを使用して次のシーケンスでデータ追加を制御します。

1. AES_CR レジスタの CCFIE ビットをセットして、AES からの割込みを有効にします。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. まず、AES_DINR レジスタに 4 つの入力データワードを書き込みます。
4. AES 割込みサービスルーチンでデータを処理します。割込み時には次の手順に従います。
 - a) AES_DOUTR レジスタから 4 つの出力データワードを読み出します。
 - b) AES_CR レジスタの CCFC ビットをセットして、CCF フラグ、保留中の割込みをクリアします。
 - c) 処理したばかりのデータブロックがメッセージの最後から 2 番目のブロックであり、処理する最終ブロックの有効データが 128 ビットを下回る場合、最終ブロックの残り部分を 0 でパディングし、GCM のペイロード暗号化または CCM のペイロード復号化の場合は、AES_CR レジスタの NPBLB ビットフィールドで、AES が正しいタグを計算できるように有効ではないバイト数を指定します。次に、4e) に進みます。

- d) 処理したばかりのデータブロックがメッセージの最終ブロックだった場合、データの一部ではないデータを破棄してから、AES_CR レジスタの EN ビットをクリアして AES ペリフェラルを無効にし、割込みサービスルーチンを中止します。
- e) AES_DINR レジスタに次の 4 つの入力データワードを書き込み、割込みサービスルーチンを中止します。

注： AES は連続した読出し操作または書き込み操作の間の遅延を許容するため、2 つの AES 計算の間に別のペリフェラルからの割込みがある場合などに受け入れることができます。

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズで使用されません。

DMA を使用したデータ追加

この方法では、すべての転送と処理が DMA および AES によって管理されます。この方法を使用するには、次の手順に従います。

1. ブロックの残り部分を 0 でパディングして、最後の 4 ワードのデータブロックを準備します (処理するデータが完全に埋まっていない場合)。
2. 処理するデータをメモリから AES ペリフェラル入力へ、処理したデータを AES ペリフェラル出力からメモリに転送するよう DMA コントローラを設定します (セクション 23.4.16: AES DMA インタフェース に記載)。転送完了時に割込みを生成するよう DMA コントローラを設定します。GCM のペイロード暗号化または CCM のペイロード復号化で 0 でパディングしている場合は、DMA 転送に最後の 4 ワードブロックを含まないでください。代わりに、ポリングでのデータ追加に示したシーケンスをこの最終ブロックに使用する必要があります。これは AES が正しいタグを計算できるように、NPBLB ビットをセットアップしてからブロックを処理する必要があるためです。
3. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
4. AES_CR レジスタの DMAINEN ビットと DMAOUTEN ビットをセットして、DMA リクエストを有効にします。
5. 転送完了を示す DMA 割込みが発生したら、メモリから AES 処理済みデータを取得します。

注： AES_DOUTR レジスタの読出しは計算フェーズの最後にソフトウェア操作なしで自動的に DMA によって管理されるため、この方法では CCF フラグを使用しません。

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズで使用されません。

23.4.5 AES 復号化ラウンドキーの準備

AES ラウンドキーの生成には、内部キースケジュールが使用されます。AES 暗号化では、ラウンド 0 キーはキーレジスタに格納されているキーです。AES 復号化は、最終ラウンドキーを使用して開始する必要があります。暗号化キーはメモリに格納されるので、復号キーを取得するには、特殊なキースケジュールリングを実行する必要があります。このキースケジュールリングは、ECB および CBC モードでの AES 復号化にのみ必要です。

AES_CR の MODE[1:0] ビットフィールドを 01 にセットしてモード 2 (キー処理のみ) を選択してから、MODE[1:0] を 10 (モード 3、復号化のみ) にセットして復号化を進める方法が推奨されます。モード 2 の使用法は、以下のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR の MODE[1:0] ビットフィールドを 01 にセットして、モード 2 を選択します。このキー導出モードは選択された連鎖アルゴリズムとは無関係なので、この場合、CHMOD[2:0] ビットフィールドは重要ではありません。
3. AES_CR レジスタの KEYSIZE ビットでキー長を 128 ビットまたは 256 ビットにセットします。
4. AES_KEYRx レジスタ (128 ビットまたは 256 ビット) に暗号化キーを書き込みます。AES_IVRx レジスタへの書き込みは無効です。

5. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
6. AES_SR レジスタで CCF フラグがセットされるまで待ちます。
7. CCF フラグをクリアします。導出されたキーは AES コアで使用でき、復号化に使用する準備ができます。

注： 導出キーが使用できるようになると、AES はハードウェアによって無効にされます。
導出キーの計算を再開するには、手順 4、5、6、7 を繰り返します。

注： キー準備の操作は、キーサイズ (128 ビットまたは 256 ビット) に応じて 59 または 82 クロックサイクル続きます。

23.4.6 AES 暗号文借用およびデータパディング

サイズがブロックサイズ(128 ビット)の倍数ではないメッセージを管理するために ECB または CBC モードで AES を使用するときには、NIST 特別公報 800-38A 『ブロック暗号の推奨動作モード：CBC モード用暗号文借用の 3 つの変種』に記載されているもののような、暗号文借用技術を使用します。AES ペリフェラルはこのような技術をサポートしていないため、アプリケーションは最後から 2 番目のブロックのデータを使用して、入力データの最終ブロックを完成させる必要があります。

注： 暗号文借用技術は、この参考マニュアルには記載されていません。

同様に、AES が ECB と CBC 以外のモードで使用される場合には、不完全な入力データブロック (128 ビットより短い入力データを持つブロック) を、暗号化の前に 0 でパディングする必要があります (データストリングの後端に余分なビットを付加する必要があります)。復号後は、余分なビットを破棄する必要があります。AES では、最終ブロックに対する自動データパディング操作が行われるため、アプリケーションが659 ページのセクション 23.4.4: 暗号操作を行うための AES の手順に示された推奨に従って、128 ビットの倍数ではないメッセージを管理する必要があります。

注： パディングデータは AES_CR レジスタの DATATYPE[1:0] フィールドに従って、通常の方法と同様の方法で入れ替えられます (詳細は、セクション 23.4.13: AES データレジスタおよびデータスワッピングを参照してください)。

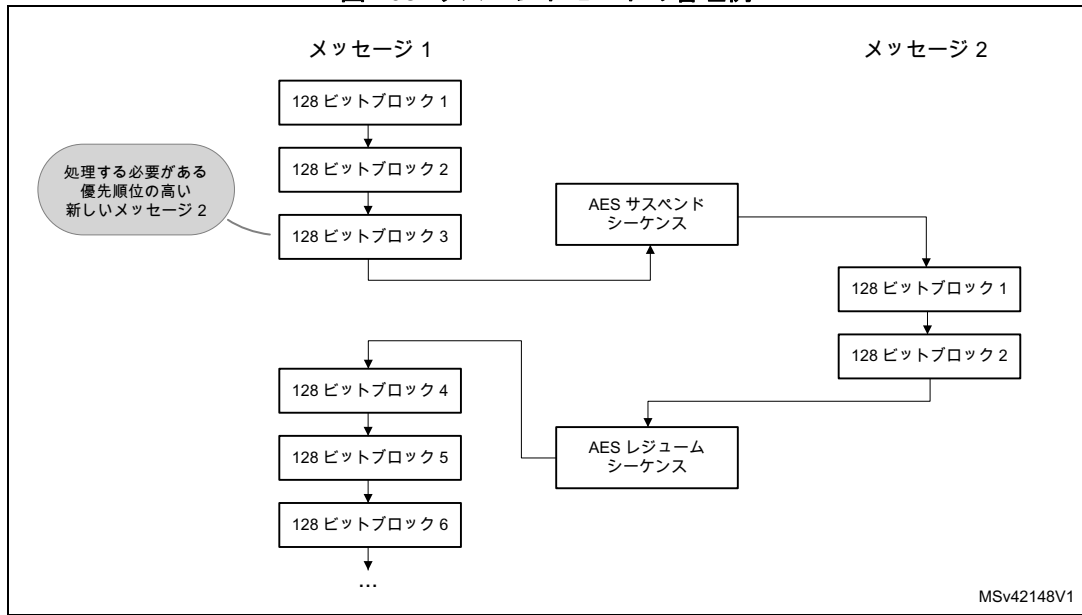
23.4.7 AES タスクのサスペンドとレジューム

優先順位の高い別のメッセージを処理する必要がある場合には、メッセージをサスペンドすることが可能です。最も優先順位の高いメッセージの送信後、サスペンドされたメッセージは暗号化モードでも復号化モードでも再開できます。

サスペンド/レジューム操作によって連鎖操作が途切れることはなく、AES が再び有効になるとすぐにメッセージ処理を再開して、次のデータブロックを受信できます。

図 108 に、サスペンド/レジューム操作の例を示します。メッセージ 1 は、より短く優先順位の高いメッセージ 2 を送信するためにサスペンドされています。

図 108. サスペンドモードの管理例



サスペンド/レジューム操作の詳細は、各 AES モード専用のセクションに説明があります。

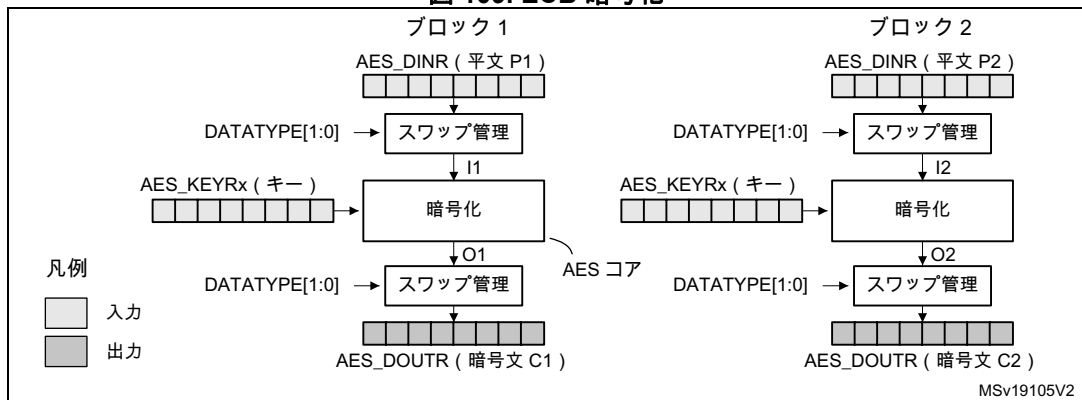
23.4.8 AES 基本連鎖モード (ECB、CBC)

概要

このセクションでは、AES コアが提供する ECB 暗号化、ECB 復号化、CBC 暗号化、CBC 復号化の 4 つの基本動作モードについて簡単に説明しています。詳細については、2001 年 11 月 26 日発行の『FIPS 公報 197』を参照してください。

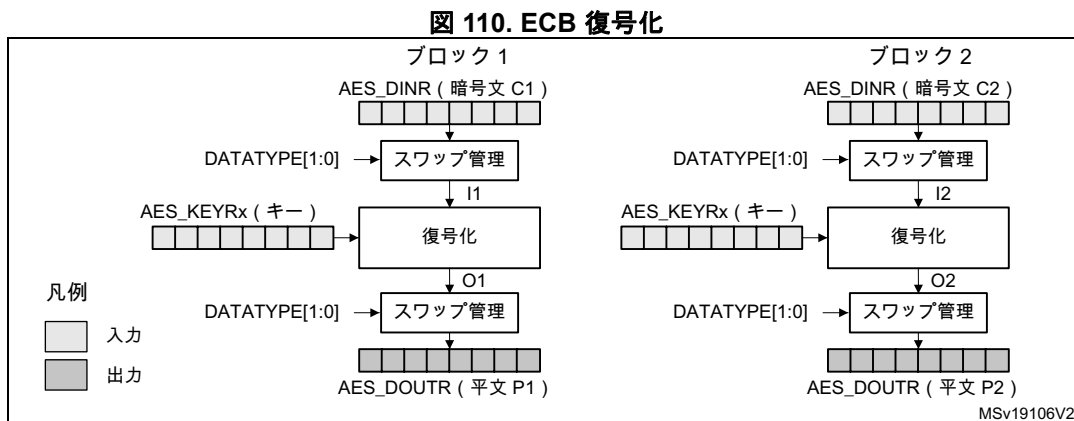
図 109 に、電子コードブック (ECB) 暗号化の図を示します。

図 109. ECB 暗号化



ECB 暗号化モードでは、まず AES_DINR レジスタの 128 ビットの平文入力データブロック Px のビット/バイト/ハーフワードのスイッチングが行われます。スイッチングの結果 Ix が、128 ビットまたは 256 ビットキーを使って暗号化モードでセットされた AES コアで処理されます。暗号化の結果 Ox のビット/バイト/ハーフワードのスイッチングが行われ、128 ビットの暗号文出力データブロック Cx として AES_DOUTR レジスタに格納されます。ECB 暗号化は、最後の完全な平文ブロックが暗号化されるまで同様に続きます。

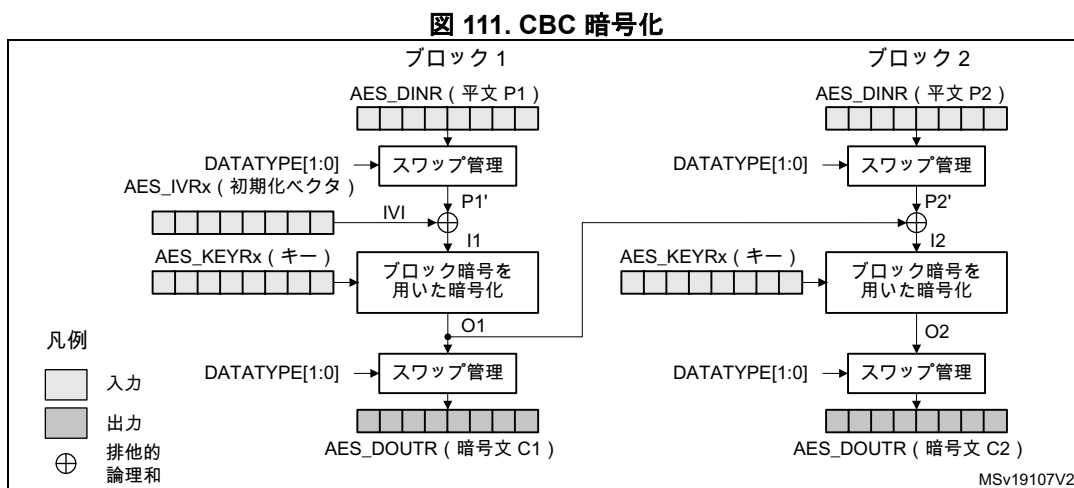
図 110 に、電子コードブック (ECB) 復号化の図を示します。



ECB モードで AES 復号化を実施するには、最終ラウンドの暗号化キーを回収し、それを暗号文を復号化するための最初のラウンドのキーとして使用して、秘密鍵を準備する必要があります (まず暗号化の完全なキースケジュールを実行する必要があります)。この準備は、AES コアによってサポートされます。

ECB 復号化モードでは、まず AES_DINR レジスタの 128 ビットの暗号文入力データブロック C1 のビット/バイト/ハーフワードのスワッピングが行われます。このキーイングシーケンスは、ECB 暗号化のものに対し、逆になっています。スワップの結果 I1 は、事前に準備した復号化キーを使って復号化モードでセットされた AES コアで処理されます。復号化結果のビット/バイト/ハーフワードのスワッピングが行われ、128 ビットの平文出力データブロック P1 として AES_DOUTR レジスタに格納されます。ECB 復号化は、最後の完全な暗号文ブロックが復号化されるまで同様に続きます。

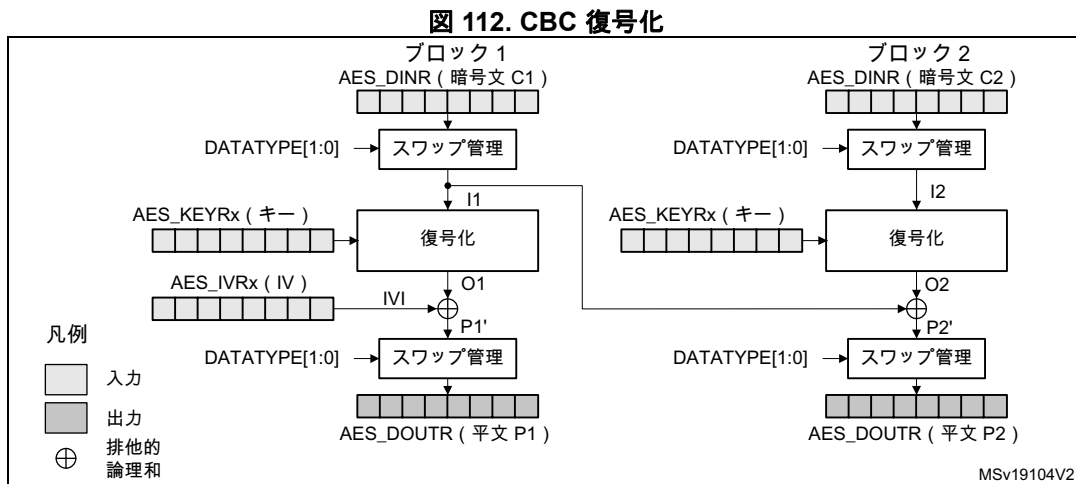
図 111 に、暗号ブロック連鎖 (CBC) 暗号化の図を示します。



CBC 暗号化モードでは、ビット/バイト/ハーフワードのスワッピング (P1') 後、最初の平文入力ブロックと 128 ビットの IVI ビットフィールド (初期化ベクタおよびカウンタ) の排他的論理和がとられ、128 ビットまたは 256 ビットキーを使って AES コアで暗号化するための I1 入力データを生成します。スワッピング操作後、その結果の 128 ビットの入力データ O1 が暗号文 C1 として使用されます。その後、O1 データと 2 番目の平文データ P2' の排他的論理和がとられ、AES コアが暗号文データの 2 番目を生成するための I2 入力データを生成します。データブロックの連鎖は、メッセージ内の最後の平文ブロックが暗号化されるまで同様に続きます。

メッセージサイズが 128 ビットの倍数ではない場合、最後の不完全なデータブロックは、[セクション 23.4.6: AES 暗号文借用およびデータパディング](#)に説明されている方法で暗号化されます。

図 112 に、暗号ブロック連鎖 (CBC) 復号化の図を示します。



ECB 復号化モードと同様に、CBC 復号化モードで AES 復号化を実施するには、秘密鍵を準備する必要があります。

キーの準備処理後、最初の 128 ビットの暗号文ブロック (スワップ操作後) が 128 ビットまたは 256 ビットキーを使った復号化操作の AES コア入力ブロック I1 として直接使用され、復号化が進みます。その出力 O1 と、128 ビットの IVI フィールド (暗号化で使用したものと同等である必要があります) の排他的論理和をとって、最初の明文ブロック P1 を生成します。

2 番目の暗号文ブロックは、最初のブロックの I1 データが初期化ベクタの代わりに使用されることを除けば、最初のブロックと同じ方法で処理されます。

復号化は、最後の完全な暗号文ブロックが復号化されるまで同様に続きます。

メッセージサイズが 128 ビットの倍数ではない場合、最後の不完全なデータブロックは、[セクション 23.4.6: AES 暗号文借用およびデータパディング](#)に説明されている方法で復号化されます。

データスワッピングの詳細については、[セクション 23.4.13: AES データレジスタおよびデータスワッピング](#)を参照してください。

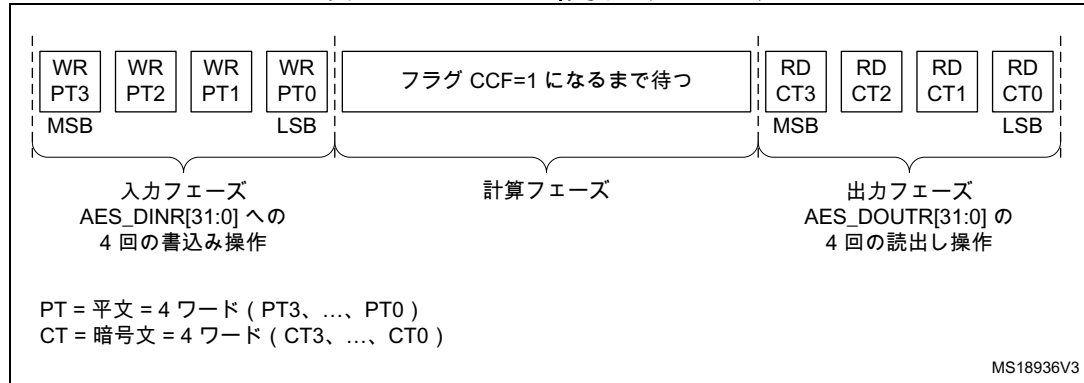
ECB/CBC 暗号化シーケンス

ECB/CBC 暗号化を行うためのイベントのシーケンス (詳細は[セクション 23.4.4](#)を参照) :

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 にセットしてモード 1 を選択し、AES_CR レジスタの CHMOD[2:0] ビットフィールドをそれぞれ 000 または 001 にセットして、ECB または CBC の連鎖モードを選択します。データ型も DATATYPE[1:0] ビットフィールドで定義できます。
3. AES_CR レジスタの KEYSIZE ビットで 128 ビットまたは 256 ビットのキー長を選択します。
4. AES_KEYRx レジスタ (128 ビットまたは 256 ビット) に暗号化キーを書き込みます。CBC モードを選択した場合、AES_IVRx レジスタに初期化ベクタデータを書き込みます。
5. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
6. AES_DINR レジスタに[図 113](#)に示すとおり 4 回書き込んで明文 (MSB ファースト) を入力します。
7. AES_SR レジスタで CCF フラグがセットされるまで待ちます。

8. AES_DOUTR レジスタを [図 113](#) に示すとおり 4 回読み出して、暗号文 (MSB ファースト) を取得します。AES_CR レジスタの CCF=1 ビットをセットして CCF フラグをクリアします。
9. 手順 [6-7-8](#) を繰り返して、同じ暗号化キーですべてのブロックを処理します。

図 113. ECB/CBC 暗号化 (モード 1)

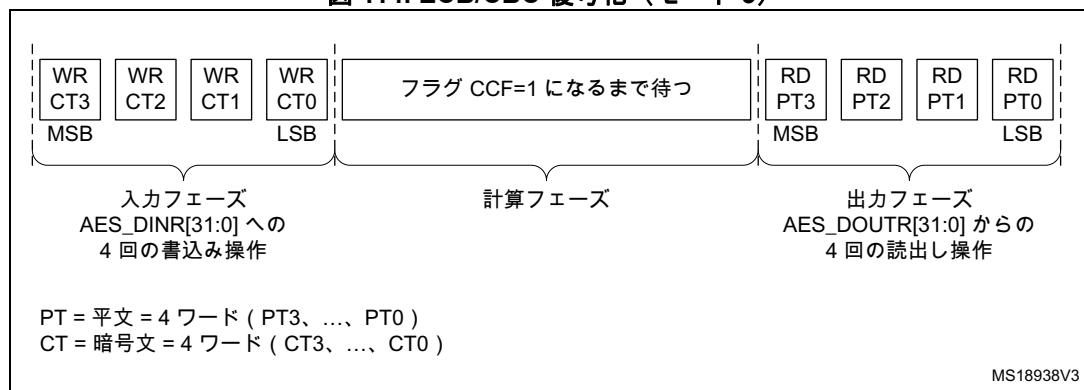


ECB/CBC 復号化シーケンス

AES ECB/CBC 復号化を行うためのイベントのシーケンス (詳細は [セクション 23.4.4](#) を参照) は次のとおりです。

1. [セクション 23.4.5: AES 復号化ラウンドキーの準備](#) に示された手順に従って、AES コアで復号化キーを準備します。
2. AES_CR レジスタの MODE[1:0] ビットフィールドを 10 にセットしてモード 3 を選択し、AES_CR レジスタの CHMOD[2:0] ビットフィールドをそれぞれ 000 または 001 にセットして、ECB または CBC の連鎖モードを選択します。データ型も DATATYPE[1:0] ビットフィールドで定義できます。KEYSIZE ビットフィールドはそのままにしてください。
3. AES_IVRx レジスタに初期化ベクタを書き込みます (CBC モードのみ必要)。
4. AES_CR レジスタの EN ビットをセットして、AES を有効にします。
5. AES_DINR レジスタに [図 114](#) に示すとおり 4 回書き込んで暗号文 (MSB ファースト) を入力します。
6. AES_SR レジスタで CCF フラグがセットされるまで待ちます。
7. AES_DOUTR レジスタを [図 114](#) に示すとおり 4 回読み出して、平文 (MSB ファースト) を取得します。AES_CR レジスタの CCF=1 ビットをセットして CCF フラグをクリアします。
8. 手順 [5-6-7](#) を繰り返して、同じキーで暗号化されたすべてのブロックを処理します。

図 114. ECB/CBC 復号化 (モード 3)



ECB/CBC モードでのサスペンド/レジューム動作

メッセージの処理をサスペンドするには、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。
2. DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。
3. DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1 (計算完了) になるまでポーリングします。
4. AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
5. 初期化ベクタレジスタを保存します (データ処理中に AES_IVRx レジスタが変更される CBC モードでのみ必要です)。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. AES_CR レジスタを保存し、キーレジスタが優先順位の高いメッセージを処理するのに必要でなければ、それらをクリアします。
8. DMA が使用されている場合には、DMA コントローラのステータス (IN および OUT データ転送のポインタ、残りバイト数など) を保存します。

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN と FIFO OUT 転送を完了させます。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. AES_CR レジスタを (正しい KEYSIZE で) 復元し、AES_KEYRx レジスタを復元します。
4. [セクション 23.4.5: AES 復号化ラウンドキーの準備](#) に示したように復号化キーを準備します (ECB または CBC 復号化の場合のみ必要)。
5. 保存した設定を使用して AES_IVRx レジスタを復元します (CBC モードのみ必要)。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
7. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットと DMAOUTEN ビットをセットして、AES DMA 転送を有効にします。

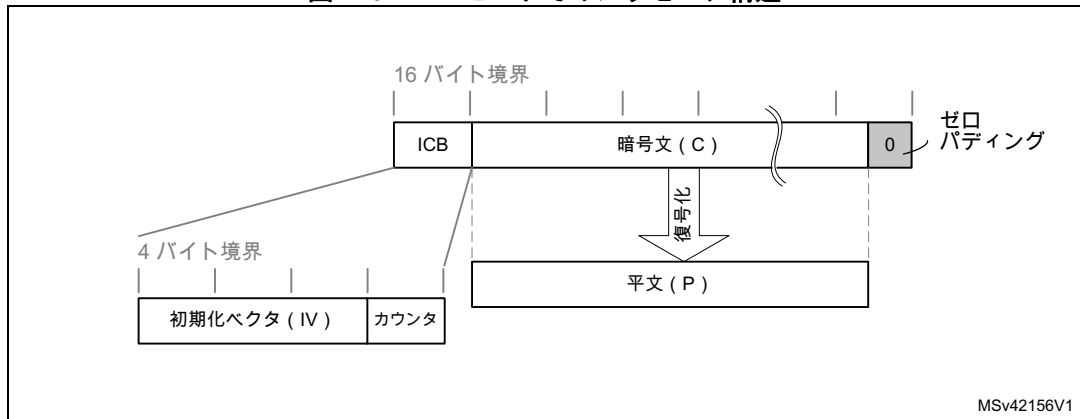
23.4.9 AES カウンタ (CTR) モード

概要

カウンタモード (CTR) では、AES をキーストリームジェネレータとして使用します。生成されたキーは、その後平文との排他的論理和をとって暗号化されます。

CTR 連鎖は、NIST 特別公報 800-38A 『ブロック暗号の推奨動作モード』の中に定義されています。CTR モードでの典型的なメッセージ構造を [図 115](#) に示します。

図 115. CTR モードでのメッセージ構造



このメッセージの構造は次のとおりです。

- 16 バイトの初期カウンタブロック (ICB) は、次の 2 つの異なるフィールドで構成されています。
 - 初期ベクタ (IV) : ある特定のキーでの暗号化サイクルごとに一意でなければならない 96 ビットの値です。
 - カウンタ : ブロック処理が完了するたびにインクリメントされる 32 ビットのビッグエンディアンの整数です。カウンタの初期値は 1 に設定する必要があります。
- 平文 P は、既知の長さの暗号文 C として暗号化されます。この長さは 16 バイトの倍数でなくとも構いませんが、その場合には平文のパディングが必要です。

CTR の暗号化と復号化

図 116 および図 117 では、AES ペリフェラルで実行される CTR の暗号化および復号化の処理についてそれぞれ示しています。CTR モードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 010 を書き込んで選択します。

図 116. CTR 暗号化

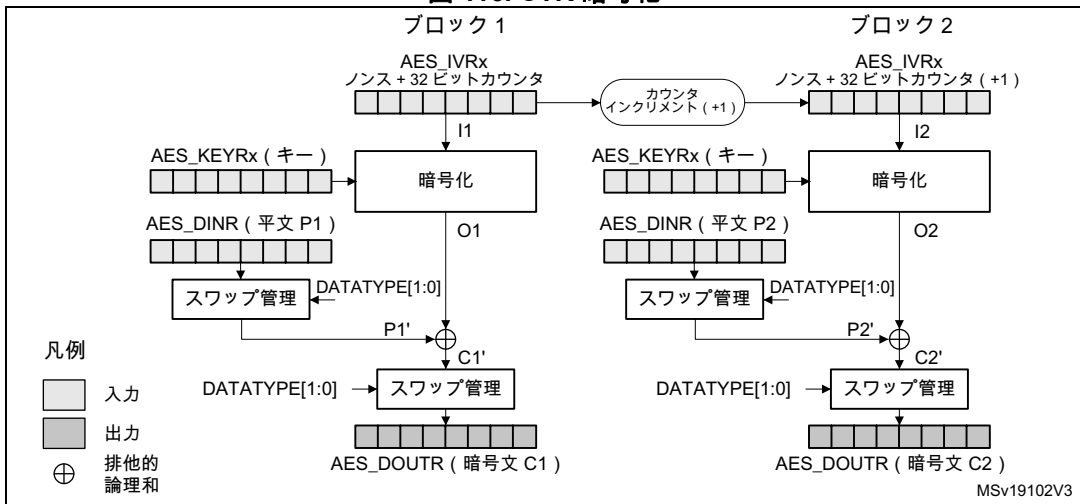
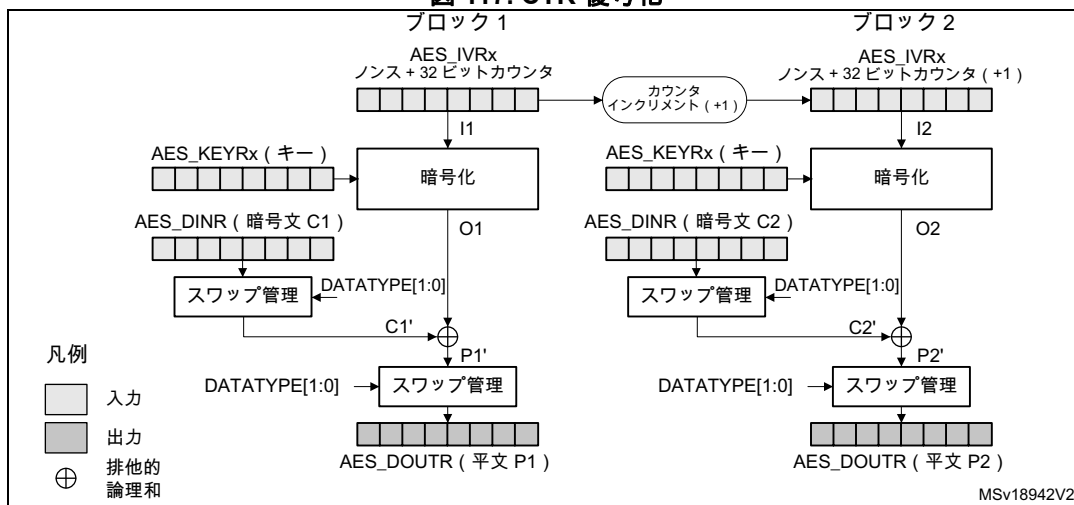


図 117. CTR 復号化



CTR モードでは、暗号コア出力（キーストリームとも呼ばれます）Ox と関連入力ブロック（暗号化では Px'、復号化では Cx'）の排他的論理和がとられ、正しい出力ブロック（暗号化では Cx'、復号化では Px'）を生成します。AES の初期化ベクタは、表 134 に示すように初期化する必要があります。

表 134. CTR モード初期化ベクタの定義

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
IVI[127:96]	IVI[95:64]	IVI[63:32]	IVI[31:0] 32 ビットカウンタ = 0x0001

最初のデータブロックを処理するとき一度だけ AES_IVRx レジスタを使用する CBC モードとは違って、CTR モードでは、各データブロックを処理するたびに AES_IVRx レジスタが使用され、AES ペリフェラルによって初期化ベクタのカウンタビットがインクリメントされます（nonce ビットは変更されません）。

コアが常に現在のカウンタブロックを暗号化して、平文（CTR 暗号化）や暗号文（CTR 復号化）の入力と排他的論理和がとられるキーストリームを生成するので、CTR 復号化は CTR 暗号化と変わりません。CTR モードでは、MODE[1:0] ビットフィールドの 01 設定（キー導出）は禁止されており、他のすべての設定はデフォルトで暗号化モードになります。

CTR 連鎖モードで暗号化または復号化を行うためのイベントのシーケンス :

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 010 にセットして、CTR 連鎖モードを選択します。MODE[1:0] ビットフィールドを 01 以外の値にセットします。
3. AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを表 134 に示されたとおりロードします。
4. AES_CR レジスタの EN ビットをセットして、現在のカウンタの暗号化を開始します (EN は計算が終了すると自動的にリセットされます)。
5. 最終ブロックの場合には、必要に応じてデータを 0 でパディングして完全なブロックとします。
6. AES でデータを追加して結果を読み出します。可能性のある 3 通りのケースはセクション 23.4.4: 暗号操作を行うための AES の手順に記載されています。
7. 最後から 2 番目のブロックが処理されるまで前の手順を繰り返します。最終ブロックでは、前の 2 つの手順を適用して、ペイロードの一部ではないビットを破棄します (最終入力ブロックの有効なデータのサイズが 16 バイト未満の場合)。

CTR モードでのサスペンド/レジューム動作

CBC モードと同様に、メッセージを中断して、優先順位の高いメッセージを送信してから、中断されたメッセージを再開することが可能です。CBC サスペンド/レジュームシーケンスの詳細については、セクション 23.4.8: AES 基本連鎖モード (ECB、CBC) を参照してください。

注 : CBC モードと同様に、レジューム動作中に AES_IVRx レジスタを再ロードする必要があります。

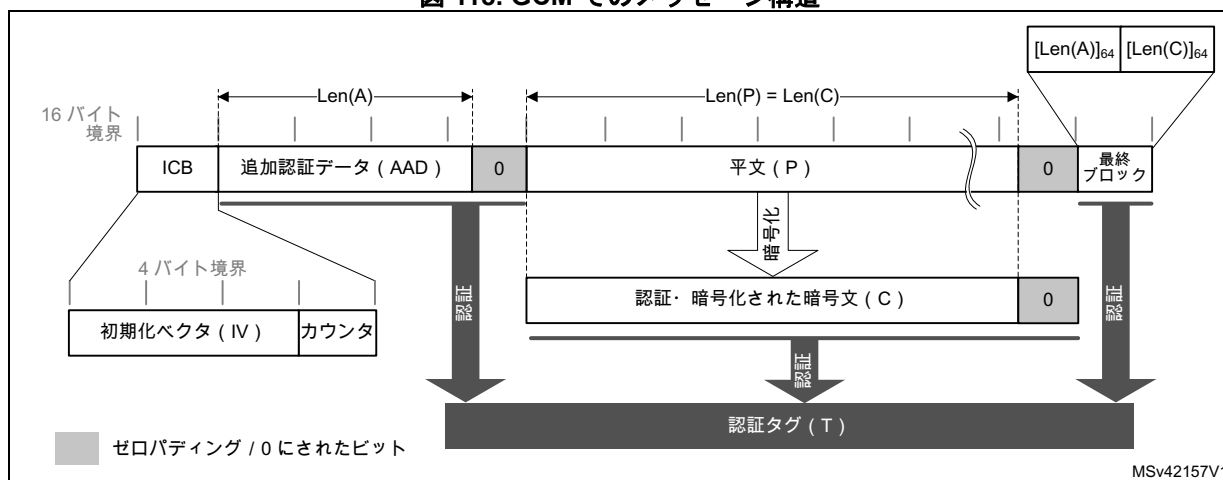
23.4.10 AES ガロア/カウンタモード (GCM)

概要

AES ガロア/カウンタモード (GCM) では、平文メッセージを対応する暗号文およびタグ (メッセージ認証コードともいいます) に暗号化して認証できます。機密性の確保のため、GCM アルゴリズムは AES カウンタモードに基づいています。固定の有限フィールドを超えて乗算器を使用しタグを生成します。

GCM 連鎖は、NIST 特別公報 800-38D 『ブロック暗号の推奨動作モード - ガロア/カウンタモード (GCM) および GMAC』の中に定義されています。GCM モードでの典型的なメッセージ構造を図 118 に示します。

図 118. GCM でのメッセージ構造



メッセージには、次の構造があります。

- **16 バイトの初期カウンタブロック (ICB)** は、次の 2 つの異なるフィールドで構成されています。
 - **初期化ベクタ (IV)** : ある特定のキーでの暗号化サイクルごとに一意でなければならない 96 ビットの値です。GCM 規格では 96 ビット未満の IV に対応していますが、この場合には規則が厳格に適用されることに注意してください。
 - **カウンタ** : ブロック処理が完了するたびにインクリメントされる 32 ビットのビッグエンディアンの整数です。NIST 仕様によると、ペイロードの最初のブロックを処理するときのカウンタ値は $0x2$ です。
- **認証済みヘッダ AAD** (追加認証データとも言います) は、既知の長さである $Len(A)$ を持ちます。この長さは 16 バイトの倍数でなくても構いませんが、 $2^{64}1$ ビットを超えてはなりません。メッセージのこの部分には認証だけ行われて、暗号化はされません。
- **平文メッセージ P** には暗号文 C として認証と暗号化の両方が行われ、既知の長さである $Len(P)$ を持ちます。この長さは 16 バイトの倍数でなくても構いませんが、128 ビットの $2^{32}-2$ ブロック分を超えることはできません。
- **最終ブロック** には、表 135 に示すとおり、AAD ヘッダ長 (ビット [32:63]) とペイロード長 (ビット [96:127]) の情報が含まれます。

GCM 規格では、暗号文 C は平文 P と同じビット長であることと規定されています。

メッセージ (AAD または P) の長さが 16 バイトの倍数ではない場合には、特別なパディング処理が必要となります。

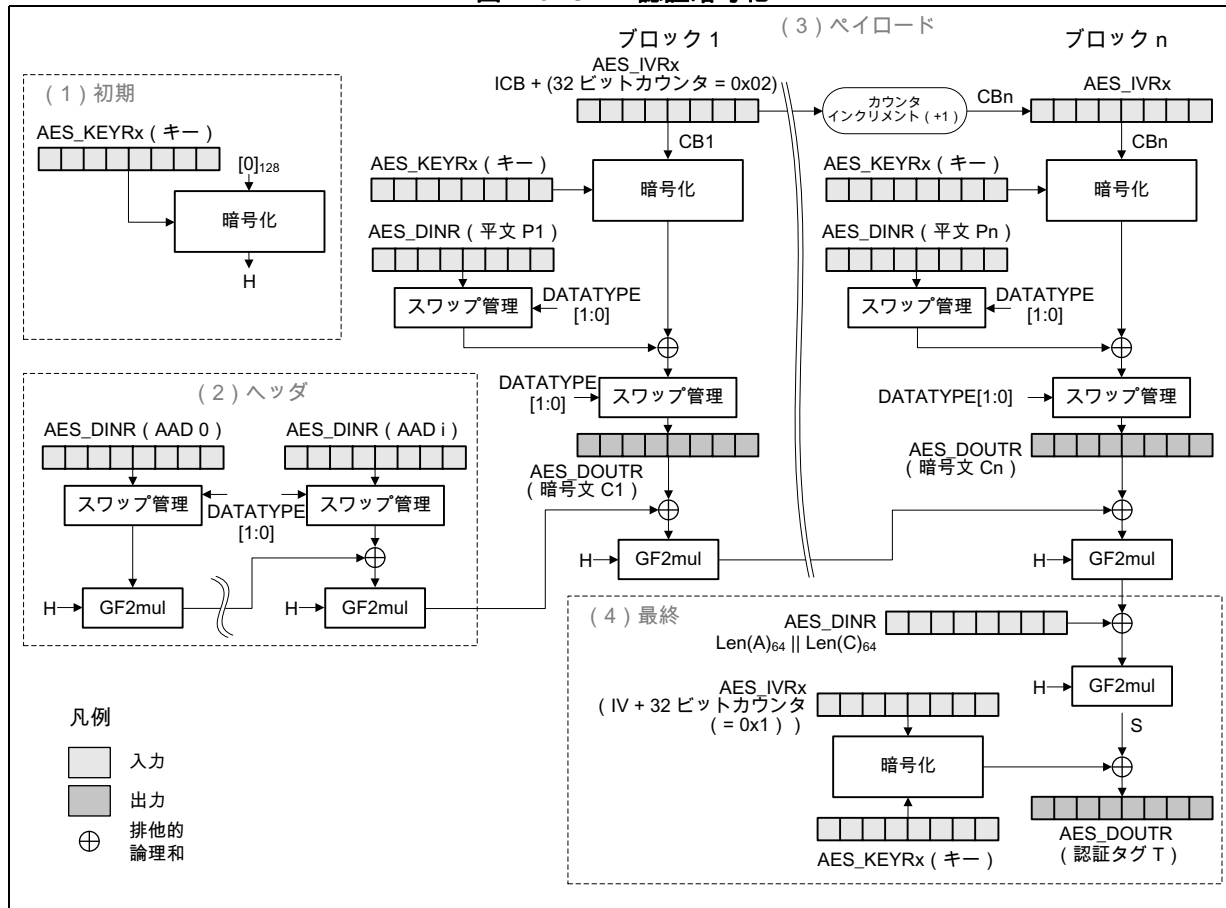
表 135. GCM 最終ブロックの定義

エンディアン	ビット [0] --- ビット [31]	ビット [32] --- ビット [63]	ビット [64] -- ビット [95]	ビット [96] --- ビット [127]
入力データ	0x0	AAD 長 [31:0]	0x0	ペイロード長 [31:0]

GCM 処理

図 119 には、AES ペリフェラルでの GCM の実装について示しています。GCM は、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 011 を書き込んで選択します。

図 119. GCM 認証暗号化



GCM モードにおける平文の機密性のメカニズムはカウンタモードと類似しており、入力カウンタブロックのシーケンスを生成する特別なインクリメント機能 (32 ビットインクリメントと示される) を備えています。

各データブロックの処理には AES_IVRx レジスタ (データのカウンタブロックを保持) が使用されます。AES ペリフェラルが、カウンタ [31:0] ビットフィールドを自動的にインクリメントします。最初のカウンタブロック (CB1) は、アプリケーションソフトウェアによって初期カウンタブロック ICB から導出されます (表 136 参照)。

表 136. GCM モードでの AES_IVRx レジスタの初期化

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
ICB[127:96]	ICB[95:64]	ICB[63:32]	ICB[31:0] 32 ビットカウンタ = 0x0002

注: このモードでは、MODE[1:0] ビットフィールドを 01 (キー導出) にセットすることが禁止されています。



GCM モードにおける認証メカニズムは **GF2mul** と呼ばれるハッシュ機能に基づいており、このハッシュ機能では、バイナリガロア体の中で、ハッシュサブキー (H) と呼ばれる固定パラメータによる乗算が行われます。

GCM メッセージは、次の項目に詳述されている以下のフェーズで処理されます。

- **初期フェーズ** : AES が GCM ハッシュサブキー (H) を準備します。
- **ヘッダフェーズ** : AES が追加認証データ (AAD) を処理して、ハッシュの計算のみを行います。
- **ペイロードフェーズ** : AES が平文 (P) を処理して、ハッシュの計算、カウンタブロックの暗号化、データの排他的論理和を行います。暗号文 (C) にも同様な操作を行います。
- **最終フェーズ** : AES がメッセージの最終ブロックを使って認証タグ (T) を生成します。

GCM 初期フェーズ

この最初のステップでは、GCM ハッシュサブキー (H) が計算され、すべてのブロックの処理に使用されるように内部に保存されます。推奨シーケンスは、次のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 011 にセットして、GCM 連鎖モードを選択し、オプションで DATATYPE[1:0] ビットフィールドをセットします。
3. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 00 にセットして、初期フェーズを示します。
4. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 または 10 にセットします。このビットフィールドはペイロードフェーズでのみ使用されますが、初期フェーズで設定し、後続のすべてのフェーズで変更しないことをお勧めします。
5. キーで AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを [表 136](#) で定義された情報で初期化します。
6. AES_CR レジスタの EN ビットを 1 にセットしてハッシュキーの計算を開始します (EN は計算が終了すると自動的にリセットされます)。
7. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。あるいは、対応する割込みを使用します。
8. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。

GCM ヘッダフェーズ

このフェーズは GCM 初期フェーズの後に発生し、ペイロードフェーズの前に完了させる必要があります。実行するシーケンスは、暗号化および復号化と同じで次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 01 にセットして、ヘッダフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、ブロックの AAD サイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。次に、AES に [セクション 23.4.4: 暗号操作を行うための AES の手順](#) で示されたいずれかの方法でデータブロックを追加します。このフェーズ中はデータは読み出されません。
4. 最後の追加認証データブロックが処理されるまで [手順 3](#) を繰り返します。

注 : ヘッダフェーズは、AAD がなければ (Len(A) = 0 であれば) スキップできます。

GCM ペイロードフェーズ

このフェーズは、暗号化および復号化と同じで GCM ヘッダフェーズの後に実行されます。このフェーズでは、暗号化／復号化したペイロードが AES_DOUTR レジスタに格納されます。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 10 にセットして、ペイロードフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. ヘッダフェーズをスキップした場合、AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、平文（暗号化）または暗号文（復号化）のサイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。
4. AES に [659 ページのセクション 23.4.4: 暗号操作を行うための AES の手順](#) で示されたいずれかの方法でデータブロックを追加して、結果を読み出します。
5. 最後から 2 番目の平文ブロックが暗号化されるか、暗号文の最終ブロックが復号化されるまで前の手順を繰り返します。平文の最終ブロック（暗号化のみ）に対しては、前の 2 つの手順を実行します。最終ブロックでは、最終ブロックのサイズが 16 バイト未満である場合に、ペイロードの一部ではないビットを破棄します。

注： ペイロードフェーズは、ペイロードデータがなければ (Len(C) = 0 であれば) スキップできます (GMAC モード参照)。

GCM 最終フェーズ

この最終フェーズでは、AES ペリフェラルが GCM 認証タグを生成して AES_DOUTR に格納します。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 11 にセットして、最終フェーズを示します。
2. [表 135](#) に示すとおり、AAD とペイロードのビット長を連結してブロックのデータを構成します。AES_DINR レジスタにブロック書き込みます。
3. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。
4. AES_DOUTR レジスタを 4 回読み出して GCM 認証タグを取得します。
5. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。認証された復号化である場合には、生成されたタグをメッセージとともに渡された予測タグと比較します。

注： 最終フェーズでは、データは通常 (スワッピングなしで) AES_DINR に書き込まれますが、スワッピングは AES_DOUTR から読み出されるタグデータに適用されます。

ヘッダフェーズまたはペイロードフェーズから最終フェーズに遷移する際に、AES を無効にしないでください。そうしないと、誤った結果になります。

GCM モードでのサスペンド/レジューム動作

メッセージの処理をサスペンドするには、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1 にセットされ、現在の計算が完了したことを確認します。
2. ペイロードフェーズで、DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。
3. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。
4. メモリに AES_SUSPxR レジスタを保存します（ここで、x は 0 から 7 です）。
5. ペイロードフェーズでは、AES_IVRx レジスタがデータ処理中に初期値から変化するため、それらを保存します。ヘッダフェーズでは、この手順は不要です。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. メモリに現在の AES 設定を保存します（初期化ベクタレジスタ AES_IVRx 以外）。アプリケーションが元のキー値を知っていますので、キーレジスタを保存する必要はありません。
8. DMA が使用されている場合には、DMA コントローラのステータス（IN データ転送のポインタ、残りバイト数など）を保存します。ペイロードフェーズでは、OUT データ転送のポインタも保存する必要があります。

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN 転送を完了させます。ペイロードフェーズでは、残りの FIFO OUT 転送も DMA コントローラで設定する必要があります。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. メモリに事前に保存したサスペンドレジスタの値を、対応する AES_SUSPxR レジスタに書き戻します（ここで、x は 0 から 7 です）。
4. ペイロードフェーズでは、メモリに事前に保存した初期化ベクタレジスタの値を、対応する AES_IVRx レジスタに書き戻します。ヘッダフェーズでは、初期設定値を AES_IVRx レジスタに書き戻します。
5. AES_CR と AES_KEYRx のレジスタに初期設定値を復元します。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。

DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビット（ペイロードフェーズでは DMAOUTEN ビットも）をセットして、AES DMA リクエストを有効にします。

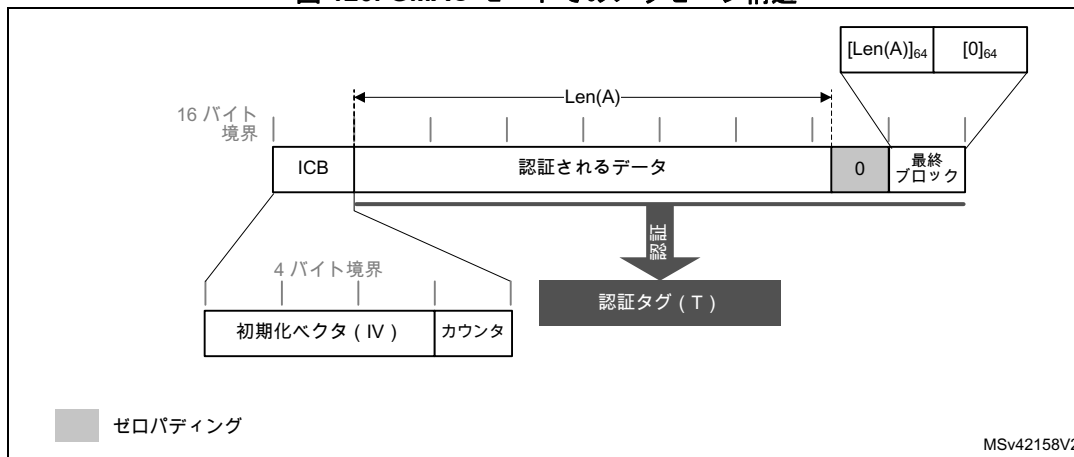
23.4.11 AES ガロアメッセージ認証コード (GMAC)

概要

ガロアメッセージ認証コード (GMAC) では、平文を認証して、対応するタグ情報 (メッセージ認証コードともいいます) を生成することができます。NIST 特別公報 800-38D 『ブロック暗号の推奨動作モード - ガロア/カウンタモード (GCM) および GMAC』に定義されている GCM アルゴリズムに基づいています。

GMAC での典型的なメッセージ構造を図 120 に示します。

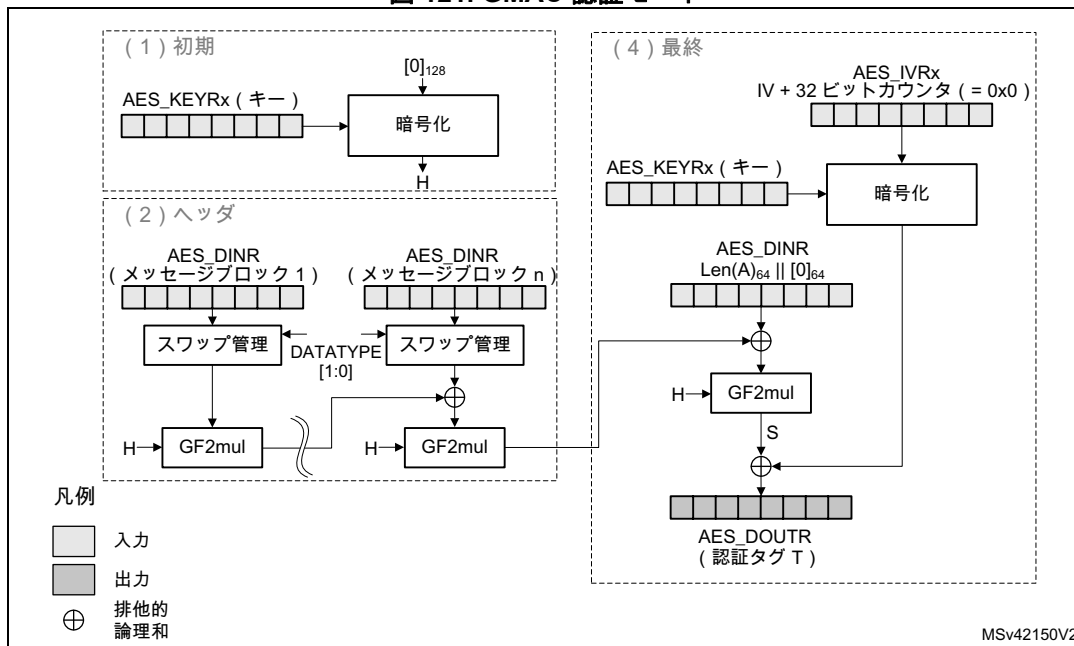
図 120. GMAC モードでのメッセージ構造



AES GMAC 処理

図 121 には、AES ペリフェラルでの GMAC モードの実装について示しています。このモードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 011 を書き込んで選択します。

図 121. GMAC 認証モード



GMAC アルゴリズムはヘッダのみ含まれているメッセージに適用される GCM アルゴリズムに相当します。その結果、ペイロードフェーズが省略されること以外の手順と設定がすべて GCM と同じです。

GMAC でのサスペンド/レジューム動作

GMAC モードでは、ヘッダフェーズのみが割込み可能であることを除いて、GCM で示されたシーケンスが適用されます。

23.4.12 AESCBC-MAC 付きカウンタ (CCM)

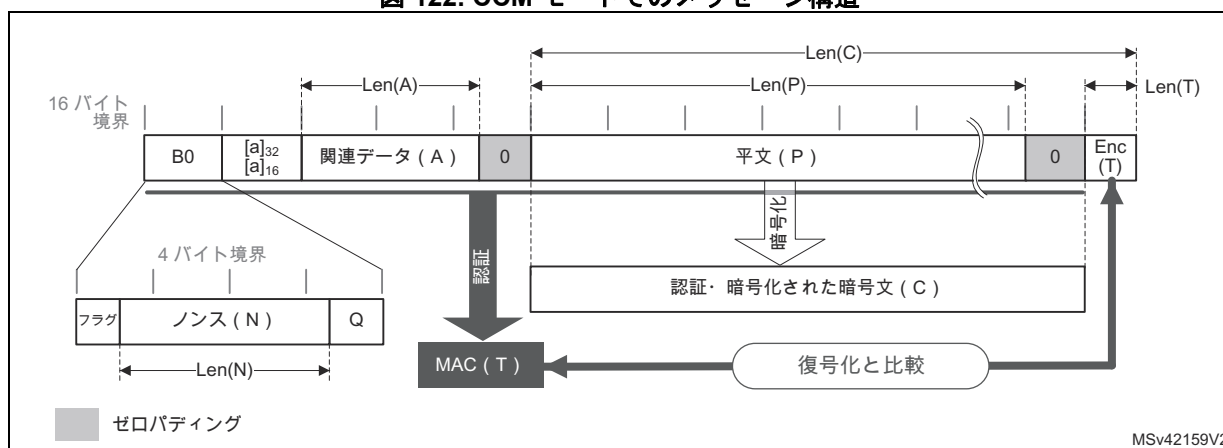
概要

AES 暗号ブロック連鎖-メッセージ認証コード付きカウンタ (CCM) アルゴリズムでは、平文を暗号化して認証し、対応する暗号文およびタグ (メッセージ認証コードともいいます) を生成することができます。機密性の確保のため、CCM アルゴリズムはカウンタモードでの AES に基づいています。暗号ブロック連鎖技術を使ってメッセージ認証コードを生成します。これは、一般的に CBC-MAC と呼ばれます。

注： NIST は、CCM 仕様の関係以外では CBC-MAC を認証モードとして承認していません。

CCM 連鎖は、NIST 特別公報 800-38C『ブロック暗号の推奨動作モード - 認証および機密性のための CCM モード』の中に規定されています。CCM での典型的なメッセージ構造を図 122 に示します。

図 122. CCM モードでのメッセージ構造



メッセージの構造は次のとおりです。

- 16 バイトの初期認証ブロック (B0)** は、次の 3 つの異なるフィールドで構成されています。
 - Q**: P のオクテット長 ($Len(P)$) を表すビットストリングです。
 - ノンス (N)**: $Len(N)$ サイズの使い捨て値です (新しい通信のたびに新しいノンスを割り当てる必要があります)。 $Len(N) + Len(P)$ の合計は、15 バイトにする必要があります。
 - フラグ**: 規格に規定されている、制御情報のための 4 つのフラグを格納する最上位オクテットです。値 t (バイト単位での MAC の長さ) と **Q** ($Len(P) < 2^{8Q}$ バイトとなる平文の長さ) をエンコードするための 3 ビットのストリングが 2 つ格納されています。**Q** に関連付けられるカウンタブロックの範囲は 2^{8Q-4} となり、**Q** の最大値が 8 である場合、暗号で使用されるカウンタブロックは 60 ビットでなければなりません。
- 16 バイトブロック (B)** は関連データ (A) に関連付けられます。メッセージのこの部分には認証だけ行われて、暗号化はされません。この部分は既知の長さである $Len(A)$ を持っており、この長さは 16 バイトの倍数でなくとも構いません (図 122 参照)。規

格には、最初のメッセージブロック (B1) の上位側ビットにおいて、バイト数で表現された関連データ長 (a) は次の定義のようにエンコードされなければならないとも示されています。

- $0 < a < 2^{16} - 2^8$ である場合には、 $[a]_{16}$ のようにエンコードされ、2 バイトとなります。
 - $2^{16} - 2^8 < a < 2^{32}$ である場合には、 $0\text{xff} \parallel 0\text{xfe} \parallel [a]_{32}$ のようにエンコードされ、6 バイトとなります。
 - $2^{32} < a < 2^{64}$ である場合には、 $0\text{xff} \parallel 0\text{xff} \parallel [a]_{64}$ のようにエンコードされ、10 バイトとなります。
- **16 バイトブロック (B)** は既知の長さ $\text{Len}(P)$ を持ち、暗号文 C として認証と暗号化の両方が行われている平文メッセージ P に関連付けられます。この長さは 16 バイトの倍数でなくとも構いません (図 122 参照)。
 - 長さ $\text{Len}(T)$ の暗号化された **MAC (T)** が、全長が $\text{Len}(C)$ である暗号文 C に追加されます。

メッセージ (A または P) の長さが 16 バイトの倍数ではない場合には、特別なパディング処理が必要となります。

注： **CCM 連鎖モードは、関連データのみ (ペイロードなし) にも使用できます。**

例として、NIST 特別公報 800-38C のセクション C.1 には次の値 (16 進数) が示されています。

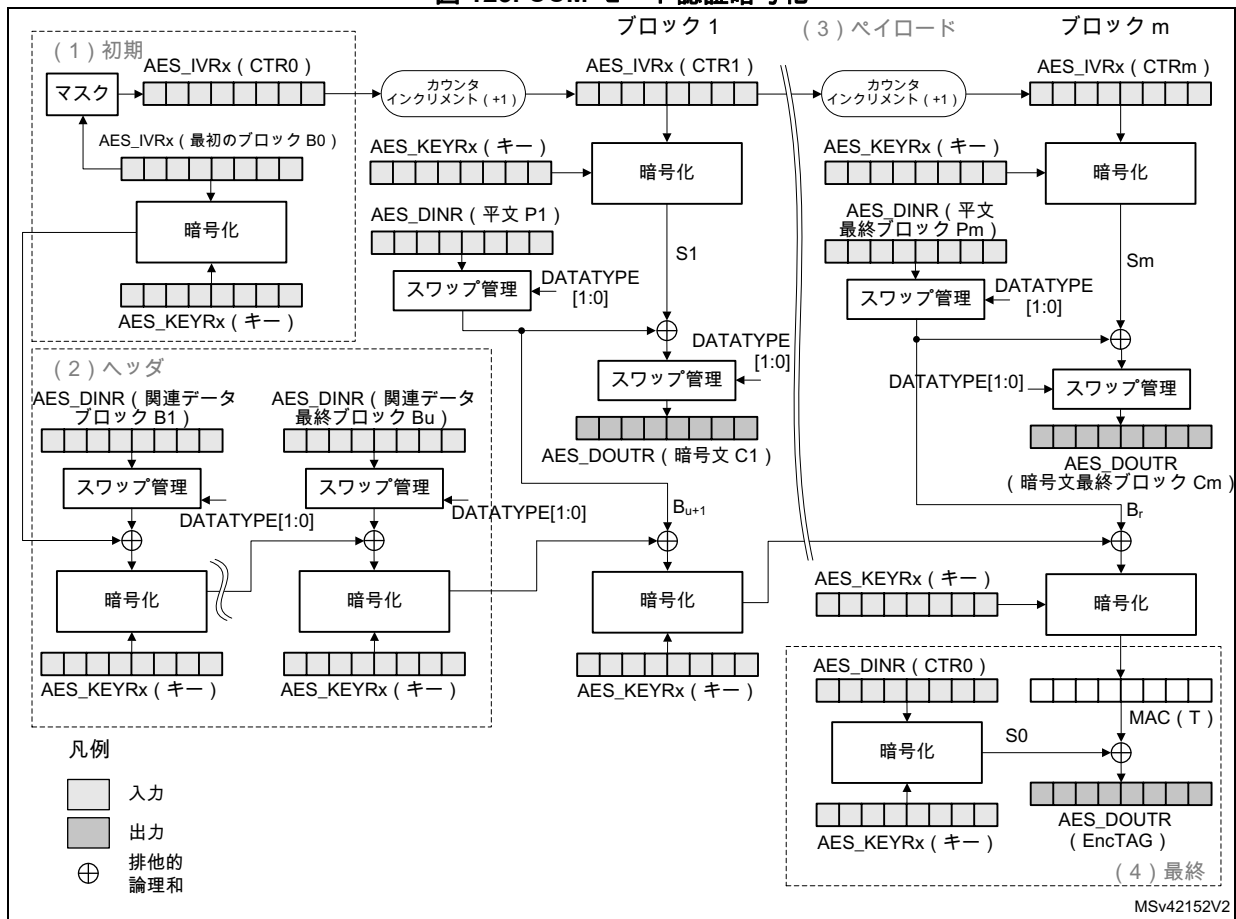
```
N : 10111213 141516 (Len(N) = 56 ビットまたは 7 バイト)
A : 00010203 04050607 (Len(A) = 64 ビットまたは 8 バイト)
P : 20212223 (Len(P) = 32 ビットまたは 4 バイト)
T : 6084341B (Len(T) = 32 ビットまたは t = 4)
B0 : 4F101112 13141516 00000000 00000004
B1 : 00080001 02030405 06070000 00000000
B2 : 20212223 00000000 00000000 00000000
CTR0 : 0710111213 141516 00000000 00000000
CTR1 : 0710111213 141516 00000000 00000001
```

フォーマットされた入力データブロック B_x (特に B0 と B1) の生成は、アプリケーションで管理する必要があります。

CCM 処理

図 123 には、AES ペリフェラルでの CCM の実装（暗号化の例）について示しています。このモードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 100 を書き込んで選択します。

図 123. CCM モード認証暗号化



生成-暗号化処理に入力するデータは、有効なナンス、有効なペイロードストリング、有効な関連データストリングであり、すべて適切にフォーマットされているものです。CBC 連鎖メカニズムはフォーマットされた平文データに適用されて、既知の長さを持つ MAC を生成します。入力として十分な長さのカウンタブロックのシーケンスが必要であるカウンタモードの暗号化は、ペイロードストリングと MAC に個別に適用されます。結果の暗号文 C は、平文 P に対する生成-暗号化処理の出力です。

AES_IVRx レジスタは各データブロックを処理するために使用され、AES によって、最初のブロック B0 により定義されるビット長を持つ CTR カウンタが自動的にインクリメントされます。表 137 には、アプリケーションが B0 データをどのように読み込むかについて示しています。

注： CCM モードでの AES ペリフェラルは、NIST が指定する最大 64 ビットのカウンタをサポートしていません。

表 137. CCM モードでの AES_IVRx レジスタの初期化

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
B0 [127:96]	B0 [95:64]	B0 [63:32]	B0 [31:0]

注： このモードでは、MODE[1:0] ビットフィールドを 01 (キー導出) にセットすることが禁止されています。

CCM メッセージは、次の項目に詳述されている以下のフェーズで処理されます。

- **初期フェーズ**：AES が最初のブロックを処理して最初のカウンタブロックを準備します。
- **ヘッダフェーズ**：AES が関連データ (A) を処理して、タグの計算のみを行います。
- **ペイロードフェーズ**：IP が平文 (P) を処理して、タグの計算、カウンタブロックの暗号化、データの排他的論理和を行います。暗号文 (C) にも同様な操作を行います。
- **最終フェーズ**：AES がメッセージ認証コード (MAC) を生成します。

CCM 初期フェーズ

このフェーズでは、CCM メッセージの最初のブロック B0 が AES_IVRx レジスタに書き込まれます。AES_DOUTR レジスタに出カデータは一切格納されません。推奨シーケンスは、次のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 100 にセットして、CCM 連鎖モードを選択し、オプションで DATATYPE[1:0] フィールドをセットします。
3. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 00 にセットして、初期フェーズを示します。
4. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 または 10 にセットします。このビットフィールドはペイロードフェーズでのみ使用されますが、初期フェーズで設定し、後続のすべてのフェーズで変更しないことをお勧めします。
5. キーで AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを表 137 に示された B0 データで初期化します。
6. AES_CR レジスタの EN ビットを 1 にセットしてカウンタの計算を開始します (EN は計算が終了すると自動的にリセットされます)。
7. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。あるいは、対応する割込みを使用します。
8. AES_CR レジスタの CCFC ビットを 1 にセットして、AES_SR レジスタの CCF フラグをクリアします。

CCM ヘッダフェーズ

このフェーズは GCM 初期フェーズの後に発生し、ペイロードフェーズの前に完了させる必要があります。このフェーズでは、AES_DOUTR レジスタには出カデータは一切格納されません。

実行するシーケンスは、暗号化および復号化と同じで次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 01 にセットして、ヘッダフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、ブロックの AAD サイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。次に、AES に [セクション 23.4.4: 暗号操作を行うための AES の手順](#) で示されたいずれかの方法でデータブロックを追加します。このフェーズ中はデータは読み出されません。
4. 最後の追加認証データブロックが処理されるまで手順 3 を繰り返します。

注： ヘッダフェーズは、関連データがなければ (Len(A) = 0 であれば) スキップできます。

関連データ (B1) の最初のブロックは、ソフトウェアで関連データ長でフォーマットする必要があります。

CCM ペイロードフェーズ (暗号化または復号化)

このフェーズは、暗号化および復号化と同じで CCM ヘッダフェーズの後に実行されます。このフェーズでは、暗号化／復号化したペイロードが AES_DOUTR レジスタに格納されます。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 10 にセットして、ペイロードフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. ヘッダフェーズをスキップした場合、AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが暗号化する最終データブロックであり、ブロックの平文のサイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。
4. AES に [659 ページのセクション 23.4.4: 暗号操作を行うための AES の手順](#) で示されたいずれかの方法でデータブロックを追加して、結果を読み出します。
5. 最後から 2 番目の平文ブロックが暗号化されるか、暗号文の最終ブロックが復号化されるまで前の手順を繰り返します。平文の最終ブロック (暗号化のみ) に対しては、前の 2 つの手順を適用します。最終ブロックでは、最終ブロックのサイズが 16 バイト未満である場合に、ペイロードの一部ではないデータを破棄します。

注： ペイロードフェーズは、ペイロードデータがなければ ($\text{Len}(P) = 0$ または $\text{Len}(C) = \text{Len}(T)$) であればスキップできます。

暗号文 C を復号化するときには、暗号化されたタグ情報である $\text{LSB}_{\text{Len}(T)}(C)$ を削除します。

CCM 最終フェーズ

この最終フェーズでは、AES ペリフェラルが GCM 認証タグを生成して AES_DOUTR に格納します。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 11 にセットして、最終フェーズを示します。
2. AES_SR レジスタの計算終了フラグ CCF がセットされるまで待ちます。
3. AES_DOUTR レジスタを 4 回読み出します。この出力が CCM 認証タグに相当します。
4. AES_CR レジスタの CCFC ビットをセットして AES_SR レジスタの CCF フラグをクリアします。
5. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
6. 認証された復号化である場合には、生成された暗号化タグを、暗号文でパディングされた暗号化タグと比較します。

注： この最終フェーズでは、スワッピングは、AES_DOUTR レジスタから読み出されたタグデータに適用されます。

ヘッダフェーズから最終フェーズに移行する際に、AES ペリフェラルを無効にしないでください。そうしないと、誤った結果になります。

アプリケーションは、有効なタグを取得するために、タグの長さで認証タグ出力をマスクする必要があります。

CCM モードでのサスペンド／レジューム動作

ヘッダフェーズおよびペイロードフェーズでメッセージの処理をサスペンドするには、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1 にセットされ、現在の計算が完了したことを確認します。
2. ペイロードフェーズで、DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レ

ジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。

3. AES_CR レジスタの CCFC ビットを 1 にセットして、AES_SR レジスタの CCF フラグをクリアします。
4. メモリに AES_SUSPxR レジスタを保存します (ここで、x は 0 から 7 です)。
5. AES_IVRx レジスタがデータ処理中に初期値から変化するため、それらを保存します。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. メモリに現在の AES 設定を保存します (初期化ベクタレジスタ AES_IVRx 以外)。アプリケーションが元のキー値を知っていますので、キーレジスタを保存する必要はありません。
8. DMA が使用されている場合には、DMA コントローラのステータス (IN データ転送のポインタ、残りバイト数など) を保存します。ペイロードフェーズでは、OUT データ転送のポインタも保存する必要があります。

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN 転送を完了させます。ペイロードフェーズでは、残りの FIFO OUT 転送も DMA コントローラで設定する必要があります。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. メモリに事前に保存したサスペンドレジスタの値を、対応する AES_SUSPxR レジスタに書き戻します (ここで、x は 0 から 7 です)。
4. メモリに事前に保存した初期化ベクタレジスタの値を、対応する AES_IVRx レジスタに書き戻します。
5. AES_CR と AES_KEYRx のレジスタに初期設定値を復元します。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
7. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビット (ペイロードフェーズでは DMAOUTEN ビットも) を 1 にセットして、AES DMA リクエストを有効にします。

23.4.13 AES データレジスタおよびデータスワッピング

データの入出力

128 ビットのデータブロックは、AES_DINR レジスタ (ビットフィールド DIN[31:0]) に 4 つの 32 ビットワードを最上位ワード (ビット [127:96]) から最下位ワード (ビット [31:0]) まで連続で書き込むことで、AES ペリフェラルに入力されます。

128 ビットのデータブロックは、AES_DOUTR レジスタ (ビットフィールド DOUT[31:0]) から 4 つの 32 ビットワードを最上位ワード (ビット [127:96]) から最下位ワード (ビット [31:0]) まで連続で読み出すことで、AES ペリフェラルから取得されます。

AES_DINR レジスタまたは AES_DOUTR レジスタの 32 ビットのデータワードは、次のいずれかのビッグエンディアン順で整理されます。

- AES_DINR に書き込むワードの最上位バイトは、書き込むワードを保持する 4 つの隣接したメモリ位置のうち、一番小さいアドレスに配置する必要があります。
- AES_DOUTR から読み出すワードの最上位バイトは、ワードを受け取る 4 つの隣接したメモリ位置のうち、一番小さいアドレスになります。

AES への入力データブロック書込みに DMA を使用する場合は、入力ブロックの 4 ワードをビッグエンディアン順 (一番小さいアドレスに最上位ワード) で連続してメモリに格納する必要があります。[セクション 23.4.16: AES DMA インタフェース](#)を参照してください。

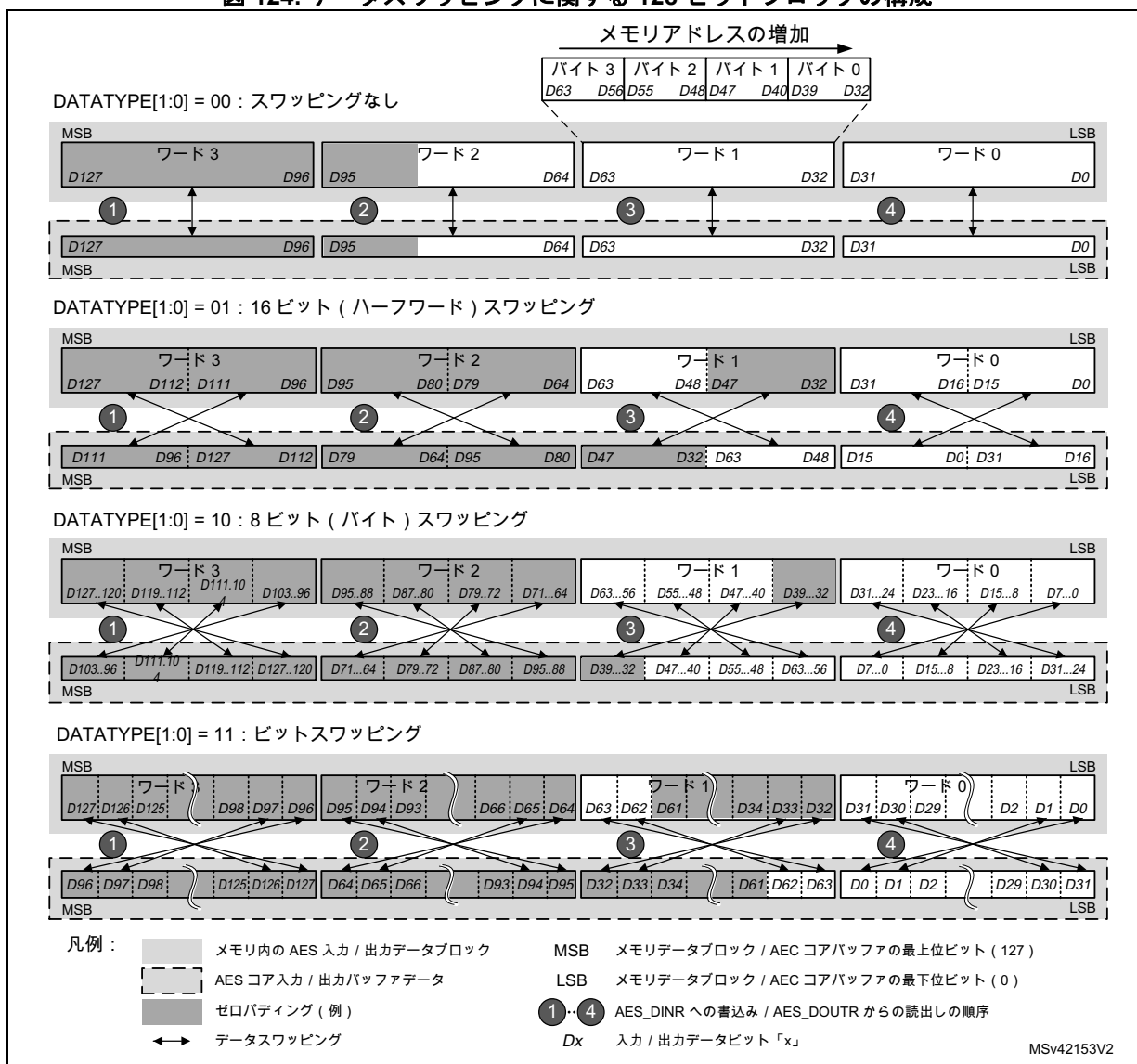
データスワッピング

AES ペリフェラルは、AES 処理コアに読み込まれる前の AES_DINR レジスタの入カデータワード、および AES_DOUTR レジスタに送られる前の AES 処理コアから出力されたデータについて、ビット、バイト、ハーフワードのスワッピングまたはスワッピングなしに設定できます。データのタイプによって選択します。たとえば、ASCII テキストストリームの場合、バイトスワッピングを使用します。

データスワッピングのタイプは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで選択します。この選択は、AES コアの入力と出力の両方に適用されます。

それぞれのデータスワッピングのタイプについては、[図 124](#) に AES_DINR レジスタから入力されたデータの AES 処理コアの入カバッファデータ P127~P0 の構成、または AES 処理コアの出力バッファデータ P127~P0 から AES_DOUTR レジスタで使用できる出力データの構成について示しています。

図 124. データスワッピングに関する 128 ビットブロックの構成



注: AES キーレジスタ (AES_KEYRx) と初期化レジスタ (AES_IVRx) のデータは、選択されたスワッピングモードの影響を受けません。



データパディング

図 124 では、データスワッピング後の 0 にされたビットによって AES コア入力バッファの最上位ビット側に隣接したゾーンが形成される場合など、0 でパディングされるメモリデータブロックの例も示しています。この例では、次を含む入力データブロックのパディングが示されています。

- 48 メッセージビット (DATATYPE[1:0] = 01)
- 56 メッセージビット (DATATYPE[1:0] = 10)
- 34 メッセージビット (DATATYPE[1:0] = 11)

23.4.14 AES キーレジスタ

AES_KEYRx 書き込み専用レジスタは、暗号化または復号化キービットフィールドの KEY[127:0] や KEY[255:0] を格納します。各レジスタに書き込むデータは、リトルエンディアン順で最上位バイトをメモリ内の一番大きいアドレスに配置するように整理されます (セキュリティ上の理由で読出しはできません)。

表 138 に示すように、キーは 8 個のレジスタに跨ります。

表 138. AES_KEYRx レジスタでのキーエンディアン (128 ビットまたは 256 ビットのキー長)

AES_KEYR7 [31:0]	AES_KEYR6 [31:0]	AES_KEYR5 [31:0]	AES_KEYR4 [31:0]	AES_KEYR3 [31:0]	AES_KEYR2 [31:0]	AES_KEYR1 [31:0]	AES_KEYR0 [31:0]
-	-	-	-	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]
KEY[255:224]	KEY[223:192]	KEY[191:160]	KEY[159:128]	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]

暗号化または復号化のキーは、AES_CR レジスタの EN ビットをクリアすることによって AES ペリフェラルが無効になっているときに、これらのレジスタに書き込むことができます。

キーレジスタは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで制御されるデータスワッピングによる影響を受けません。

23.4.15 AES 初期化ベクタレジスタ

4 つの AES_IVRx レジスタで初期化ベクタの入力ビットフィールド IVI[127:0] を保持します。各レジスタで読み書きするデータは、リトルエンディアン順で最上位バイトをメモリ内の一番大きいアドレスに配置するように整理されます。レジスタも一番小さいアドレス (AES_IVR0) から一番大きいアドレス (AES_IVR3) の順になります。

ビットフィールドのデータの位は、選択された連鎖モードに基づきます。使用時は、ビットフィールドが AES コアの計算サイクルごとに更新されます。

AES ペリフェラルが有効であるときの AES_IVRx レジスタへの書き込み操作は、レジスタの内容に影響を与えません。AES_IVRx レジスタの内容を変更する場合はまず AES_CR レジスタの EN ビットをクリアする必要があります。

AES_IVRx レジスタを読み出すと、最新のカウンタ値が返されます (サスペンドモードの管理に役立ちます)。

AES_IVRx レジスタは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで制御されるデータスワッピング機能による影響を受けません。

23.4.16 AES DMA インタフェース

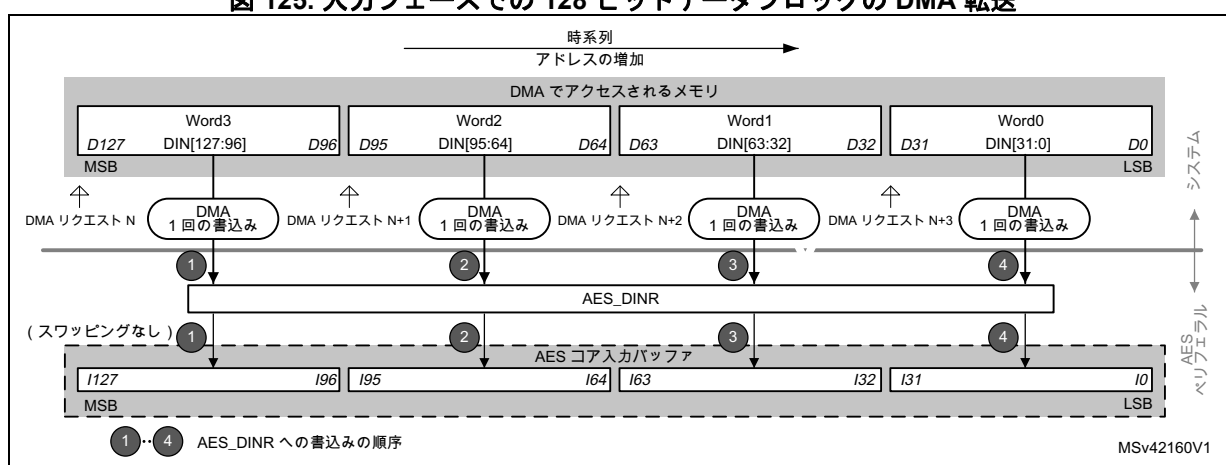
AES ペリフェラルには、DMA (ダイレクトメモリアクセス) コントローラに接続するインタフェースが搭載されています。DMA 操作は AES_CR レジスタで制御します。

DMA を用いたデータ入力

AES_CR レジスタの DMAINEN ビットをセットすると、AES への DMA 書込みが有効になります。図 125 に示すように、AES ペリフェラルは、入力フェーズ中に AES_DINR レジスタに 128 ビットのブロック (4 倍ワード) を書き込む必要があるたびに、DMA リクエストを開始します。

注： 選択されたアルゴリズムとモードに応じて、特別なパディングや暗号文借用が必要となることがあります。たとえば、AES GCM 暗号化や AES CCM 復号化の場合は、DMA 転送に最終ブロックを含まないでください。詳細については、[セクション 23.4.4: 暗号操作を行うための AES の手順](#)を参照してください。

図 125. 入力フェーズでの 128 ビットデータブロックの DMA 転送

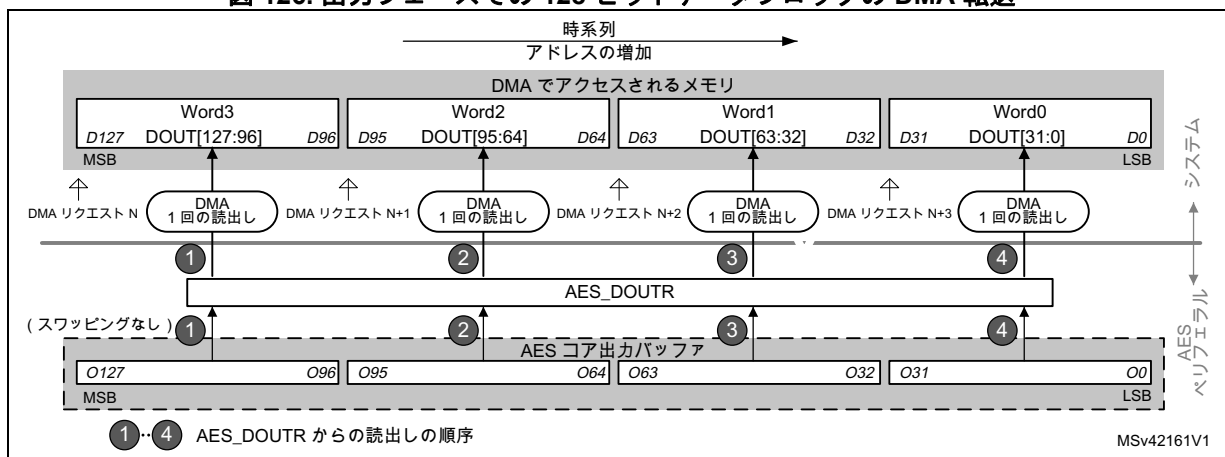


DMA を用いたデータ出力

AES_CR レジスタの DMAOUTEN ビットをセットすると、AES からの DMA 読み出しが有効になります。図 126 に示すように、AES ペリフェラルは、出力フェーズ中に AES_DINR レジスタから 128 ビットのブロック (4 倍ワード) を読み出す必要があるたびに、DMA リクエストを開始します。

注： メッセージサイズによっては、最後のブロックでアプリケーションによって余分なバイトを破棄する必要があります。

図 126. 出力フェーズでの 128 ビットデータブロックの DMA 転送



異なる動作モードにおける DMA 操作

DMA 操作は、モード 1 (暗号化) またはモード 3 (復号化) が AES_CR レジスタの MODE[1:0] ビットフィールドで選択されている場合に使用できます。モード 2 (キー導出) では、AES_KEYRx レジスタはソフトウェアで書き込む必要があり、AES_CR レジスタの DMAINEN および DMAOUTEN ビットで DMA 転送を有効にしても、このモードでは影響がありません。

DMA シングルのリクエストは、無効にされるまで AES によって生成されます。そのため、128 ビットデータブロック処理終了時のデータ出力フェーズの後に、AES によって次のデータブロックの新しいデータ入力フェーズ (ある場合) に自動的に切り替えられます。

AES とメモリ間でのデータ転送が DMA によって管理されているとき、AES_DOUTR レジスタの読み出しは、計算フェーズの終了時に DMA によって自動的に管理されるので、CCF フラグは無用です。CCF フラグは、ソフトウェアで管理されるデータ転送に再び遷移したときのみクリアする必要があります。詳細については、[セクション 23.4.4: 暗号操作を行うための AES の手順](#)、サブセクション [データ追加](#) を参照してください。

23.4.17 AES エラー管理

AES 設定は、AES_CR レジスタの EN ビットをクリアすることでいつでも変更できます。

読出しエラーフラグ (RDERR)

AES_DOUTR レジスタの予期しない読出しが試みられると、AES_SR レジスタの RDERR フラグがセットされ、ゼロが返されます。

RDERR は、計算フェーズまたは入力フェーズ中にトリガされます。

注: AES は RDERR エラー検出時に無効にならずに処理を続けます。

AES_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。詳細については、[セクション 23.5: AES 割込み](#) を参照してください。

RDERR フラグは、AES_CR レジスタの ERRIE ビットをセットしてクリアします。

書込みエラーフラグ (WDERR)

AES_DINR レジスタの予期しない書込みが試みられると、AES_SR レジスタの WRERR フラグがセットされ、AES_DINR レジスタには影響はありません。WRERR は、計算フェーズまたは出力フェーズ中にトリガされます。

注: AES は WRERR エラー検出後に無効にならずに処理を続けます。

AES_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。詳細については、[セクション 23.5: AES 割込み](#)を参照してください。

WRERR フラグは、AES_CR レジスタの ERRC ビットをセットしてクリアします。

23.5 AES 割込み

AES ペリフェラルによって生成された個別にマスク可能な割込みソースによって次のイベントが通知されます。

- 計算完了
- 読出しエラー
- 書込みエラー

この個別のソースは組み合わせられて共通の割込み信号 `aes_it` になり、NVIC (ネスト化されたベクタ割込みコントローラ) に接続されます。AES_CR レジスタの対応するイネーブルビットをセット/クリアすることによって、それぞれを個別に有効/無効にすることができ、また AES_CR レジスタの対応するビットをセットすることによってクリアできます。

それぞれのステータスは AES_SR レジスタから読み出すことができます。

割込みソースの概要、イベントフラグ、イネーブルビットについては、[表 139](#) を参照してください。

表 139. AES 割込みリクエスト

項目 (割込みの略称)	AES 割込みイベント	イベントフラグ	イネーブルビット	割込みのクリア方法
AES	計算完了フラグ	CCF	CCFIE	CCFC のセット ⁽¹⁾
	読出しエラーフラグ	RDERR	ERRIE	ERRC のセット ⁽¹⁾
	書込みエラーフラグ	WRERR		

1. AES_CR レジスタのビット。

23.6 AES 処理遅延時間

以下の表では、各動作モードで 128 ビットブロックを処理する際の遅延時間の概要を示します。

表 140. ECB、CBC、および CTR での処理遅延時間

キー長	動作モード	アルゴリズム	クロックサイクル数
128 ビット	モード 1: 暗号化	ECB、CBC、CTR	51
	モード 2: キー派生	-	59
	モード 3: 復号化	ECB、CBC、CTR	51
256 ビット	モード 1: 暗号化	ECB、CBC、CTR	75
	モード 2: キー派生	-	82
	モード 3: 復号化	ECB、CBC、CTR	75

表 141. GCM および CCM での処理遅延時間 (クロックサイクル数)

キー長	動作モード	アルゴリズム	初期フェーズ	ヘッダフェーズ (1)	ペイロード フェーズ(1)	タグフェーズ (1)
128 ビット	モード 1 : 暗号化 / モード 3 : 復号化	GCM	64	35	51	59
		CCM	63	55	114	58
256 ビット	モード 1 : 暗号化 / モード 3 : 復号化	GCM	88	35	75	75
		CCM	87	79	162	82

1. データ挿入では、AHB バスで AES により強制されるウェイトステートが含まれることがあります (最大 3 サイクル、通常は 1 サイクル)。

23.7 AES レジスタ

23.7.1 AES制御レジスタ (AES_CR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB[3:0]				Res.	KEYSIZE	Res.	CHMOD[2]
								rW	rW	rW	rW		rW		rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	GCMPH[1:0]		DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	CHMOD[1:0]		MODE[1:0]		DATATYPE[1:0]		EN
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **NPBLB[3:0]** : 最終ブロックにおけるパディングバイト数

このビットフィールドで、ペイロードの最終ブロックにおけるパディングバイト数をセットします。

0000 : 全バイトが有効 (パディングなし)

0001 : 最終ブロックの最下位バイト 1 個に対するパディング

.....

1111 : 最終ブロックの最下位バイト 15 個に対するパディング

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **KEYSIZE** : キー長選択

このビットフィールドは、AES 暗号コアに使用するキーの長さ (ビット単位) を定義します。

0 : 128

1 : 256

このビットの書き込みアクセスの前に AES_CR レジスタの EN ビットがセットされている場合は、このビットに書き込もうとしても無視され、その書き込みアクセスでクリアされることはありません。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:13 GCMPH[1:0] : GCM または CCM フェーズの選択

このビットフィールドで GCM、GMAC、または CCM アルゴリズムを選択します。

00 : 初期フェーズ

01 : ヘッダフェーズ

10 : ペイロードフェーズ

11 : 最終フェーズ

GCM、GMAC、または CCM アルゴリズム以外が (ALGOMODE ビットフィールドで) 選択されている場合、このビットフィールドの影響はありません。

ビット 12 DMAOUTEN : DMA 出力有効

このビットは、出力フェーズで DMA でのデータ転送を有効/無効にします。

0 : 無効化

1 : イネーブル

このビットがセットされると、出力データフェーズ中に AES によって DMA リクエストが自動生成されます。この機能は、モード 1 またはモード 3 が MODE[1:0] ビットフィールドで選択されている場合のみ有効です。モード 2 (キー導出) では有効ではありません。

ビット 11 DMAINEN : DMA 入力イネーブル

このビットは、入力フェーズで DMA でのデータ転送を有効/無効にします。

0 : 無効化

1 : イネーブル

このビットがセットされると、入力データフェーズ中に AES によって DMA リクエストが自動生成されます。この機能は、モード 1 またはモード 3 が MODE[1:0] ビットフィールドで選択されている場合のみ有効です。モード 2 (キー導出) では有効ではありません。

ビット 10 ERRIE : エラー割込み有効化

このビットは、RDERR または WRERR がセットされている場合に AES 割込み生成を有効化または無効化 (マスク) します。

0 : 無効化 (マスク)

1 : イネーブル

ビット 9 CCFIE : CCF 割込み有効

このビットは、CCF (計算完了フラグ) がセットされている場合に AES 割込み生成を有効化または無効化 (マスク) します。

0 : 無効化 (マスク)

1 : イネーブル

ビット 8 ERRC : エラーフラグクリア

このビットで 1 を書き込むと、AES_SR レジスタの RDERR および WRERR エラーフラグがクリアされます。

0 : 影響なし。

1 : RDERR および WRERR フラグをクリアします。

フラグを読み出すと常に 0 が返されます。

ビット 7 CCFC : 計算完了フラグクリア

このビットで 1 を書き込むと、AES_SR レジスタの計算完了フラグ (CCF) がクリアされます。

0 : 影響なし。

1 : CCF のクリア

フラグを読み出すと常に 0 が返されます。

ビット 16、**CHMOD[2:0]** : 連鎖モード選択

6:5 このビットフィールドで、AES 連鎖モードを選択します。

000 : 電子コードブック (ECB)

001 : 暗号ブロック連鎖 (CBC)

010 : カウンタモード (CTR)

011 : ガロアカウンタモード (GCM) およびガロアメッセージ認証コード (GMAC)

100 : CBC-MAC付きカウンタ (CCM)

上記以外 : 予約済みです。

このビットフィールドの書き込みアクセスの前に AES_CR レジスタの EN ビットがセットされている場合は、このビットフィールドに書き込もうとしても無視され、その書き込みアクセスでクリアされることはありません。

ビット 4:3 **MODE[1:0]** : AES 動作モード

このビットフィールドで、AES 動作モードを選択します。

00 : モード 1 : 暗号化

01 : モード 2 : キー導出 (ECB/CBC 復号化のキーの準備)

10 : モード 3 : 復号化

11 : 予約済みです。

このビットフィールドの書き込みアクセスの前に AES_CR レジスタの EN ビットがセットされている場合は、このビットフィールドに書き込もうとしても無視され、その書き込みアクセスでクリアされることはありません。

ビット 2:1 **DATATYPE[1:0]** : データ型選択

このビットフィールドは、データスワッピングのモードを選択して、AES_DINR レジスタに書き込まれるデータまたは AES_DOCTR レジスタから読み出されるデータのフォーマットを定義します。

00 : なし

01 : ハーフワード (16 ビット)

10 : バイト (8 ビット)

11 : ビット

詳細については、[セクション 23.4.13: AES データレジスタおよびデータスワッピング](#)を参照してください。

このビットフィールドの書き込みアクセスの前に AES_CR レジスタの EN ビットがセットされている場合は、このビットフィールドに書き込もうとしても無視され、その書き込みアクセスでクリアされることはありません。

ビット 0 **EN** : AES イネーブル

このビットは、AES ペリフェラルを有効または無効にします。

0 : 無効化

1 : イネーブル

このビットをクリアしてからセットすれば、いつでも AES ペリフェラルを再初期化できます。

このビットは、キーの準備 (モード 2) の完了時、および GCM/GMAC/CCM 初期フェーズの完了時にハードウェアによって自動的にクリアされます。

23.7.2 AES ステータスレジスタ (AES_SR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 BUSY : ビジー

このフラグは、AES が GCM ペイロード暗号化フェーズ中にアイドルかビジーかを示します。

0 : アイドル

1 : ビジー

フラグが「アイドル」を示す場合、優先順位の高いメッセージを処理するために現在の GCM 暗号化処理がサスペンドされることがあります。他の連鎖モード、またはペイロード暗号化以外の GCM フェーズでは、サスペンドプロセスのためにフラグを無視する必要があります。

ビット 2 WRERR : 書き込みエラー

このフラグは、AES_DINR レジスタへの予期しない書き込み操作（計算中またはデータ出力フェーズ中）の検出を示します。

0 : 検出なし

1 : 検出

フラグはハードウェアによってセットされます。AES_CR レジスタの ERRC ビットをセットすると、ソフトウェアによってクリアされます。

フラグのセット時、AES_CR レジスタの ERRIE ビットで割込みが有効になっている場合、割込みが生成されます。

フラグ設定は、AES 動作に影響しません。予期しない書き込みは無視されます。

ビット 1 RDERR : 読出しエラーフラグ

このフラグは、AES_DOUTR レジスタからの予期しない読出し操作（計算中またはデータ入力フェーズ中）の検出を示します。

0 : 検出なし

1 : 検出

フラグはハードウェアによってセットされます。AES_CR レジスタの ERRC ビットをセットすると、ソフトウェアによってクリアされます。

フラグのセット時、AES_CR レジスタの ERRIE ビットで割込みが有効になっている場合、割込みが生成されます。

フラグ設定は、AES 動作に影響しません。予期しない読出しにはゼロが返されます。

ビット 0 CCF : 計算完了フラグ

このフラグは計算が完了したかどうかを示します。

0 : 未完了

1 : 完了

フラグは、計算完了時にハードウェアによってセットされます。AES_CR レジスタの CCFC ビットをセットすると、ソフトウェアによってクリアされます。

フラグ設定時、AES_CR レジスタの CCFIE ビットで有効になっている場合、割込みが生成されます。

フラグは DMAOUTEN ビットが 0 の場合のみ有効です。DMA_EN が 1 の場合、ハイのままとなります。

23.7.3 AESデータ入力レジスタ (AES_DINR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

32 ビットアクセスタイプのみサポートされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIN[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DIN[31:0]** : 入力データワード

入力フェーズ中にこのビットフィールドに 4 回連続で書き込むことによって、AES ペリフェラルに 128 ビットブロックの入力データすべてを書き込みます。1 回目から 4 回目の書き込みまで、対応するデータウェイトは [127:96]、[95:64]、[63:32]、[31:0] です。書き込みごとに、32 ビットの入力バッファのデータが DATATYPE[1:0] ビットフィールドに応じたデータスワッピングブロックによって処理され、AES コア 128 ビット入力バッファに書き込まれます。

入力データブロックのデータの位は、AES 動作モードに基づきます。

- **モード 1** (暗号化) : 平文
- **モード 2** (キー導出) : ビットフィールド未使用 (AES_KEYRx レジスタを入力に使用)
- **モード 3** (復号化) : 暗号文

データスワッピング操作の手順は、682 ページのセクション 23.4.13: AES データレジスタおよびデータスワッピングを参照してください。

23.7.4 AES データ出力レジスタ (AES_DOUTR)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

32 ビット読出しアクセスタイプのみサポートされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DOUT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **DOUT[31:0]** : 出力データワード

読出し専用ビットフィールドは、32 ビット出力バッファをフェッチします。計算完了 (CCF セット) 時にこのビットフィールドを 4 回連続で読み出すことによって、AES ペリフェラルから 128 ビットブロックの出力データすべてを実質的に読み出します。出力バッファに達する前に、AES コアによって生成されたデータは、DATATYPE[1:0] ビットフィールドに応じたデータスワッピングブロックによって処理されます。

1 回目から 4 回目までの読出し操作でのデータウェイトは、[127:96]、[95:64]、[63:32]、および [31:0] です。

出力データブロックのデータの位は、AES 動作モードに基づきます。

- **モード 1** (暗号化) : 暗号文
- **モード 2** (キー導出) : ビットフィールド未使用
- **モード 3** (復号化) : 平文

データスワッピング操作の手順は、682 ページのセクション 23.4.13: AES データレジスタおよびデータスワッピングを参照してください。



23.7.5 AES キーレジスタ 0 (AES_KEYR0)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[31:0]** : 暗号化キー、ビット [31:0]

この書き込み専用ビットフィールドには、動作モードに応じて AES 暗号化または復号化キーのビット [31:0] が含まれます。

- **モード 1** (暗号化)、**モード 2** (キー導出) : ビットフィールドに書き込む値は暗号化キーです。
- **モード 3** (復号化) : ビットフィールドに書き込む値は、復号化に使用する前に導出される暗号化キーです。

AES_KEYRx レジスタに書き込むことができるのは、KEYSIZE 値が正しく、かつ AES ペリフェラルが無効 (AES_CR レジスタの EN ビットがクリアされている) の場合のみです。の場合、キーは AES_KEYRx レジスタに直接ロードされる (したがって、キーレジスタへの書き込みは無視され、KEIF がセットされる) ことに注意してください。

詳細については、[684 ページのセクション 23.4.14: AES キーレジスタ](#)を参照してください。

23.7.6 AES キーレジスタ 1 (AES_KEYR1)

アドレス・オフセット : 0x14

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[63:48]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[47:32]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[63:32]** : 暗号化キー、ビット [63:32]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.7 AES キーレジスタ 2 (AES_KEYR2)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[95:80]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[79:64]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[95:64]** : 暗号化キー、ビット [95:64]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.8 AES キーレジスタ 3 (AES_KEYR3)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[127:112]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[111:96]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[127:96]** : 暗号化キー、ビット [127:96]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.9 AES 初期化ベクタレジスタ 0 (AES_IVR0)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IVI[31:0]** : 初期化ベクタ入力、ビット [31:0]

IVI[127:0] フィールドの説明については、[684 ページのセクション 23.4.15: AES 初期化ベクタレジスタ](#)を参照してください。

初期化ベクタは、ECB 以外の連鎖モードでのみ使用します。

AES_IVRx レジスタは、AES ペリフェラルが無効である場合のみ書き込むことができます。

23.7.10 AES 初期化ベクタレジスタ 1 (AES_IVR1)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[63:48]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[47:32]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **IVI[63:32]** : 初期化ベクタ入力、ビット [63:32]

IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

23.7.11 AES 初期化ベクタレジスタ 2 (AES_IVR2)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[95:80]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[79:64]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **IVI[95:64]** : 初期化ベクタ入力、ビット [95:64]

IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

23.7.12 AES 初期化ベクタレジスタ 3 (AES_IVR3)

アドレス・オフセット : 0x2C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[127:112]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[111:96]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **IVI[127:96]** : 初期化ベクタ入力、ビット [127:96]

IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

23.7.13 AES キーレジスタ 4 (AES_KEYR4)

アドレス・オフセット : 0x30

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[159:144]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[143:128]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[159:128]** : 暗号化キー、ビット [159:128]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.14 AES キーレジスタ 5 (AES_KEYR5)

アドレス・オフセット : 0x34

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[191:176]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[175:160]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[191:160]** : 暗号化キー、ビット [191:160]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.15 AES キーレジスタ 6 (AES_KEYR6)

アドレス・オフセット : 0x38

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[223:208]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[207:192]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[223:192]** : 暗号化キー、ビット [223:192]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

23.7.16 AES キーレジスタ 7 (AES_KEYR7)

アドレス・オフセット : 0x3C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[255:240]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[239:224]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[255:224]** : 暗号化キー、ビット [255:224]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

注 : 4~7 のキーレジスタは、256 ビットのキー長を選択した場合のみ使用されます。128 ビットのキー長を選択した場合は有効ではありません (この場合、0~3 のキーレジスタのみが使用されます)。

23.7.17 AES サスペンドレジスタ (AES_SUSPxR)

アドレス・オフセット : 0x040 + x * 0x4、(x = 0~7)

リセット値 : 0x0000 0000

現在のタスクの AES 処理が優先順位の高いタスクを処理するためにサスペンドされる場合、AES プロセッサの内部レジスタステータスはすべてこれらのレジスタ内にあります。

サスペンド時、ソフトウェアは AES_SUSPxR レジスタ (x は 0~7) の内容を読み出し、メモリに保存してから優先順位の高いタスクに AES プロセッサを使用します。完了時、ソフトウェアは保存した内容を、対応するサスペンドレジスタに復元してから、元のタスクを再開します。

注 : これらのレジスタは、GCM、GMAC、または CCM 連鎖モードが選択されているときにのみ使用します。

これらのレジスタは AES が有効である場合のみ読み出すことができます。AES が無効になっている状態で、これらのレジスタを読み出すと、0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUSP[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUSP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **SUSP[31:0]** : AES サスペンド

サスペンド動作時、対応する AES_SUSPxR レジスタのこのビットフィールドでは内部 AES レジスタのいずれかの値を取得します。

23.7.18 AES レジスタマップ

表 142. AESレジスタマップとリセット値

オフ セット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	AES_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB[3:0]			Res.	KEYSIZE	Res.	CHMOD[2]	Res.	GCMIPH[1:0]	DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	Res.	CHMOD[1:0]	Res.	MODE[1:0]	Res.	DATATYPE[1:0]	EN	
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	AES_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
	リセット値																													0	0	0	0
0x008	AES_DINR	DIN[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	AES_DOUTR	DOUT[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	AES_KEYR0	KEY[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	AES_KEYR1	KEY[63:32]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	AES_KEYR2	KEY[95:64]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x01C	AES_KEYR3	KEY[127:96]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	AES_IVR0	IV[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	AES_IVR1	IV[63:32]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	AES_IVR2	IV[95:64]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	AES_IVR3	IV[127:96]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030	AES_KEYR4	KEY[159:128]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	AES_KEYR5	KEY[191:160]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	AES_KEYR6	KEY[223:192]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	AES_KEYR7	KEY[255:224]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	AES_SUSP0R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x044	AES_SUSP1R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



表 142. AESレジスタマップとリセット値 (続き)

オフ セット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x048	AES_SUSP2R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	AES_SUSP3R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	AES_SUSP4R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	AES_SUSP5R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x058	AES_SUSP6R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	AES_SUSP7R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060- 0x3FF	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

24 公開鍵アクセラレータ (PKA)

24.1 概要

PKA (公開鍵アクセラレータ) は、特に RSA、ディフィー - ヘルマン、 $GF(p)$ (ガロア体) 上の ECC (楕円曲線暗号) に関連する暗号公開鍵の基本要素の計算を目的としています。手頃なコストで高いパフォーマンスを実現するために、これらの演算はモンゴメリ定義域で実行されます。

必要な計算はすべてアクセラレータ内で実行されるため、入出力のために追加でハードウェア/ソフトウェアについて考える必要はありません。

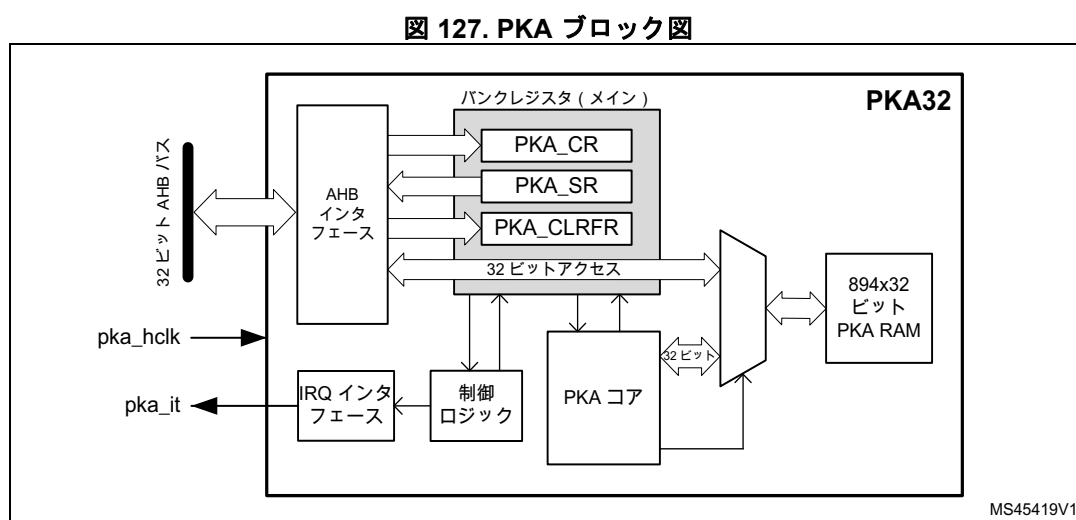
24.2 PKA の主な機能

- RSA、DH、 $GF(p)$ での ECC の演算の高速化は、高速剰余乗算に関するモンゴメリ法に基づきます。具体的には次のとおりです。
 - RSA べき剰余、RSA 中国剰余定理 (CRT) べき乗
 - ECC スカラー乗算、曲線上の点の確認
 - ECDSA 署名の生成および検証
- RSA/DH では最大 3136 ビット、ECC では最大 640 ビットのオペランドを処理できます。
- 加算、減算、乗算、モジュラリダクション、モジュラ逆数、比較、モンゴメリ乗算など算術演算および剰余演算を処理します。
- モンゴメリ定義域内外への変換を搭載しています。
- AMBA AHB スレーブペリフェラルは、32 ビットワードのシングルアクセスでのみアクセス可能です (それ以外は、書込みの場合に AHB バスエラーが発生し、書込みアクセスは無視されます)。

24.3 PKA の機能詳細

24.3.1 PKA ブロック図

図 127 に、公開鍵アクセラレータ (PKA) のブロック図を示します。



24.3.2 PKA 内部信号

表 143 では、製品接続パッドで使用できない場合もある、IP レベルで使用可能な内部信号をリストしています。

表 143. 内部入力/出力信号

信号名	信号タイプ	説明
pka_hclk	デジタル入力	AHB バスクロック
pka_it	デジタル出力	公開鍵アクセラレータ IP グローバル割込みリクエスト

24.3.3 PKA のリセットおよびクロック

PKA は、AHB バスクロックでクロック供給されます。RAM はこのクロックを直接受信し、コアは半分の周波数でクロック供給されます。

PKA ペリフェラルリセット信号がリリースされると、PKA RAM は 894 クロックサイクルを経て自動的にクリアされます。この間、PKA_CR の EN ビットの設定は無視されます。

24.3.4 PKA 公開鍵の高速化

概要

公開鍵アクセラレータ (PKA) は、リベスト、シャミア、エーデルマン (RSA)、ディフィー - ヘルマン (DH)、素体上の ECC の演算を高速化するために使用されます。サポートされるオペランドサイズは、RSA および DH では最大 3136 ビット、ECC では最大 640 ビットです。

PKA は、素体上で定義されたすべての非特異楕円曲線（短いワイエルシュトラス方程式 $y^2 = x^3 + ax + b \pmod{p}$ で記述できる）をサポートします。詳細については、[セクション 24.5.1: サポートされている楕円曲線](#)を参照してください。

注： 2 値曲線、エドワーズ曲線、および Curve25519 は、PKA ではサポートされません。

PKA RAM と呼ばれる 3576 バイト（32 ビットの 894 ワード）のメモリが、PKA への初期データ供給と、計算完了後の結果の保持に使用されます。PKA AHB インタフェースでアクセスします。

PKA 演算モード

PKA が実行できる演算のリストを、整数算術機能と素体 (Fp) 楕円曲線機能についてそれぞれ表 144 および表 145 に示します。

これらの演算モードにはそれぞれ関連するコードがあり、PKA_CR レジスタの MODE フィールドに書き込む必要があります。

表 144. PKA 整数算術機能リスト

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x01	000001	モンゴメリパラメータ計算 $R2 \pmod{n}$	セクション 24.4.2
0x0E	001110	剰余加算 $(A+B) \pmod{n}$	セクション 24.4.3
0x0F	001111	剰余減算 $(A-B) \pmod{n}$	セクション 24.4.4
0x10	010000	モンゴメリ乗算 $(Ax) \pmod{n}$	セクション 24.4.5

表 144. PKA 整数算術機能リスト (続き)

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x00	000000	べき剰余 $A^e \bmod n$	セクション 24.4.6
0x02	000010	べき剰余 $A^e \bmod n$ (高速モード)	
0x08	001000	モジュラ逆数 $A^{-1} \bmod n$	セクション 24.4.7
0x0D	001101	モジュラリダクション $A \bmod n$	セクション 24.4.8
0x09	001001	算術加算 $A+B$	セクション 24.4.9
0x0A	001010	算術減算 $A-B$	セクション 24.4.10
0x0B	001011	算術乗算 $A \times B$	セクション 24.4.11
0x0C	001100	算術比較 ($A=B$, $A>B$, $A<B$)	セクション 24.4.12
0x07	000111	RSA CRT べき乗	セクション 24.4.13

表 145. PKA 素体 (Fp) 楕円曲線機能リスト

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x28	101000	楕円曲線 F_p 上の点の確認	セクション 24.4.14
0x20	100000	ECC スカラー乗算 kP	セクション 24.4.15
0x22	100010	ECC スカラー乗算 kP (高速モード)	
0x24	100100	ECDSA 署名	セクション 24.4.16
0x26	100110	ECDSA 検証	セクション 24.4.17

モンゴメリ空間と高速モードの演算

効率面の理由で、PKA はモンゴメリ定義域でモジュラ乗算演算を内部で実行し、自動的に内外への変換を実行します。

モンゴメリパラメータ計算は時間がかかるため、アプリケーションは演算開始前に事前に計算したモンゴメリパラメータを供給する高速な演算モードを使用する決定を下すことができます。パフォーマンスの改善については、[セクション 24.5.2: 計算時間](#)を参照してください。

高速モードを使用する演算は、べき剰余とスカラー乗算です。

24.3.5 PKA の標準的なアプリケーション

概要

PKA は、多数の公開鍵暗号化機能の高速化に使用できます。特に、

- RSA の暗号化と復号化
- RSA のキー完成
- CRT-RSA の復号化
- DSA と ECDSA 署名の生成および検証
- DH および ECDH のキーの合意

上記の機能の仕様については、次の公報に示されています。

- FIPS PUB 186-4、デジタル署名標準 (DSS)、2013 年 7 月、NIST 発行
- PKCS #1、RSA 暗号標準 v1.5、v2.1 および v2.2.、RSA ラボ発行
- IEEE1363-2000、公開鍵暗号向け IEEE 標準仕様、2000 年 1 月
- ANSI X9.62-2005、金融サービス業界向け公開鍵暗号、楕円曲線デジタル署名アルゴリズム (ECDSA)、2005 年 11 月

主な機能の原理については、このセクションで説明しています。詳細については、上記に引用した資料を参照してください。

RSA のキーペア

次の RSA 演算では、公開鍵と秘密鍵の情報が以下のように定義されます。

- アリスが公開鍵 (n , e) をボブに送信します。数値 n および e は非常に大きな正の整数です。
- アリスは自身の秘密鍵 d (これも非常に大きな正の整数) を公開しないでおきます。その代わりに、この秘密鍵を 5 つの要素 (p , q , dp , dq , $qInv$) で表すこともできます。

上記の表現の詳細については、RSA の仕様を参照してください。

RSA の暗号化と復号化の原理

PKCS#1 仕様で推奨されるように、ボブはアリスの公開鍵 (n , e) を使用してメッセージ M を暗号化するために、次の手順を進める必要があります。

1. エンコードされたメッセージ $EM = \text{ENCODE}(M)$ を計算します。ここで ENCODE はエンコードメソッドを指します。
2. EM を整数 m ($0 \leq m < n$) に変換します。(m , n) は互いに素です。
3. 暗号文 $c = m^e \bmod n$ を計算します。
4. 整数 c を文字列の暗号文 C に変換します。

アリスは自身の秘密鍵を使用して暗号文 c を復号化するために、以下に示した手順に従います。

1. 暗号文 C を整数の暗号文を表す c に変換します。
2. 平文 $m = c^d \bmod n = (m^e)^d \bmod n$ を復元します。秘密鍵が 5 つの要素 (p , q , dp , dq , $qInv$) である場合、平文 m を次の操作を実行して取得します。
 - a) $m_1 = c^{dp} \bmod p$
 - b) $m_2 = c^{dq} \bmod q$
 - c) $h = qInv(m_1 - m_2) \bmod p$
 - d) $m = m_2 + hq$
3. 整数メッセージを表す m を、エンコードされたメッセージ EM に変換します。
4. メッセージ $M = \text{DECODE}(EM)$ を復元します。ここで DECODE はデコードメソッドを指します。

上記の操作は、PKA で **べき剰余** $A^e \bmod n$ (秘密鍵が d である場合)、または **RSA CRT べき乗** (秘密鍵が 5 つのエレメント (p, q, dp, dq, qlnv) である場合) を使用することにより高速化できます。

注：メッセージと整数のデコード操作と変換操作は、PKCS#1 標準で指定されています。

楕円曲線の選択

次の ECC 演算では、曲線パラメータが以下のように定義されます。

- 曲線は関係者 (アリスとボブ) が合意した楕円曲線フィールドに対応します。サポートされる曲線パラメータの概要を [セクション 24.5.1: サポートされている楕円曲線](#) に示しています。
- G は、大きな素数位数 n を持つ選択された楕円曲線の基点 (ジェネレータとも言います) です (例: $n \times G =$ 単位元 O)。

ECDSA メッセージの署名生成

ECDSA (楕円曲線デジタル署名アルゴリズム) 署名の生成機能の原理は次のとおりです。アリスはメッセージ m に自身の秘密鍵の整数 d_A を使用して署名するために、以下の手順に従います。

1. $e = \text{HASH}(m)$ を計算します。ここで HASH は暗号ハッシュ関数を指します。
2. e の左端の L_n ビットを z とします。ここで、 L_n は群位数 n のビット長を指します。
3. 暗号として安全なランダムな整数 k を選択します ($0 < k < n$)。
4. 曲線の点 $(x_1, y_1) = k \times G$ を計算します。
5. $r = x_1 \bmod n$ を計算します。 $r=0$ の場合、手順 3 に戻ります。
6. $s = k^{-1} (z + rd_A) \bmod n$ を計算します。 $s=0$ の場合、手順 3 に戻ります。
7. 署名はペア (r, s) となります。

手順 4~7 は PKA が次のいずれかを使用して高速化します。

- **ECDSA 署名**
- 以下の演算すべて：
 - **ECC Fp スカラー乗算** $k \times P$
 - **モジュラリダクション** $A \bmod n$
 - **モジュラリダクション** $A^{-1} \bmod n$
 - **剰余加算および剰余乗算とモンゴメリ乗算**

ECDSA 署名の検証

ECDSA (楕円曲線デジタル署名アルゴリズム) 署名の検証機能の原理は次のとおりです。ボブはアリスの署名を認証するために、彼女の公開鍵の曲線の点 Q_A のコピーを手に入れる必要があります。

ボブは、次の手順で Q_A が有効な曲線の点であることを検証できます。

1. Q_A が単位元 O と等しくないことを確認します。
2. Q_A が合意した曲線上にあることを確認します。
3. $n \times Q_A = O$ であることを確認します。

続いて、ボブは以下に示した手順に従います。

1. r と s が $[1, n-1]$ 内で整数であることを検証します。
2. $e = \text{HASH}(m)$ を計算します。ここで HASH は合意した暗号ハッシュ関数を指します。
3. e の左端の L_n ビットを z とします。
4. $w = s^{-1} \bmod n$ を計算します。
5. $u_1 = zw \bmod n$ および $u_2 = rw \bmod n$ を計算します。
6. 曲線の点 $(x_1, y_1) = u_1 \times G + u_2 \times Q_A$ を計算します。

7. $r = x_1 \pmod{n}$ の場合、署名は有効です。それ以外は無効です。

手順 4~7 は PKA が [ECDSA 検証](#) を使用して高速化します。

24.3.6 演算を行うための PKA の手順

PKA 有効化/無効化

PKA_CR レジスタで EN ビットを 1 にセットすると、PKA ペリフェラルが有効になります。EN = 0 の場合、PKA ペリフェラルはリセット状態でも保持され、PKA メモリはアプリケーションによって AHB インタフェース経由で接続可能となります。

計算中に EN ビットを 0 にクリアすると、演算がアボートされます。この場合、PKA メモリの内容は保証されません。

データフォーマット

PKA RAM での入力データと結果のフォーマットは[セクション 24.4](#)に各演算に対して指定されています。

PKA 演算の実行

サポートされる各 PKA 演算は、次の手順によって実行されます。

1. アドレス・オフセット 0x400 にある PKA 内部 RAM に初期データをロードします。
2. PKA_CR レジスタの MODE フィールドに書き込んで、実行する演算を指定してから、PKA_CR レジスタでも START ビットをアサートします。
3. PKA_SR レジスタの PROCENDF ビットが「1」にセットされ、計算が完了するまで待ちます。
4. PKA 内部 RAM から結果データを読み出し、PKA_CLRFR の PROCENDFC ビットをセットすることによって、PROCENDF ビットをクリアします。

注： PKA がビジー (BUSY = 1) の場合、アプリケーションによる PKA RAM へのアクセスはすべて無視され、PKA_SR のフラグ RAMERRF がセットされます。

事前に計算されたモンゴメリパラメータの使用 (PKA 高速モード)

[セクション 24.3.4](#) に示すとおり、同じ係数で多数の演算を行う場合、アプリケーションでは対応するモンゴメリパラメータを一度だけ計算することが有益と考えられます (例：[セクション 24.4.5](#) を参照)。これは「高速モード」と言われています。

高速モードの使用方法を管理するために推奨される手順は、以下のとおりです。

1. PKA RAM で係数のサイズと値の情報をロードします。これらの情報は[セクション 24.5.1](#)にまとめられています。
2. PKA_CR レジスタで PKA を [モンゴメリパラメータ計算モード](#) (MODE="0x1") にプログラムして、START ビットをアサートします。
3. PKA_SR レジスタの PROCENDF ビットが「1」にセットされるまで待つてから、PKA メモリから対応するモンゴメリパラメータを読み出し、その後 PKA_CLRFR の PROCENDFC ビットをセットすることで PROCENDF ビットをクリアします。
4. 必要な PKA 操作を進め、レギュラ入力データの最上部でモンゴメリの情報 $R2 \pmod{m}$ をロードします。すべてのアドレスは[セクション 24.4](#)に示しています。

24.3.7 PKA エラー管理

PKA の使用時に、次のいくつかのエラーが発生することがあります。

- PKA RAM へのアクセスが想定範囲外です。この場合、PKA_SR レジスタのアドレスエラーフラグ (ADDRERRF) がセットされます。
- PKA コアが PKA RAM を使用しているときに、PKA RAM への AHB アクセスが発生しました。この場合、RAM エラーフラグ (RAMERRF) が PKA_SR レジスタでセットされ、PKA RAM への読み出しにはゼロが返され、書き込みは無視されます。

上記の各エラーフラグに対して、アプリケーションが PKA_CR レジスタの対応するビットを設定している場合、PKA は割り込みを生成しません (詳細は [セクション 24.6](#) を参照)。

ADDRERRF および RAMERRF エラーは、PKA_CLRFR の対応するビットをセットすることによってクリアされます。

PKA は、PKA_CR レジスタで EN ビットをリセットすることでいつでも再初期化できます。

24.4 PKA 演算モード

24.4.1 概要

PKA でサポートされるさまざまな演算について、次の項目で記載し、PKA RAM に格納される入力データおよび結果の関連フォーマットを明示しています。

以下の情報は、すべての PKA 演算に適用されます。

- PKA コアでは 32 ビットワードを処理します。
- サポートされるオペランドの「サイズ」は次のとおりです。
 - ROS (RSA のオペランドサイズ) : データサイズは $(rsa_size/32+1)$ ワードです。 rsa_size は選択した係数の長さです。たとえば、1024 ビットのオペランドサイズで RSA を計算する場合、ROS は 33 ワード (1056 ビット) となります。
 - EOS (ECC のオペランドサイズ) : データサイズは $(ecc_size/32+1)$ ワードです。 ecc_size は選択した素数の係数の長さです。たとえば、192 ビットのオペランドサイズで ECC を計算する場合、EOS は 7 ワード (224 ビット) となります。

注 : 上記の計算式で端数の結果となった場合は、PKA コアが 32 ビットワードを処理するため、最も近い整数に繰り上げられます。

注 : 最大 ROS は 99 ワード (3136 ビットの最大指数サイズ) であり、最大 EOS は 21 ワード (640 ビットの最大オペランドサイズ) です。

- 次の表の「ストレージ」列では、PKA RAM エリア (0x400 から始まります) にあるレジスタ PKA_CR または PKA 内のアドレス・オフセットのいずれかを示しています。オペランドの物理アドレスを復元するには、アプリケーションで PKA のベースアドレスを、示されたオフセットに追加する必要があります。
- パラメータの書き込みについて (「IN」方向)
 - エレメントを PKA メモリに入力として書き込む場合、すべてのビットを 0 にしたワードを追加する必要があります。例として、ECC P256 を使用して入力をロードする (256 ビットまたは 8 ワードで表される) 場合、PKA でワードを追加することが期待され、0 で埋める必要があります。
 - エンディアンについては、たとえば ECC Fp スカラー乗算の演算を準備する場合、アプリケーションが ECC P256 曲線の x_p の座標 (EOS= 9 ワード) を書き込むときに、最下位ビットをアドレス・オフセット 0x55C でビット 0 に、最上位ビットをアドレス・オフセット

ト 0x578 でビット 31 に配置する必要があります。次に、上記に示すように、ワード 0x00000000 もアドレス・オフセット 0x57C で書き込む必要があります。

- 上記に示した場合以外は、表のすべてのオペランドは整数です。
- PKA 出力について (「OUT」方向)
 - 表で指定されていない場合、PKA は誤ったパラメータがアプリケーションによって書き込まれたときにエラーを出力しません。

注意： PKA 演算を行う前に、PKA に対するすべての入力パラメータが有効であることを確認する必要があります。実際に、PKA はすべての入力パラメータが有効であり、互いに一貫性があるものとみなします。

24.4.2 モンゴメリパラメータ計算

この機能は、PKA で使用されるモンゴメリパラメータ ($R^2 \bmod n$) の計算に使用され、オペランドをモンゴメリ剰余系表現に変換します。

注： この演算は ECC 曲線でも使用できます。この場合、素数の係数の長さ と EOS サイズを使用する必要があります。

モンゴメリパラメータ計算に関する演算方法の概要を表 146 に示しています。

表 146. モンゴメリパラメータ計算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x01	PKA_CR	6 ビット
	係数の長さ	(ビット単位、 $0 \leq \text{値} < 3136$ ビット)	RAM@0x404	32 ビット
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xD5C	ROS
OUT	結果 : $R^2 n$	-	RAM@0x594	

24.4.3 剰余加算

剰余加算の演算は、 $A + B \bmod n$ の計算式となります。演算方法の概要を表 147 に示しています。

表 147. 剰余加算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0E	PKA_CR	6 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	($0 \leq A < n$)	RAM@0x8B4	ROS
	オペランド B	($0 \leq B < n$)	RAM@0xA44	
	係数の値 n	($n < 2^{3136}$)	RAM@0xD5C	
OUT	結果 : $A+B \bmod n$	($0 \leq \text{結果} < n$)	RAM@0xBD0	

24.4.4 剰余減算

剰余減算の演算は、次の計算式となります。

- $A \geq B$ の場合 : $A - B \bmod n$
- $A < B$ の場合 : $A + n - B \bmod n$

演算方法の概要を表 148 に示しています。

表 148. 剰余減算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0F	PKA_CR	6 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	($0 \leq A < n$)	RAM@0x8B4	ROS
	オペランド B	($0 \leq B < n$)	RAM@0xA44	
	係数の値 n	($n < 2^{3136}$)	RAM@0xD5C	
OUT	結果 : $A - B \bmod n$	($0 \leq \text{結果} < n$)	RAM@0xBD0	

24.4.5 剰余乗算とモンゴメリ乗算

一連の乗算を実行する場合に効率性を高めるため、PKA はモンゴメリ定義域に少なくとも 1 つの入力がある乗算を高速化します。この演算の主な 2 つの使用法は次のとおりです。

- 自然な定義域からモンゴメリ定義域へ、およびその逆の値のマッピング
- 剰余乗算 $A \times B \bmod n$ の実行

上記の演算を実行する方法について、以下に記載します。「x」はこの演算を示し、A、B、C のオペランドは自然な定義域内にあります。

- モンゴメリ定義域への (からの) 変換
 - A は自然な定義域内の整数とします。
 $r2modn$ を **モンゴメリパラメータ計算** で計算します。
 結果 $AR = A \times r2modn \bmod n$ は、モンゴメリ定義域内の A となります。
 - BR はモンゴメリ定義域内の整数とします。
 結果 $B = BR \times 1 \bmod n$ は、自然な定義域内の B となります。
 同様に、a) で計算される値 AR は、 $A = AR \times 1 \bmod n$ を計算することで自然な定義域に変換できます。
- 単純な剰余乗算 $A \times B \bmod n$
 - $r2modn$ を **モンゴメリパラメータ計算** で計算します。
 - $AR = A \times r2modn \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。
 - $AB = AR \times B \bmod n$ を計算します。出力は自然な定義域内にあります。
- 複数の剰余乗算 $A \times B \times C \bmod n$
 - $r2modn$ を **モンゴメリパラメータ計算** で計算します。
 - $AR = A \times r2modn \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。
 - $BR = B \times r2modn \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。
 - $ABR = AR \times BR \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。
 - $CR = C \times r2modn \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。
 - $ABCR = ABR \times CR \bmod n$ を計算します。出力はモンゴメリ定義域内にあります。

- g) (オプション) 乗算するオペランドがまだある場合は、上の2つの手順を繰り返します。
 h) $ABC = ABCR \times 1 \pmod n$ を計算して、自然な定義域内で結果を取得します。

モンゴメリ乗算に関する演算方法の概要を表 149 に示しています。

表 149. モンゴメリ乗算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x10	PKA_CR	6 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	($0 \leq A < n$)	RAM@0x8B4	ROS
	オペランド B	($0 \leq B < n$)	RAM@0xA44	
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xD5C	
OUT	結果 : $A \times B \pmod n^{(1)}$	-	RAM@0xBD0	

1. 結果は、入力の性質に応じて、モンゴメリ定義域内または自然な定義域内にあります (例 2 と 3 を参照)。

24.4.6 べき剰余

べき剰余の演算は、シングルステップの RSA 演算を実行するために通常使用します。これは、 $A^e \pmod n$ の計算式となります。

べき剰余に関する演算方法の概要を、表 150 (通常モード) および表 151 (高速モード) に示しています。高速モードの使用方法は、セクション 24.3.6 に示しています。

表 150. べき剰余 (通常モード)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x00	PKA_CR	6 ビット
IN	指数の長さ	(ビット単位、null 以外)	RAM@0x400	32 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	
IN/OUT	オペランド A (べき乗の底)	($0 \leq A < n$)	RAM@0xA44	ROS
IN	指数 e	($0 \leq e < n$)	RAM@0xBD0	
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xD5C	
OUT	結果 : $A^e \pmod n$	($0 \leq \text{結果} < n$)	RAM@0x724	

表 151. べき剰余 (高速モード)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x02	PKA_CR	6 ビット
IN	指数の長さ	(ビット単位、null 以外)	RAM@0x400	32 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	

表 151. べき剰余 (高速モード) (続き)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN/OUT	オペランド A (べき乗の底)	$(0 \leq A < n)$	RAM@0xA44	ROS
IN	指数 e	$(0 \leq e < n)$	RAM@0xBD0	
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xD5C	
IN/OUT	モンゴメリ パラメータ $R2 \bmod n$	(必須)	RAM@0x594	
OUT	結果 : $A^e \bmod n$	$(0 \leq \text{結果} < n)$	RAM@0x724	

24.4.7 モジュラリダクション

モジュラ逆数の演算は、乗算逆数 $A^{-1} \bmod n$ の計算式となります。係数 n が素数の場合、 A のすべての値 ($1 \leq A < n$) で逆数の出力が有効です。係数 n が素数ではない場合、 A と n の最大公約数が 1 の場合のみ A が逆数を持ちます。

オペランド A が係数 n の約数である場合、結果は n の因数の倍数になります。

モジュラ逆数に関する演算方法の概要を表 152 に示しています。

表 152. モジュラリダクション

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x08	PKA_CR	6 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	$(0 \leq A < n)$	RAM@0x8B4	ROS
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xA44	
OUT	結果 : $A^{-1} \bmod n$	$0 < \text{結果} < n$	RAM@0xBD0	

24.4.8 モジュラリダクション

モジュラリダクションの演算は、 A を n で割った余りで計算されます。演算方法の概要を表 153 に示しています。

表 153. モジュラリダクション

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0D	PKA_CR	6 ビット
	オペランドの長さ	(ビット単位、null 以外)	RAM@0x400	32 ビット
	係数の長さ	(ビット単位、 $8 < \text{値} < 3136$)	RAM@0x404	
	オペランド A	$(0 \leq A < 2n < 2^{3136})$	RAM@0x8B4	ROS
	係数の値 n	(奇数の整数のみ、 $n < 2^{3136}$)	RAM@0xA44	
OUT	結果 $A \bmod n$	$(0 < \text{結果} < n)$	RAM@0xBD0	

24.4.9 算術加算

算術加算の演算は、 $A + B$ の計算式となります。演算方法の概要を表 154 に示しています。

表 154. 算術加算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x09	PKA_CR	6 ビット
	オペランドの長さ M	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	$(0 \leq A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq B < 2^M)$	RAM@0xA44	
OUT	結果 : $A+B$	$(0 \leq \text{結果} < 2^{M+1})$	RAM@0xBD0	ROS + 1

24.4.10 算術減算

算術減算の演算は、次の計算式となります。

- $A \geq B$ の場合 : $A - B$
- $A < B$ かつ $M/32$ の剰余が 0 を超える場合 : $A + 2^{\text{int}(M/32)*32+1} - B$
- $A < B$ かつ $M/32$ の剰余が 0 となる場合 : $A + 2^{\text{int}(M/32)*32} - B$

演算方法の概要を表 155 に示しています。

表 155. 算術減算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0A	PKA_CR	6 ビット
	オペランドの長さ M	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	$(0 \leq A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq B < 2^M)$	RAM@0xA44	
OUT	結果 : $A-B$	$(0 \leq \text{結果} < 2^M)$	RAM@0xBD0	

24.4.11 算術比較

算術乗算の演算は、 $A \times B$ の計算式となります。演算方法の概要を表 156 に示しています。

表 156. 算術比較

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0B	PKA_CR	6 ビット
	オペランドの長さ M	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	$(0 \leq A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq B < 2^M)$	RAM@0xA44	
OUT	結果 : $A \times B$	$(0 \leq \text{結果} < 2^M)$	RAM@0xBD0	2xROS

24.4.12 算術比較

算術比較の演算は、次の計算式となります。

- $A=B$: 結果 = 0x0
- $A>B$: 結果 = 0x1
- $A<B$: 結果 = 0x2

算術比較に関する演算方法の概要を表 157 に示しています。

表 157. 算術比較

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x0C	PKA_CR	6 ビット
	オペランドの長さ M	(ビット単位、null 以外)	RAM@0x404	32 ビット
	オペランド A	$(0 \leq A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq B < 2^M)$	RAM@0xA44	
OUT	結果 $A=B$ または $A>B$ または $A<B$	0x0、0x1 または 0x02	RAM@0xBD0	32 ビット

24.4.13 RSA CRT べき乗

効率性のために、OpenSSL RSA のような人気のある数多くの暗号ライブラリでは、中国剰余定理 (CRT) に基づき、復号化および署名に次の最適化を使用しています。

- p および q は事前に計算された素数 (秘密鍵の一部として格納)
- $d_p = d \bmod (p-1)$
- $d_q = d \bmod (q-1)$
- $q_{inv} = q^{-1} \bmod p$

これらの値によって、次のようにべき乗 $m = A^d \pmod{pq}$ をより効率的に計算できます。

- $m_1 = A^{d_p} \bmod p$
- $m_2 = A^{d_q} \bmod p$
- $h = q_{inv} (m_1 - m_2) \bmod p$ (ここでは $m_1 > m_2$)
- $m = m_2 + hq$

CRT べき乗 $A^d \bmod pq$ に関する演算方法の概要を表 158 に示しています。

表 158. CRT べき乗

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x07	PKA_CR	6 ビット
IN	オペランドの長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
IN	オペランド d_p	$(0 \leq d_p < 2^{M/2})$	RAM@0x65C	ROS/2
	オペランド d_q	$(0 \leq d_q < 2^{M/2})$	RAM@0xBD0	
	オペランド q_{inv}	$(0 \leq q_{inv} < 2^{M/2})$	RAM@0x7EC	
	素数 $p^{(1)}$	$(0 \leq p < 2^{M/2})$	RAM@0x97C	
	素数 $q^{(1)}$	$(0 \leq q < 2^{M/2})$	RAM@0xD5C	

表 158. CRT べき乗 (続き)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	オペランド A	$(0 \leq A < 2^{M/2})$	RAM@0xEEC	ROS
OUT	結果: $A^d \bmod pq$	$(0 \leq \text{結果} < pq)$	RAM@0x724	

1. 2 以外にする必要があります。

24.4.14 楕円曲線 Fp 上の点の確認

この演算では、指定された点 P (x, y) が素体の式 $y^2 = (x^3 + ax + b) \bmod p$ (ここで a および b は曲線のエレメントです) の曲線に当てはまるものかどうかを確認します。

楕円曲線 Fp 上の点の確認に関する演算方法の概要を表 159 に示しています。

表 159. 楕円曲線 Fp 上の点の確認

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x28	PKA_CR	6 ビット
	係数の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x404	32 ビット
	曲線係数 a の符号	0x0 : 正 0x1 : 負	RAM@0x408	
	曲線係数 a	(絶対値、 $ a < p$)	RAM@0x40C	EOS
	曲線係数 b	($ b < p$)	RAM@0x7FC	
	曲線の係数の値 p	(奇数の整数素数、 $0 < p < 2640$)	RAM@0x460	
	点 P の座標 x	($x < p$)	RAM@0x55C	
点 P の座標 y	($y < p$)	RAM@0x5B0		
OUT	結果: 曲線上の P	0x0 : 曲線上の点 0x0 以外 : 曲線上にない点	RAM@0x400	32 ビット

24.4.15 ECC Fp スカラー乗算

この演算は、 $a k \times P (x_P, y_P)$ の計算式となります。ここで、P は素体上の曲線の点であり、「x」は楕円曲線のスカラーと点の乗算です。計算結果は、同じ曲線に属する点または無限遠点となります。

ECC Fp スカラー乗算に関する演算方法の概要を、表 160 (通常モード) および表 161 (高速モード) に示しています。高速モードの使用方法は、セクション 24.3.6 に示しています。

表 160. ECC Fp スカラー乗算

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x20	PKA_CR	6 ビット
IN	スカラー倍数 k の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x400	32 ビット
	係数の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x404	
	曲線係数 a の符号	0x0 : 正 0x1 : 負	RAM@0x408	

表 160. ECC Fp スカラー乗算 (続き)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	曲線係数 $ a $	(絶対値、 $ a < p$)	RAM@0x40C	EOS
	曲線の係数の値 p	(奇数の整数素数、 $0 < p < 2^{640}$)	RAM@0x460	
	スカラー倍数 k	($0 \leq k < 2^{640}$)	RAM@0x508	
	点 P の座標 x_P	($x < p$)	RAM@0x55C	
	点 P の座標 y_P	($y < p$)	RAM@0x5B0	
OUT	結果 : $k \times P$ の座標 x	(結果 $< p$)	RAM@0x55C	
	結果 : $k \times P$ の座標 y	(結果 $< p$)	RAM@0x5B0	

表 161. ECC Fp スカラー乗算 (高速モード)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x22	PKA_CR	6 ビット
IN	スカラー倍数 k の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x400	32 ビット
	係数の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x404	
	曲線係数 a の符号	0x0 : 正 0x1 : 負	RAM@0x408	
IN	曲線係数 $ a $	(絶対値、 $ a < p$)	RAM@0x40C	EOS
	曲線の係数の値 p	(奇数の整数素数、 $0 < p < 2^{640}$)	RAM@0x460	
	スカラー倍数 k	($0 \leq k < 2^{640}$)	RAM@0x508	
	点 P の座標 x_P	($x < p$)	RAM@0x55C	
	点 P の座標 y_P	($y < p$)	RAM@0x5B0	
IN	モンゴメリパラメータ $R^2 \text{ mod } p$	(必須)	RAM@0x4B4	
OUT	結果 : $k \times P$ の座標 x	(結果 $< p$)	RAM@0x55C	
	結果 : $k \times P$ の座標 y	(結果 $< p$)	RAM@0x5B0	

この演算を実行する場合、次の特殊なケースに注意する必要があります。

- $k = 0$ のとき、曲線パラメータ b が 0 以外の場合、この機能は $(0, 0)$ の無限遠点を返し、それ以外は $(0, 1)$ を返します。 k が 0 以外の場合、無限遠点が返される場合があります。アプリケーションがこの動作を検出したとき、新しい計算を実行する必要があります。
- $k < 0$ のとき (例: 負のスカラー乗算が必要とされる場合)、倍数の絶対値 $k = |-k|$ を PKA に渡す必要があります。計算完了後、 $-P = (x, -y)$ の式を使用して、有効な最終結果の y 座標を計算できます (x 座標は同じままです)。

24.4.16 ECDSA 署名

ECDSA 署名演算 (セクション 24.3.5 で説明) の概要は 表 162 (入力パラメータ) と 表 163 (出力パラメータ) に示します。

アプリケーションで出力エラーが 0 かどうかを確認し、0 以外の場合は、新しい k を生成して、ECDSA 署名演算を繰り返す必要があります。

表 162. ECDSA 署名 - 入力

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x24	PKA_CR	6 ビット
	曲線の素数位数 n の長さ	(ビット単位、null 以外)	RAM@0x400	32 ビット
	曲線の係数 p の長さ	(ビット単位、 $8 < \text{値} < 640$)	RAM@0x404	
	曲線係数 a の符号	0x0 : 正 0x1 : 負	RAM@0x408	
	曲線係数 $ a $	(絶対値、 $ a < p$)	RAM@0x40C	EOS
	曲線の係数の値 p	(奇数の整数素数、 $0 < p < 2^{640}$)	RAM@0x460	
	整数 $k^{(1)}$	($0 \leq k < 2^{640}$)	RAM@0x508	
	曲線の基点 G の座標 x	($x < p$)	RAM@0x55C	
	曲線の基点 G の座標 y	($y < p$)	RAM@0x5B0	
	メッセージのハッシュ z	($z < 2M$)	RAM@0xDE8	
	秘密鍵 d	(正の整数)	RAM@0xE3C	
	曲線の素数位数 n	(整数素数)	RAM@0xE94	

1. 通常、この整数は暗号として安全な乱数ですが、場合によっては決定論的に生成されることがあります。

表 163. ECDSA 署名 - 出力

方向とパラメータ		値 (注意)	ストレージ	サイズ
OUT	署名部分 r	($0 < r < n$)	RAM@0x700	EOS
	署名部分 s	($0 < s < n$)	RAM@0x754	
ERROR	署名の結果	- 0x0 : エラーなし - 0x1 : 署名部分 r が 0 - 0x2 : 署名部分 s が 0	RAM@0xEE8	32 ビット

注 : エラー出力が 0 以外である場合、PKA メモリの内容をクリアして、秘密鍵に関する情報の漏えいを回避する必要があります。

拡張 ECDSA サポート

PKA は、拡張 ECDSA 署名もサポートしており、入力および出力は同じ ECDSA 署名 (それぞれ 表 162 および 表 163) を持ち、点 kG の座標が追加されています。この追加出力は 表 164 に定義されています。

表 164. 拡張 ECDSA 署名 (追加出力)

方向とパラメータ		値 (注意)	ストレージ	サイズ
OUT	曲線の点 kG の座標 x_1	$(0 \leq x_1 < p)$	RAM@0x103C	EOS
	曲線の点 kG の座標 y_1	$(0 \leq y_1 < p)$	RAM@0x1090	

24.4.17 ECDSA 検証

ECDSA 検証演算 (セクション 24.3.5 で説明) の概要は 表 165 (入力パラメータ) と 表 166 (出力パラメータ) に示します。

アプリケーションで出力エラーが 0 かどうかを確認し、0 以外の場合は、署名が検証されません。

表 165. ECDSA 検証 (入力)

方向とパラメータ		値 (注意)	ストレージ	サイズ
IN	MODE	0x26	PKA_CR	6 ビット
	曲線の素数位数 n の長さ	(ビット単位、null 以外)	RAM@0x404	32 ビット
	曲線の係数 p の長さ	(ビット単位、null 以外、 $8 < \text{値} < 640$)	RAM@0x4B4	
	曲線係数 a の符号	0x0 : 正 0x1 : 負	RAM@0x45C	
	曲線係数 $ a $	(絶対値、 $ a < p$)	RAM@0x460	EOS
	曲線の係数の値 p	(奇数の整数素数、 $0 < p < 2^{640}$)	RAM@0x4B8	
	曲線の基点 G の座標 x	$(x < p)$	RAM@0x5E8	
	曲線の基点 G の座標 y	$(y < p)$	RAM@0x63C	
	公開鍵曲線の点 Q の座標 x_Q	$(x_Q < p)$	RAM@0xF40	
	公開鍵曲線の点 Q の座標 y_Q	$(y_Q < p)$	RAM@0xF94	
	署名部分 r	$(0 < r < n)$	RAM@0x1098	
	署名部分 s	$(0 < s < n)$	RAM@0xA44	
	メッセージのハッシュ z	$(z < 2^M)$	RAM@0xFE8	
	曲線の素数位数 n	(整数素数)	RAM@0xD5C	

表 166. ECDSA 検証 (出力)

方向とパラメータ		値 (注意)	ストレージ	サイズ
OUT	結果 : ECDSA 検証	0x0 : 有効な署名 0x0 以外 : 無効な署名	RAM@0x5B0	32 ビット

24.5 設定と処理時間の例

24.5.1 サポートされている楕円曲線

PKA は、素体上で定義されたすべての非特異な楕円曲線をサポートしています。これらの曲線は、短いワイエルシュトラス方程式 $y^2 = x^3 + ax + b \pmod{p}$ で表すことができます。

注： **2 値曲線、エドワーズ曲線、および Curve25519 は、PKA ではサポートされません。ECC 演算でサポートされる最大オペランドサイズは 640 ビットです。**

これらの楕円曲線の ECC 定義域のパラメータを公開する場合、標準化団体では以下のようなパラメータを定義しています。

- 整数素数 p : 有限体 GF (p) におけるすべての点演算の係数として使用されます。
- 整数 (通常は素数) n : 以下に定義される G によって生成される群の次数。
- 曲線 G の基点 : 座標 (G_x, G_y) によって定義されます。
- 整数 a および b : 短いワイエルシュトラス方程式の係数。

最後の箇条書きに関して、標準化団体が a を負として定義している場合、PKA は以下の 2 つの表記をサポートしています。

1. 有限体 $G_f(p)$ において $p-|a|$ として定義された a 、たとえば $p-3$:
 曲線係数 $p = 0xFFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFFF$
 曲線係数 a の符号 = $0x0$ (正)
 曲線係数 $a = 0xFFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFFF$
 FFFFFFFF
2. 負として定義された a 、たとえば -3 :
 曲線係数 $p = 0xFFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFFF$
 FFFFFFFF
 曲線係数 a の符号 = $0x1$ (負)
 曲線係数 $a = 0x00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000$
 00000003

表 167 に、ECC 演算に対して PKA がサポートする曲線群をまとめます。

表 167. ECC 演算でサポートされる曲線群

曲線名	標準	参照
P-192	NIST	デジタル署名標準 (DSS)、NIST FIPS 186-4
P-224		
P-256		
P-384		
P-521		

表 167. ECC 演算でサポートされる曲線群 (続き)

曲線名	標準	参照	
brainpoolP224r1, brainpoolP224t1	IETF	<ul style="list-style-type: none"> - Brainpool 楕円曲線、IETF RFC 5639 - インターネット鍵交換 (IKE) グループ記述レジストリの Brainpool 楕円曲線、IETF RFC 6932 	https://tools.ietf.org
brainpoolP256r1, brainpoolP256t1			
brainpoolP320r1, brainpoolP320t1			
brainpoolP384r1, brainpoolP384t1			
brainpoolP512r1, brainpoolP512t1			
secp192k1, secp192r1	SEC	効率的な暗号化標準 SEC 2 の曲線	https://www.secg.org
secp224k1, secp224r1			
secp256k1, secp256r1			
secp384r1			
secp521r1			
公開鍵暗号化 アルゴリズム SM2 の 推奨曲線パラメータ	OSCCA	<ul style="list-style-type: none"> - 楕円曲線に基づいた公開鍵暗号アルゴリズム SM2、中国国家商務管理機構 OSCCA SM2、2010 年 12 月 - デジタル署名 - パート 3 離散対数ベースのメカニズム、ISO/IEC 14888-3、2018 年 11 月 	

24.5.2 計算時間

次の表に、クロックサイクルで表した PKA の計算時間の概要を示します。

表 168. ベキ剰余の計算時間

指数の長さ (ビット単位)	モード	係数の長さ (ビット単位)		
		1024	2048	3072
3	ノーマル	304000	814000	1728000
	高速	46000	164000	356000
17	ノーマル	326000	896000	1910000
	高速	68000	246000	534000
$2^{16} + 1$	ノーマル	416000	1222000	2616000
	高速	158000	572000	1244000
1024	ノーマル	11664000	-	-
	高速	11280000	-	-
	CRT ⁽¹⁾	3546000	-	-
2048	ノーマル	-	83834000	-
	高速	-	82046000	-
	CRT ⁽¹⁾	-	23468000	-
3072	ノーマル	-	-	274954000
	高速	-	-	273522000
	CRT ⁽¹⁾	-	-	73378000

1. CRT は中国の剰余定理最適化の略です (MODE ビットフィールド = 0x07)。

表 169. ECC スカラ乗算の計算時間⁽¹⁾

モード	係数の長さ (ビット単位)						
	160	192	256	320	384	512	521
ノーマル	1634000	2500000	4924000	8508000	13642000	28890000	33160000
高速	1630000	2494000	4916000	8494000	13614000	28842000	33158000

1. これらの時間は、スカラーパラメータに含まれる「1」の数に影響されます。

表 170. ECDSA 署名の平均計算時間^{(1) (2)}

係数の長さ (ビット単位)						
160	192	256	320	384	512	521
1760000	2664000	5249000	9016000	14596000	30618000	35540000

1. これらの値は、指定された長さのランダムな係数による平均実行時間です。係数の長さや値に影響されます。

2. NIST 楕円曲線の有限体を定義する係数の実行時間は、Brainpool 楕円曲線に使用する係数や同じサイズのランダムな係数に対してかかる時間より短くなります。

表 171. ECDSA 検証の平均計算時間

係数の長さ (ビット単位)						
160	192	256	320	384	512	521
3500000	5350000	10498000	18126000	29118000	61346000	71588000

表 172. 楕円曲線 Fp 上の確認平均計算時間

係数の長さ (ビット単位)					
160	192	256	320	384	512
10800	14200	20400	31000	49600	82400

表 173. モンゴメリパラメータの平均計算時間⁽¹⁾

係数の長さ (ビット単位)									
160	192	256	320	384	512	521	1024	2048	3072
4518	7846	11848	14902	21682	35012	64000	119536	466146	1104642

1. 計算時間は、係数の長さ値に依存します。したがって、これらの値は、与えられた長さのランダム係数の平均実行時間です。

24.6 PKA 割込み

公開鍵アクセラレータによって生成され個別にマスク可能な割込みソースは 3 つあり、次のイベントが通知されます。

1. マップされていないアドレスへのアクセス (ADDRERRF) (セクション 24.3.7 を参照)
2. PKA 演算中の PKA RAM のアクセス (RAMERRF) (セクション 24.3.7 を参照)
3. PKA 演算終了 (PROCENDF)

この 3 つの割込みソースは、同じグローバル割込みリクエスト信号 pka_it に接続されます。

PKA 制御レジスタ (PKA_CR) のマスクビットを変更することにより、上記の割込みソースを個別に有効にしたり無効にしたりすることができます。適切なマスクビットを 1 にセットすることで、その割込みが有効になります。個別の割込みイベントのステータスは PKA ステータスレジスタ (PKA_SR) から読み出すことができ、PKA_CLRFR レジスタでクリアされます。

表 174 に、使用可能な機能の概要を示します。

表 174. PKA 割込みリクエスト

項目 (割込みの 略称)	割込みイベント	イベントフラグ	有効制御ビット	割込みのクリア方法
PKA	マップされていないアドレスへのアクセスエラー	ADDRERRF	ADDRERRIE	ADDRERRFC ビットをセット
	PKA RAM アクセスエラー	RAMERRF	RAMERRIE	RAMERRFC ビットをセット
	PKA 演算終了	PROCENDF	PROCENDIE	PROCENDFC ビットをセット

24.7 PKA レジスタ

24.7.1 PKA 制御レジスタ (PKA_CR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDR ERRIE	RAM_ ERRIE	Res.	PROC ENDIE	Res.
											r/w	r/w		r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	MODE[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	START	EN
		r/w	r/w	r/w	r/w	r/w	r/w							r/w	r/w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRIE** : アドレスエラー割込みイネーブル

0 : PKA_SR に ADDRERRF フラグがセットされても、割込みは生成されません。

1 : PKA_SR に ADDRERRF フラグがセットされると、割込みが生成されます。

ビット 19 **RAMERRIE** : RAM エラー割込みイネーブル

0 : PKA_SR に RAMERRF フラグがセットされても、割込みは生成されません。

1 : PKA_SR に RAMERRF フラグがセットされると、割込みが生成されます。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDIE** : 操作終了割込みイネーブル

0 : PKA_SR に PROCENDF フラグがセットされても、割込みは生成されません。

1 : PKA_SR に PROCENDF フラグがセットされると、割込みが生成されます。

ビット 16:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:8 **MODE[5:0]** : PKA 演算コード

000000 : モンゴメリパラメータ計算後にべき剰余

000001 : モンゴメリパラメータ計算のみ

000010 : べき剰余のみ (モンゴメリパラメータを最初にロードする必要があります)

100000 : モンゴメリパラメータ計算後に ECC スカラー乗算

100010 : ECC スカラー乗算のみ (モンゴメリパラメータを最初にロードする必要があります)

100100 : ECDSA 署名

100110 : ECDSA 検証

101000 : 楕円曲線 Fp 上の点の確認

000111 : RSA CRT べき乗

001000 : モジュラ逆数

001001 : 算術加算

001010 : 算術減算

001011 : 算術乗算

001100 : 算術比較

001101 : モジュラリダクション

001110 : 剰余加算

001111 : 剰余減算

010000 : モンゴメリ乗算

その他 : 予約済みです。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **START** : 演算開始

このビットに 1 を書き込むと、PKA RAM に既にかき込まれたオペランドとデータを使用して、MODE[5:0] で選択された演算を開始します。このビットは常に 0 として読み出されます。

注: PKA がビジーであると、START は無視されます。

ビット 0 **EN** : PKA イネーブル

0 : PKA を無効にします。

1 : PKA を有効にします。

注: EN=0 の場合、PKA RAM はアプリケーションでアクセスできます。

24.7.2 PKA ステータスレジスタ (PKA_SR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDR ERRF	RAM_ ERRF	Res.	PROC ENDF	BUSY
											r	r		r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRF** : アドレスエラーフラグ

0 : アドレスエラーはありません。

1 : アドレスアクセスが範囲外 (マップされていないアドレス) です。

このビットは、PKA_CLRFR の ADDRERRFC ビットを使用してクリアされます。

ビット 19 **RAMERRF** : PKA RAM エラーフラグ

0 : PKA RAM アクセスエラーはありません。

1 : PKA コアが計算中に内部 RAM を使用して、PKA RAM への AHB アクセスが発生しました (AHB PKA_RAM は PKA 演算中にアクセスできません)。

このビットは、PKA_CLRFR の RAMERRFC ビットを使用してクリアされます。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDF** : PKA 演算終了フラグ

0 : 演算が進行中です。

1 : PKA 演算が完了しました。このフラグは、BUSY ビットがネゲートされたときにセットされます。

ビット 16 **BUSY** : PKA 演算進行中

このビットは、PKA_CR の START ビットがセットされているときは必ず 1 にセットされます。計算が完了すると自動的にクリアされ、PKA RAM に安全にアクセスし、新しい演算を開始できることを示します。

0 : 進行中の演算がありません (デフォルト)。

1 : 演算が進行中です。

PKA が誤った OP コードで開始した場合、ペリフェラルは数サイクルの間ビジー状態となり、演算を自動的にアボートしてレディ状態に戻ります (BUSY ビットが 0 にセットされます)。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

24.7.3 PKA クリアフラグレジスタ (PKA_CLRFR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDR ERRFC	RAM_ ERRFC	Res.	PROC ENDFC	Res.
											w	w		w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRFC** : アドレスエラーフラグのクリア

0 : 影響なし。

1 : PKA_SR の ADDRERRF フラグをクリアします。

ビット 19 **RAMERRFC** : PKA RAM エラーフラグのクリア

0 : 影響なし。

1 : PKA_SR の RAMERRF フラグをクリアします。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDFC** : PKA 演算終了フラグのクリア

0 : 影響なし。

1 : PKA_SR の PROCENDF フラグをクリアします。

ビット 16:0 予約済みであり、リセット値に保持する必要があります。

注 : **PKA_CLRFR** を読み出すとすべて **0** で返されます。

24.7.4 PKA RAM

PKA RAM は、PKA ベースアドレスと比較して 0x0400 のオフセットアドレスでマップされています。PKA.AHB インタフェースでは、32 ビットワード単一アクセスのみがサポートされています。

RAM サイズは 3576 バイトです (最大ワードオフセット : 0x11F4)。

24.7.5 PKA レジスタマップ

表 175. PKA レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x000	PKA_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRIE	RAMERRIE	Res.	PROCENDIE	Res.	Res.	Res.	MODE[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	START	EN
	リセット値												0	0		0				0	0	0	0	0	0							0	0		
0x004	PKA_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRF	RAMERRF	Res.	PROCENDF	BUSY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値												0	0		0	0																		
0x008	PKA_CLRFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRFC	RAMERRFC	Res.	PROCENDFC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値												0	0		0																			

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

25 高機能制御タイマ (TIM1)

この参考マニュアルが適用される製品ではこのタイプのタイマを使うケースは一例しかないため、このセクションでは“TIMx”は“TIM1”として理解する必要があります。

25.1 TIM1 の概要

高機能制御タイマ (TIM1) は、プログラム可能なプリスケラによって駆動される 16 ビットの自動再ロードカウンタで構成されています。

入力信号のパルス長の測定 (入力キャプチャ) や出力波形の生成 (出力比較、PWM、デッドタイムを挿入した相補 PWM) など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケラと RCC クロックコントローラプリスケラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

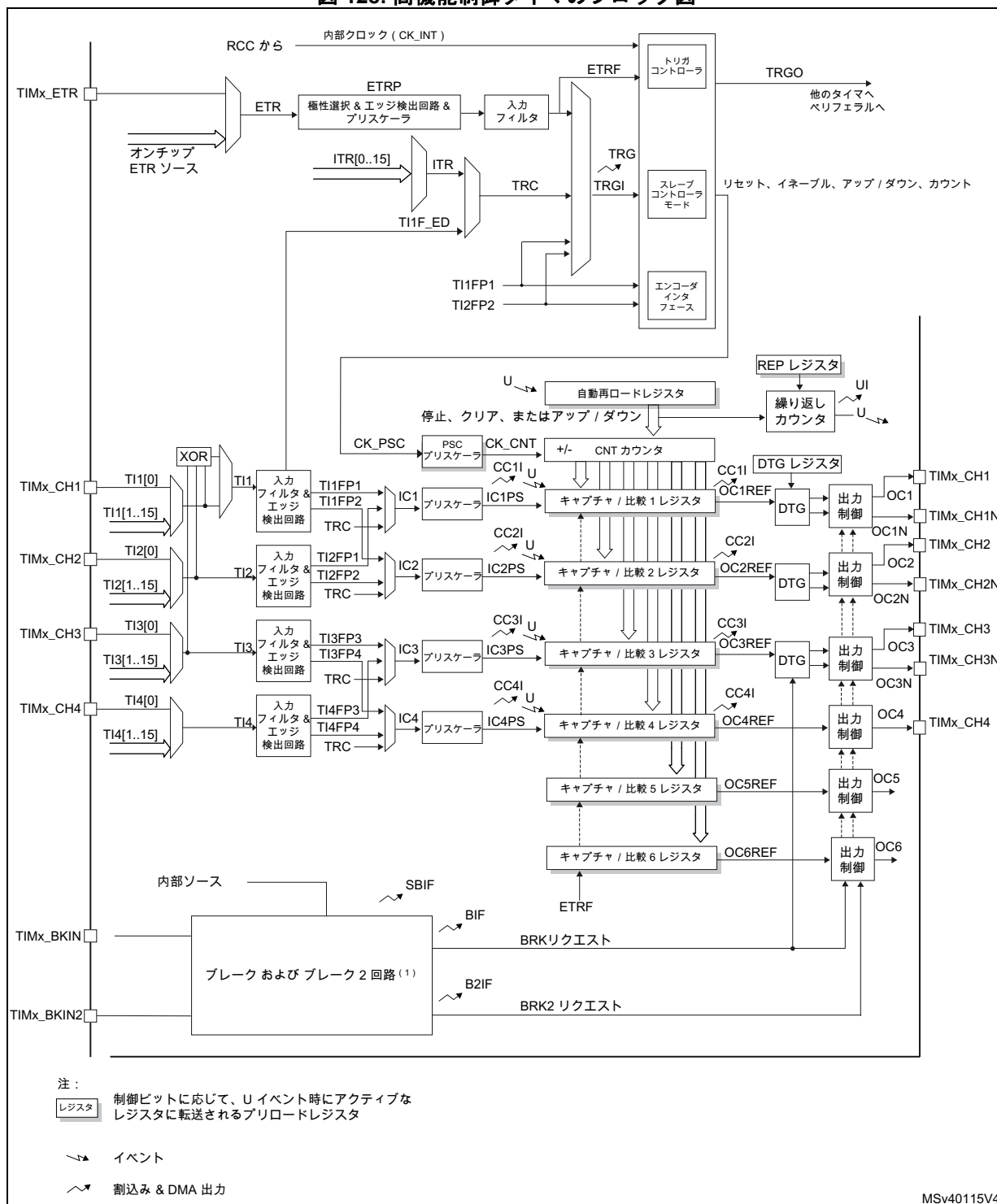
高機能制御タイマ (TIM1) と汎用タイマ (TIMy) は、互いに独立しており、リソースを共有しません。これらのタイマは、[セクション 25.3.26: タイマの同期](#)に示すように、相互に同期させることができます。

25.2 TIM1 の主な機能

TIM1 タイマの主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 16 ビットのプログラム可能なプリスケラ。カウンタクロック周波数を 1 から 65536 の間で分周でき、分周比の動作中の変更も可能。
- 次の機能を持つ、最大 6 つの独立チャネル：
 - 入力キャプチャ (ただしチャネル 5 および 6)
 - 出力比較
 - PWM 生成 (エッジアラインモードとセンターアラインモード)
 - ワンパルスモード出力
- プログラム可能なデッドタイムを持つ相補出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をユーザが選択可能な安全な設定にする 2 つのブレイク入力。
- 以下のイベント時の割込み/DMA 生成：
 - 更新：カウンタオーバーフロー/アンダーフロー、カウンタの初期化 (ソフトウェアまたは内部/外部トリガによる)
 - トリガイベント (カウンタの開始、停止、初期化、または内部/外部トリガによるカウント)
 - 入力キャプチャ
 - 出力比較
- 位置決め目的のインクリメンタル (直交) エンコーダとホールセンサ回路をサポート
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

図 128. 高機能制御タイマのブロック図



- 内部ブレイクイベントソースは次のいずれかです。
 - CSS によって生成されたクロック障害イベント。
CSS の詳細については、[セクション 7.2.10: HSE32 のクロックセキュリティシステム \(CSS\)](#)を参照してください。
 - PVD 出力
 - SRAM / パリティエラー信号
 - Cortex[®]-M4 LOCKUP (ハードフォルト) 出力
 - COMPx 出力 (x = 1, 2)

25.3 TIM1 機能詳細

25.3.1 タイムベースユニット

プログラム可能な高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップ、カウントダウン、またはアップダウンします。カウンタのクロックは、プリスケアラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケアラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ (TIMx_CNT)
- プリスケアラレジスタ (TIMx_PSC)
- 自動再ロードレジスタ (TIMx_ARR)
- 繰り返しカウンタレジスタ (TIMx_RCR)

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット (ARPE) に応じて、常時または更新イベント (UEV) ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット (CEN) がセットされているときにのみ、プリスケアラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIMx_CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケアラの説明

プリスケアラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビットレジスタ (TIMx_PSC レジスタ) を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケアラ比は、次の更新イベントで有効になります。

図 129 と 図 130 に、プリスケアラ比を動作中に変更したときのカウンタの動作の例を示します。

図 129. プリスケータ分周比が 1 から 2 に変化したときのカウンタのタイミング図

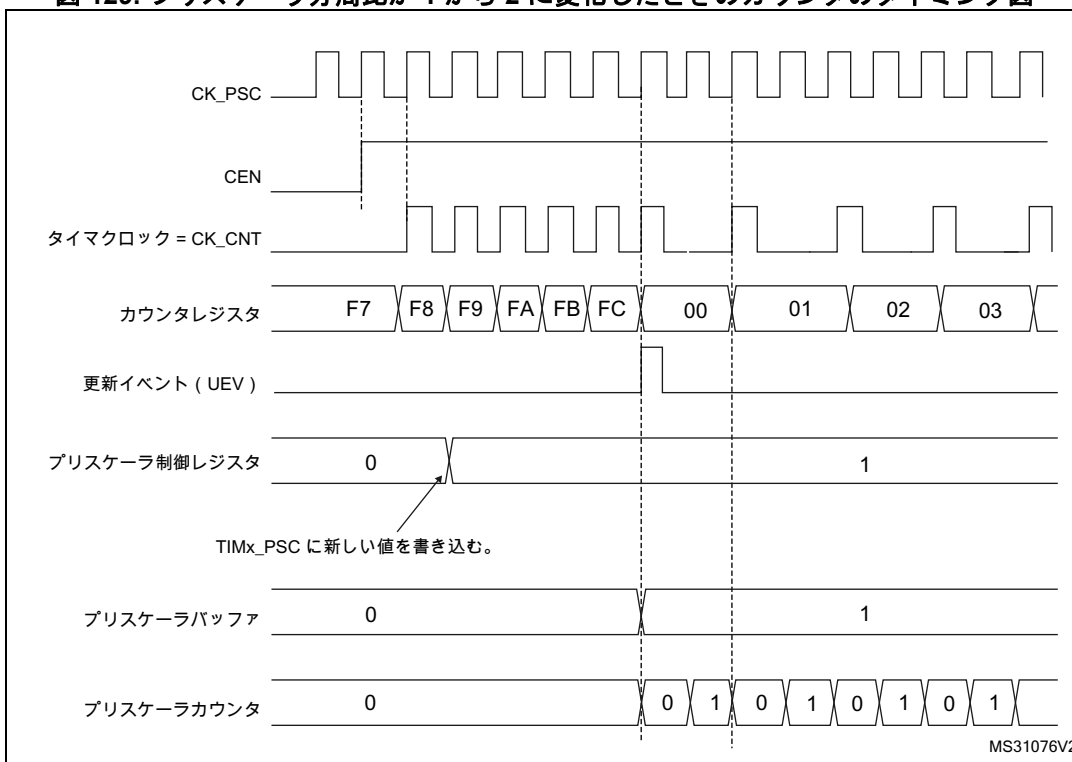
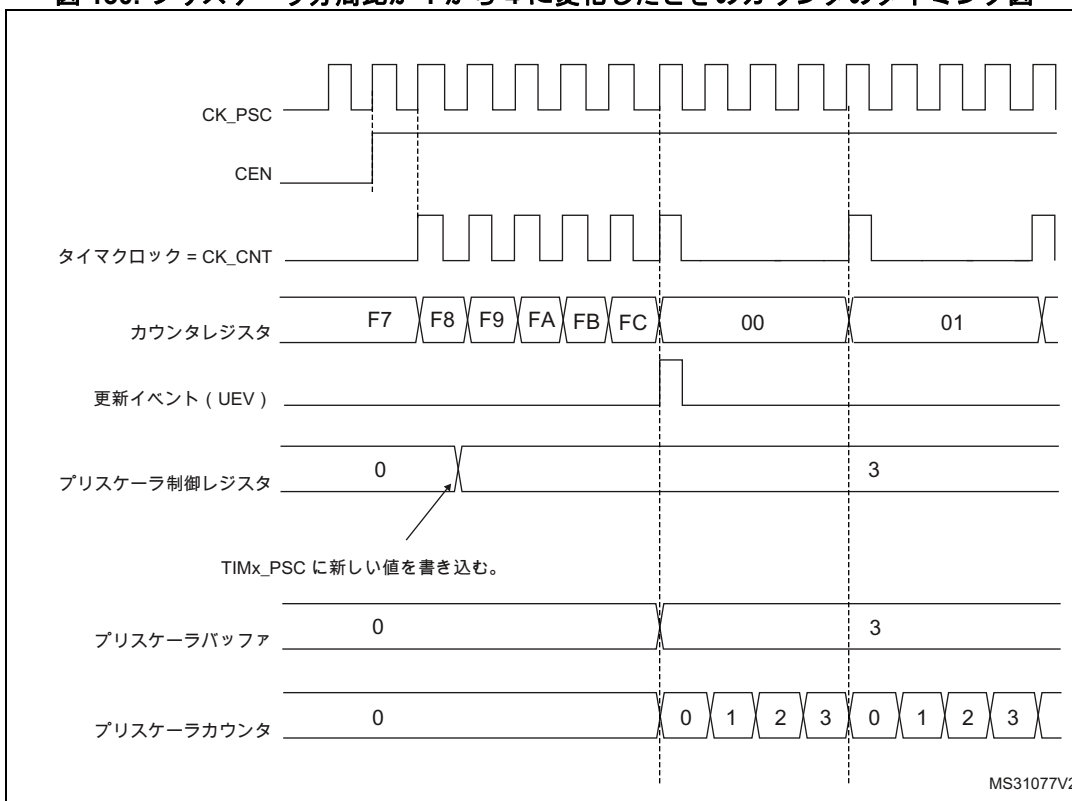


図 130. プリスケータ分周比が 1 から 4 に変化したときのカウンタのタイミング図



25.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値 (TIMx_ARR レジスタの内容) までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数 (TIMx_RCR) + 1 までアップカウント動作が繰り返され、その後に更新イベント (UEV) が生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

(ソフトウェアによって、またはスレーブモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケアラのカウンタと同じく、カウンタは 0 からカウントをリスタートします (ただし、プリスケアラ比は変化しません)。さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (したがって、割込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値 (TIMx_ARR) で更新されます。
- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 131. 内部クロック分周比が 1 の場合のカウンタのタイミング図

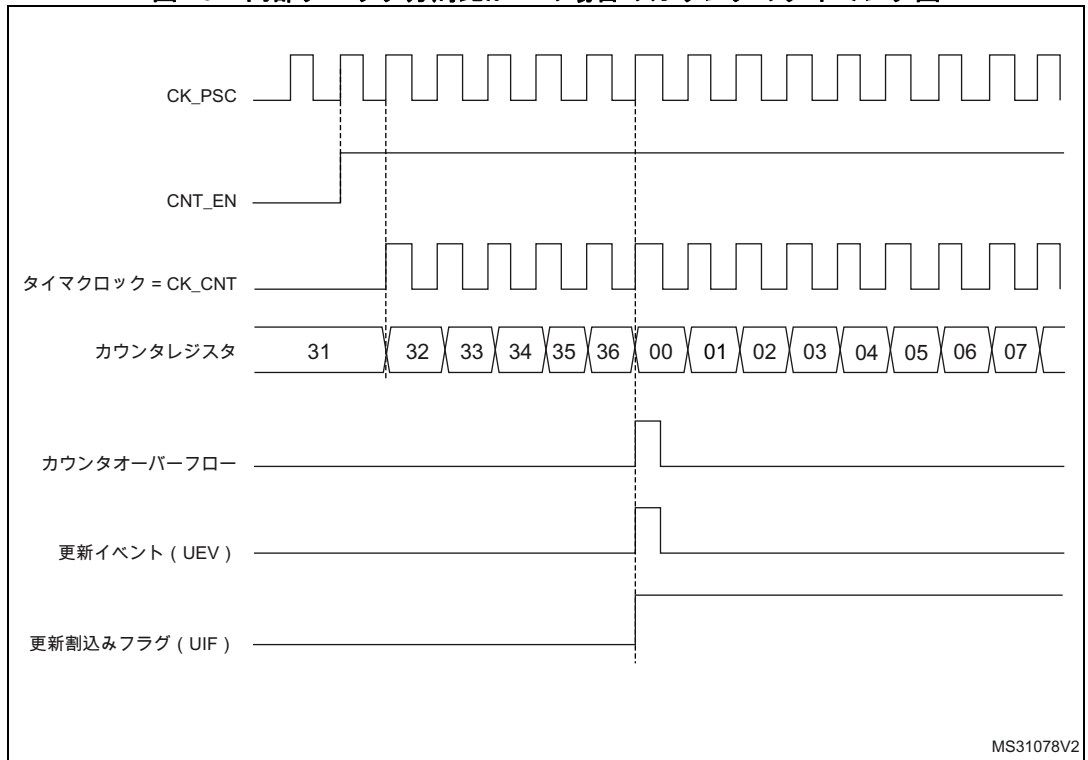


図 132. 内部クロック分周比が 2 の場合のカウンタのタイミング図

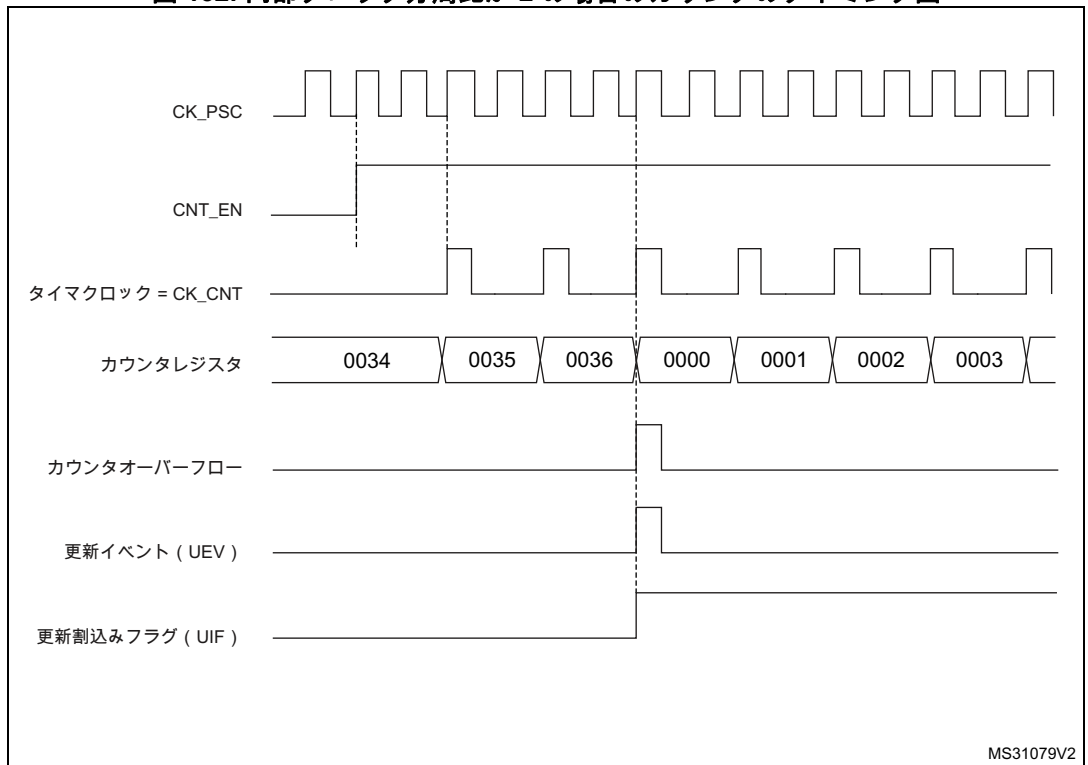


図 133. 内部クロック分周比が 4 の場合のカウンタのタイミング図

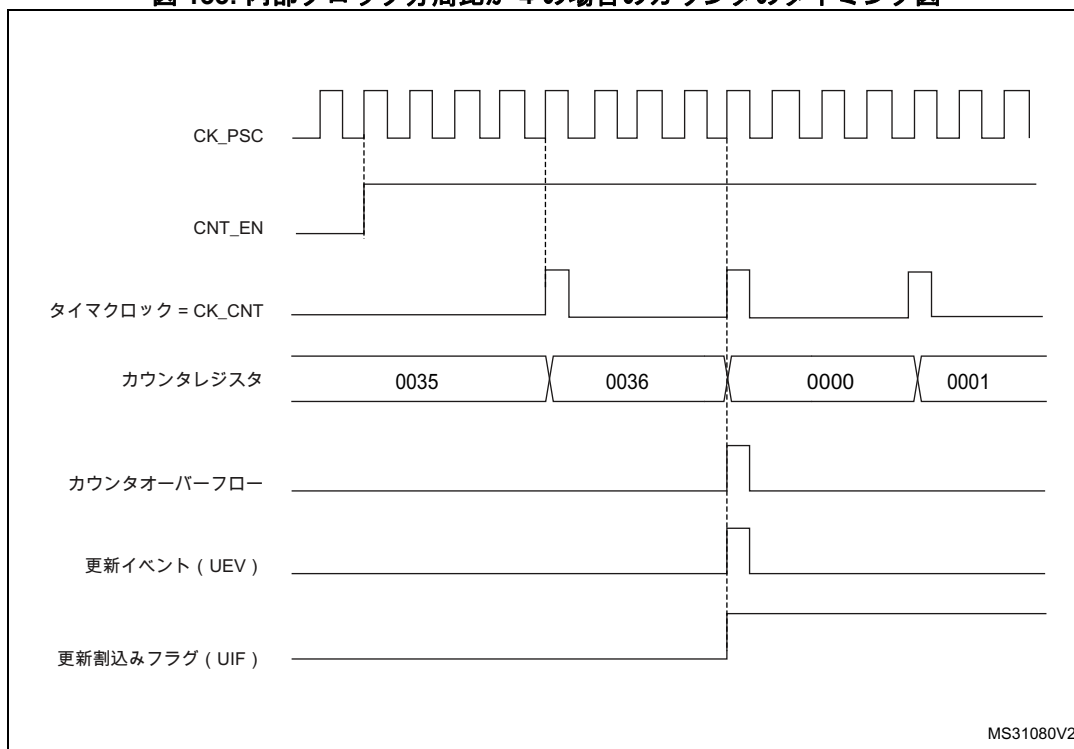


図 134. 内部クロック分周比が N の場合のカウンタのタイミング図

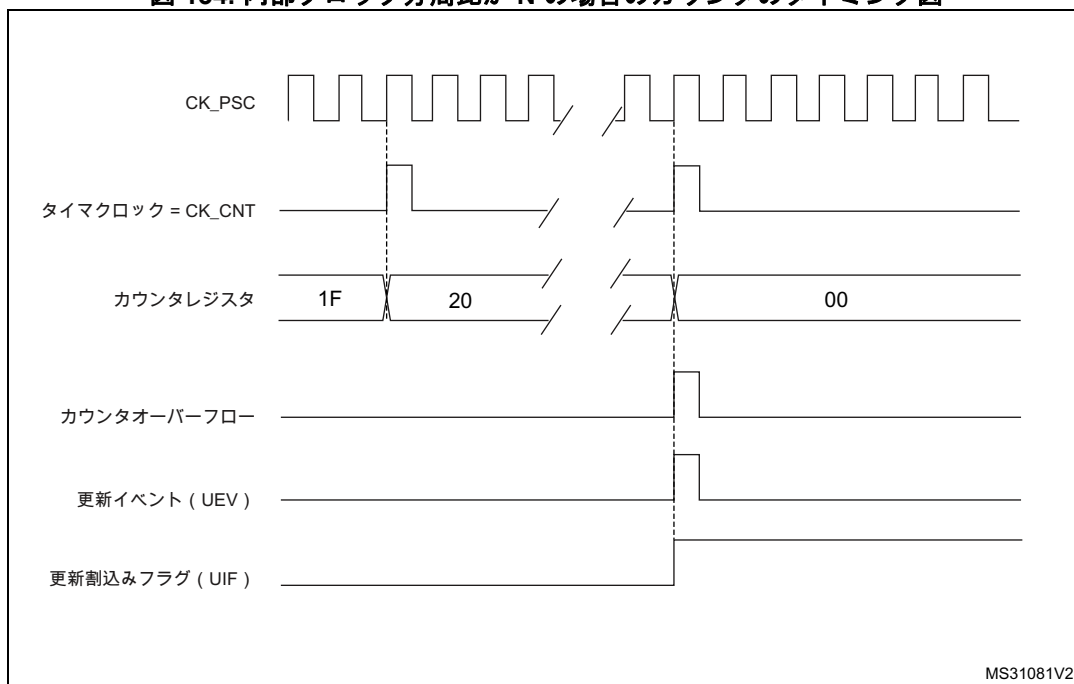


図 135. ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタのタイミング図

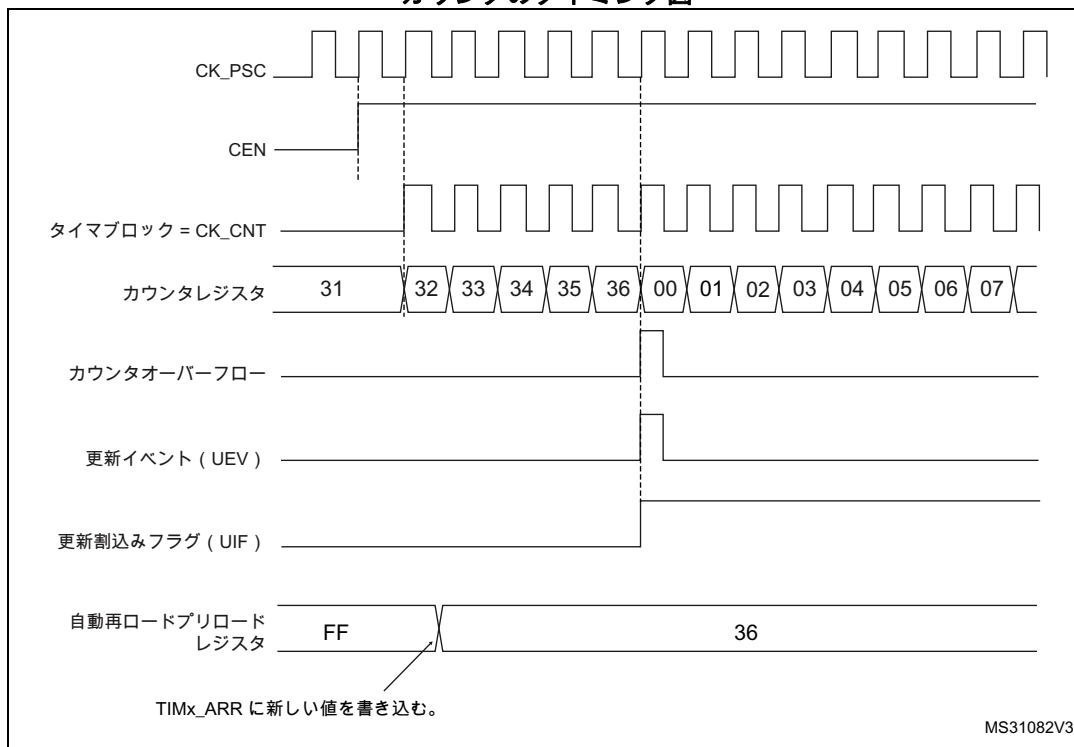
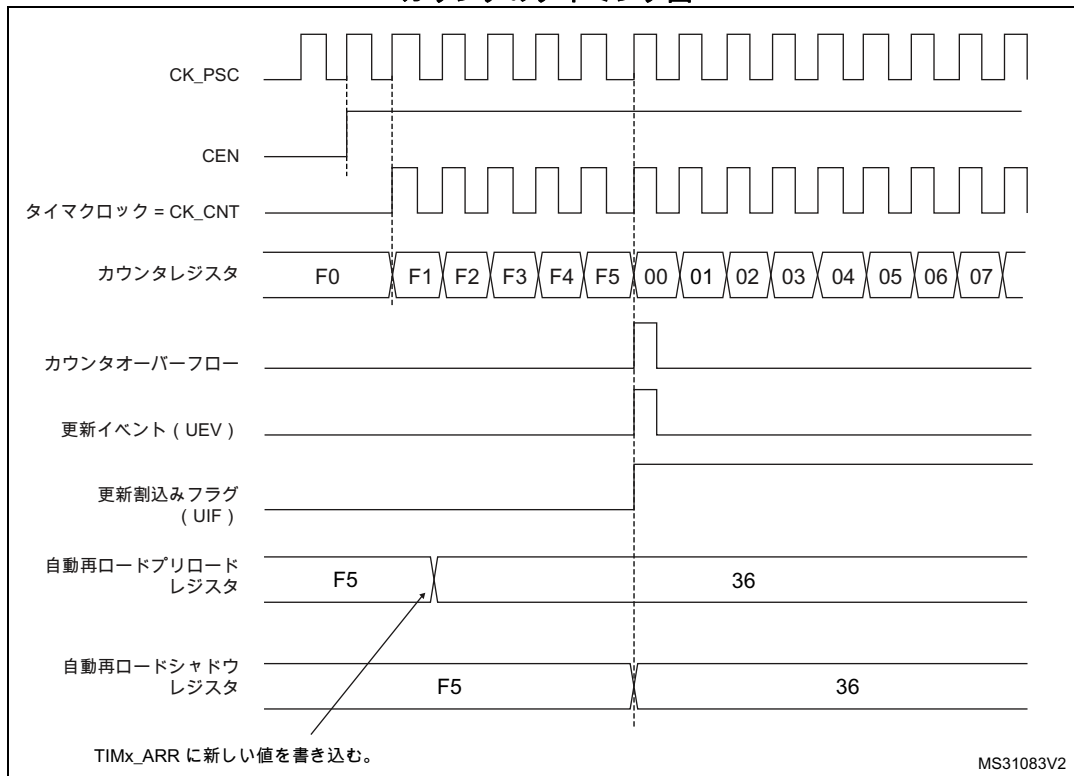


図 136. ARPE=1 (TIMx_ARR がプリロードされる) の場合の更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値 (TIMx_ARR レジスタの内容) から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数 (TIMx_RCR) + 1 までダウンカウント動作が繰り返され、その後に更新イベント (UEV) が生成されます。繰り返しカウンタが使用されていないときには、カウンタのアンダーフローごとに更新イベントが生成されます。

(ソフトウェアによって、またはスレーブモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケアラのカウンタは 0 からリスタートします (しかし、プリスケアラ比は変化しません)。

さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (したがって、割込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値 (TIMx_ARR レジスタの内容) で更新されます。カウンタがリロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 137. 内部クロック分周比が 1 の場合のカウンタのタイミング図

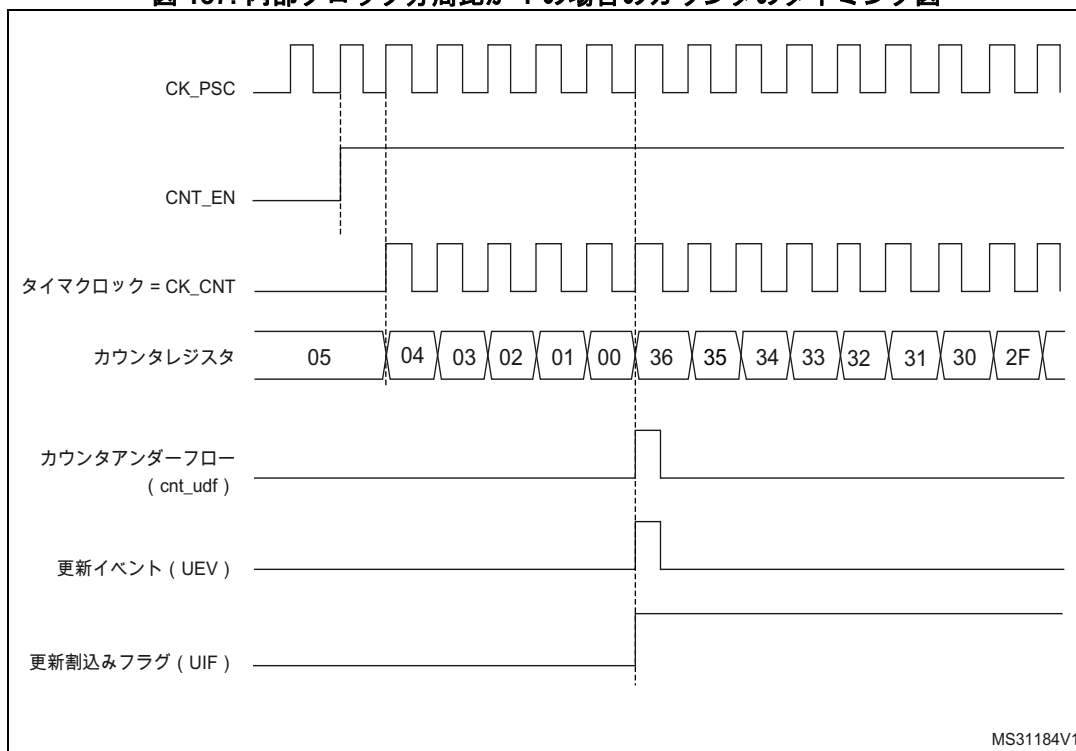


図 138. 内部クロック分周比が 2 の場合のカウンタのタイミング図

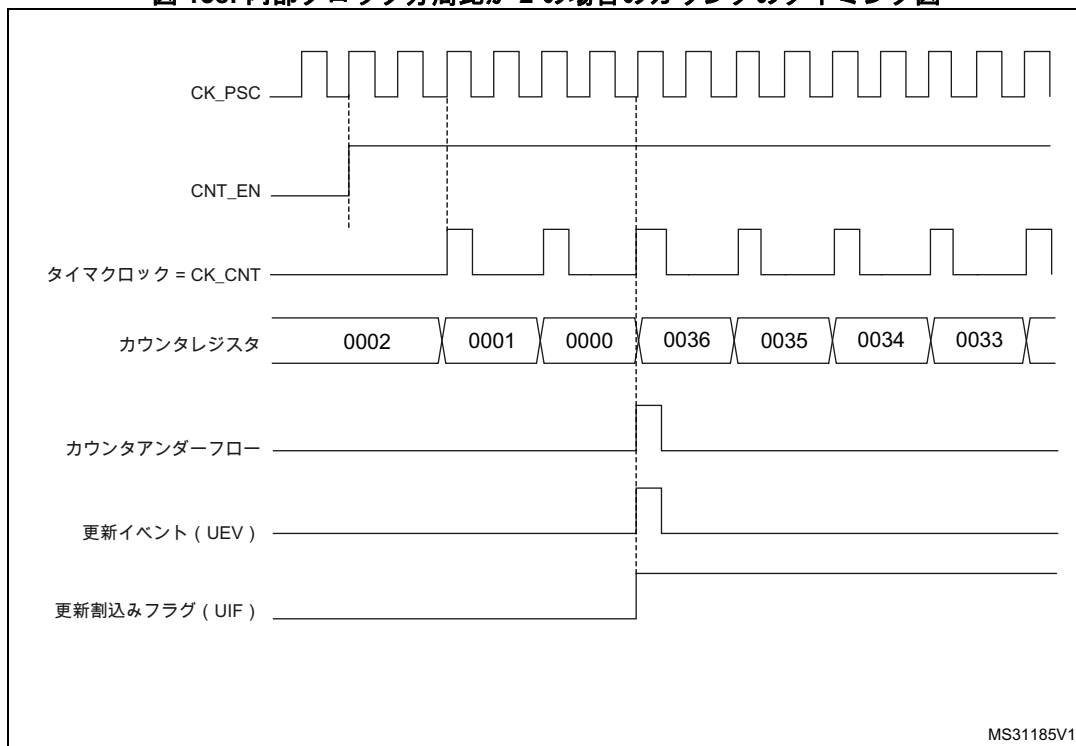


図 139. 内部クロック分周比が 4 の場合のカウンタのタイミング図

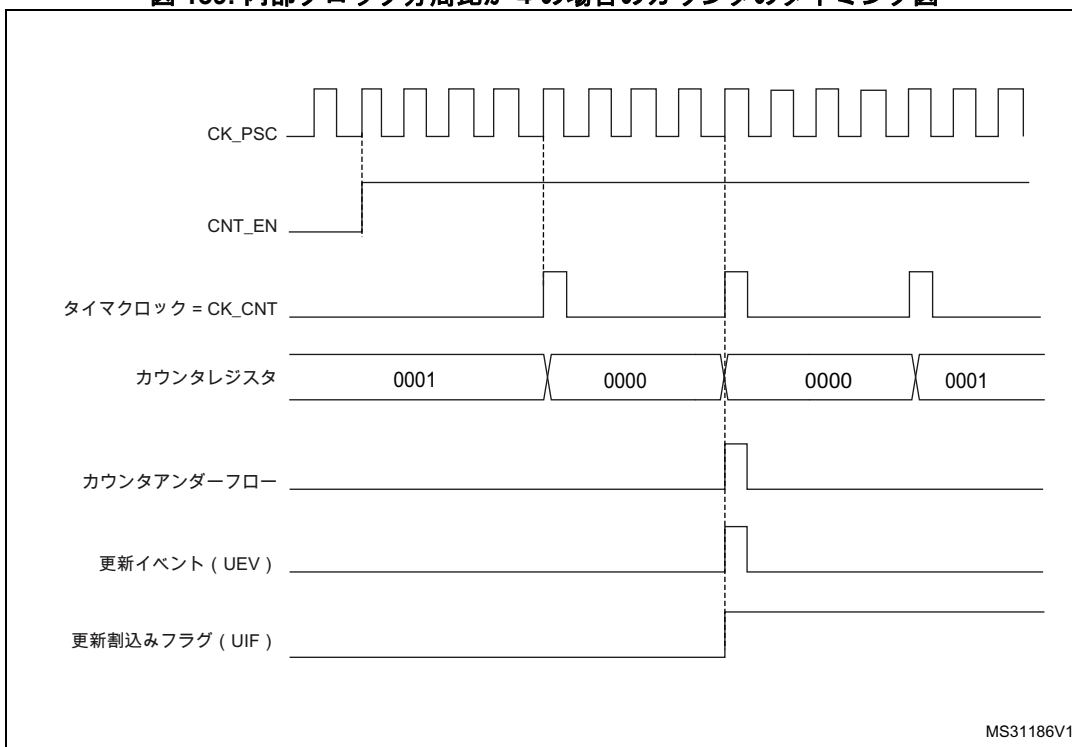


図 140. 内部クロック分周比が N の場合のカウンタのタイミング図

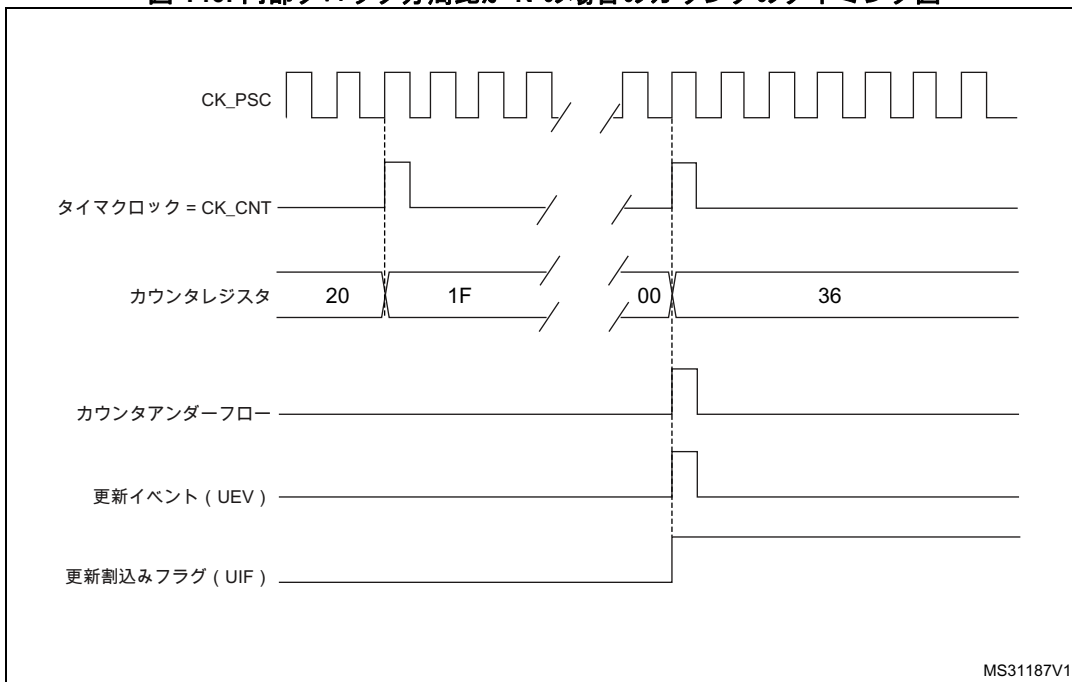
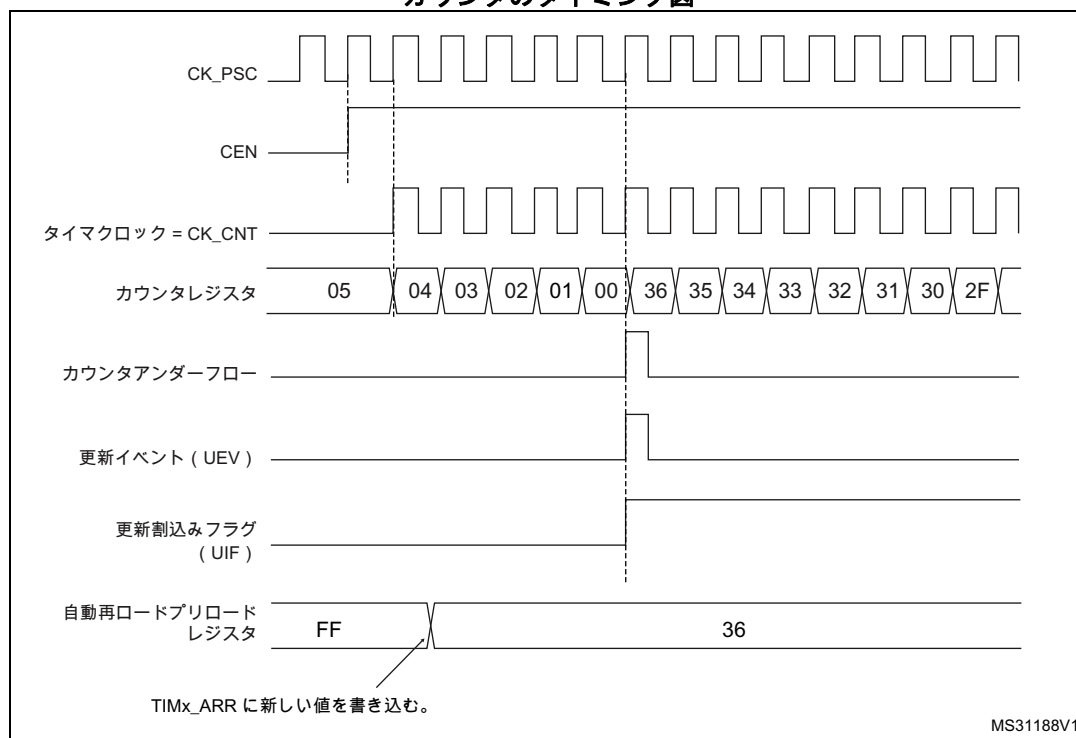


図 141. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図



センターアラインモード (アップ/ダウンカウンタ)

センターアラインモードでは、カウンタは 0 から自動再ロード値 (TIMx_ARR レジスタの内容) -1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割込みフラグは、カウンタがカウントダウンするとき (センターアラインモード 1、CMS=01)、カウンタがカウントアップするとき (センターアラインモード 2、CMS=10)、またはカウンタがカウントアップしてカウントダウンするとき (センターアラインモード 3、CMS=11) にセットされます。

このモードでは、TIMx_CR1 レジスタの方向ビット (DIR) に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、(ソフトウェアで、またはスレーブモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。この場合、プリスケアラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合、UG ビットをセットすると UEV 更新イベントが生成されますが、UIF フラグはセットされません (した

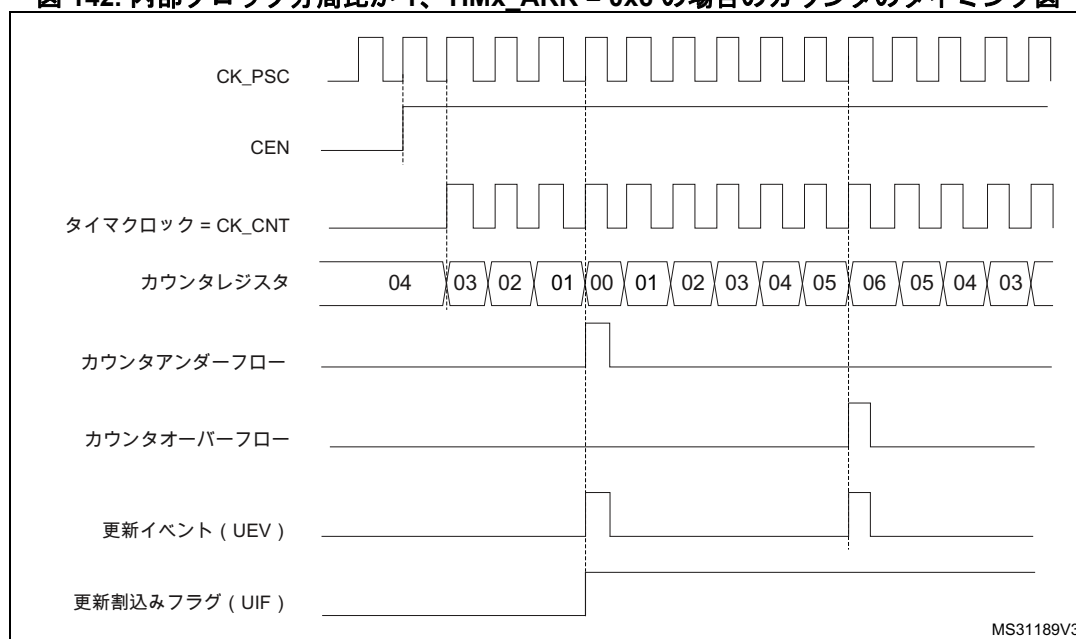
がって、割込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値 (TIMx_ARR レジスタの内容) で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります (カウンタに新しい値がロードされます)。

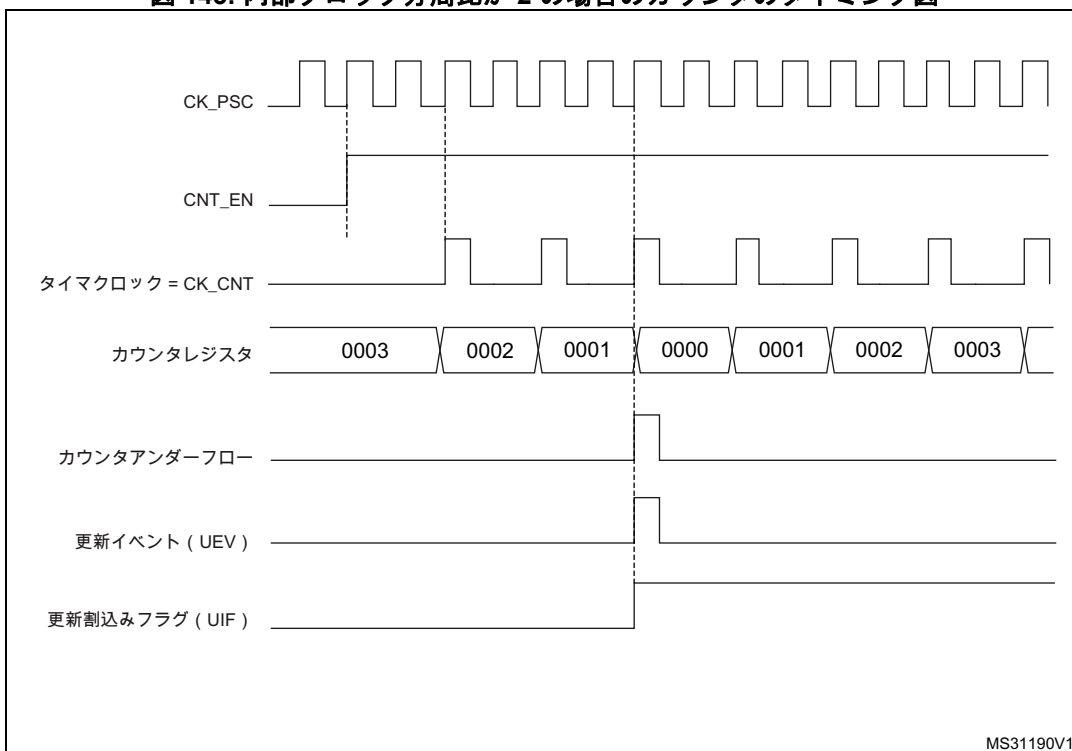
以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 142. 内部クロック分周比が 1、TIMx_ARR = 0x6 の場合のカウンタのタイミング図



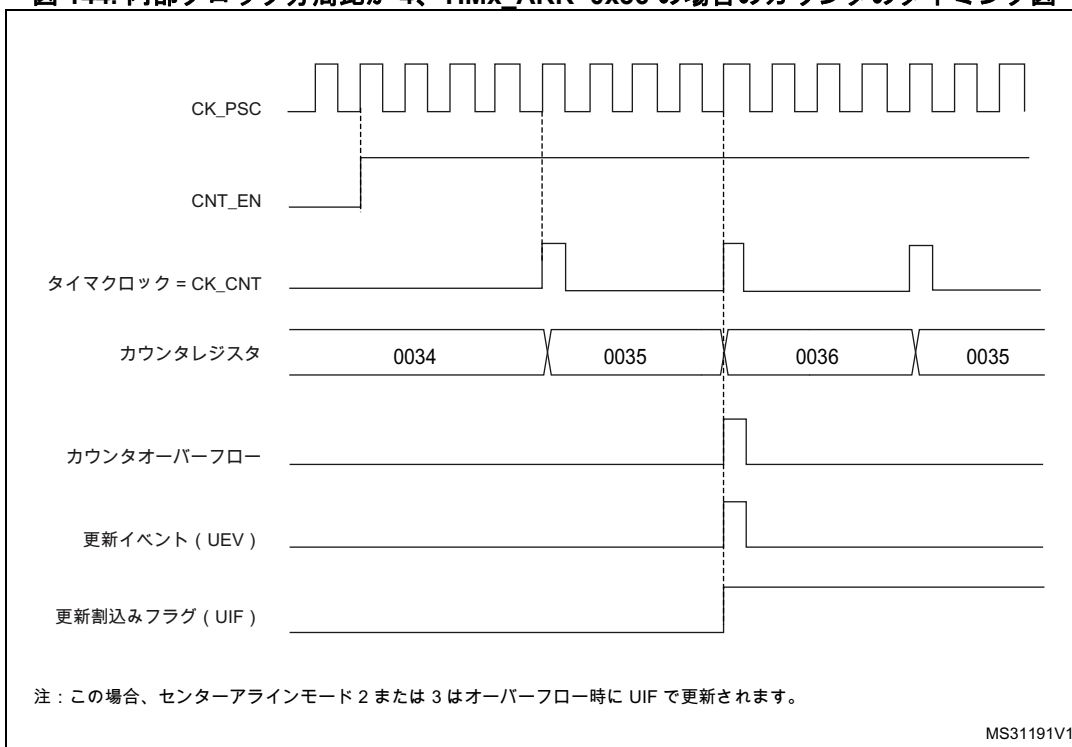
1. ここでは、センターアラインモード 1 が使用されています (詳細については、[セクション 25.4: TIM1 レジスタ](#)を参照)。

図 143. 内部クロック分周比が 2 の場合のカウンタのタイミング図



MS31190V1

図 144. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



MS31191V1

図 145. 内部クロック分周比が N の場合のカウンタのタイミング図

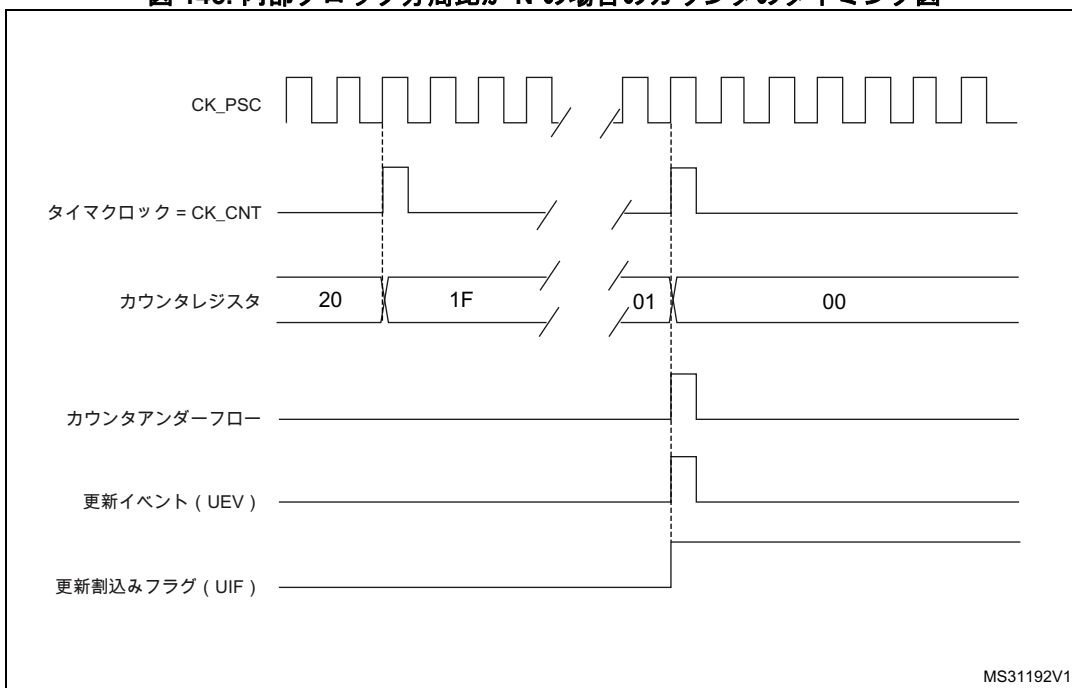


図 146. ARPE=1 (カウンタアンダーフロー) の場合の更新イベント時のカウンタのタイミング図

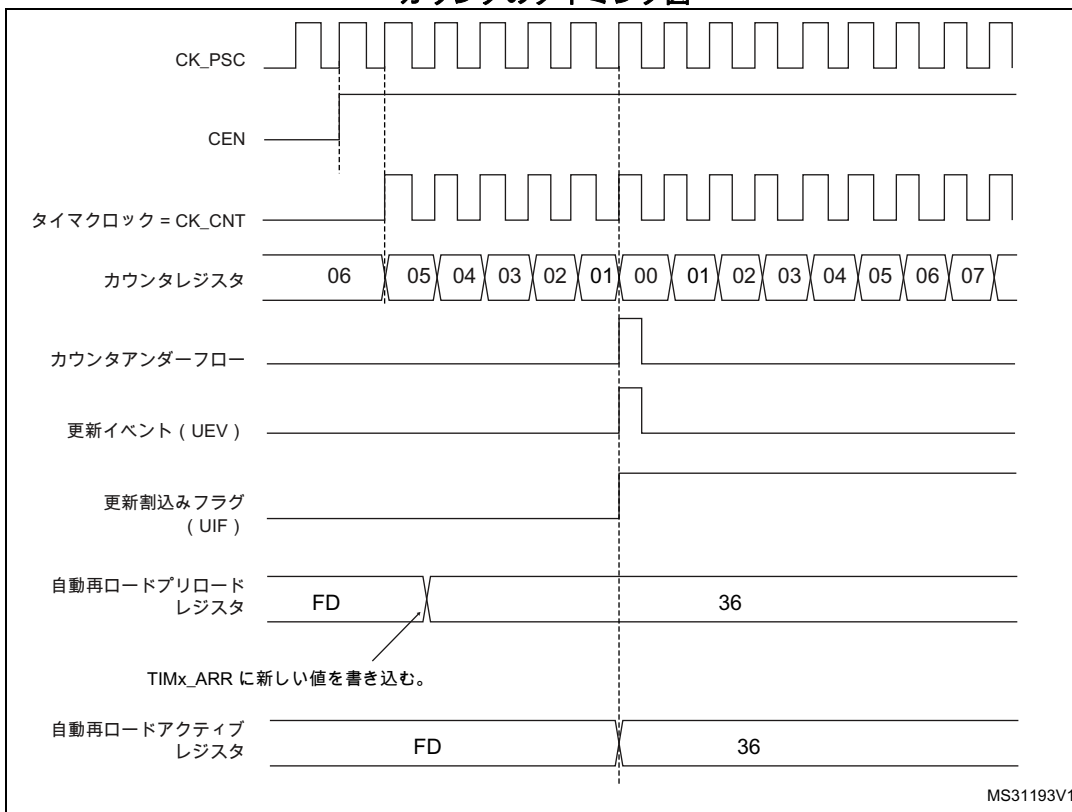
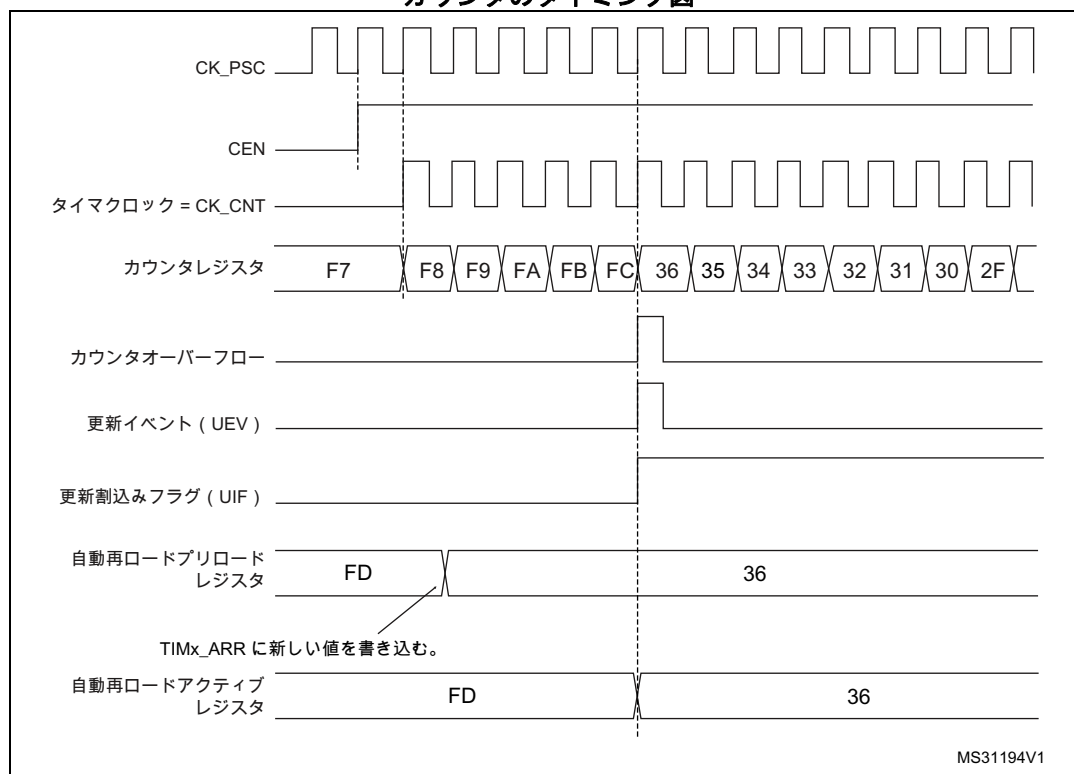


図 147. ARPE=1 (カウンタオーバーフロー) の場合の更新イベント時のカウンタのタイミング図



25.3.3 繰り返しカウンタ

セクション 25.3.1: タイムベースユニットに、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント (UEV) が生成されるかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N+1 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタ (TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケラレジスタ、比較モードの TIMx_CCRx キャプチャ/比較レジスタ) ヘデータが転送されることを意味します。

繰り返しカウンタは、次の場合にデクリメントします。

- アップカウントモードで、カウンタオーバーフローごと
- ダウンカウントモードで、カウンタアンダーフローごと
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと最大繰り返し回数は 32768 PWM サイクルに限られますが、PWM 周期ごとにデューティサイクルを 2 回更新することが可能になります。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称なので、最大精度は $2 \times T_{ck}$ です。

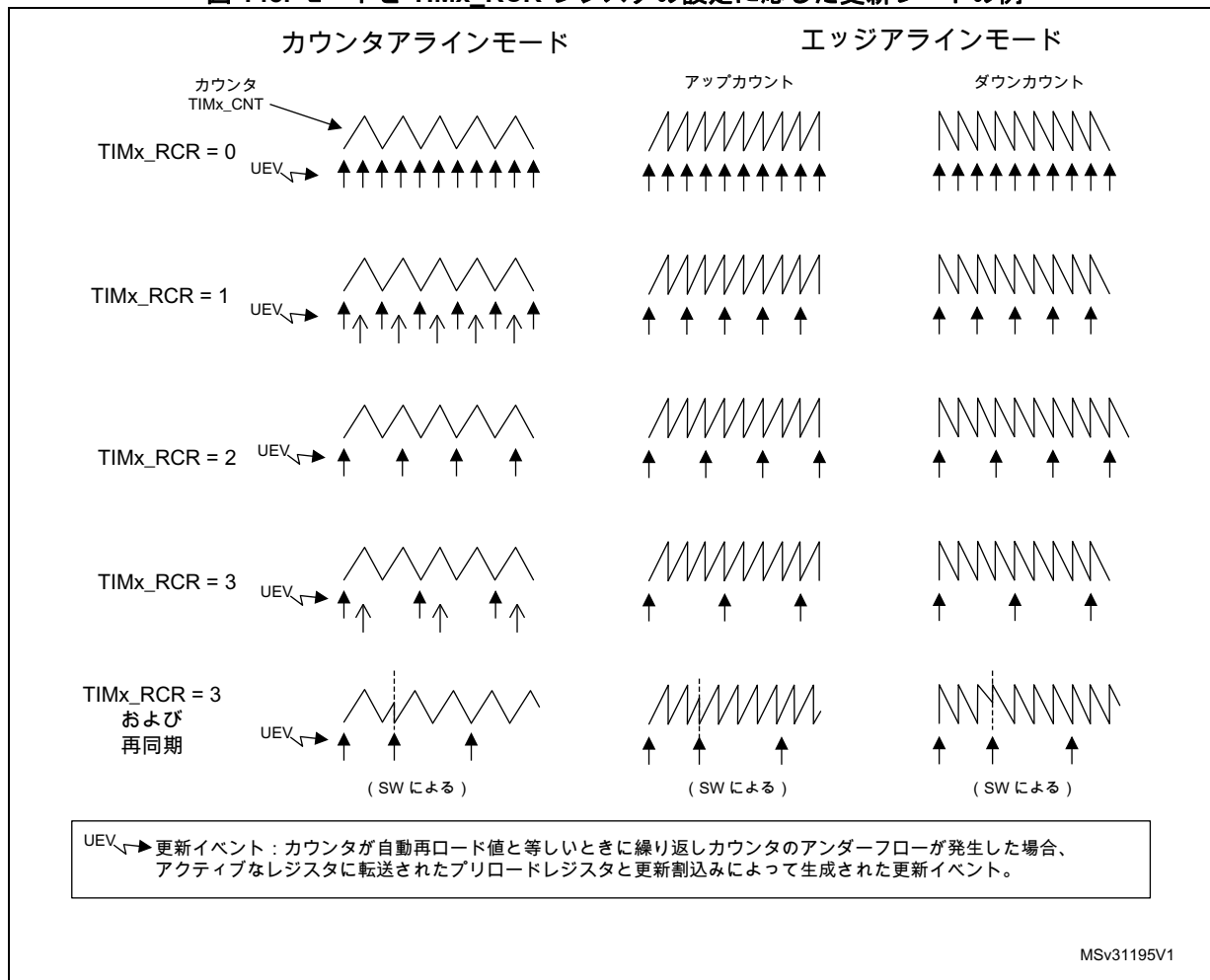
繰り返しカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます (図 148 を参照してください)。ソフトウェアによって (TIMx_EGR レジスタの UG ビットをセットすることによって)、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

センターアラインモードでは、RCR が奇数の場合、RCR レジスタが書き込まれたタイミングおよびカウンタが開始されたタイミングに応じてオーバーフローまたはアンダーフロー時に更新イベント

が発生します。カウンタの開始前に RCR が書き込まれた場合は、アンダーフローで、UEV が発生します。カウンタの開始後に RCR が書き込まれた場合は、オーバーフローで UEV が発生します。

たとえば、TIMx_RCR = 3 の場合、TIMx_RCR の書き込みタイミングに応じて 4 回目のオーバーフローイベントまたはアンダーフローイベントごとに UEV が発生します。

図 148. モードと TIMx_RCR レジスタの設定に応じた更新レートの例



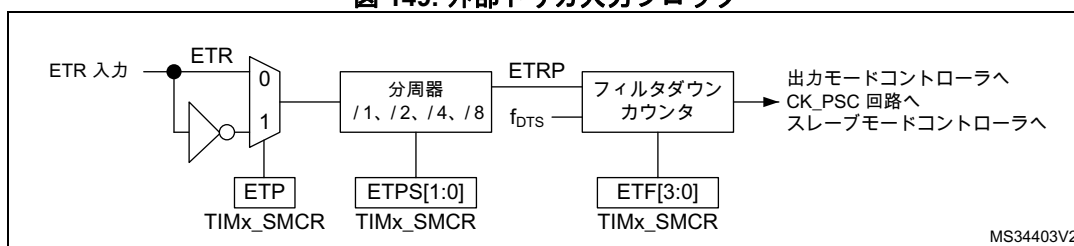
25.3.4 外部トリガ入力

タイマには外部トリガ入力 ETR 機能があります。以下の目的で使用できます。

- 外部クロック (外部クロックモード 2、[セクション 25.3.5](#) を参照)
- スレープモードのトリガ ([セクション 25.3.26](#) を参照)
- サイクルごとの電流調整の PWM リセット入力 ([セクション 25.3.7](#) を参照)

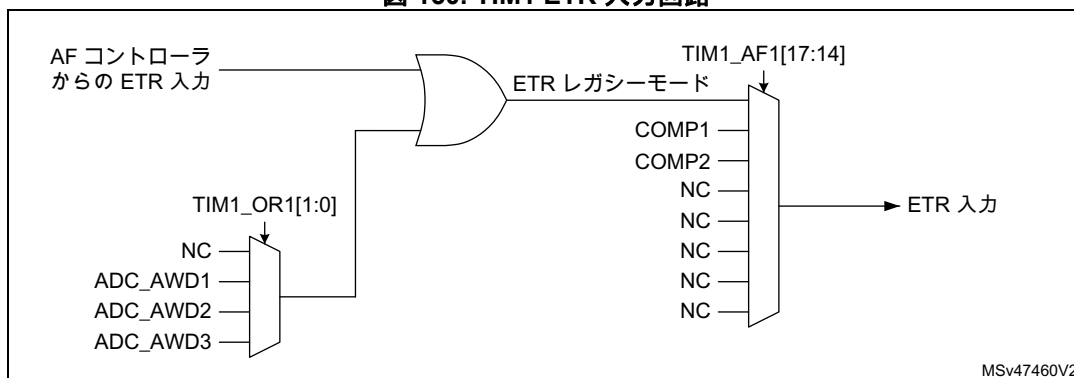
以下の [図 149](#) は、ETR の入力条件付けについて説明しています。入力の極性は、TIMxSMCR レジスタの ETP ビットで定義されています。トリガは ETPS[1:0] ビットフィールドでプログラムされた分周器でプリスケールし、ETF[3:0] ビットフィールドでデジタル的にフィルタリングすることができます。

図 149. 外部トリガ入力ブロック



ETR は、入力ピン (デフォルト設定)、コンパレータ出力およびアナログウォッチドッグといった複数のソースから入力されます。この選択は、ETRSEL[3:0] および TIM1_OR1 [1:0] ビットフィールドで行います。

図 150. TIM1 ETR 入力回路



25.3.5 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

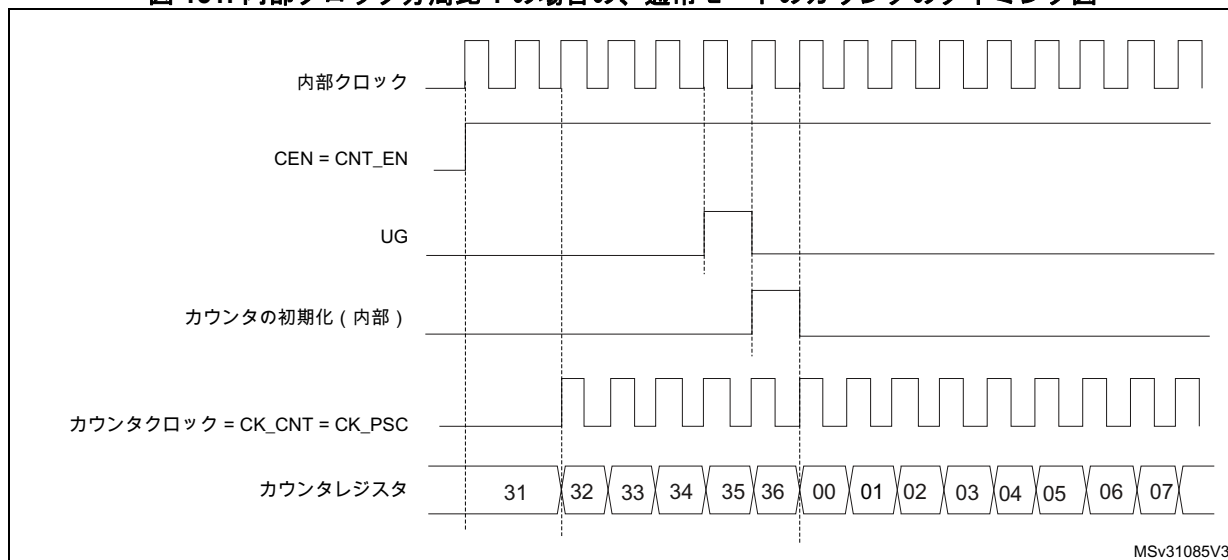
- 内部クロック (CK_INT)
- 外部クロックモード 1: 外部入力ピン
- 外部クロックモード 2: 外部トリガ入力 ETR
- エンコーダモード

内部クロックソース (CK_INT)

スレーブモードコントローラが無効の場合 (SMS=000)、CEN、DIR (TIMx_CR1 レジスタ)、および UG ビット (TIMx_EGR レジスタ) が実際の制御ビットとなり、ソフトウェアによってのみ変更できます (自動的にクリア状態に保たれる UG ビットを除きます)。CEN ビットに 1 が書き込まれると、プリスケアラにはクロックとして内部クロック CK_INTが供給されます。

図 151 に、プリスケアラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

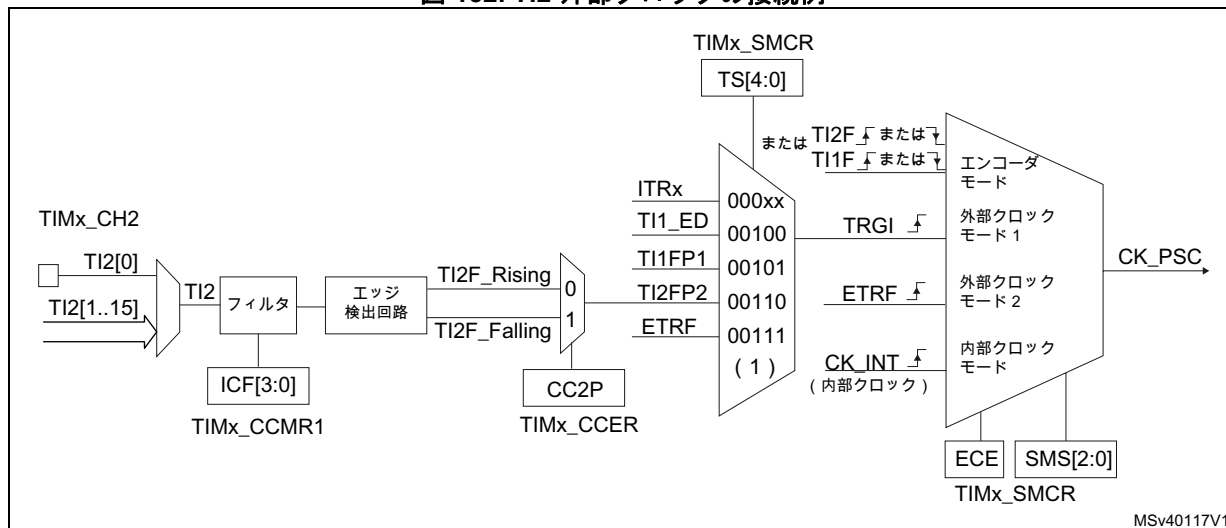
図 151. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 152. TI2 外部クロックの接続例



1. 01000 から 11111 の範囲のコードは予約済み

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

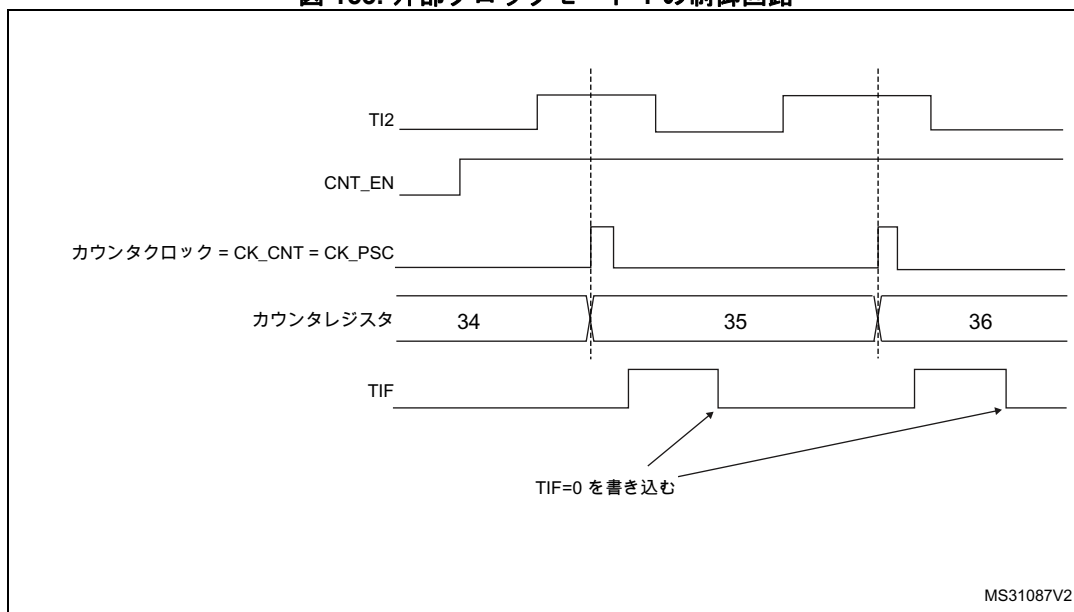
1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに“01”を書き込むことによって、チャンネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。
4. CC2P=0 と CC2NP=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

注： キャプチャプリスケアラはトリガには使用されないので、設定は不要です。

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

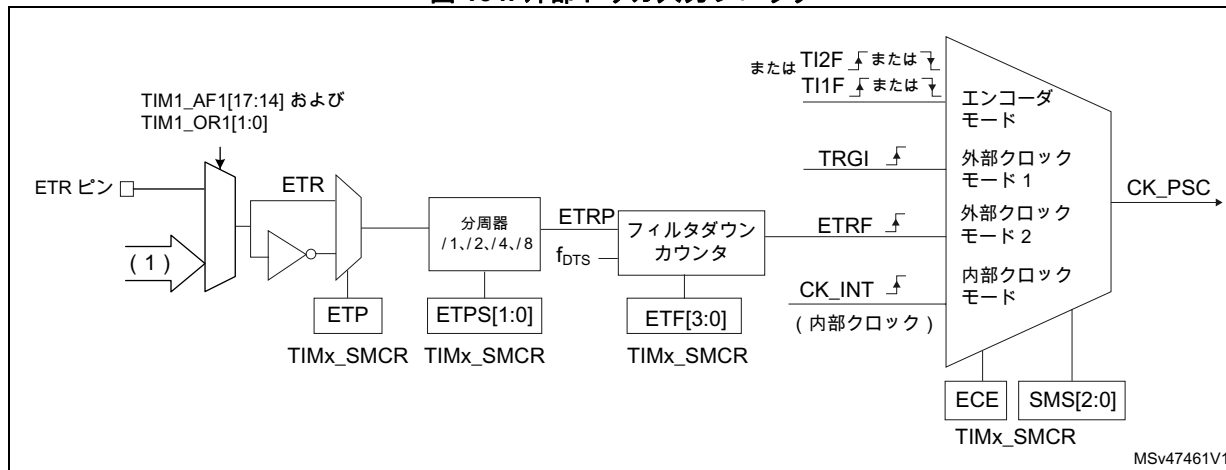
図 153. 外部クロックモード 1 の制御回路



外部クロックソースモード 2

このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。
 カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントできます。
 図 154 に、外部トリガ入力ブロックの概要を示します。

図 154. 外部トリガ入力ブロック



1. 図 150: TIM1 ETR 入力回路 を参照してください。

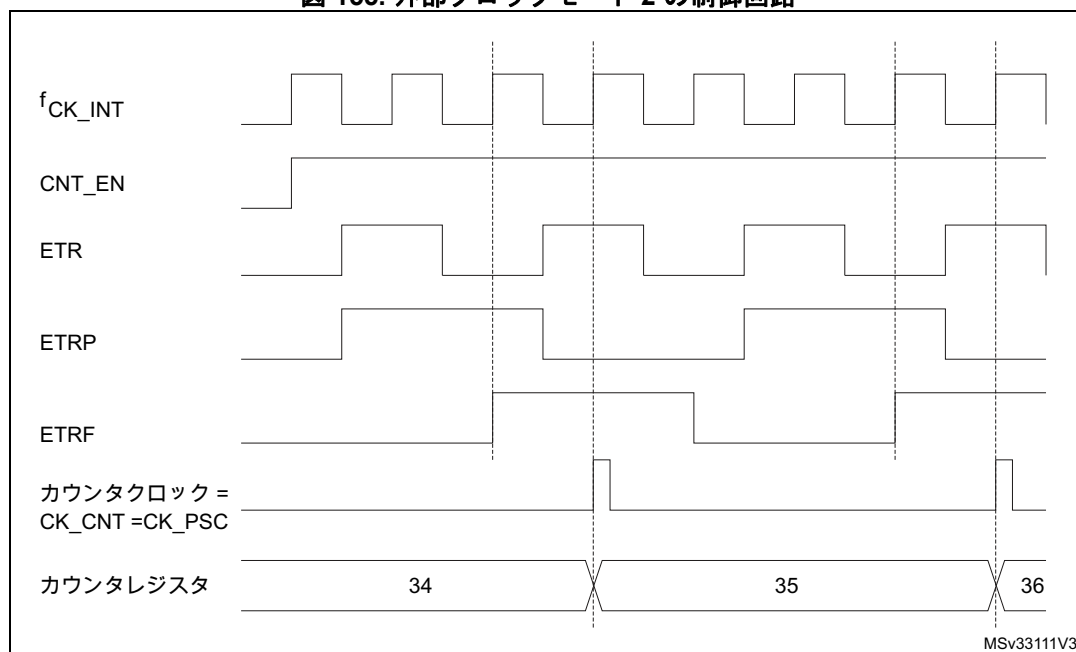
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、以下の手順に従います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケアラを設定します。
3. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間に、ETRP 信号の再同期回路による遅延があります。結果として、カウンタで正しくキャプチャできる最大周波数は、最大で TIMxCLK 周波数の 1/4 です。ETRP 信号が高速の場合、ユーザは適切な ETPS プリスケアラ設定によって外部信号の分周比を適用する必要があります。

図 155. 外部クロックモード 2 の制御回路



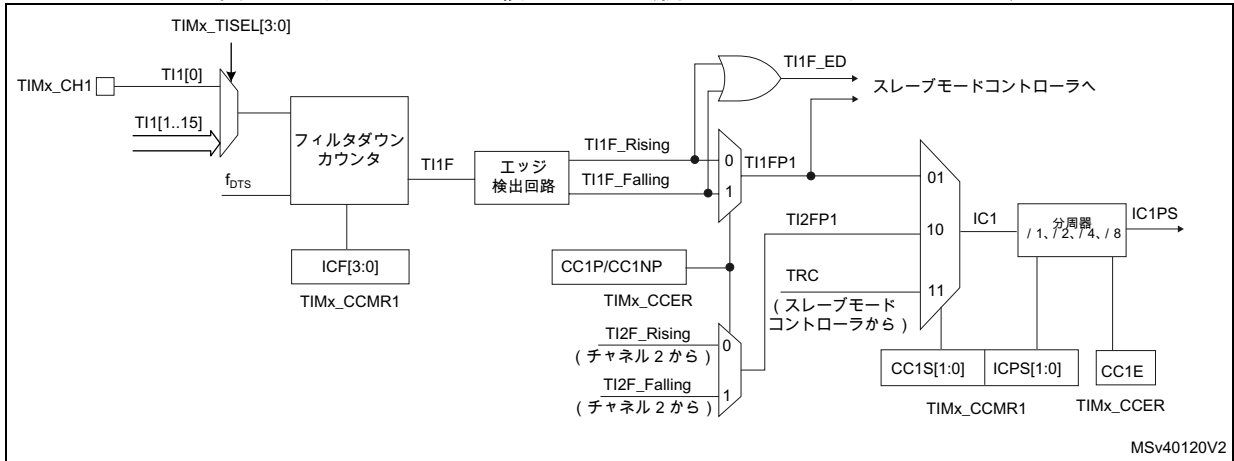
25.3.6 キャプチャ／比較チャンネル

各キャプチャ／比較チャンネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入カステージ（チャンネル 5 および 6 を除くデジタルフィルタ、マルチプレクス、プリスケアラ）、および出カステージ（コンパレータと出力制御）から構成されています。

図 156 から 図 159 に、1 つのキャプチャ／比較チャンネルの概要を示します。

入カステージは、対応する Tix 入カをサンプリングして、フィルタリングを行った TixF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入カとして、またはキャプチャコマンドとして使用される信号（TixFPx）を生成します。この信号はプリスケアラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 156. キャプチャ／比較チャンネル（例：チャンネル 1 入カステージ）



出カステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 157. キャプチャ／比較チャンネル 1 メイン回路

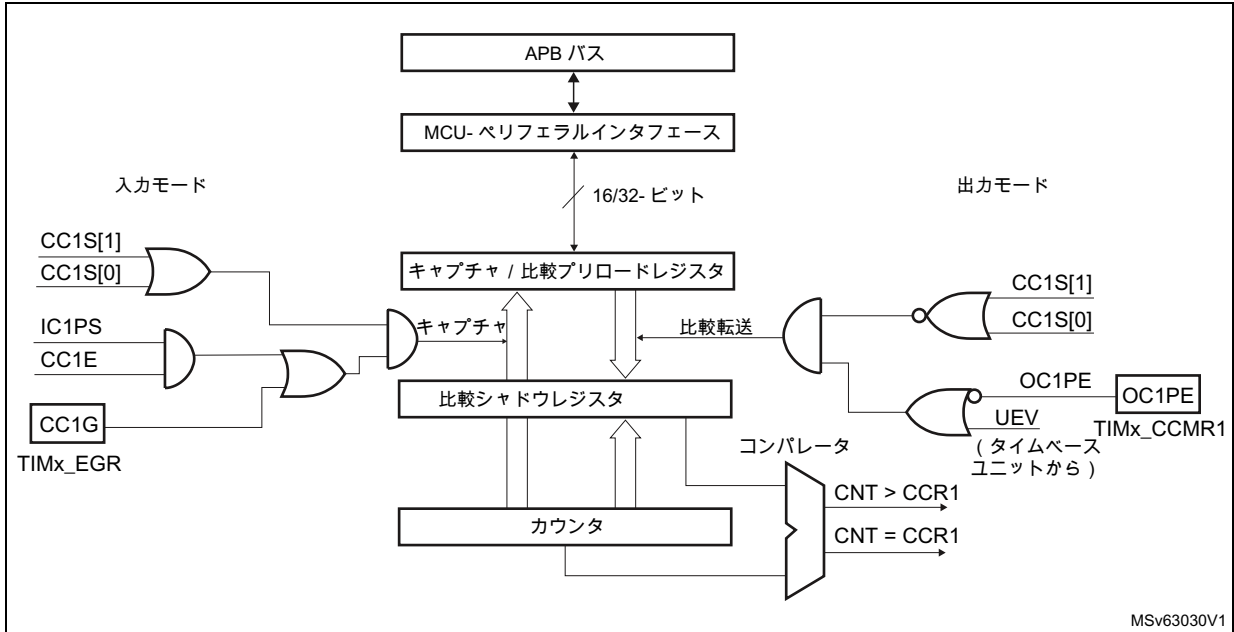
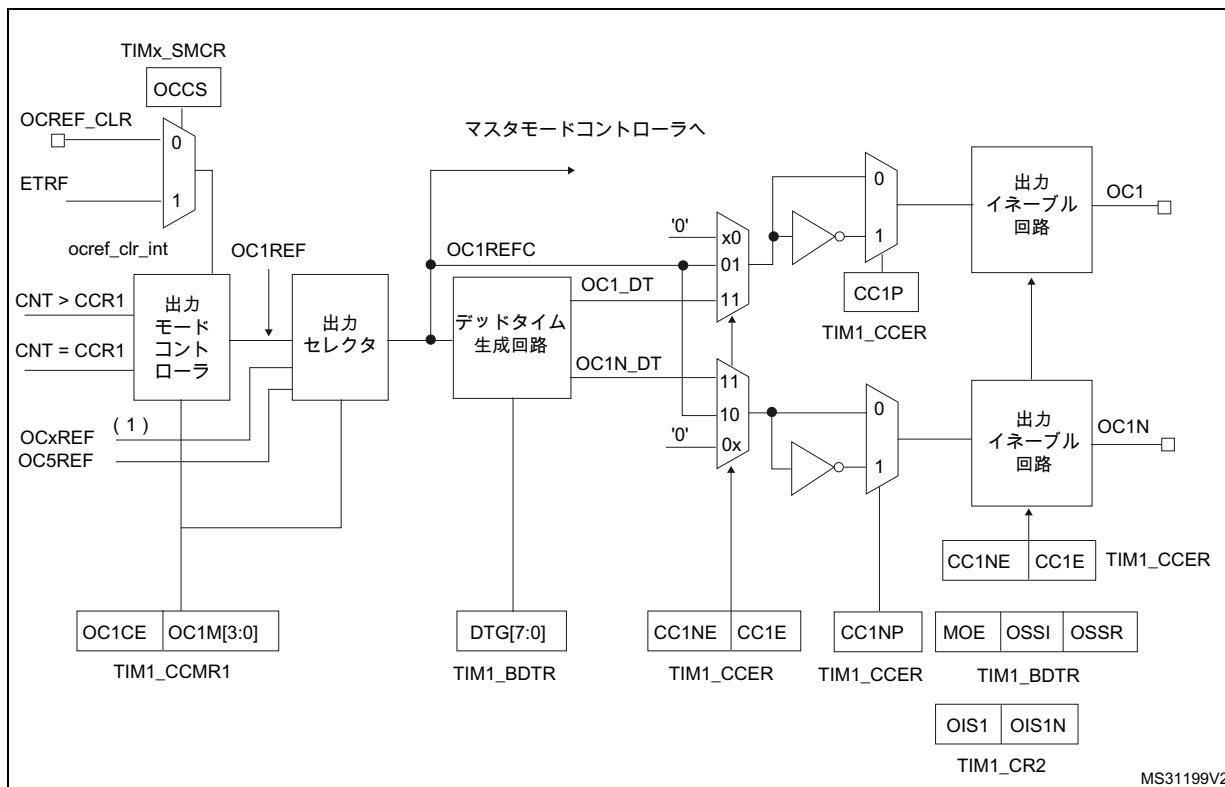


図 158. キャプチャ/比較チャンネル (チャンネル 1、同じくチャンネル 2 および 3) の出力ステージ



1. OCxREF、ここで x は相補チャンネルのランク

図 159. キャプチャ/比較チャンネル (チャンネル 4) の出力ステージ

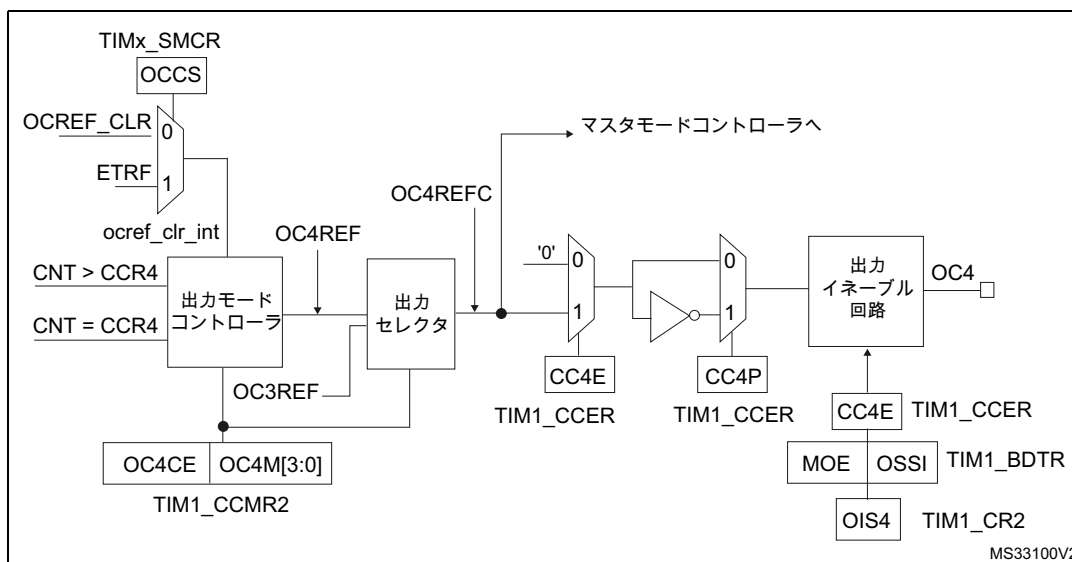
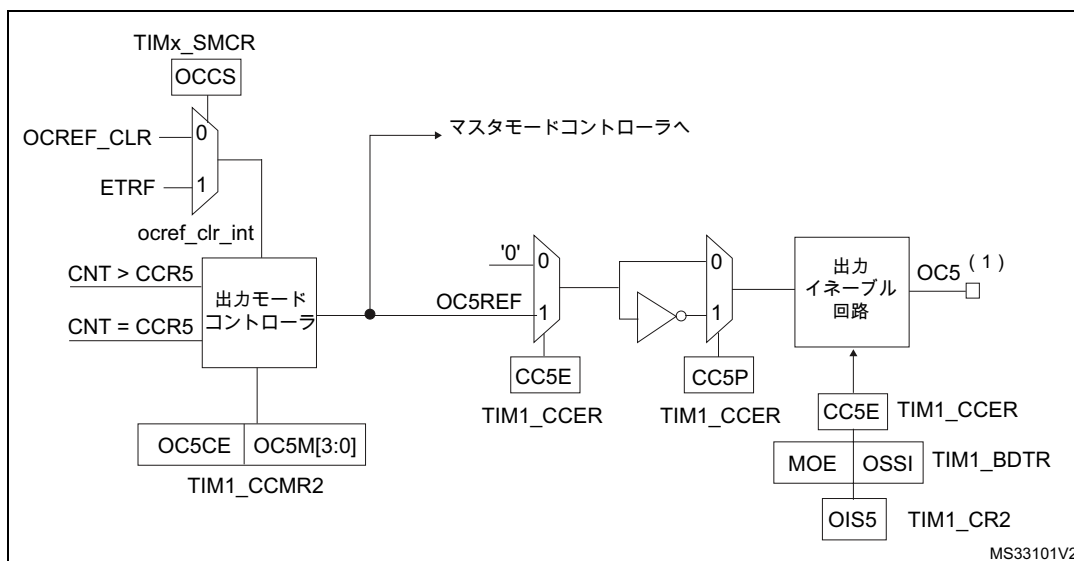


図 160. キャプチャ/比較チャンネル (チャンネル 5、同じくチャンネル 6) の出力ステージ



1. 外部的には使用できません。

キャプチャ/比較ブロックは、1つのプリロードレジスタと1つのシャドウレジスタで構成されています。書き込みおよび読み出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

25.3.7 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ/比較レジスタ (TIMx_CCRx) が使用されます。キャプチャが発生すると、対応する CCXIF フラグ (TIMx_SR レジスタ) がセットされ、割り込みまたは DMA リクエストを送信できます (有効な場合)。CCXIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF (TIMx_SR レジスタ) がセットされます。CCXIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、“0”を書き込むとクリアされます。

次の例は、TI1 入力が入立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース (内部または外部) を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならないので、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャンネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします (入力が TIx の1つである場合、TIMx_CCMRx レジスタの ICxF ビットによって)。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できません (周波数 f_{DTS} でサンプリング)。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。

4. TI1 チャンネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットと CC1NP ビットに“0”を書き込みます（この場合、立ち上がりエッジの選択）。
5. 入力プリスケアラをプログラムします。この例では有効な遷移ごとにキャプチャを行いたいのので、プリスケアラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込む）。
6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読出し後、データ読出し前に発生するオーバキャプチャの見落としを避けることができます。

注： IC 割込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。

25.3.8 PWM 入力モード

このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

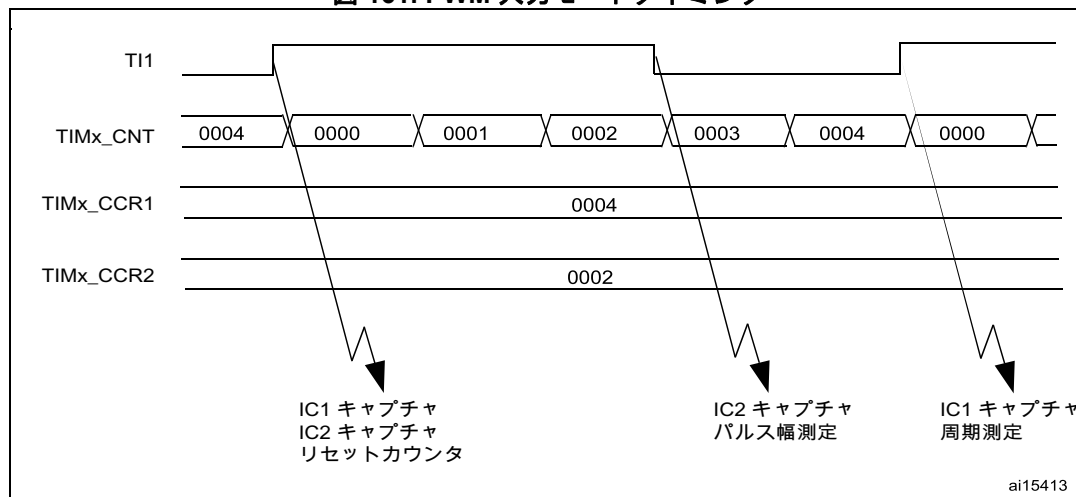
- 2 つの ICx 信号が同じ TIx 入力にマッピングされます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期 (TIMx_CCR1 レジスタ) とデューティサイクル (TIMx_CCR2 レジスタ) を測定できます (手順は、CK_INT 周波数とプリスケアラ値によって、若干異なることがあります)。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込むことによって (TI1 を選択)、TIMx_CCR1 のアクティブ入力を選択します。
3. CC1P ビットと CC1NP ビットに“0”を書き込むことによって (立ち上がりエッジでアクティブ)、TI1FP1 のアクティブな極性を選択します (TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用)。
4. TIMx_CCMR1 レジスタの CC2S ビットに“10”を書き込むことによって (TI1 を選択)、TIMx_CCR2 のアクティブ入力を選択します。
5. CC2P ビットと CC2NP ビットに CC2P/CC2NP=“10”を書き込むことによって (立ち下がりエッジでアクティブ)、TI1FP2 のアクティブ極性を選択します (TIMx_CCR2 のキャプチャに使用されます)。
6. TIMx_SMCR レジスタの TS ビットに 00101 を書き込むことによって (TI1FP1 を選択)、有効なトリガ入力を選択します。

7. TIMx_SMCR レジスタの SMS ビットに 0100 を書き込むことによって、スレーブモードコントローラをリセットモードに設定します。
8. TIMx_CCER レジスタの CC1E と CC2E ビットに“1”を書き込むことによって、キャプチャを有効にします。

図 161. PWM 入力モードタイミング



25.3.9 強制出力モード

出力モード (TIMx_CCMRx レジスタの CCxS ビット =00) では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号 (OCxREF と OCx/OCxN) をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号 (OCXREF/OCx) を強制的にアクティブレベルにするには、対応する TIMx_CCMRx レジスタの OCxM ビットに 0101 を書き込みます。これにより、OCxREF は強制的にハイになり (OCxREF は常にアクティブハイ)、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0 (OCx アクティブハイ) => OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 0100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

25.3.10 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。チャンネル 1~4 は出力できますが、チャンネル 5 と 6 はデバイス内でのみ使用できます (たとえば、合成波形生成または ADC トリガのため)。

キャプチャ/比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード (TIMx_CCMRx レジスタの OCxM ビット) と出力極性 (TIMx_CCER レジスタの CCxP ビット) によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか (OCxM=0000)、アクティブにセットされるか (OCxM=0001)、非アクティブにセットされるか (OCxM=0010)、または反転されます (OCxM=0011)。
- 割込みステータスレジスタのフラグをセットします (TIMx_SR レジスタの CCxIF ビット)。

- 対応する割込みマスク (TIMx_DIER レジスタの CCXIE ビット) がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット (TIMx_DIER レジスタの CCxDE ビット) がセットされている場合は、DMA リクエストを送信しません (DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます)。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

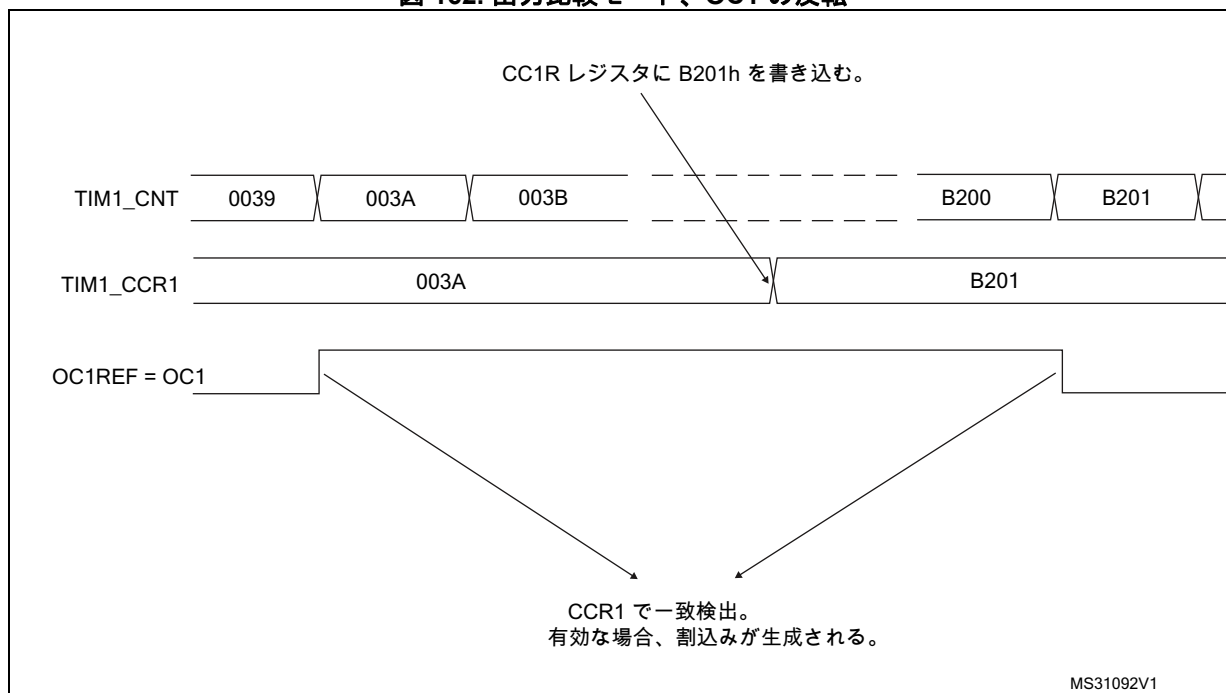
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは、単一パルスを出力するためにも使用できます (ワンパルスモード)。

手順

1. カウンタクロックを選択します (内部、外部、プリスケアラ)。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエストを生成する場合は、CCXIE ビットをセットします。
4. 出力モードを選択します。例：
 - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM ビットに 0011 を書き込みます。
 - プリロードレジスタを無効にするには、OCxPE ビットに 0 を書き込みます。
 - アクティブハイ極性を選択するには、CCxP ビットに 0 を書き込みます。
 - 出力を有効にするには、CCxE ビットに 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限り (OCxPE=0)。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を [図 162](#) に示します。

図 162. 出力比較モード、OC1 の反転



25.3.11 PWM モード

パルス幅変調 (PWM) モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“0110” (PWM モード 1) または“0111” (PWM モード 2) を書き込むことによって、チャンネルごとに選択できます (OCx 出力ごとに 1 つの PWM)。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも (アップカウントまたはセンターアラインモードで) 有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSS1、および OSSR ビット (TIMx_CCER および TIMx_BDTR レジスタ) の組み合わせによって有効になります。詳細については、TIMx_CCER レジスタの説明を参照してください。

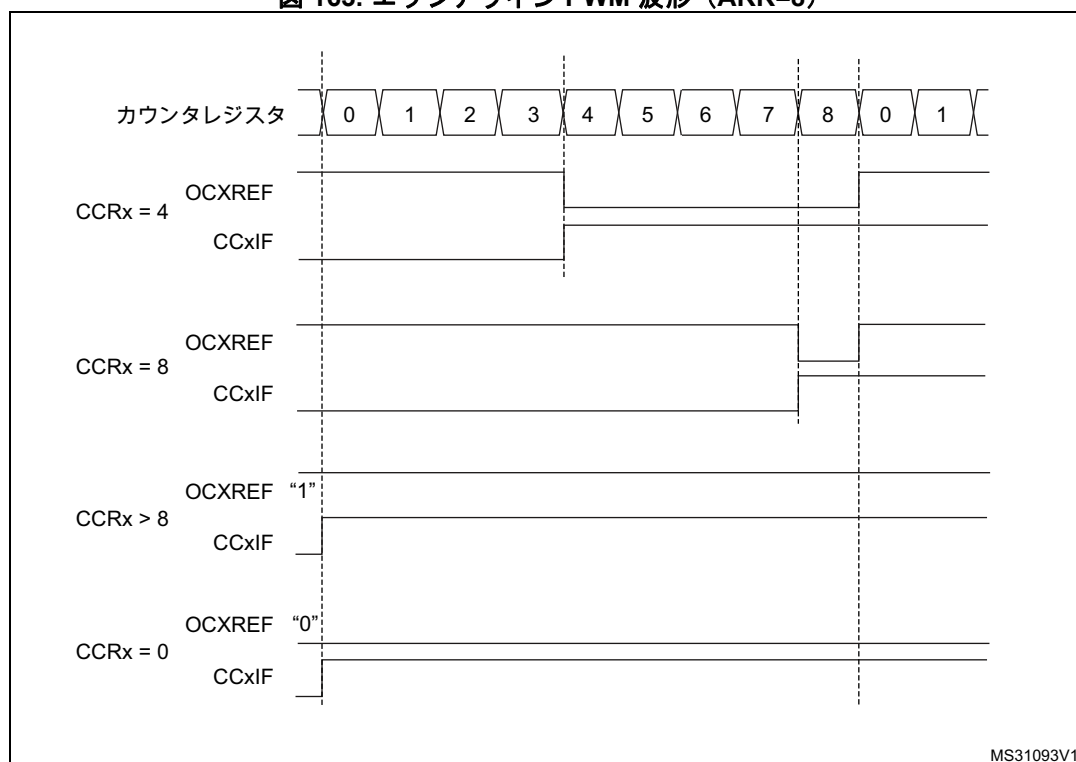
PWM モード (1 または 2) では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうか判断されます (カウントの方向によります)。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

PWM エッジアラインモード

- アップカウント構成
TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。[729 ページのアップカウントモード](#)を参照してください。
次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値 (TIMx_ARR レジスタの) より大きい場合、OCxREF は“1”に保持されます。比較値が 0 の場合、OCxREF は“0”に保持されます。[図 163](#) に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 163. エッジアライン PWM 波形 (ARR=8)



- ダウンカウント構成
TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。[733 ページのダウンカウントモード](#)を参照してください。
PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は“1”です。このモードでは、0% の PWM 信号を生成することはできません。

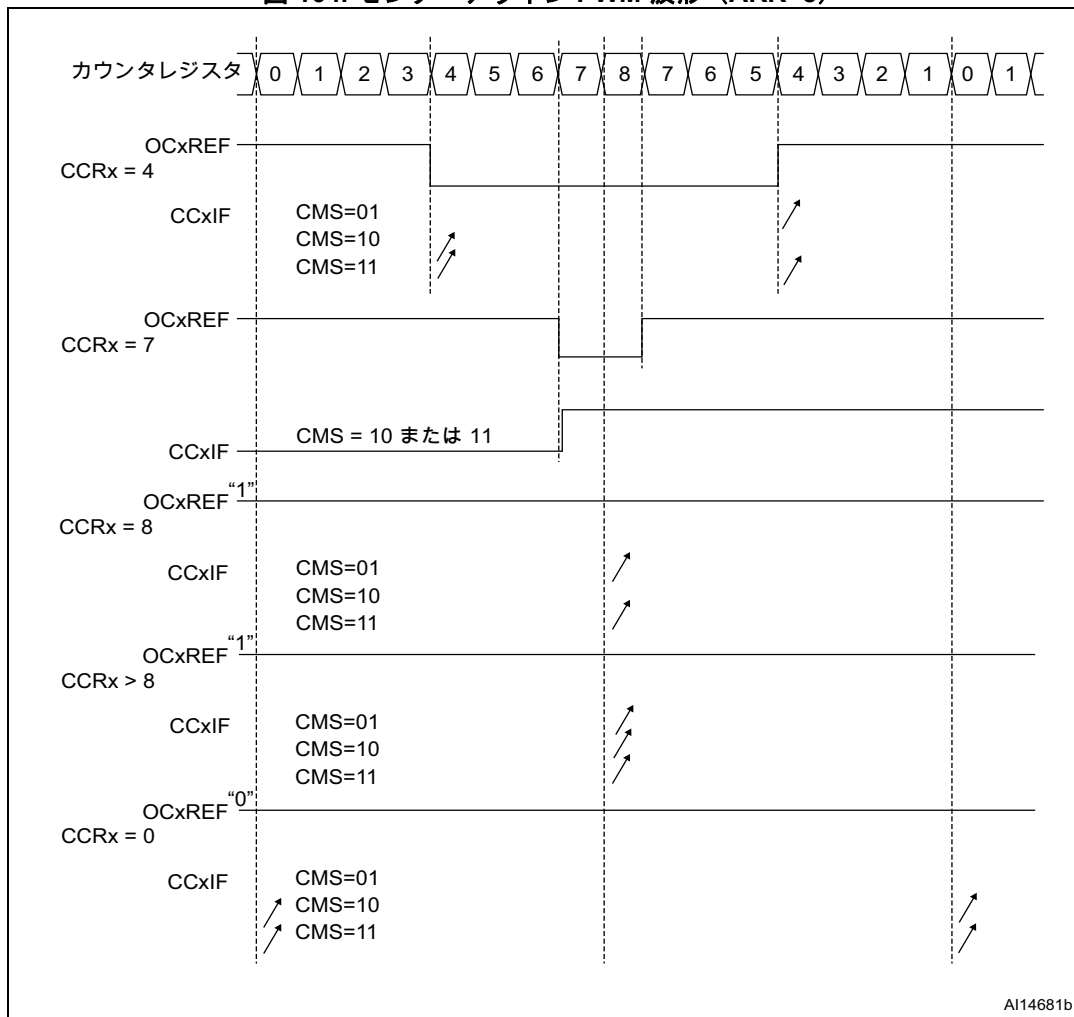
PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです (その他すべての構成は、OCxRef/OCx 信号に対して同じ効果を持ちます)。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット (DIR) はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。[736 ページのセンターアラインモード \(アップ/ダウンカウント\)](#) を参照してください。

図 164 に、次の条件でのセンターライン PWM 波形の例を示します。

- TIMx_ARR=8
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

図 164. センターライン PWM 波形 (ARR=8)



センターラインモードの使用に関するヒント

- センターラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
 - 自動再ロード値より大きい値がカウンタに書き込まれた場合 (TIMx_CNT > TIMx_ARR)、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。

- カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して (TIMx_EGR レジスタの UG ビットをセットする)、動作中はカウンタへの書き込みを行わないことです。

25.3.12 非対称 PWM モード

非対称モードでは、プログラム可能な位相シフトによって 2 つのセンターアライン PWM 信号の生成を可能にします。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや位相シフトは TIMx_CCRx レジスタペアで決定されます。1 つ目のレジスタがアップカウント時の PWM を制御し、2 つ目のレジスタがダウンカウント時の PWM を制御することで、PWM は PWM ハーフサイクルごとに調整されます。

- OC1REFC (または OC2REFC) は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC (または OC4REFC) は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

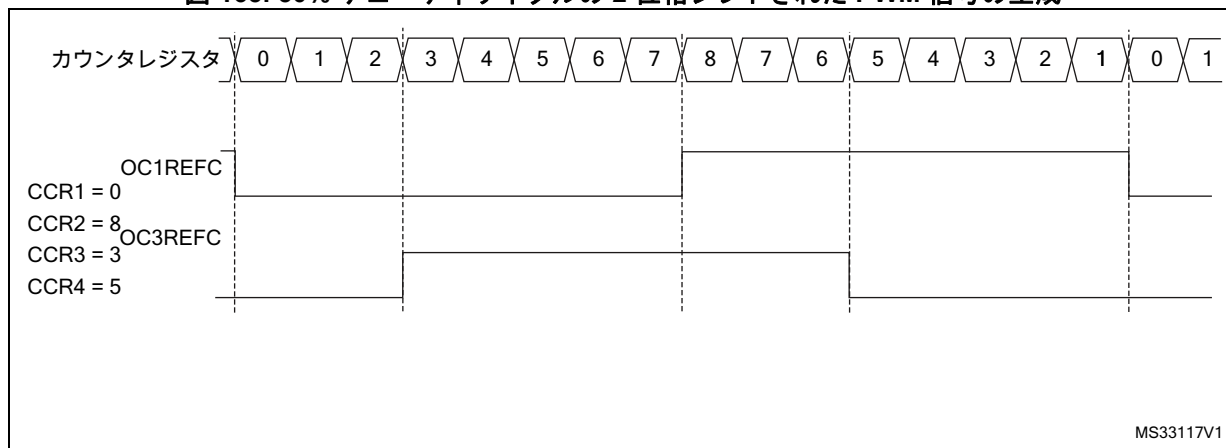
非対称 PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1110” (非対称 PWM モード 1) または“1111” (非対称 PWM モード 2) を書き込むことによって、2 チャネルごとに選択できます (CCR レジスタペアごとに 1 つの OCx 出力)。

注： OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

特定のチャンネルが非対称の PWM チャンネルとして使用されると、その相補チャンネルも使用できます。たとえば、OC1REFC 信号がチャンネル 1 (非対称 PWM モード 1) に生成されると、チャンネル 2 の OC2REF 信号、または非対称 PWM モード 1 の結果として得られる OC2REFC 信号を出力できます。

図 165 は、非対称 PWM モードを使用して生成される信号の例を表します (チャンネル 1 から 4 は非対称 PWM モード 1 として設定されます)。これにより、デッドタイムジェネレータとともにフルブリッジ位相シフト DC-DC コンバータを制御できます。

図 165. 50% デューティサイクルの 2 位相シフトされた PWM 信号の生成



25.3.13 組み合わせ PWM モード

組み合わせ PWM モードでは、2つのエッジラインまたはセンターライン PWM 信号を生成でき、それぞれのパルス間に遅延および位相シフトをプログラムできます。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや遅延は 2つの TIMx_CCRx レジスタで決定されます。結果として得られる信号 OCxREFC は、2つの PWM 基準信号の OR または AND による論理結合から成ります。

- OC1REFC (または OC2REFC) は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC (または OC4REFC) は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

組み合わせ PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1100” (組み合わせ PWM モード 1) または“1101” (組み合わせ PWM モード 2) を書き込むことによって、2チャンネルごとに選択できます (CCR レジスタペアごとに 1つの OCx 出力)。

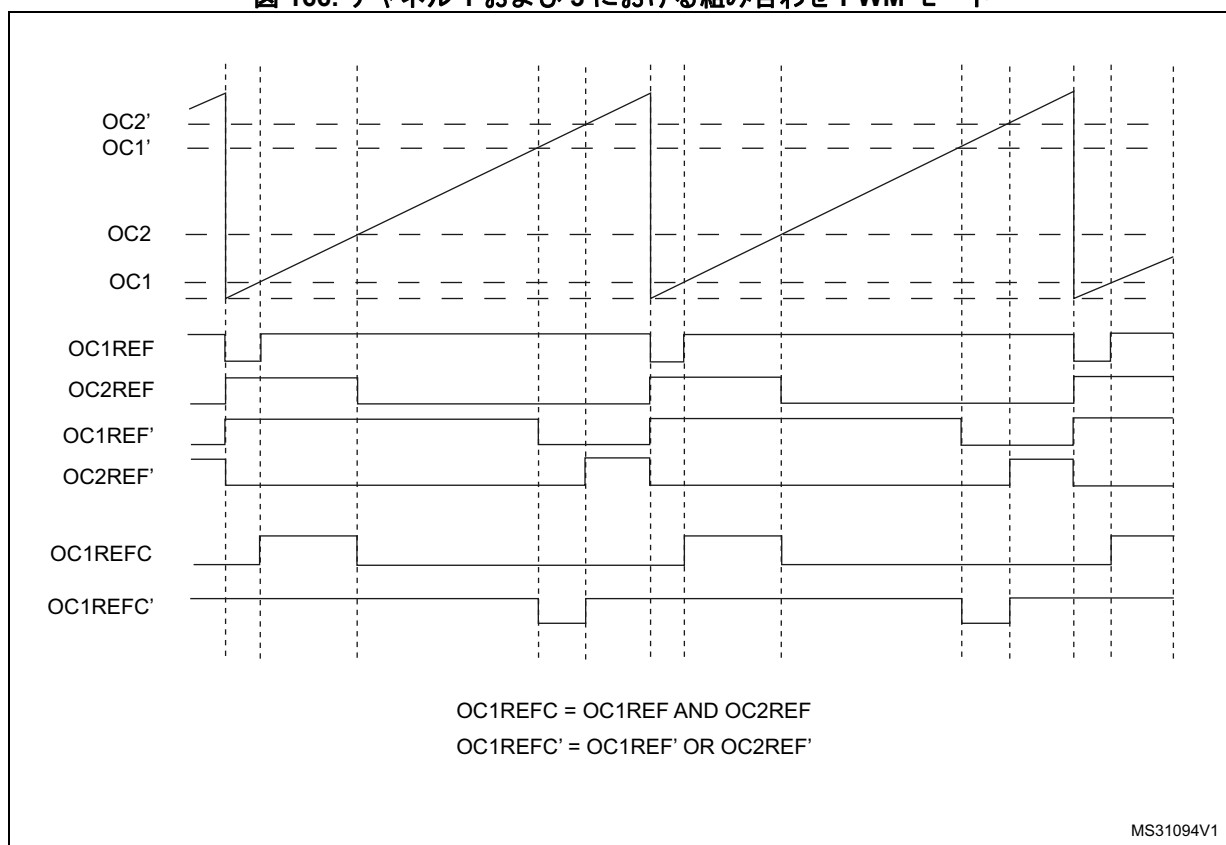
特定のチャンネルが組み合わせ PWM チャンネルとして使用されている場合、相補チャンネルを反対の PWM モードに設定する必要があります (たとえば、1つを組み合わせ PWM モード 1、もう 1つを組み合わせ PWM モード 2 にします)。

注： OCxM[3:0] ビットフィールドは互換性を確保するために 2つのパーツに分割され、最上位ビットと 3つの最下位ビットとは隣接していません。

図 166 は、次の設定で取得可能な非対称 PWM モードを使用して生成される信号の例を表します。

- チャンネル 1 が組み合わせ PWM モード 2 で設定されている場合
- チャンネル 2 が PWM モード 1 で設定されている場合
- チャンネル 3 が組み合わせ PWM モード 2 で設定されている場合
- チャンネル 4 が PWM モード 1 で設定されている場合

図 166. チャンネル 1 および 3 における組み合わせ PWM モード



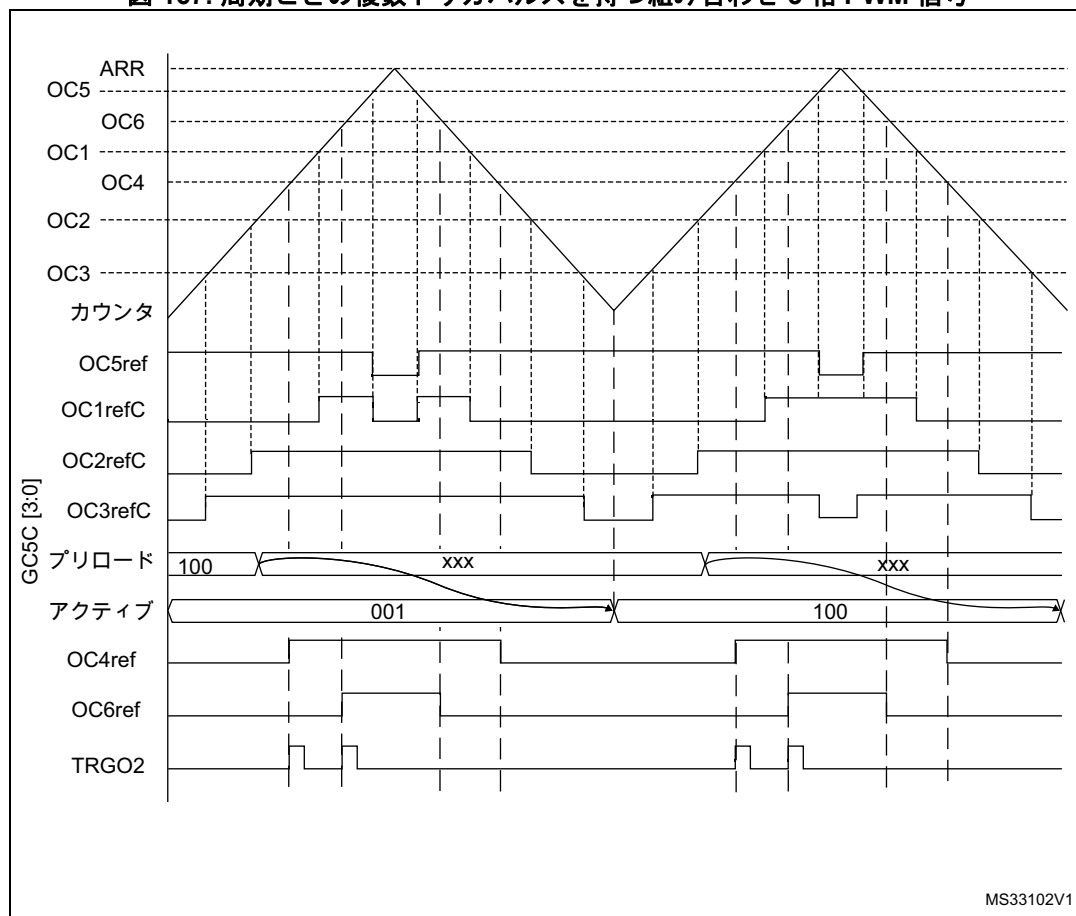
25.3.14 組み合わせ 3 相 PWM モード

組み合わせ 3 相 PWM モードでは、パルスの中で論理積を取った単一のプログラム可能な信号とともに 1 つから 3 つのセンターアライン PWM 信号を生成できます。結果として得られる組み合わせ信号の定義には、OC5REF 信号が使用されます。TIMx_CCR5 の 3 ビット GC5C[3:1] では、OC5REF を組み合わせる基準信号を選択できます。結果として得られる信号 OCxREFC は、2 つの PWM 基準信号の AND による論理結合から生成されます。

- GC5C1 がセットされると、OC1REFC は TIMx_CCR1 および TIMx_CCR5 によって制御されます。
- GC5C2 がセットされると、OC2REFC は TIMx_CCR2 および TIMx_CCR5 によって制御されます。
- GC5C3 がセットされると、OC3REFC は TIMx_CCR3 および TIMx_CCR5 によって制御されます。

組み合わせ 3 相 PWM モードは、少なくとも 3 ビット GC5C[3:1] の 1 つをセットすることでチャンネル 1 から 3 で個別に選択できます。

図 167. 周期ごとの複数トリガパルスを持つ組み合わせ 3 相 PWM 信号



TRGO2 波形は、特定の 3 相 PWM 信号での ADC の同期方法を示します。詳細については、[セクション 25.3.27: ADC の同期](#)を参照してください。

25.3.15 相補出力とデッドタイム挿入

高機能制御タイマ (TIM1) は、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性 (レベルシフタの内在的な遅延、電源スイッチによる遅延など) に応じて調整する必要があります。

出力 (主出力 OCx または相補 OCxN) の極性は出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書き込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMx_CR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、[806 ページの表 180: ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット](#)を参照してください。特に、IDLE 状態に切り替わるとき (MOE が 0 になるときに)、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャンネルに 1 つの 10 ビットデッドタイムジェネレータがあります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力 (OCx または OCxN) の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示します。(これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。)

図 168. デッドタイム挿入のある相補出力

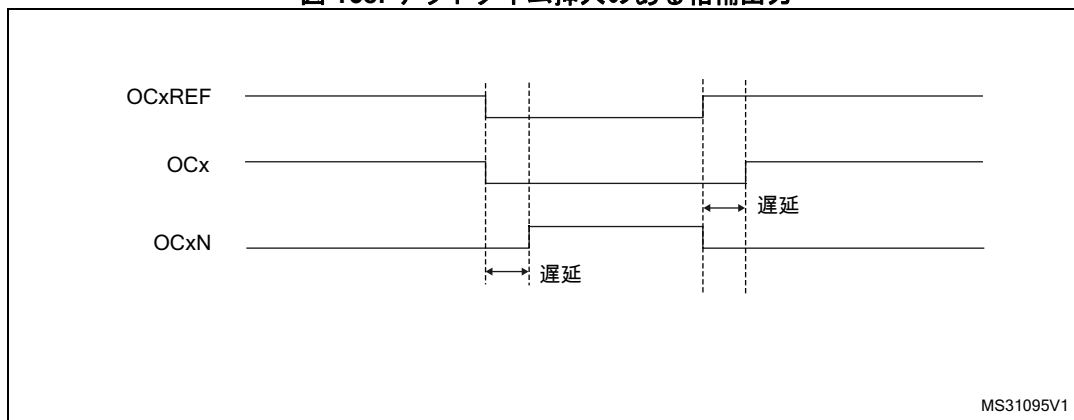


図 169. 負のパルスより長い遅延があるときのデッドタイムの波形

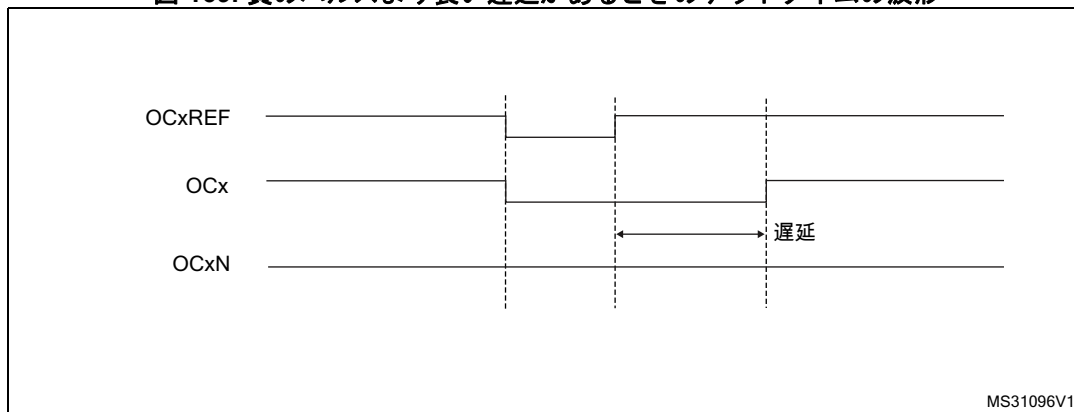
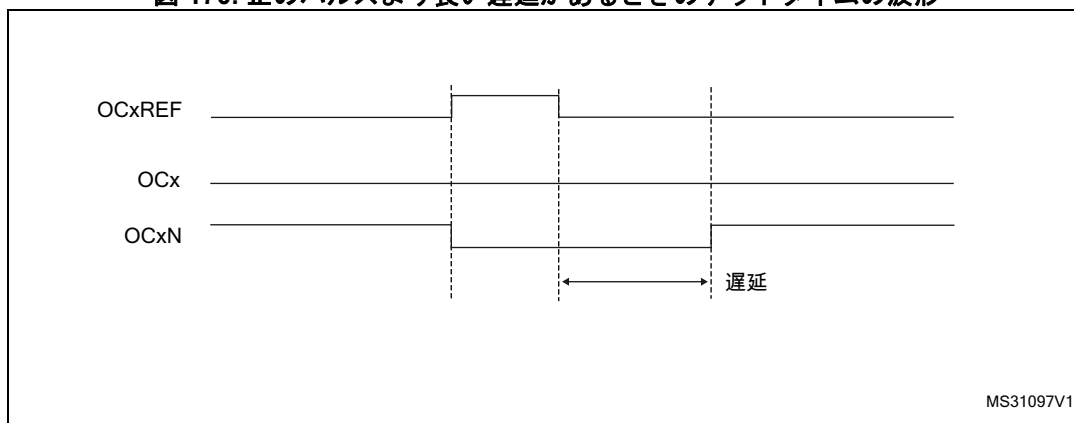


図 170. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャンネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラム可能です。遅延計算については、[セクション 25.4.20: TIM1 ブレークおよびデッドタイムレジスタ \(TIM1_BDTR\)](#) を参照してください。

OCxREF 信号の OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを構成することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、相補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注： OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補にならず、OCxREF がハイレベルとなるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。

25.3.16 ブレーク機能の使用

ブレーク機能の目的は、TIM1 タイマによって生成される PWM 信号によって駆動する電源スイッチを保護することです。2つのブレーク入力通常、パワーステージおよび3相インバータの異常出力に接続されています。アクティブ化すると、ブレーク回路は PWM 出力を遮断し、強制的に事前定義された安全な状態に移行させます。出力の遮断をトリガするために、いくつかの内部 MCU イベントを選択することも可能です。

このブレークには、2つのチャンネルがあります。システムレベル障害（クロック障害、パリティエラーなど）とアプリケーション障害（入力ピンおよび内蔵コンパレータ）の両方を集め、出力をデッドタイムの持続時間経過後に事前定義されたレベル（アクティブまたはインアクティブ）に強制できるブレークチャンネル。アプリケーション障害のみを含み、出力をインアクティブ状態に強制できるブレーク2チャンネル。

ブレーク時の出力有効信号および出力レベルは、いくつかの制御ビットに依存しています。

- TIMx_BDTR レジスタの MOE ビットにより、ソフトウェアで出力を有効/無効にすることができます。なお、このビットはブレーク または ブレーク 2 イベント時にリセットされます。
- TIMx_BDTR レジスタの OSSI ビット。出力をインアクティブ状態で制御するか、GPIO コントローラへの制御を解除するかについて、タイマを定義します (通常、ハイインピーダンスモードにするため)。
- TIMx_CR2 レジスタの OISx および OISxN ビット。アクティブまたはインアクティブな出力遮断レベルをセットします。OISx および OISxN の値にかかわらず、一度に OCx 出力と OCxN 出力を両方ともアクティブレベルにセットすることはできません。詳細については、806 ページの表 180: ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビットを参照してください。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIMx_BDTR レジスタの BKE ビットおよび BK2E ビットをセットすることによって有効にできます。ブレーク入力の極性は、同じレジスタの BKP および BK2P ビットを設定することによって選択できます。BKE/BK2E と BKP/BK2P は、同時に変更できます。BKE/BK2E および BKP/BK2P ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がリエッジは非同期のことがあるので、実際の信号 (出力に作用する信号) と同期制御ビット (TIMx_BDTR レジスタからアクセスできる) の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、MOE がローになった後で 1 に設定された場合、MOE を正しく読み出すためには、遅延 (ダミー命令) を挿入する必要があります。これは、書き込みは非同期信号に対応しますが、読み出しは同期信号を反映するからです。

ブレークは、TIMx_AF1 および TIMx_AF2 レジスタを使用して、個別に有効化でき、複数のソースおよびプログラム可能なエッジ感度から生成できます。

ブレーク (BRK) チャンネルのソースは以下のいずれかです。

- (SYSCFG_CFGR2 レジスタでの選択に従って) BKIN ピンの 1 つに接続された外部ソース、極性選択およびオプションのデジタルフィルタリングあり
- 内部ソース:
 - Cortex[®]-M4 LOCKUP 出力
 - PVD 出力
 - SRAM パリティエラー信号
 - Flashメモリ ECC ダブルエラー検出
 - CSS 検出回路によって生成されたクロック障害イベント
 - コンパレータからの出力、極性選択およびオプションのデジタルフィルタリングあり

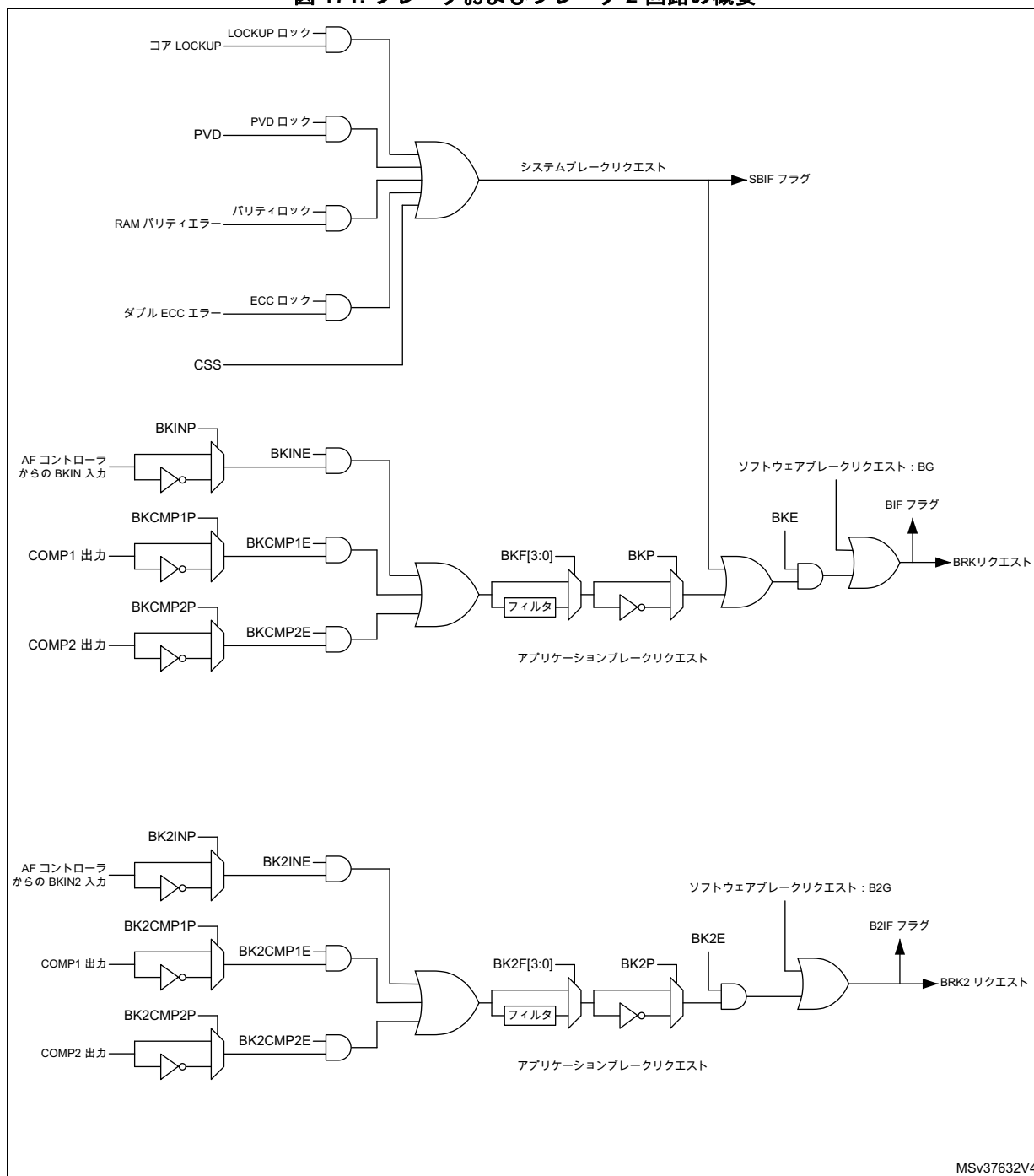
ブレーク 2 (BRK2) のソースは以下のいずれかです。

- (SYSCFG_CFGR2 レジスタでの選択に従って) BKIN ピンの 1 つに接続された外部ソース、極性選択およびオプションのデジタルフィルタリングあり
- コンパレータ出力からの内部ソース

ブレークイベントは、TIMx_EGR レジスタで BG および B2G ビットを使用して、ソフトウェアによって生成することもできます。BG と B2G を使用するソフトウェアブレーク生成は、BKE および BK2E イネーブルビットの値にかかわらずアクティブです。

以下の図 171 のとおり、すべてのソースはタイマ BRK または BRK2 入力がある前に論理和がとられます。

図 171. ブレークおよびブレーク 2 回路の概要



注： 非同期（クロックなし）動作は、プログラム可能なフィルタが無効な場合にのみ保証されます。有効になっている場合は、必ずブレークイベントが処理されるように、フェイルセーフクロックモード（たとえば、内部 PLL や CSS を使用）を使用する必要があります。

ブレークが1つ発生すると (ブレーク入力の1つで選択されたレベル)、

- MOE ビットは非同期にクリアされ、出力は、インアクティブ状態またはアイドル状態になるか、GPIO コントローラへの制御が解除されます (OSS1 ビットで選択)。これは、MCU オシレータがオフの場合に有効です。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSS1=0 の場合、タイマは出力の制御 (GPIO コントローラによって引き継がれた) を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには：
 - 出力は、まずインアクティブ状態に置かれます (極性に依存します)。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
 - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイムジェネレータが作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください (約 2 CK_TIM クロックサイクル)。
 - OSS1=0 の場合、タイマは出力の制御 (ハイインピーダンス状態を強制する GPIO コントローラによって引き継がれた) を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットのどちらかがハイになったときにハイになります。
- ブレーク状態フラグ (TIMx_SR レジスタの SBIF、BIF、および B2IF ビット) がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合、割込みが生成されます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント (UEV) で再び自動的にセットされます。たとえば、これを使用してレギュレーションを行うことができます。そうでない場合、MOE ビットはアプリケーションが再び“1”をセットするまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

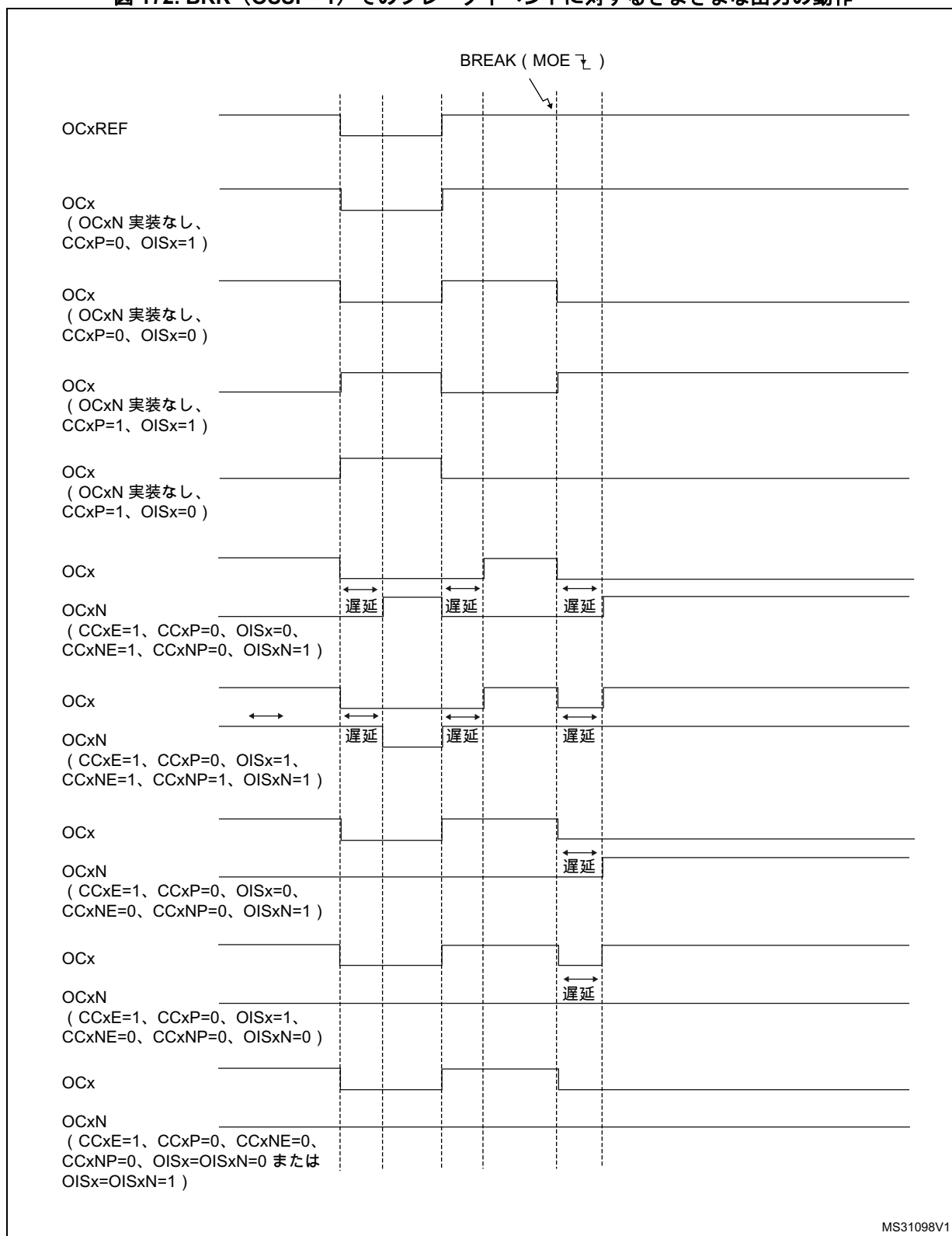
注： AOE ビットがセットされているときに、CPU により MOE がリセットされた場合、出力はアイドル状態となり、OSS1 値に応じて非アクティブレベルまたはハイインピーダンスに強制されます。CPU により MOE ビットと AOE ビットの両方がリセットされると、出力は無効状態になり、TIMx_CR2 レジスタの OISx ビットでプログラムされたレベルで駆動されます。

注： ブレーク入力は、信号レベルに対してアクティブです。このため、ブレーク入力がアクティブな間は、MOE をセットできません (自動的にも、ソフトウェアによっても)。この間、ステータスフラグ BIF および B2IF をクリアできません。

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレーク回路内に書込み保護機能を設けてあります。これにより、いくつかのパラメータの設定 (デッドタイムの長さ、OCx/OCxN 極性、無効時の状態、OCxM 構成、ブレークイネーブルと極性) を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。[セクション 25.4.20: TIM1 ブレークおよびデッドタイムレジスタ \(TIM1_BDTR\)](#) を参照してください。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 172 に、ブレークに対する出力の動作例を示します。

図 172. BRK (OSSI = 1) でのブレークイベントに対するさまざまな出力の動作



2つのブレーク入力は、タイマ出力で異なる動作を示します。

- BRK 入力は、無効化（インアクティブ状態）するか、PWM 出力を強制的に事前定義した安全な状態に移行できます。
- BRK2 は、PWM 出力の無効化（インアクティブ状態）のみ可能です。

表 176 に示すように、BRK の優先順位は BRK2 入力よりも高いです。

注： BRK2 は OSSI = OSSI = 1 の場合にのみ使用してください。

表 176. タイマ出力と BRK/BRK2 入力の動作

BRK	BRK2	タイマ出力状態	通常の使用例	
			OCxN 出力 (ローサイドスイッチ)	OCx 出力 (ハイサイドスイッチ)
アクティブ	X	- 非アクティブから強制される出力状態（デッドタイム後） - OSSI = 0 の場合、出力は無効（GPIO ロジックが制御を引き継ぐ）	デッドタイム挿入後 ON	OFF
非アクティブ	アクティブ	非アクティブ	OFF	OFF

図 173 では、BRK および BRK2 入力で信号がアクティブな場合の、OCx および OCxN 出力の動作の例を示します。この場合、両方の出力がアクティブハイ極性になります（TIMx_CCER レジスタの CCxP = CCxNP = 0）。

図 173. BRK および BRK2 ピンのアサート後の PWM 出力状態（OSSI=1）

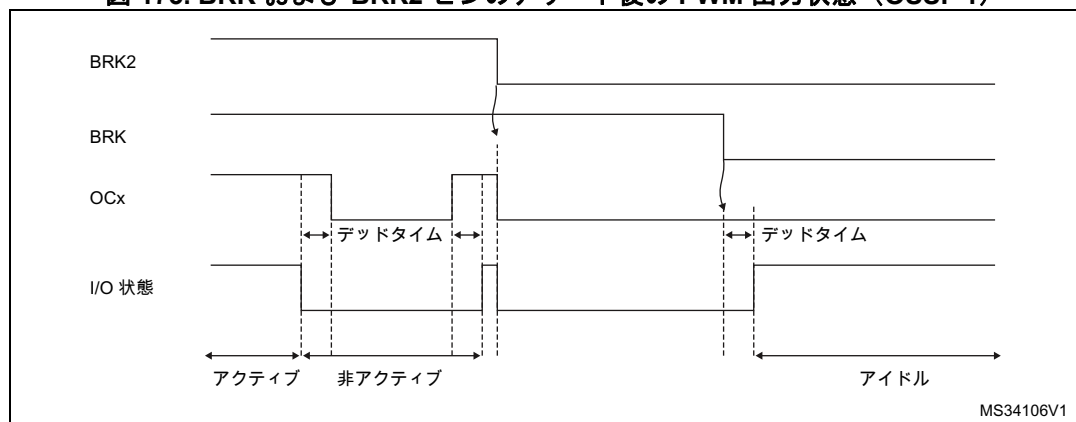
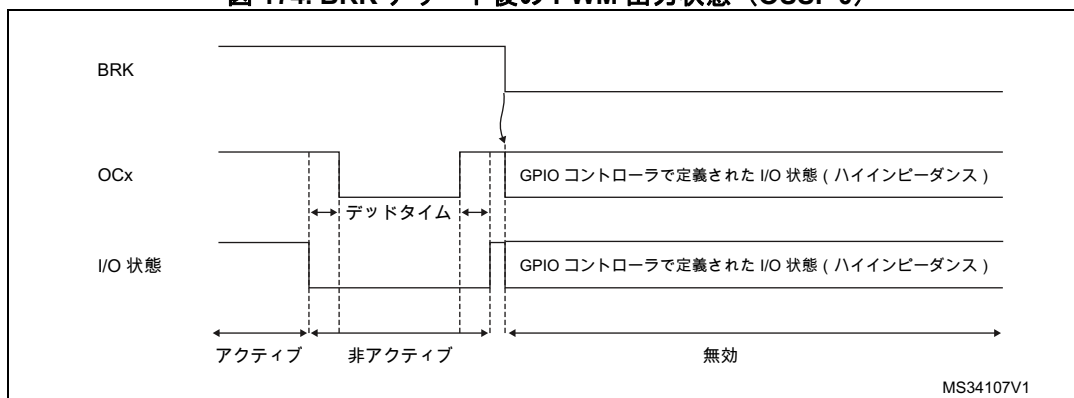


図 174. BRK アサート後の PWM 出力状態 (OSS1=0)



25.3.17 双方向ブレーク入力

TIM1 には、図 175 に示すとおり、双方向ブレーク I/O が搭載されています。

それらによって以下のことが可能になります。

- 入力および出カステータスピンドちらにもなるユニークなピンを持ち、外部の MCU やゲートドライバに障害を通知するために使用できる幅広いレベルのグローバルブレーク信号
- 複数の内部および外部ブレークソースを統合する必要がある場合、互いに論理和をとり、ユニークなブレークイベントをトリガする内部ブレークソースおよび複数の外部オープンドレインコンパレータ出力

ブレークおよびブレーク 2 入力は、TIMxBDTR レジスタの BKBID および BK2BID ビットを使用して双方向モードに設定されます。BKBID プログラミングビットは、TIMxBDTR レジスタの LOCK ビットを使用して読み出し専用モードにロックできます (LOCK レベル 1 以上)。

双方向モードは、ブレークとブレーク 2 入力の両方で使用でき、I/O をアクティブロー極性でオープンドレインモードに設定する必要があります (BKINP、BKP、BK2INP、BK2P ビットを使用)。システム (例: CSS)、オンチップペリフェラル、またはブレーク入力からのブレークリクエストによって、障害イベントを通知するブレーク入力のレベルが強制的にローとなります。安全性のため、極性ビットが正しくセット (アクティブハイ極性) されていない場合の双方向モードは禁止されています。

ブレークソフトウェアイベント (BG および B2G) も、ブレーク I/O を強制的に 0 にして、タイマがブレーク状態に移行したことを外部コンポーネントに示します。ただし、これはブレークが有効になっている場合 (BK(2)E = 1) にのみ有効です。ソフトウェアブレークイベントが BK(2)E = 0 で生成された場合、出力が安全な状態になり、ブレークフラグはセットされますが、ブレーク (2) I/O には効果がありません。

安全解除メカニズムは、システムが完全にロックされることを防ぎます (ブレーク入力レベルがローになると、同じ入力レベルをローに強制するブレークがトリガされます)。

BKDSRM (BK2DSRM) ビットが 1 にセットされると、この機能によりブレーク出力が解放され、障害信号をクリアしてシステムを再設定できます。

ブレーク保護回路はどの時点においても無効にできません。

- ブレーク入力パスは常にアクティブです。BKDSRM (BK2DSRM) ビットがセットされており、オープンドレイン制御が解放されている場合でもブレークイベントはアクティブです。これによって、ブレーク条件が存在する限り、PWM 出力の再開を防ぐことができます。
- 出力が有効になっている (MOE ビットがセットされている) 限り、BK(2)DSRM ビットでブレーク保護を解除できません (表 177 を参照)。

表 177. ブレーク保護解除条件

MOE	BKDIR (BK2DIR)	BKDSRM (BK2DSRM)	ブレーク保護状態
0	0	X	設定
0	1	0	設定
0	1	1	解除
1	X	X	設定

ブレーク回路の設定および再設定

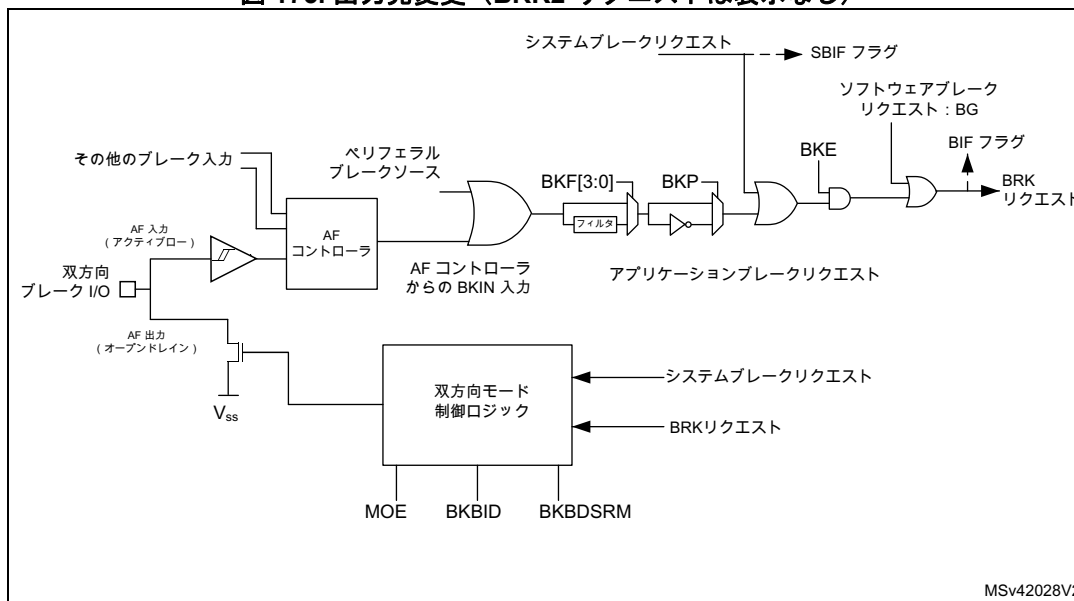
ブレーク回路（入力モードまたは双方向モード）はデフォルト（ペリフェラルリセット設定）で設定されています。

ブレーク（ブレーク 2） イベント後に保護を再び設定するには次の手順に従う必要があります。

- BKDSRM (BK2DSRM) ビットをセットして、出力制御を解放する必要があります。
- ソフトウェアは、システムブレーク条件（ある場合）がなくなるまで待ってから、SBIF ステータスフラグをクリアする必要があります（または再設定の前にシステムでクリアします）。
- ソフトウェアは、BKDSRM (BK2DSRM) をハードウェアによってクリアされるまでポーリングする必要があります（アプリケーションブレーク条件がなくなるとき）。

この時点から、ブレーク回路は設定されアクティブになり、MOE ビットをセットして、PWM 出力を再び有効にできます。

図 175. 出力先変更 (BRK2 リクエストは表示なし)



MSv42028V2

25.3.18 外部イベントによる OCxREF 信号のクリア

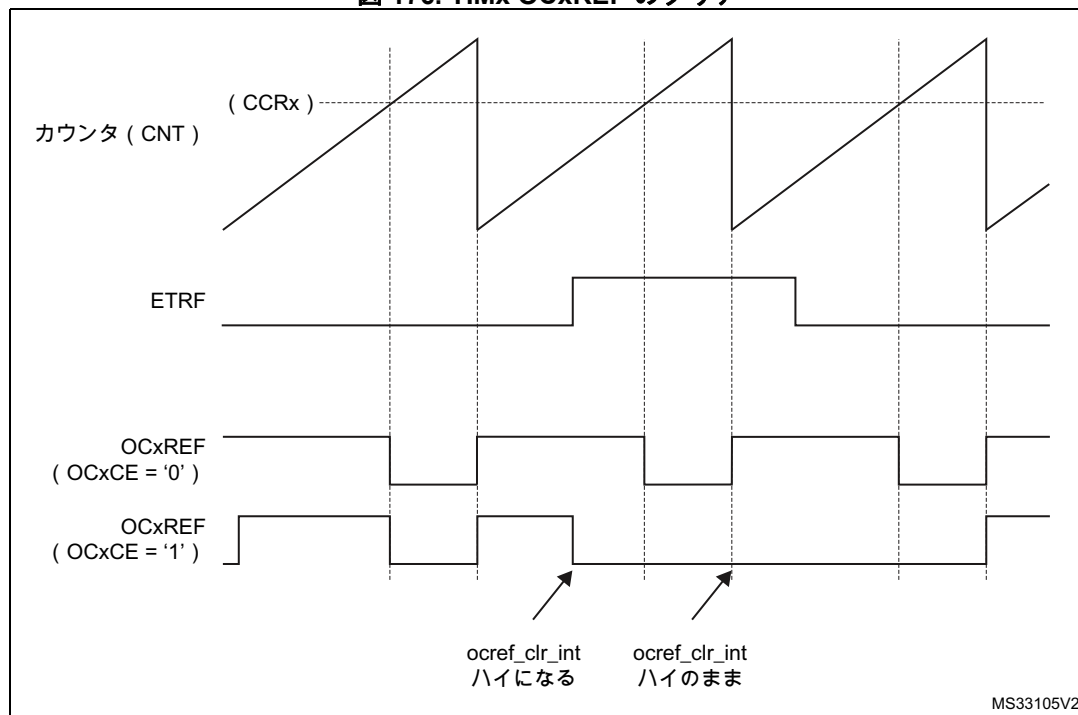
特定のチャンネルの OCxREF 信号は ocref_clr_int 入力にハイレベルを適用するとクリアされます (対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする)。OCxREF は、次の更新イベント (UEV) が発生するまで、ローレベルを保ちます。この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。ocref_clr_int 入力は、TIMx_SMCR レジスタで OCCS ビットを設定することで、OCREF_CLR 入力と ETRF (フィルタ後の ETR) の間で選択できます。

ETRF が選択された場合、ETRF は次のように設定する必要があります。

1. 外部トリガプリスケアラはオフ状態に維持します (TIMx_SMCR レジスタの ETPS[1:0] ビットを“00”にセット)。
2. 外部クロックモード 2 を無効にします (TIMx_SMCR レジスタの ECE ビットを“0”にセット)。
3. 外部トリガ極性 (ETP) と外部トリガフィルタ (ETF) は、ユーザのニーズに応じて設定できます。

図 176 に、イネーブルビット OCxCE の両方の値について、ETRF 入力がハイレベルになったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

図 176. TIMx OCxREF のクリア



注： 100% デューティサイクルの PWM の場合 (CCR_x > ARR の場合)、次のカウンタオーバーフローで OCxREF が再度有効になります。

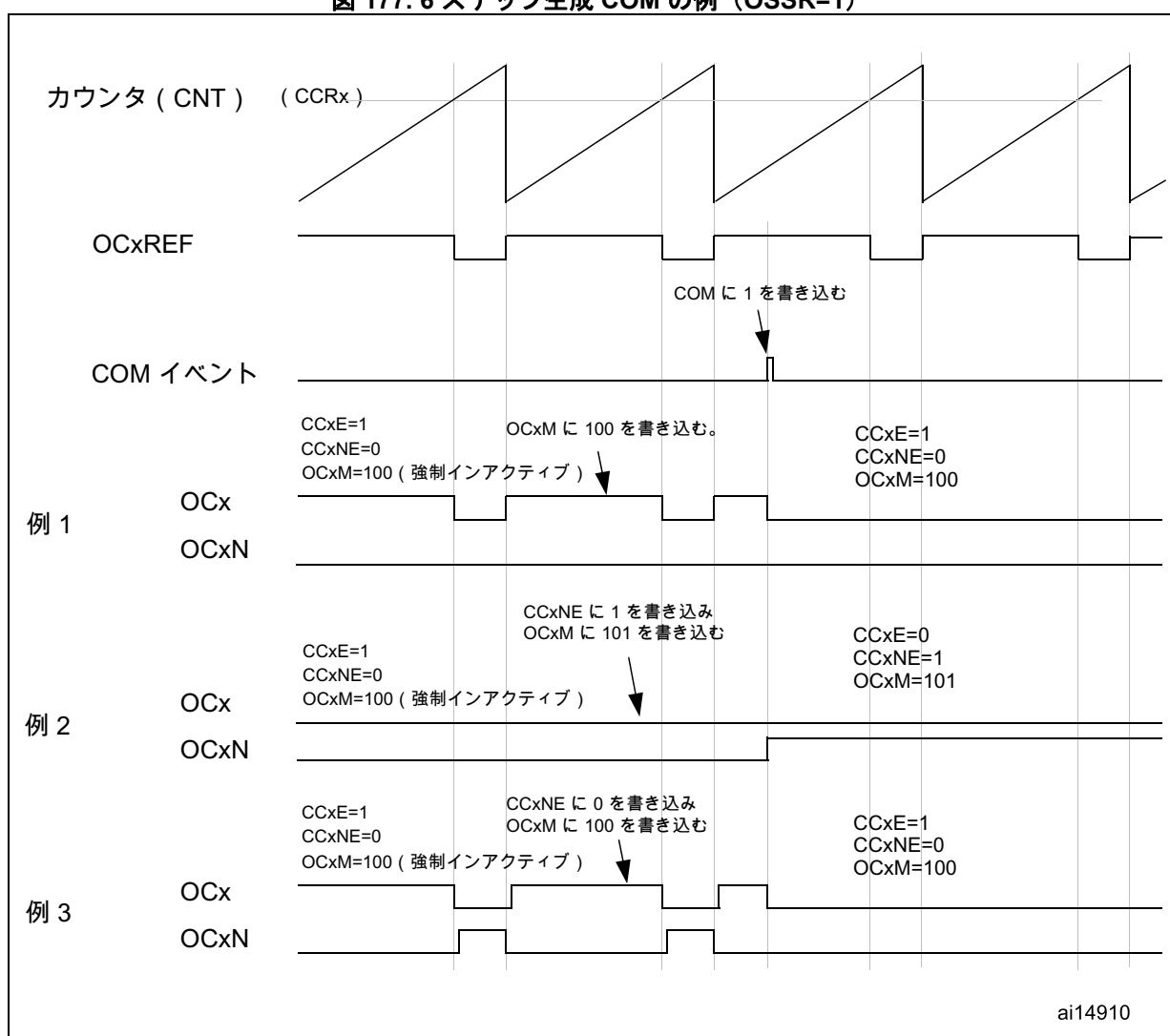
25.3.19 6 ステップ PWM 生成

チャンネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 転流イベントでシャドウビットにコピーされます。これにより、次のステップの構成をあらかじめプログラミングして、すべてのチャンネルの構成を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって (TRGI 立ち上がりエッジで) 生成することができます。

フラグは、COM イベントが発生したときにセットされ (TIMx_SR レジスタの COMIF ビット)、これによって割り込み (TIMx_DIER レジスタの COMIE ビットがセットされている場合) または DMA リクエスト (TIMx_DIER レジスタの COMDE ビットがセットされている場合) を生成できます。

図 177 に、COM イベントが発生したときの OCx と OCxN 出力の動作を、3 種類のプログラミング構成の例で示します。

図 177. 6 ステップ生成 COM の例 (OSSR=1)



25.3.20 ワンパルスモード

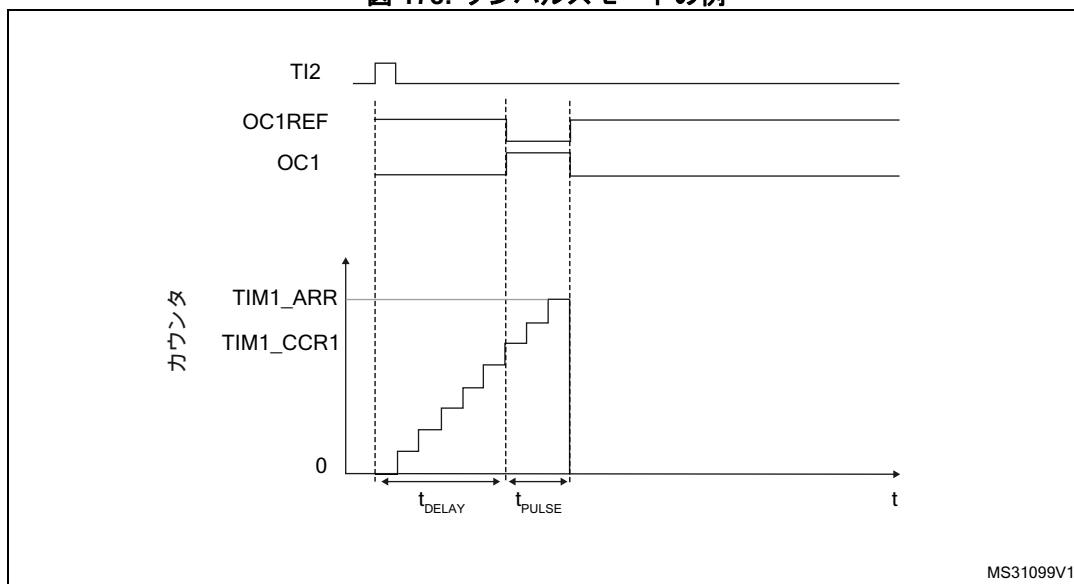
ワンパルスモード (OPM : One Pulse Mode) は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に (タイマがトリガを待っているときに)、設定が次のようであればなりません。

- アップカウント時 : $CNT < CCRx \leq ARR$ (特に、 $0 < CCRx$)
- ダウンカウント時 : $CNT > CCRx$

図 178. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに "01" を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P="0" と CC2NP="0" を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ (TRGI) として設定します。このためには、TIMx_SMCR レジスタの TS ビットに "00110" を書き込みます。
5. TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS ビットに "110" (トリガモード) を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます (クロック周波数とカウンタプリスケアラを考慮に入れて)。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差 (TIMx_ARR - TIMx_CCR1) によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE='1' を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので (シングルモード)、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します (カウンタが自動再ロード値に達して、“0”に戻る時点)。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース : OCx 高速イネーブル :

ワンパルスモードでは、Tlx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延 ($t_{\text{DELAY min}}$) が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF (および OCx) は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャンネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

25.3.21 再トリガ可能なワンパルスモード

このモードでは、トリガに応じてカウンタを開始して、プログラム可能な長さのパルスを生成できます。ただし、[セクション 25.3.20](#) で説明する再トリガ不可能なワンパルスモードについて、次のような違いがあります。

- パルスはトリガが発生し次第開始します (プログラム可能な遅延はありません)。
- パルスは、前のトリガが完了する前に新しいトリガが発生すると拡張されます。

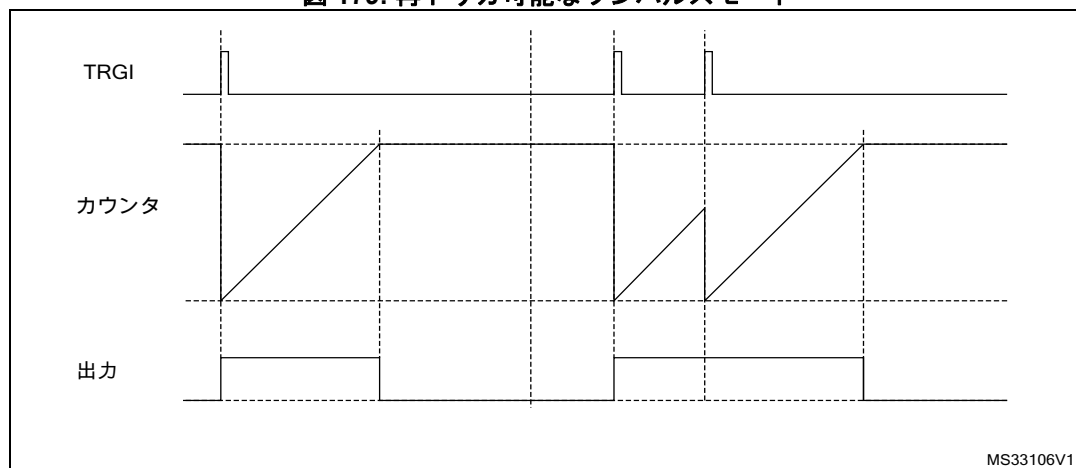
タイマはスレーブモードである必要があります、このときビットは TIMx_SMCR レジスタで SMS[3:0] = “1000” (リセットモードとトリガモードの組み合わせ)、および再トリガ可能な OPM モード 1 または 2 で OCxM[3:0] が “1000” または “1001” にセットされています。

タイマをアップカウントモードで設定した場合、対応する CCRx を 0 にセットする必要があります (ARR レジスタによってパルス長がセットされます)。タイマをダウンカウントモードで設定した場合、CCRx は ARR 以上である必要があります。

注 : OCxM[3:0] および SMS[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

このモードをセンターライン PWM モードと組み合わせて使用することはできません。TIMx_CR1 では、CMS[1:0] = 00 にする必要があります。

図 179. 再トリガ可能なワンパルスモード



25.3.22 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS="001" を、TI1 エッジのみをカウントしている場合は SMS="010" を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS="011" を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。CC1NP と CC2NP はローに維持する必要があります。

2つの入力 TI1 と TI2 は、直交エンコーダとのインタフェースに使用されます。表 178 を参照してください。カウンタのクロック供給は、TI1FP1 または TI2FP2 (入力フィルタおよび極性選択の後は TI1 と TI2、フィルタされず反転されない場合は TI1FP1=TI1、フィルタされず反転されない場合は TI2FP2=TI2) での有効な遷移ごとに行われます。ただし、カウンタは有効である (TIMx_CR1 レジスタの CEN ビットに "1" が書き込まれている) ことが前提です。2つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIR ビットは、いずれかの入力 (TI1 または TI2) の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします (方向に応じて、0 から ARR まで、または ARR から 0 まで)。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、繰り返しカウンタ、トリガ出力の機能は通常どおりに機能が続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

注： エンコーダモードを有効にすると、プリスケアラをゼロに設定する必要があります。

このモードでは、カウンタは直交エンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します (TI1 と TI2 は同時に切り替わらないと想定しています)。

表 178. カウント方向とエンコーダ信号

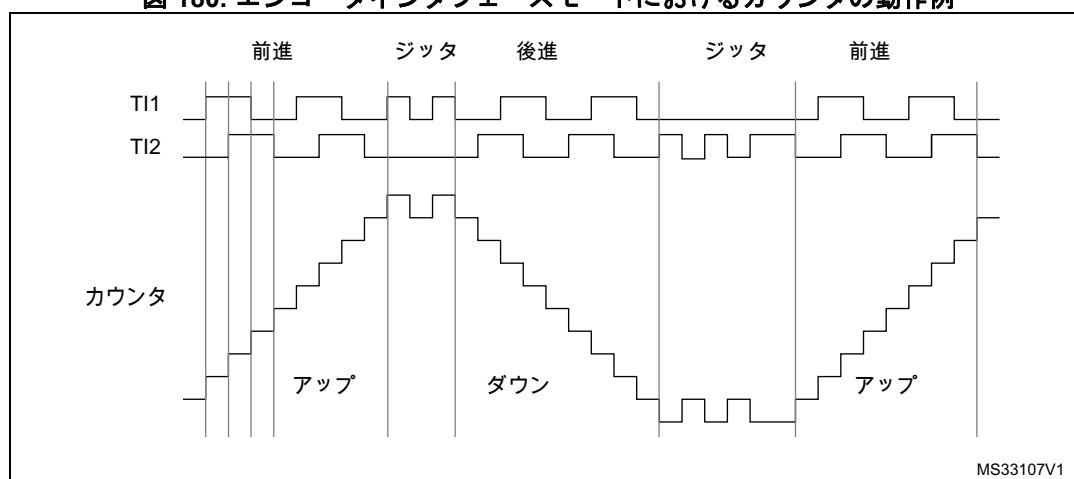
アクティブエッジ	他方の信号のレベル (TI2 に対する TI1FP1、 TI1 に対する TI2FP2)	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	高	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	高	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の 両方をカウント	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

直交エンコーダは、外部インタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割込み入力に接続して、カウンタのリセットをトリガできます。

図 180 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入カジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S="01" (TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置)
- CC2S="01" (TIMx_CCMR2 レジスタ、TI1FP2 は TI2 に配置)
- CC1P="0"、CC1NP="0" (TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1)
- CC2P="0"、CC2NP="0" (TIMx_CCER レジスタ、TI1FP2 非反転、TI1FP2=TI2)
- SMS="011" (TIMx_SMCR レジスタ、両方の入力が立ち上がり立ち下がり両エッジでアクティブ)
- CEN="1" (TIMx_CR1 レジスタ、カウンタ有効)

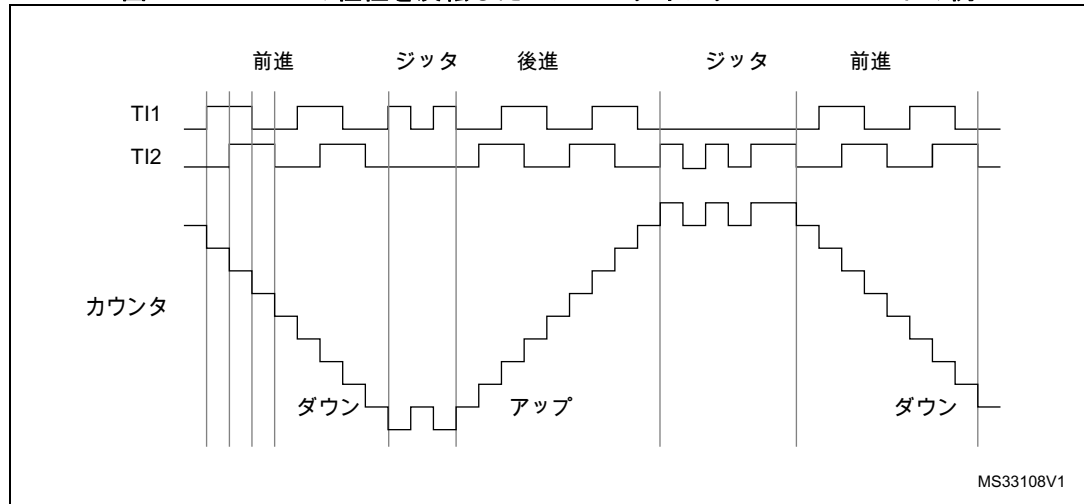
図 180. エンコーダインタフェースモードにおけるカウンタの動作例



MS33107V1

図 181 に、TI1FP1 の極性を反転したときのカウンタの動作を示します（上記と同じ設定ですが、CC1P="1"）。

図 181. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに構成した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。使用可能なときには、DMA リクエストを通じて値を読み出すことも可能です。

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31 (TIMxCNT[31]) に更新割込みフラグ (UIF) の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。バックグラウンドタスク（カウンタの読出し）と割込み（更新割込み）との間で共有されている処理などによって生じる競合状態を避けることで、角速度の計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

32 ビットのタイマの実装で、IUFREMAP ビットがセットされている場合、カウンタのビット 31 は読出しアクセス時に UIFCPY フラグによって上書きされます（カウンタの最上位ビットには書き込みモード時のみアクセス可能）。

25.3.23 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31 (TIMxCNT[31]) に更新割込みフラグ (UIF) の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。特殊なケースでは、バックグラウンドタスク（カウンタの読出し）と中断（更新の中断）との間で共有されている処理などによって生じる競合状態を避けることで、計算が容易になります。

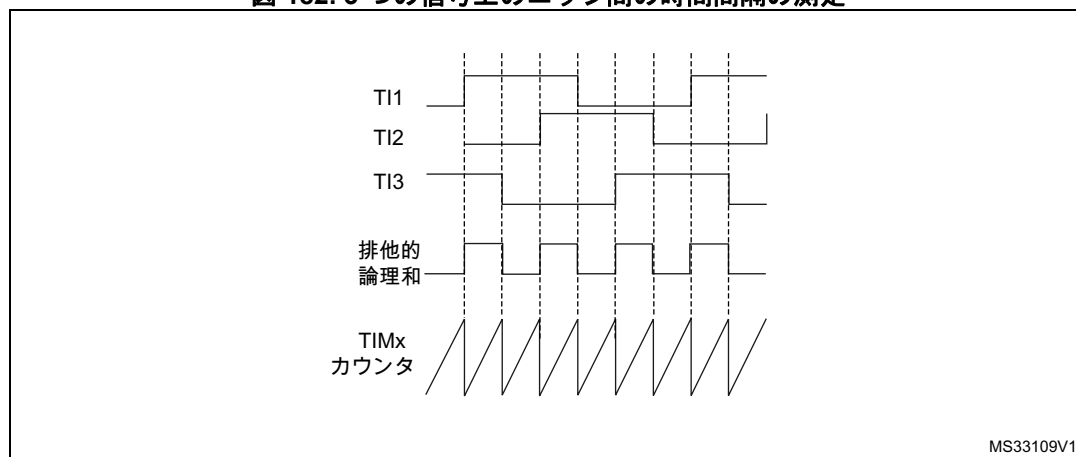
UIF と UIFCPY フラグのアサートの間には、遅延はありません。

25.3.24 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャンネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。次の図 182 に示すように、2 つの入力信号上のエッジ間の間隔を測定するのに便利です。

図 182. 3 つの信号上のエッジ間の時間間隔の測定



MS33109V1

25.3.25 ホールセンサとのインタフェース

これは、高機能制御タイマ (TIM1) を使用して PWM 信号を生成し、モータと図 183 で「インタフェースタイマ」と記されている別のタイマ TIMx (TIM2) を駆動することによって実現します。「インタフェースタイマ」は、XOR を通じて TI1 入力チャンネル (TIMx_CR2 レジスタの TI1S ビットをセットすることで選択できます) に接続された 3 つのタイマ入力ピン (CC1、CC2、CC3) をキャプチャします。

スレーブモードコントローラはリセットモードに設定され、スレーブ入力には TI1F_ED です。したがって、3 つの入力のいずれかが反転するごとに、カウンタは 0 からカウントをリスタートします。これが、ホール入力の変化によってトリガされるタイムベースとなります。

「インタフェースタイマ」上で、キャプチャ/比較チャンネル 1 がキャプチャモードで設定され、キャプチャ信号は TRC です (747 ページの図 156: キャプチャ/比較チャンネル (例: チャンネル 1 入力ステージ) を参照)。キャプチャされた値は、入力の 2 回の変化の間の経過時間に対応し、モータの速度情報を与えます。

「インタフェースタイマ」を出力モードで使用して、(COM イベントをトリガすることで) 高機能制御タイマ (TIM1) のチャンネルの設定を変更するパルスを生成することができます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラミングした遅延の後に正パルスが生成されるように (出力比較モードまたは PWM モードで) インタフェースタイマチャンネルをプログラミングする必要があります。このパルスは、TRGO 出力を通じて高機能制御タイマ (TIM1) に送られます。

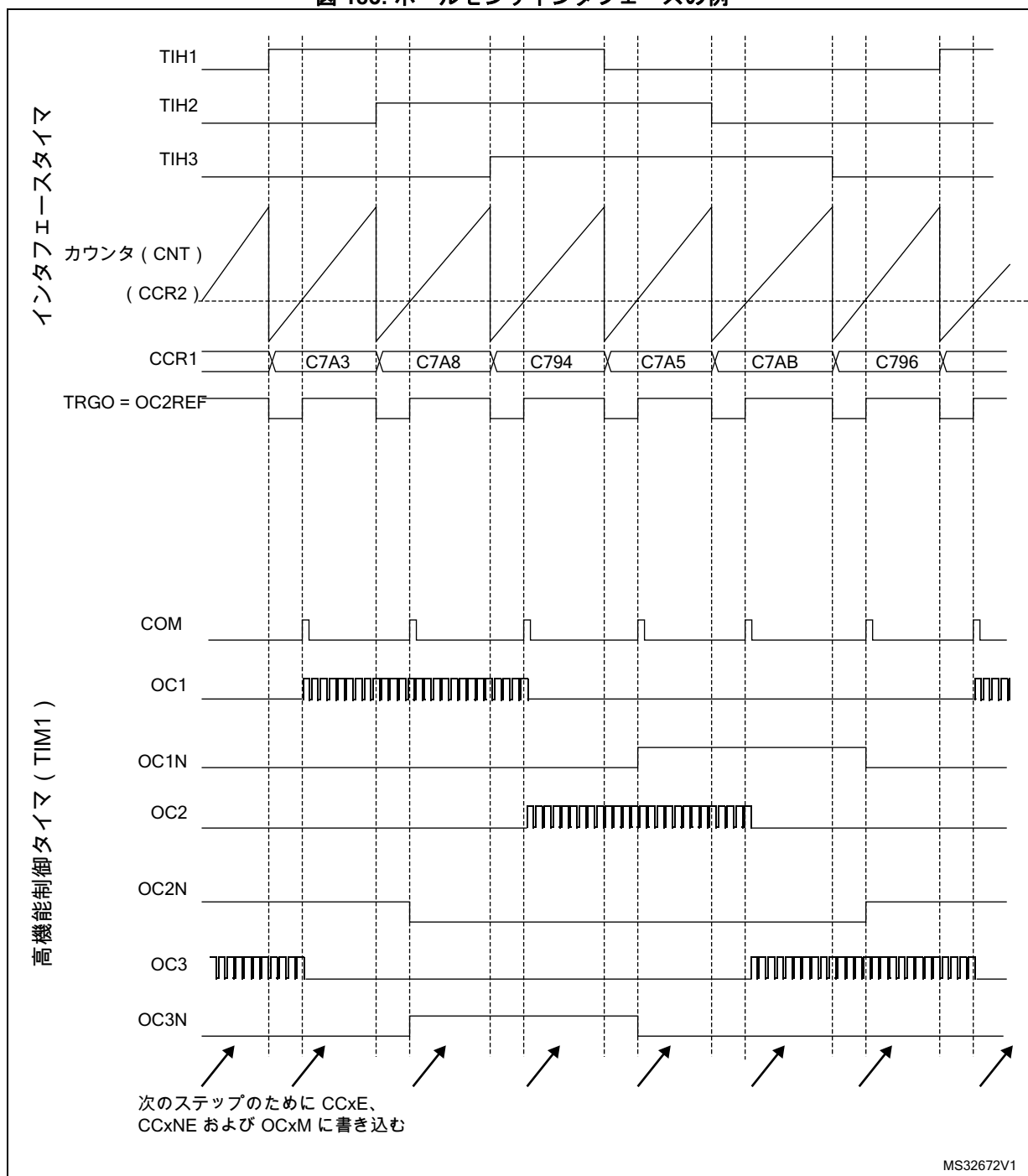
例：TIMx タイマの 1 つに接続されているホール入力に変化するたびに、プログラミングした遅延の後に高機能制御タイマ TIM1 の PWM 設定を変更するとします。

- 3 つのタイマ入力を TI1 入力チャンネルに OR 接続します。このためには、TIMx_CR2 レジスタの TI1S ビットに“1”を書き込みます。
- タイムベースをプログラムします。このためには、TIMx_ARR に最大値を書き込み、TI1 の変化でカウンタがクリアされるようにします。最大カウンタ時間がセンサの 2 回の変化の間の時間より長くなるように、プリスケアラを設定します。
- チャンネル 1 をキャプチャモード (TRC 選択) にプログラムします。すなわち、TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。必要な場合は、デジタルフィルタをプログラムすることもできます。
- チャンネル 2 を PWM 2 モードにプログラミングし、希望の遅延を指定します。このためには、TIMx_CCMR1 レジスタの OC2M ビットに“111”を、CC2S ビットに“00”を書き込みます。
- TRGO 上のトリガ出力として OC2REF を選択します。このためには、TIMx_CR2 レジスタの MMS ビットに“101”を書き込みます。

高機能制御タイマ TIM1 で、トリガ入力として適切な ITR 入力を選択する必要があり、タイマが PWM 信号を生成するようにプログラミングし、キャプチャ/比較制御信号がプリロードされ (TIMx_CR2 レジスタの CCPC=1)、COM イベントがトリガ入力によって制御されなければなりません (TIMx_CR2 レジスタの CCUS=1)。PWM 制御ビット (CCxE、OCxM) は、COM イベント後に次のステップのために書き込まれます (これは、OC2REF の立ち上がりエッジによって生成される割込みサブルーチンで行うことができます)。

図 183 に、この例を示します。

図 183. ホールセンサインタフェースの例



25.3.26 タイマの同期

タイマの同期や連携した動作のために、TIMx タイマを内部で相互リンクすることができます。詳細については、[セクション 26.3.19: タイマの同期](#)を参照してください。これらのタイマは、いくつかのモードで同期させることができます。そのモードは、リセットモード、ゲートモード、およびトリガモードです。

スレーブモード：リセットモード

カウンタとそのプリスケアラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ (TIMx_ARR、TIMx_CCRx) が更新されます。

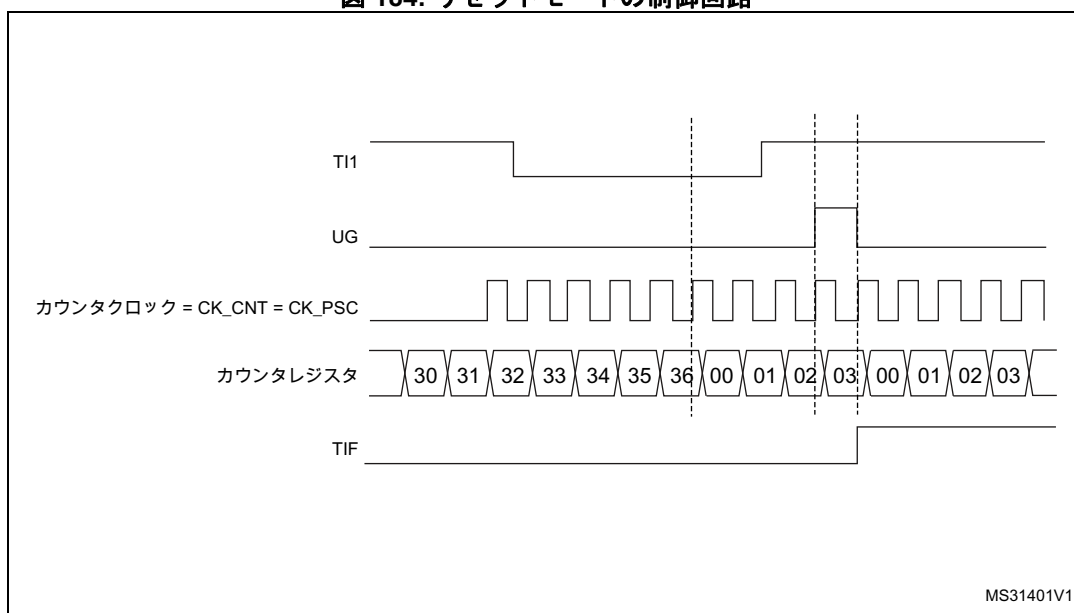
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャンネル 1 を設定します。入力フィルタ時間を設定します (この例ではフィルタは不要なので、IC1F=0000 のままにしておきます)。キャプチャプリスケアラはトリガには使用されないため、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します (TIMx_CCMR1 レジスタの CC1S=01)。TIMx_CCER レジスタに CC1P=0 と CC1NP=0 を書き込んで、極性を有効にします (そして、立ち上がりエッジのみを検出します)。
- TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ (TIMx_SR レジスタの TIF ビット)、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます (TIMx_DIER レジスタの TIE および TDE ビットに依存)。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 184. リセットモードの制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

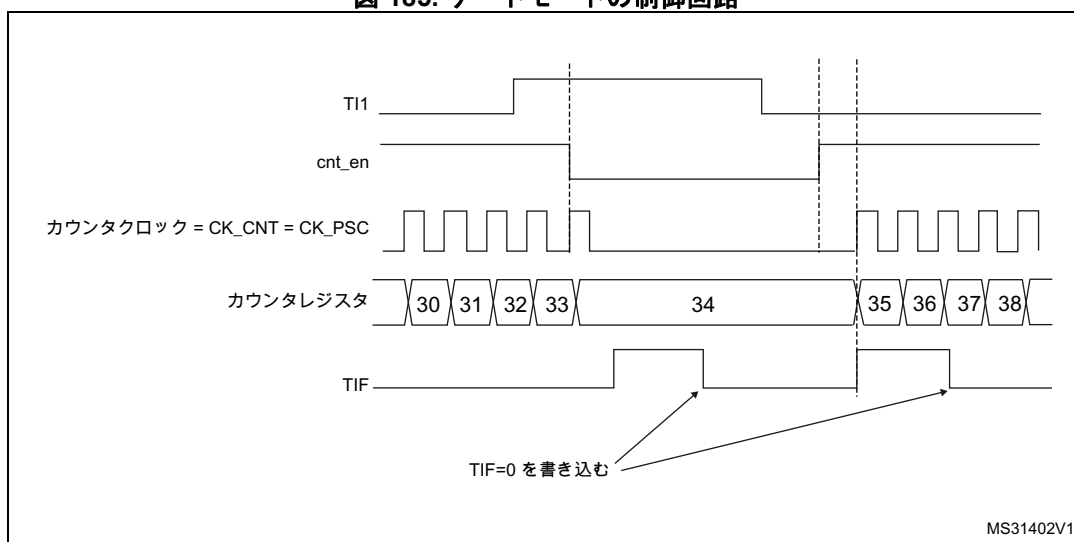
次の例では、アップカウンタは TI1 入力が高レベルのときだけカウントします。

- TI1 のローレベルを検出するように、チャンネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケアラはトリガには使用されないため、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します (TIMx_CCMR1 レジスタの CC1S=01 ビット)。TIMx_CCER レジスタで CC1P=1 と CC1NP=0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 185. ゲートモードの制御回路



スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

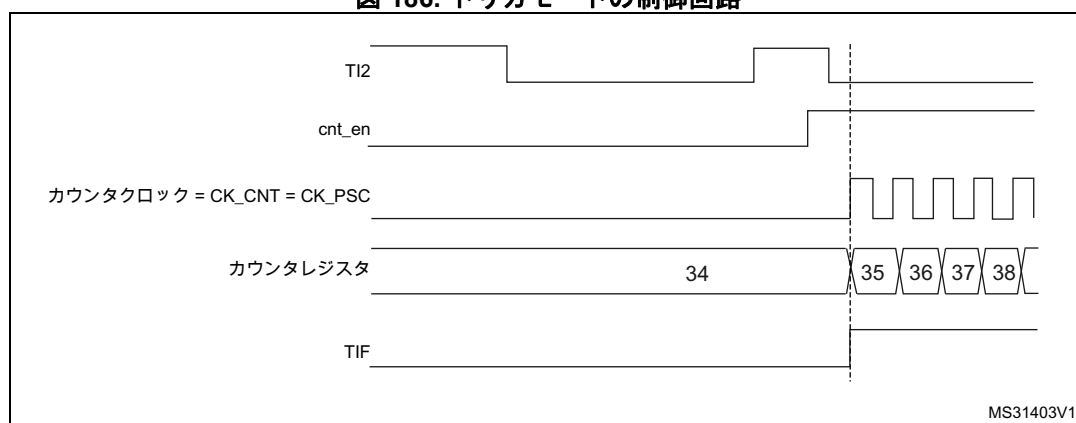
- TI2 の立ち上がりエッジを検出するように、チャンネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケアラはトリガには使用されないため、設定は不要です。CC2S ビットは入力キャプチャソースのみを選択するように設定されます (TIMx_CCMR1 レジスタの CC2S=01)。TIMx_CCER レジスタで CC2P=1 と CC2NP=0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。

- TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 186. トリガモードの制御回路



スレーブモード：リセットモードとトリガモードの組み合わせ

この場合、選択されたトリガ入力 (TRGI) の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

このモードはワンパルスモードで使用します。

スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます (ただし、外部クロックモード 1 とエンコーダモードは除きます)。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます (リセットモード、ゲートモード、またはトリガモード)。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

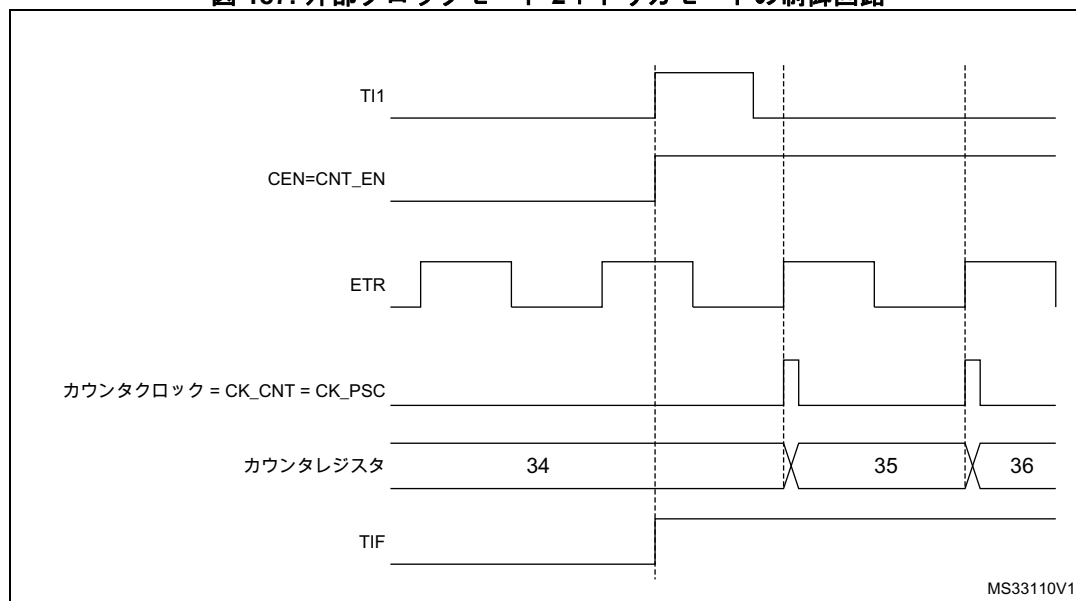
1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を構成します。
 - ETF = 0000 : フィルタなし
 - ETPS = 00 : プリスケーラは無効
 - ETP = 0 : ETR の立ち上がりエッジを検出。ECE = 1 で外部クロックモード 2 を有効にする。
2. TI1 の立ち上がりエッジを検出するように、チャンネル 1 を次のように構成します。
 - IC1F=0000 : フィルタなし。
 - キャプチャプリスケーラはトリガには使用されないため、設定する必要はありません。
 - TIMx_CCMR1 レジスタの CC1S = 01 で、入力キャプチャソースのみを選択します。
 - TIMx_CCER レジスタの CC1P = 0 と CC1NP = 0 で、極性を有効にします (そして、立ち上がりエッジのみを検出します)。

3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 187. 外部クロックモード 2+トリガモードの制御回路



注： TRGO または TRGO2 の信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケアラ）を動作中に変更しないでください。

25.3.27 ADC の同期

タイマでは、リセットイベント、イネーブルイベント、比較イベントなどのさまざまな内部信号で ADC トリガイベントを生成できます。以下のような内部エッジ検出から発行されたパルスを生成することもできます。

- OC4ref の立ち上がりおよび立ち下がりエッジ
- OC5ref の立ち上がりエッジまたは OC6ref の立ち下がりエッジ

トリガは、ADC にリダイレクトされる TRGO2 内部ラインで発行されます。使用できるイベントは全部で 16 個あり、TIMx_CR2 レジスタの MMS2[3:0] ビットを使用して選択できます。

3 相モータ駆動のアプリケーションの例については、759 ページの図 167 を参照してください。

注： TRGO または TRGO2 の信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケアラ）を動作中に変更しないでください。

注： ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間は動作中に変更しないでください。

25.3.28 DMA バーストモード

TIMx タイマには、1つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、タイマの一部をソフトウェアのオーバーヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト (バースト) を開始します。TIMx_DMAR レジスタへの各書込みは、実際にタイマレジスタの1つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します。つまり、転送数 (ハーフワード単位またはバイト単位) を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します (TIMx_DMAR アドレスを通じて読出し/書込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例 :

00000 : TIMx_CR1

00001 : TIMx_CR2

00010 : TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します (x = 2, 3, 4)。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャンネルを次のように設定します。
 - DMA チャンネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
 - DMA チャンネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
 - 転送データ数 = 3 とします (下の注を参照)。
 - サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします (DIER レジスタの UDE ビットをセット)。
4. TIMx を有効化
5. DMA チャンネルを有効化注 :

この例は、各 CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注 : null 値を予約済みレジスタに書き込むことができます。

25.3.29 デバッグモード

システムがデバッグモードになると（プロセッサコアは停止状態）、TIMx カウンタは、DBGMCU モジュールの DBG_TIM1_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。

安全のため、カウンタが停止すると、出力は無効になります（MOE ビットのリセット時と同じ）。通常強制的にハイインピーダンスにするために、出力を強制的にインアクティブ状態にするか（OSSI ビット = 1）、GPIO コントローラで制御することができます（OSSI ビット = 0）。

詳細については、デバッグサポート (DBG) のセクションを参照してください。

25.4 TIM1 レジスタ

レジスタの説明で使用されている略語のリストを参照してください。

ペリフェラルレジスタには、ハーフワード (16 ビット) またはワード (32 ビット) 単位でアクセスする必要があります。

25.4.1 TIM1 制御レジスタ 1 (TIM1_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP** : UIF ステータスビットの再配置

0 : 再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。

1 : 再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]** : クロック分周

このビットフィールドは、タイマクロック (CK_INT) 周波数と、デッドタイムジェネレータとデジタルフィルタ (ETR、TIX) によって使用されるデッドタイムおよびサンプリングクロック (t_{DTS}) との間の分周比を示します。

00 : $t_{DTS} = t_{CK_INT}$

01 : $t_{DTS} = 2 * t_{CK_INT}$

10 : $t_{DTS} = 4 * t_{CK_INT}$

11 : 予約済み - この値をプログラミングしないでください。

注 : $t_{DTS} = 1/f_{DTS}$ 、 $t_{CK_INT} = 1/f_{CK_INT}$

ビット 7 **ARPE** : 自動再ロードプリロードイネーブル

0 : TIMx_ARR レジスタはバッファされません。

1 : TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]** : センターアラインモード選択

00 : エッジアラインモードカウンタは、方向ビット (DIR) に応じて、カウントアップまたはカウントダウンします。

01 : センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャンネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10 : センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャンネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントアップしているときのみセットされます。

11 : センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャンネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注 : カウンタが有効 (CEN=1) なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット4 **DIR** : 方向

- 0 : カウンタはアップカウンタとして使用されます。
- 1 : カウンタはダウンカウンタとして使用されます。

注 : このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット3 **OPM** : ワンパルスモード

- 0 : カウンタは更新イベントで停止しません。
- 1 : カウンタは次の更新イベントでカウントを停止します (CEN ビットをクリア)。

ビット2 **URS** : 更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。
0 : 次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します (有効な場合)。これらのイベントは、次のとおりです。

- カウンタオーバーフロー/アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1 : カウンタオーバーフロー/アンダーフローのみが更新割込みまたは DMA リクエストを生成します (有効な場合)。

ビット1 **UDIS** : 更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : UEV は有効です。更新イベント (UEV) は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー/アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1 : UEV は無効です。更新イベントは生成されず、シャドウレジスタ (ARR、PSC、CCR_x) は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケアラは再初期化されます。

ビット0 **CEN** : カウンタイネーブル

- 0 : カウンタは無効です。
- 1 : カウンタは有効です。

注 : 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

25.4.2 TIM1 制御レジスタ 2 (TIM1_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2 [3:0]				Res.	OIS6	Res.	OIS5
								rw	rw	rw	rw		rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **MMS2[3:0]** : マスタモード選択 2

これらのビットにより、選択される同期 (TRGO2) について、ADC に情報を送信できるようになります。組み合わせは、次のとおりです。

0000 : **リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力 (TRGO2) として使用されます。トリガ入力によってリセットが生成される場合 (スレーブモードコントローラがリセットモードに設定されているとき)、TRGO2 信号は実際のリセットより遅延します。

0001 : **イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力 (TRGO2) として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理積 (AND) によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除き、TRGO2 には遅延が存在します (TIMx_SMCR レジスタの MSM ビットの説明を参照してください)。

0010 : **更新** - 更新イベントがトリガ出力 (TRGO2) として使用されます。たとえば、マスタタイマをスレーブタイマのプリスケラとして使用できます。

0011 : **パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされる時 (すでにハイであった場合も)、トリガ出力は正のパルスを送信します (TRGO2)。

0100 : **比較** - OC1REFC 信号がトリガ出力 (TRGO2) として使用されます。

0101 : **比較** - OC2REFC 信号がトリガ出力 (TRGO2) として使用されます。

0110 : **比較** - OC3REFC 信号がトリガ出力 (TRGO2) として使用されます。

0111 : **比較** - OC4REFC 信号がトリガ出力 (TRGO2) として使用されます。

1000 : **比較** - OC5REFC 信号がトリガ出力 (TRGO2) として使用されます。

1001 : **比較** - OC6REFC 信号がトリガ出力 (TRGO2) として使用されます。

1010 : **パルス比較** - OC4REFC の立ち上がりエッジまたは立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1011 : **パルス比較** - OC6REFC の立ち上がりエッジまたは立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1100 : **パルス比較** - OC4REFC または OC6REFC の立ち上がりエッジによって、TRGO2 にパルスが生成されます。

1101 : **パルス比較** - OC4REFC の立ち上がりエッジまたは OC6REFC の立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1110 : **パルス比較** - OC5REFC または OC6REFC の立ち上がりエッジによって、TRGO2 にパルスが生成されます。

1111 : **パルス比較** - OC5REFC の立ち上がりエッジまたは OC6REFC の立ち下がりエッジによって、TRGO2 にパルスが生成されます。

注 : スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります。マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 19 予約済みであり、リセット値に保持する必要があります。

- ビット 18 **OIS6** : 出力アイドル状態 6 (OC6 出力)
OIS1 ビットの説明を参照してください。
- ビット 17 予約済みであり、リセット値に保持する必要があります。
- ビット 16 **OIS5** : 出力アイドル状態 5 (OC5 出力)
OIS1 ビットの説明を参照してください。
- ビット 15 予約済みであり、リセット値に保持する必要があります。
- ビット 14 **OIS4** : 出力アイドル状態 4 (OC4 出力)
OIS1 ビットの説明を参照してください。
- ビット 13 **OIS3N** : 出力アイドル状態 3 (OC3N 出力)
OIS1N ビットの説明を参照してください。
- ビット 12 **OIS3** : 出力アイドル状態 3 (OC3 出力)
OIS1 ビットの説明を参照してください。
- ビット 11 **OIS2N** : 出力アイドル状態 2 (OC2N 出力)
OIS1N ビットの説明を参照してください。
- ビット 10 **OIS2** : 出力アイドル状態 2 (OC2 出力)
OIS1 ビットの説明を参照してください。
- ビット 9 **OIS1N** : 出力アイドル状態 1 (OC1N 出力)
0 : MOE=0 のとき、デッドタイム後に OC1N=0
1 : MOE=1 のとき、デッドタイム後に OC1N=0
注 : このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。
- ビット 8 **OIS1** : 出力アイドル状態 1 (OC1 出力)
0 : MOE=0 のとき、OC1=0 (OC1N が実装されている場合、デッドタイム後に)
1 : MOE=1 のとき、OC1=0 (OC1N が実装されている場合、デッドタイム後に)
注 : このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。
- ビット 7 **TI1S** : TI1 選択
0 : TIMx_CH1 ピンが TI1 入力に接続されます。
1 : TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます (XOR 接続)。

ビット 6:4 **MMS[2:0]** : マスタモード選択

これらのビットにより、選択された情報を同期のためにマスタモードでスレーブタイマに送信することができます (TRGO)。組み合わせは、次のとおりです。

- 000 : **リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力 (TRGO) として使用されます。トリガ入力によってリセットが生成される場合 (スレーブモードコントローラがリセットモードに設定されているとき)、TRGO 信号は実際のリセットより遅延します。
- 001 : **イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力 (TRGO) として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和 (AND) によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除き、TRGO には遅延が存在しません (TIMx_SMCR レジスタの MSM ビットの説明を参照してください)。
- 010 : **更新** - 更新イベントがトリガ出力 (TRGO) として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケラとして使用できます。
- 011 : **パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき (すでにハイであった場合も)、トリガ出力は正のパルスを送信します (TRGO)。
- 100 : **比較** - OC1REFC 信号がトリガ出力 (TRGO) として使用されます。
- 101 : **比較** - OC2REFC 信号がトリガ出力 (TRGO) として使用されます。
- 110 : **比較** - OC3REFC 信号がトリガ出力 (TRGO) として使用されます。
- 111 : **比較** - OC4REFC 信号がトリガ出力 (TRGO) として使用されます。

注 : スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります、マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 3 **CCDS** : キャプチャ/比較 DMA 選択

- 0 : CCx DMA リクエストは、CCx イベントが発生すると送信されます。
- 1 : CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2 **CCUS** : キャプチャ/比較制御更新選択

- 0 : キャプチャ/比較制御ビットがプリロードされるときには (CCPC=1)、COMG ビットをセットすることによってのみ更新されます。
- 1 : キャプチャ/比較制御ビットがプリロードされるときには (CCPC=1)、COMG ビットをセットすることによって、または TRGI の立ち上がりエッジで更新されます。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CCPC** : キャプチャ/比較プリロード制御

- 0 : CCxE、CCxNE、および OCxM ビットはプリロードされません。
- 1 : CCxE、CCxNE、および OCxM ビットがプリロードされます。書込みの後、これらのビットは、転流イベント (COM) が発生したときのみ更新されます (CCUS ビットに応じて、COMG ビットがセットまたは TRGI で立ち上がりエッジが検出されたとき)。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

25.4.3 TIM1 スレーブモード制御レジスタ (TIM1_SMCR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **ETP** : 外部トリガ極性

このビットは、ETR と \overline{ETR} のいずれがトリガ動作に使用されるかを選択します。

0 : ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1 : ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブです。

ビット 14 **ECE** : 外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0 : 外部クロックモード 2 は無効です。

1 : 外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注 : ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります (SMS=111、TS=00111)。

外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません (TS ビットが 00111 でないことが必要)。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力には ETRF です。

ビット 13:12 **ETPS[1:0]** : 外部トリガプリスケアラ

外部トリガ信号 ETRP の周波数は、最大でも f_{CK_INT} 周波数の 1/4 でなければなりません。プリスケアラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00 : プリスケアラオフ

01 : ETRP 周波数は 2 分周されます。

10 : ETRP 周波数は 4 分周されます。

11 : ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]** : 外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、 f_{DTS} でサンプリング

0001 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 2$

0010 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 4$

0011 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 8$

0100 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 6$

0101 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 8$

0110 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 6$

0111 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 8$

1000 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 6$

1001 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 8$

1010 : $f_{SAMPLING} = f_{DTS}$ 、 $N = 16$

1011 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 6$

1100 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 8$

1101 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 5$

1110 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 6$

1111 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 8$

ビット 7 **MSM** : マスタ/スレーブモード

0 : 影響なし。

1 : トリガ入力 (TRGI) に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期 (TRGO を通じて) を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 21、20、6、**TS[4:0]** : トリガ選択

5、4 このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

00000 : 内部トリガ 0 (ITR0)

00001 : 内部トリガ 1 (ITR1)

00010 : 内部トリガ 2 (ITR2)

00011 : 内部トリガ 3 (ITR3)

00100 : TI1 エッジ検出回路 (TI1F_ED)

00101 : フィルタタイマ入力 1 (TI1FP1)

00110 : フィルタタイマ入力 2 (TI2FP2)

00111 : 外部トリガ入力 (ETRF)

その他 : 予約済みです。

各タイマでの ITRx の詳細については、[792 ページの表 179: TIM1 内部トリガ接続](#)を参照してください。

注 : 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき (SMS=000 のときなど) にのみ変更しなければなりません。

ビット 3 **OCCS** : OCREF クリア選択

このビットは、OCREF クリアソースを選択するために使用されます。

0 : OCREF_CLR_INT は、OCREF_CLR 入力に接続されています。

1 : OCREF_CLR_INT は、ETRF に接続されています。

ビット 16、2、1、0 **SMS[3:0]** : スレーブモード選択

外部信号が選択されると、トリガ信号 (TRGI) のアクティブエッジが外部入力で選択された極性にリンクされます (入力制御レジスタおよび制御レジスタの説明を参照してください)。

0000 : スレーブモードは無効です。CEN = "1" の場合、プリスケアラは内部クロックによって直接クロック供給されます。

0001 : エンコーダモード 1 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

0010 : エンコーダモード 2 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

0011 : エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

0100 : リセットモード - 選択されたトリガ入力 (TRGI) の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

0101 : ゲートモード - カウンタクロックは、トリガ入力 (TRGI) がハイのときに有効になります。トリガがローになると、カウンタは停止します (リセットはされません)。カウンタの開始と停止の両方が制御されます。

0110 : トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します (リセットはされません)。カウンタの開始のみが制御されます。

0111 : 外部クロックモード 1 - 選択されたトリガ (TRGI) の立ち上がりエッジがカウンタのクロックとして供給されます。

1000 : リセットモードとトリガモードの組み合わせ - 選択されたトリガ入力 (TRGI) の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成してカウンタを開始します。

1000 以上のコード : 予約済み。

注 : トリガ入力として TI1F_ED が選択されている場合 (TS=00100)、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

注 : TRGO または TRGO2 の信号を受信するスレーブペリフェラル (タイマ、ADC など) のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります。マスタタイマからトリガを受信している間はクロック周波数 (プリスケアラ) を動作中に変更しないでください。

表 179. TIM1 内部トリガ接続

スレーブ TIM	ITR0 (TS = 00000)	ITR1 (TS = 00001)	ITR2 (TS = 00010)	ITR3 (TS = 00011)
TIM1	-	TIM2	-	TIM17 : OC1

25.4.4 **TIM1 DMA/割込み有効レジスタ (TIM1_DIER)**

アドレス・オフセット : 0x0C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **TDE** : トリガ DMA リクエストイネーブル

- 0 : トリガ DMA リクエストは無効です。
- 1 : トリガ DMA リクエストは有効です。

ビット 13 **COMDE** : COM DMA リクエストイネーブル

- 0 : COM DMA リクエストは無効です。
- 1 : COM DMA リクエストは有効です。



- ビット 12 **CC4DE** : キャプチャ/比較 4 DMA リクエストイネーブル
0 : CC4 DMA リクエストは無効です。
1 : CC4 DMA リクエストは有効です。
- ビット 11 **CC3DE** : キャプチャ/比較 3 DMA リクエストイネーブル
0 : CC3 DMA リクエストは無効です。
1 : CC3 DMA リクエストは有効です。
- ビット 10 **CC2DE** : キャプチャ/比較 2 DMA リクエストイネーブル
0 : CC2 DMA リクエストは無効です。
1 : CC2 DMA リクエストは有効です。
- ビット 9 **CC1DE** : キャプチャ/比較 1 DMA リクエストイネーブル
0 : CC1 DMA リクエストは無効です。
1 : CC1 DMA リクエストは有効です。
- ビット 8 **UDE** : 更新 DMA リクエストイネーブル
0 : 更新 DMA リクエストは無効です。
1 : 更新 DMA リクエストは有効です。
- ビット 7 **BIE** : ブレーク割込みイネーブル
0 : ブレーク割込みは無効です。
1 : ブレーク割込みは有効です。
- ビット 6 **TIE** : トリガ割込みイネーブル
0 : トリガ割込みは無効です。
1 : トリガ割込みは有効です。
- ビット 5 **COMIE** : COM 割込み有効
0 : COM 割込み無効
1 : COM 割込み有効
- ビット 4 **CC4IE** : キャプチャ/比較 4 割込みイネーブル
0 : CC4 割込みは無効です。
1 : CC4 割込みは有効です。
- ビット 3 **CC3IE** : キャプチャ/比較 3 割込みイネーブル
0 : CC3 割込みは無効です。
1 : CC3 割込みは有効です。
- ビット 2 **CC2IE** : キャプチャ/比較 2 割込みイネーブル
0 : CC2 割込みは無効です。
1 : CC2 割込みは有効です。
- ビット 1 **CC1IE** : キャプチャ/比較 1 割込みイネーブル
0 : CC1 割込みは無効です。
1 : CC1 割込みは有効です。
- ビット 0 **UIE** : 更新割込みイネーブル
0 : 更新割込みは無効です。
1 : 更新割込みは有効です。

25.4.5 TIM1 ステータスレジスタ (TIM1_SR)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF
														rc_w0	rc_w0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SBIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	B1F	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CC6IF** : 比較 6 割込みフラグ

CC1IF の説明を参照してください。(注 : チャンネル 6 は出力としてのみ設定できます。)

ビット 16 **CC5IF** : 比較 5 割込みフラグ

CC1IF の説明を参照してください。(注 : チャンネル 5 は出力としてのみ設定できます。)

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **SBIF** : システムブレーク割込みフラグ

このフラグは、システムブレーク入力アクティブになると、ハードウェアによってセットされます。システムブレーク入力アクティブでない場合、ソフトウェアによってクリアできます。

PWM 動作をリスタートするには、このフラグをリセットする必要があります。

0 : ブレークイベントは発生していません。

1 : システムブレーク入力アクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 12 **CC4OF** : キャプチャ/比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 11 **CC3OF** : キャプチャ/比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 10 **CC2OF** : キャプチャ/比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF** : キャプチャ/比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャンネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。

0 : オーバーキャプチャは検出されていません。

1 : CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 **B2IF** : ブレーク 2 割込みフラグ

このフラグは、ブレーク 2 入力アクティブになると、ハードウェアによってセットされます。ブレーク 2 入力アクティブでない場合、ソフトウェアによってクリアできます。

0 : ブレークイベントは発生していません。

1 : ブレーク 2 入力アクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 7 BIF : ブレーク割込みフラグ

このフラグは、ブレーク入力アクティブになると、ハードウェアによってセットされます。ブレーク入力アクティブでない場合、ソフトウェアによってクリアできます。

0 : ブレークイベントは発生していません。

1 : ブレーク入力アクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 6 TIF : トリガ割込みフラグ

このフラグは、TRG トリガイベント時（スレープモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力アクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。

0 : トリガイベントは発生していません。

1 : トリガ割込みが保留中です。

ビット 5 COMIF : COM 割込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ/比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。

0 : COM イベントは発生していません。

1 : COM 割込みがペンディング中です。

ビット 4 CC4IF : キャプチャ/比較 4 割込みフラグ

CC1IF の説明を参照してください。

ビット 3 CC3IF : キャプチャ/比較 3 割込みフラグ

CC1IF の説明を参照してください。

ビット 2 CC2IF : キャプチャ/比較 2 割込みフラグ

CC1IF の説明を参照してください。

ビット 1 CC1IF : キャプチャ/比較 1 割込みフラグ

このフラグはハードウェアによってセットされます。ソフトウェアによって（入力キャプチャモードまたは出力比較モード）、または TIMx_CCR1 レジスタを読み出すことによって（入力キャプチャモードのみ）クリアされます。

0 : 比較一致/入力キャプチャは発生していません。

1 : 比較一致または入力キャプチャが発生しました。

チャンネル CC1 が出力として設定されている場合 : カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。

CC1 チャンネルが入力として設定されている場合 : このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた（TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された）ときに設定されます。

ビット 0 UIF : 更新割込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0 : 更新は発生していません。

1 : 更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

- 繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（[セクション 25.4.3: TIM1 スレーブモード制御レジスタ \(TIM1_SMCR\)](#) を参照）。

25.4.6 TIM1 イベント生成レジスタ (TIM1_EGR)

アドレス・オフセット : 0x14

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
							w	w	w	w	w	w	w	w	w

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 B2G : ブレーク 2 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : ブレーク 2 イベントが生成されます。MOE ビットがクリアされ、B2IF フラグがセットされます。有効な場合は、関連する割込みが発生します。

ビット 7 BG : ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 6 TG : トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 5 COMG : キャプチャ/比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

ビット 4 CC4G : キャプチャ/比較 4 イベント生成

CC1G の説明を参照してください。

- ビット 3 **CC3G** : キャプチャ/比較 3 イベント生成
 CC1G の説明を参照してください。
- ビット 2 **CC2G** : キャプチャ/比較 2 イベント生成
 CC1G の説明を参照してください。
- ビット 1 **CC1G** : キャプチャ/比較 1 イベント生成
 このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
 0 : 影響なし。
 1 : チャンネル 1 でキャプチャ/比較イベントが生成されます。
CC1 チャンネルが出力として設定されている場合 :
 CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。
CC1 チャンネルが入力として設定されている場合 :
 カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。
- ビット 0 **UG** : 更新生成
 このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
 0 : 影響なし。
 1 : カウンタを再初期化し、レジスタの更新を生成します。プリスケアラの内部カウンタもクリアされます (プリスケアラ比は変化しません)。センターアラインモードが選択されている場合、または、DIR=0 (カウントアップ) の場合、カウンタはクリアされます。そうでない場合、DIR=1 (カウントダウン) であれば、自動再ロード値 (TIMx_ARR) をとります。

25.4.7 TIM1 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM1_CCMR1)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを入力キャプチャモード (このセクション) または出力比較モード (次のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます (例 : 入力キャプチャモードでのチャンネル 1 と出力比較モードでのチャンネル 2)。

入力キャプチャモード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F [3:0]				IC2PSC [1:0]		CC2S [1:0]		IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC2F[3:0]** : 入力キャプチャ 2 フィルタ
 IC1F[3:0] の説明を参照してください。

ビット 11:10 **IC2PSC[1:0]** : 入力キャプチャ 2 プリスケアラ
 IC1PSC[1:0] の説明を参照してください。

ビット 9:8 **CC2S[1:0]**: キャプチャ/比較 2 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00: CC2 チャンネルは出力として設定されます。

01: CC2 チャンネルは入力として設定され、IC2 は TI2 に配置されます。

10: CC2 チャンネルは入力として設定され、IC2 は TI1 に配置されます。

11: CC2 チャンネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注: **CC2S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC2E=0) のときにのみ書き込み可能です。

ビット 7:4 **IC1F[3:0]**: 入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000: フィルタなし、 f_{DTS} でサンプリング

0001: $f_{SAMPLING} = f_{CK_INT}$, $N = 2$

0010: $f_{SAMPLING} = f_{CK_INT}$, $N = 4$

0011: $f_{SAMPLING} = f_{CK_INT}$, $N = 8$

0100: $f_{SAMPLING} = f_{DTS}/2$, $N = 6$

0101: $f_{SAMPLING} = f_{DTS}/2$, $N = 8$

0110: $f_{SAMPLING} = f_{DTS}/4$, $N = 6$

0111: $f_{SAMPLING} = f_{DTS}/4$, $N = 8$

1000: $f_{SAMPLING} = f_{DTS}/8$, $N = 6$

1001: $f_{SAMPLING} = f_{DTS}/8$, $N = 8$

1010: $f_{SAMPLING} = f_{DTS}$, $N = 16$

1011: $f_{SAMPLING} = f_{DTS}/16$, $N = 6$

1100: $f_{SAMPLING} = f_{DTS}/16$, $N = 8$

1101: $f_{SAMPLING} = f_{DTS}/32$, $N = 5$

1110: $f_{SAMPLING} = f_{DTS}/32$, $N = 6$

1111: $f_{SAMPLING} = f_{DTS}/32$, $N = 8$

ビット 3:2 **IC1PSC[1:0]**: 入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力 (IC1) に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E = 0 (TIMx_CCER レジスタ) になるとリセットされます。

00: プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。

01: キャプチャは、2 イベントごとに行われます。

10: キャプチャは、4 イベントごとに行われます。

11: キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]**: キャプチャ/比較 1 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00: CC1 チャンネルは出力として設定されます。

01: CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。

10: CC1 チャンネルは入力として設定され、IC1 は TI2 に配置されます。

11: CC1 チャンネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注: **CC1S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときにのみ書き込み可能です。

25.4.8 TIM1 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM1_CCMR1)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを出力比較モード (このセクション) または入力キャプチャモード (前のセクション) に使用できません。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます (例: 入力キャプチャモードでのチャンネル 1 と出力比較モードでのチャンネル 2)。

出力比較モード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]
							r/w								r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 CE	OC2M [2:0]			OC2 PE	OC2 FE	CC2S [1:0]		OC1 CE	OC1M [2:0]			OC1 PE	OC1 FE	CC1S [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC2CE** : 出力比較 2 クリアイネーブル

OC1CE の説明を参照してください。

ビット 24、14:12 **OC2M[3:0]** : 出力比較 2 モード

OC1M[3:0] の説明を参照してください。

ビット 11 **OC2PE** : 出力比較 2 プリロードイネーブル

OC1PE の説明を参照してください。

ビット 10 **OC2FE** : 出力比較 2 高速イネーブル

OC1FE の説明を参照してください。

ビット 9:8 **CC2S[1:0]** : キャプチャ/比較 2 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC2 チャンネルは出力として設定されます。

01 : CC2 チャンネルは入力として設定され、IC2 は TI2 に配置されます。

10 : CC2 チャンネルは入力として設定され、IC2 は TI1 に配置されます。

11 : CC2 チャンネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC2S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC2E=0) のときにのみ書き込み可能です。

ビット 7 **OC1CE** : 出力比較 1 クリアイネーブル

0 : OC1Ref は ocref_clr_int の影響を受けません。

1 : OC1Ref は ocref_clr_int のハイレベルが検出されるとクリアされます (OCREF_CLR 入力または ETRF 入力)。

ビット 16、6:4 OC1M[3:0] : 出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000 : 停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません (このモードはタイミングベースを生成するために使用されます)。

0001 : 一致時にチャンネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にハイになります。

0010 : 一致時にチャンネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にローになります。

0011 : 反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100 : 強制非アクティブレベル - OC1REF は強制的にローになります。

0101 : 強制アクティブレベル - OC1REF は強制的にハイになります。

0110 : PWM モード 1 - カウントアップ時、チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。カウントダウン時、チャンネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ (OC1REF="0") に、そうでない場合はアクティブ (OC1REF="1") になります。

0111 : PWM モード 2 - カウントアップ時、チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合は非アクティブに、そうでない場合はアクティブになります。カウントダウン時、チャンネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。

1000 : 再トリガ可能な OPM モード 1 - アップカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはインアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びインアクティブになります。

1001 : 再トリガ可能な OPM モード 2 - アップカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはインアクティブです。その後、PWM モード 2 と同様に比較が行われ、チャンネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びアクティブになります。

1010 : 予約済み。

1011 : 予約済み。

1100 : 組み合わせ PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 OR です。

1101 : 組み合わせ PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 AND です。

1110 : 非対称 PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

1111 : 非対称 PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

注 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力に設定) のときには、変更できません。

注 : PWM モードでは、比較結果が変化するとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

注 : 相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、OC1M アクティブビットは、COM が生成されたときにのみプリロードから新しい値をとります。

注 : OC1M[3] ビットは隣接しておらず、ビット 16 に位置しています。

ビット 3 **OC1PE** : 出力比較 1 プリロードイネーブル

0 :TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1 :TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われま
す。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力に設定) のときには、変更できません。

ビット 2 **OC1FE** : 出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード (TIMx_CR1 レジスタの OPM ビットのセット) で使用する必要があります。

0 :CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1 :トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャンネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]** : キャプチャ/比較 1 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC1 チャンネルは出力として設定されます。

01 : CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。

10 : CC1 チャンネルは入力として設定され、IC1 は TI2 に配置されます。

11 : CC1 チャンネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : CC1S ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときにのみ書き込み可能です。

25.4.9 TIM1 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM1_CCMR2)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

同じレジスタを入力キャプチャモード (このセクション) または出力比較モード (次のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます (例 : 入力キャプチャモードでのチャンネル 1 と出力比較モードでのチャンネル 2)。

入力キャプチャモード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F [3:0]				IC4PSC [1:0]		CC4S [1:0]		IC3F [3:0]				IC3PSC [1:0]		CC3S [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC4F[3:0]** : 入力キャプチャ 4 フィルタ

IC1F[3:0] の説明を参照してください。



ビット 11:10 **IC4PSC[1:0]** : 入力キャプチャ 4 プリスケーラ
IC1PSC[1:0] の説明を参照してください。

ビット 9:8 **CC4S[1:0]** : キャプチャ/比較 4 選択
このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。
00 : CC4 チャンネルは出力として設定されます。
01 : CC4 チャンネルは入力として設定され、IC4 は TI4 に配置されます。
10 : CC4 チャンネルは入力として設定され、IC4 は TI3 に配置されます。
11 : CC4 チャンネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。
注 : **CC4S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC4E=0) のときにのみ書込み可能です。

ビット 7:4 **IC3F[3:0]** : 入力キャプチャ 3 フィルタ
IC1F[3:0] の説明を参照してください。

ビット 3:2 **IC3PSC[1:0]** : 入力キャプチャ 3 プリスケーラ
IC1PSC[1:0] の説明を参照してください。

ビット 1:0 **CC3S[1:0]** : キャプチャ/比較 3 選択
このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。
00 : CC3 チャンネルは出力として設定されます。
01 : CC3 チャンネルは入力として設定され、IC3 は TI3 に配置されます。
10 : CC3 チャンネルは入力として設定され、IC3 は TI4 に配置されます。
11 : CC3 チャンネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。
注 : **CC3S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC3E=0) のときにのみ書込み可能です。

25.4.10 TIM1 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM1_CCMR2)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

同じレジスタを出力比較モード (このセクション) または入力キャプチャモード (前のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます (例 : 入力キャプチャモードでのチャンネル 1 と出力比較モードでのチャンネル 2)。

出力比較モード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]
							r/w								r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M [2:0]			OC4 PE	OC4 FE	CC4S [1:0]		OC3 CE	OC3M [2:0]			OC3 PE	OC3 FE	CC3S [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC4CE** : 出力比較 4 クリアイネーブル
OC1CE の説明を参照してください。

ビット 24、14:12 **OC4M[3:0]** : 出力比較 4 モード

OC3M[3:0] の説明を参照してください。

ビット 11 **OC4PE** : 出力比較 4 プリロードイネーブル

OC1PE の説明を参照してください。

ビット 10 **OC4FE** : 出力比較 4 高速イネーブル

OC1FE の説明を参照してください。

ビット 9:8 **CC4S[1:0]** : キャプチャ/比較 4 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC4 チャンネルは出力として設定されます。

01 : CC4 チャンネルは入力として設定され、IC4 は TI4 に配置されます。

10 : CC4 チャンネルは入力として設定され、IC4 は TI3 に配置されます。

11 : CC4 チャンネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。

注 : **CC4S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC4E=0) のときにのみ書込み可能です。

ビット 7 **OC3CE** : 出力比較 3 クリアイネーブル

OC1CE の説明を参照してください。

ビット 16、6:4 **OC3M[3:0]** : 出力比較 3 モード

OC1M[3:0] の説明を参照してください。

ビット 3 **OC3PE** : 出力比較 3 プリロードイネーブル

OC1PE の説明を参照してください。

ビット 2 **OC3FE** : 出力比較 3 高速イネーブル

OC1FE の説明を参照してください。

ビット 1:0 **CC3S[1:0]** : キャプチャ/比較 3 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC3 チャンネルは出力として設定されます。

01 : CC3 チャンネルは入力として設定され、IC3 は TI3 に配置されます。

10 : CC3 チャンネルは入力として設定され、IC3 は TI4 に配置されます。

11 : CC3 チャンネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。

注 : **CC3S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC3E=0) のときにのみ書込み可能です。

25.4.11 TIM1 キャプチャ/比較有効レジスタ (TIM1_CCER)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6P	CC6E	Res.	Res.	CC5P	CC5E
										rW	rW			rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **CC6P** : キャプチャ/比較 6 出力極性

CC1P の説明を参照してください。



ビット 20 **CC6E** : キャプチャ/比較 6 出力イネーブル
CC1E の説明を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CC5P** : キャプチャ/比較 5 出力極性
CC1P の説明を参照してください。

ビット 16 **CC5E** : キャプチャ/比較 5 出力イネーブル
CC1E の説明を参照してください。

ビット 15 **CC4NP** : キャプチャ/比較 4 相補出力極性
CC1NP の説明を参照してください。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CC4P** : キャプチャ/比較 4 出力極性
CC1P の説明を参照してください。

ビット 12 **CC4E** : キャプチャ/比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 11 **CC3NP** : キャプチャ/比較 3 相補出力極性
CC1NP の説明を参照してください。

ビット 10 **CC3NE** : キャプチャ/比較 3 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 9 **CC3P** : キャプチャ/比較 3 出力極性
CC1P の説明を参照してください。

ビット 8 **CC3E** : キャプチャ/比較 3 出力イネーブル
CC1E の説明を参照してください。

ビット 7 **CC2NP** : キャプチャ/比較 2 相補出力極性
CC1NP の説明を参照してください。

ビット 6 **CC2NE** : キャプチャ/比較 2 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 5 **CC2P** : キャプチャ/比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E** : キャプチャ/比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC1NP** : キャプチャ/比較 1 相補出力極性

CC1 チャンネルが出力として設定されている場合 :

0 : OC1N はアクティブハイです。

1 : OC1N はアクティブローです。

CC1 チャンネルが入力として設定されている場合 :

このビットは、TI1FP1とTI2FP1の極性を定義するためにCC1Pと組み合わせて使用されます。CC1Pの説明を参照してください。

注 : このビットは、LOCK レベル 2 または 3 がプログラムされ、(TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力として設定) になった直後は書き込みできません。

相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 2 **CC1NE** : キャプチャ/比較 1 相補出力イネーブル

0 : オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1E ビットによって決まります。

1 : オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットにより、対応する出力ピンに出力されます。

相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NE アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 1 **CC1P** : キャプチャ/比較 1 出力極性

0 : OC1 のアクティブハイ (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

1 : OC1 のアクティブロー (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

CC1 チャンネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。

CC1NP=0、CC1P=0 : 非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=0、CC1P=1 : 反転/立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されます (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=1、CC1P=1 : 非反転/両エッジ/この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードでのトリガ動作)。この設定をエンコーダモードで使用することはできません。

CC1NP=1、CC1P=0 : この設定は予約済みです。使用できません。

注 : このビットは、LOCK レベル 2 または 3 がプログラムされた直後は書き込みできません (TIMx_BDTR レジスタの LOCK ビット)。

相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 0 **CC1E** : キャプチャ/比較 1 出力イネーブル

0 : キャプチャモードは無効/OC1 は非アクティブ (下記を参照)。

1 : キャプチャモードは有効/OC1 信号は、対応する出力ピンに出力されます。

CC1 チャンネルが出力として設定されている場合、OC1 レベルは、CC1E ビットの状態にかかわらず、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに依存します。詳細については、表 180 を参照してください。

注 : 相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1E アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

表 180. ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット

制御ビット					出力状態 ⁽¹⁾	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	X	0	0	出力無効 (タイマによって駆動されない: ハイインピーダンス) OCx=0、OCxN=0	
		0	0	1	出力無効 (タイマによって駆動されない: ハイインピーダンス) OCx=0	OCxREF + 極性 OCxN = OCxREF xor CCxNP
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP	出力無効 (タイマによって駆動され ない: ハイインピーダンス) OCxN=0
		X	1	1	OCREF + 極性 + デッドタイム	OCREF に対する相補 (OCREF では なく) + 極性 + デッドタイム
		1	0	1	オフ状態 (インアクティブ状態 で出力有効) OCx=CCxP	OCxREF + 極性 OCxN = OCxREF xor CCxNP
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP	オフ状態 (インアクティブ状態で出 力有効) OCxN=CCxNP
0	1	X	X	X	出力無効 (タイマによって駆動されない: ハイインピーダンス)。	
			0	0		
			0	1	オフ状態 (インアクティブ状態で出力有効)	
			1	0	非同期: OCx=CCxP、OCxN=CCxNP (BRK または BRK2 がトリガ された場合)	
			1	1	クロックがある場合 (これは BRK がトリガされている場合にのみ有 効): アクティブな状態で OISx と OISxN が OCx と OCxN にそれぞ れ対応しないとみなされる場合 (ハーフブリッジ設定でスイッチを 駆動した場合に短絡の原因となる)、デッドタイム後に OCx=OISx お よび OCxN=OISxN となります。 注: BRK2 は OSSI = OSSR = 1 の場合にのみ使用できます。	

1. チャンネルの両方の出力が使用されないとき (GPIO が制御を引き継いだ場合)、OISx、OISxN、CCxP、および CCxNP はクリアされたまま
でなければなりません。

注: 相補 OCx および OCxN チャンネルに接続されている外部入出力ピンの状態は、OCx および OCxN
チャンネルの状態と、GPIO レジスタに依存します。

25.4.12 TIM1 カウンタ (TIM1_CNT)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **UIFCPY** : UIF コピー

このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー。TIMxCR1 の UIFREMAP ビットがリセットされると、ビット 31 は予約済みで、0 で読み出されます。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]** : カウンタ値

25.4.13 TIM1 プリスケーラ (TIM1_PSC)

アドレス・オフセット : 0x28

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **PSC[15:0]** : プリスケーラ値

カウンタクロック周波数 (CK_CNT) は $f_{CK_PSC} / (PSC[15:0] + 1)$ に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます (更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます)。

25.4.14 TIM1 自動再ロードレジスタ (TIM1_ARR)

アドレス・オフセット : 0x2C

リセット値 : 0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **ARR[15:0]** : 自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、[727 ページのセクション 25.3.1: タイムベースユニット](#)を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

25.4.15 TIM1 繰り返しカウンタレジスタ (TIM1_RCR)

アドレス・オフセット : 0x30

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **REP[15:0]** : 繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの周期的な転送）と、割込みが有効な場合の更新割込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書込みは、次の繰り返し更新イベントまで有効になりません。

PWM モードでは、(REP+1) は次のことを意味します。

エッジアラインモードでは、PWM 周期の数

センターアラインモードでは、PWM の 1/2 周期の数

25.4.16 TIM1 キャプチャ／比較レジスタ 1 (TIM1_CCR1)

アドレス・オフセット : 0x34

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]** : キャプチャ／比較 1 値

CC1 チャンネルが出力として設定されている場合 : CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャンネルが入力として設定されている場合 : CR1 は、最後の入力キャプチャ 1 イベント (IC1) によって転送されたカウンタ値です。TIMx_CCR1 レジスタは読み出し専用レジスタで、プログラムできません。

25.4.17 TIM1 キャプチャ/比較レジスタ 2 (TIM1_CCR2)

アドレス・オフセット : 0x38

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **CCR2[15:0]** : キャプチャ/比較 2 値

CC2 チャンネルが出力として設定されている場合 : CCR2 は、実際のキャプチャ/比較 2 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR1 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 2 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較されて、OC2 出力に送信される値を含みます。

CC2 チャンネルが入力として設定されている場合 : CCR2 は、最後の入力キャプチャ 2 イベント (IC2) によって転送されたカウンタ値です。TIMx_CCR2 レジスタは読み出し専用レジスタで、プログラムできません。

25.4.18 TIM1 キャプチャ/比較レジスタ 3 (TIM1_CCR3)

アドレス・オフセット : 0x3C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **CCR3[15:0]** : キャプチャ/比較値

CC3 チャンネルが出力として設定されている場合 : CCR3 は、実際のキャプチャ/比較 3 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR2 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 3 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

CC3 チャンネルが入力として設定されている場合 : CCR3 は、最後の入力キャプチャ 3 イベント (IC3) によって転送されたカウンタ値です。TIMx_CCR3 レジスタは読み出し専用レジスタで、プログラムできません。

25.4.19 TIM1 キャプチャ/比較レジスタ 4 (TIM1_CCR4)

アドレス・オフセット : 0x40

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **CCR4[15:0]** : キャプチャ / 比較値

CC4 チャンネルが出力として設定されている場合 : CCR4 は、実際のキャプチャ/比較 4 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR2 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 4 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

CC4 チャンネルが入力として設定されている場合 : CCR4 は、最後の入力キャプチャ 4 イベント (IC4) によって転送されたカウンタ値です。TIMx_CCR4 レジスタは読み出し専用レジスタで、プログラムできません。

25.4.20 TIM1 ブレークおよびデッドタイムレジスタ (TIM1_BDTR)

アドレス・オフセット : 0x44

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	BK2BID	BKBID	BK2DSRM	BKDSRM	BK2P	BK2E	BK2F [3:0]				BKF[3:0]			
		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

注 : ビット BK2BID、BKBID、BK2DSRM、BKDSRM、BK2P、BK2E、BK2F[3:0]、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初の書き込みアクセス時に、これらすべてを設定しなければならないことがあります。

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **BK2BID** : ブレーク 2 双方向
BKBID の説明を参照してください

ビット 28 **BKBID** : ブレーク双方向

0 : ブレーク入力 BRK は入力モードです。

1 : ブレーク入力 BRK は双方向モードです。

双方向モード (BKBID ビットが 1 にセット) では、ブレーク入力が入力モードとオープンドレイン出力モード両方で設定されます。アクティブなブレークイベントで、ブレーク入力の低ロジックレベルをアサートし、外部デバイスに対する内部ブレークイベントを表します。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 27 **BK2DSRM** : ブレーク 2 解除

BK2DSRM の説明を参照してください

ビット 26 **BKDSRM** : ブレーク解除

0 : ブレーク入力 BRK が設定されます。

1 : ブレーク入力 BRK は解除されます。

このビットは、アクティブなブレークソースがない場合、ハードウェアによってクリアされます。

BKDSRM ビットは、双方向出力制御 (ハイインピーダンス状態でのオープンドレイン出力) を解放するためにソフトウェアでセットしてから、ハードウェアによってリセットされ、障害状態がなくなったことを示すまでポーリングする必要があります

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 25 **BK2P** : ブレーク 2 極性

0 : ブレーク入力 BRK2 はアクティブローです。

1 : ブレーク入力 BRK2 はアクティブハイです。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 24 **BK2E** : ブレーク 2 イネーブル

注 : は OSSR = OSSI = 1 の場合にのみ使用してください。

注 : このビットは、LOCK レベル 1 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 23:20 **BK2F[3:0]** : ブレーク 2 フィルタ

このビットフィールドは、BRK2 入力をサンプリングする周波数と、BRK2 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、BRK2 は非同期として動作します。

0001 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 2

0010 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 4

0011 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 8

0100 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$ 、N = 6

0101 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$ 、N = 8

0110 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$ 、N = 6

0111 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$ 、N = 8

1000 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$ 、N = 6

1001 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$ 、N = 8

1010 : $f_{\text{SAMPLING}} = f_{\text{DTS}}$ 、N = 16

1011 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$ 、N = 6

1100 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$ 、N = 8

1101 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 5

1110 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 6

1111 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 8

注 : このビットは、LOCK レベル 1 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 19:16 **BKF[3:0]** : ブレークフィルタ

このビットフィールドは、BRK 入力をサンプリングする周波数と、BRK に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、BRK は非同期として動作します。

0001 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 2

0010 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 4

0011 : $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$ 、N = 8

0100 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$ 、N = 6

0101 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$ 、N = 8

0110 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$ 、N = 6

0111 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$ 、N = 8

1000 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$ 、N = 6

1001 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$ 、N = 8

1010 : $f_{\text{SAMPLING}} = f_{\text{DTS}}$ 、N = 16

1011 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$ 、N = 6

1100 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$ 、N = 8

1101 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 5

1110 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 6

1111 : $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$ 、N = 8

注 : このビットは、LOCK レベル 1 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 15 MOE : メイン出カイナーブル

このビットは、ブレーク入力の 1 つがアクティブになると、ハードウェアによって非同期にクリアされず (BRK または BRK2)。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャンネルに対してのみ有効です。

0 : ブレーク 2 イベントへの対応。OC および OCN 出力は無効です。

ブレークイベントへの対応、または MOE が 0 に書き込まれた場合 : OC および OCN 出力が無効か、OSSI ビットによって強制的にアイドル状態になります。

1 : OC および OCN 出力は、それぞれのイナーブルビット (TIMx_CCER レジスタの CCxE、CCxNE ビット) がセットされている場合は有効です。

詳細については、OC/OCN イナーブルの説明を参照してください ([セクション 25.4.11: TIM1 キャプチャ/比較有効レジスタ \(TIM1_CCER\)](#))。

ビット 14 AOE : 自動出カイナーブル

0 : MOE はソフトウェアによってのみセットできます。

1 : MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットできます (ブレーク入力 BRK および BRK2 のいずれもがアクティブでない場合)。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 13 BKP : ブレーク極性

0 : ブレーク入力 BRK はアクティブローです。

1 : ブレーク入力 BRK はアクティブハイです。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

注 : このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 BKE : ブレークイナーブル

このビットは、完全なブレーク保護を有効にします ([図 171: ブレークおよびブレーク 2 回路の概要](#)のように bk_acth および BKIN ソースにそれぞれ接続されたすべてのソースを含む)。

0 : ブレーク機能は無効です。

1 : ブレーク機能は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

注 : このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 OSSR : RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャンネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イナーブルの説明を参照してください ([セクション 25.4.11: TIM1 キャプチャ/比較有効レジスタ \(TIM1_CCER\)](#))。

0 : インアクティブのとき、OC/OCN 出力は無効です (タイマは出力の制御を解除し、ハイインピーダンス状態を強制する GPIO ロジックによって引き継がれます)。

1 : インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、インアクティブレベルで有効になります (出力は引き続きタイマで制御される)。

注 : このビットは、LOCK レベル 2 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 10 **OSSI** : アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャンネルでのブレークイベントやソフトウェアの書き込みによって使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください ([セクション 25.4.11: TIM1 キャプチャ/比較有効レジスタ \(TIM1_CCER\)](#))。

0 : インアクティブのとき、OC/OCN 出力は無効です (タイマは出力の制御を解除し、ハイインピーダンス状態を強制する GPIO ロジックによって引き継がれます)。

1 : インアクティブのとき、OC/OCN 出力はまず強制的にインアクティブレベルにされ、次にデッドタイム後に強制的にアイドルレベルにされます。タイマは出力の制御を保持します。

注 : このビットは、**LOCK レベル 2 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。**

ビット 9:8 **LOCK[1:0]** : ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00 : LOCK オフ - どのビットも書き込み保護されません。

01 : LOCK レベル 1 - TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BK2BID、BKBID、BK2DSRM、BKDSRM、BK2P、BK2E、BK2F[3:0]、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] ビットは、書き込みができなくなります。

10 : LOCK レベル 2 - LOCK レベル 1 に加えて、CC 極性ビット (関連するチャンネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCER レジスタの CCxP/CCxNP ビット) と OSSR および OSSI ビットも書き込みできなくなります。

11 : LOCK レベル 3 - LOCK レベル 2 に加えて、CC 制御ビット (関連するチャンネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCMRx レジスタの OCxM および OCxPE ビット) が書き込みできなくなります。

注 : **LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで停止されます。**

ビット 7:0 **DTG[7:0]** : デッドタイムジェネレータのセットアップ

これらのビットでは、相補出力の間に挿入されるデッドタイムの長さを指定します。デッドタイムの時間 (DT) は、次の式で与えられます。

$DTG[7:5] = 0xx \Rightarrow DT = DTG[7:0] \times t_{DTG}$, ここで $t_{DTG} = t_{DTS}$ 。

$DTG[7:5] = 10x \Rightarrow DT = (64 + DTG[5:0]) \times t_{DTG}$, ここで $t_{DTG} = 2 \times t_{DTS}$ 。

$DTG[7:5] = 110 \Rightarrow DT = (32 + DTG[4:0]) \times t_{DTG}$, ここで $t_{DTG} = 8 \times t_{DTS}$ 。

$DTG[7:5] = 111 \Rightarrow DT = (32 + DTG[4:0]) \times t_{DTG}$, ここで $t_{DTG} = 16 \times t_{DTS}$ 。

例 : $T_{DTS} = 125ns$ (8 MHz) の場合、可能なデッドタイムの値は、以下のとおりです。

0 から 15875 ns (125 ns 単位)

16 μs から 31750 ns (250 ns 単位)

32 μs から 63 μs (1 μs 単位)

64 μs から 126 μs (2 μs 単位)

注 : このビットフィールドは、**LOCK レベル 1、2、または 3 がプログラムされているとき、変更できません (TIMx_BDTR レジスタの LOCK ビット)。**

25.4.21 TIM1 DMA 制御レジスタ (TIM1_DCR)

アドレス・オフセット : 0x48

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]** : DMA バースト長

この 5 ビットのベクタは、転送数など DMA 転送長 (タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します) を指定します。転送は、ハーフワードまたはバイトです (以下の例を参照)。

- 00000 : 1 回転送
- 00001 : 2 回転送
- 00010 : 3 回転送
-
- 10001 : 18 回転送

例 : 次の転送を考えます : DBL = 7 バイトかつ DBA = TIMx_CR1。

- DBL = 7 バイトおよび DBA = TIMx_CR1 が転送するバイトのアドレスを表す場合、転送のアドレスは次の式で与えられます。

(TIMx_CR1 アドレス) + DBA + (DMA インデックス)、ここで DMA インデックス = DBL

この例では、(TIMx_CR1 アドレス) + DBA に 7 バイトが追加され、データのコピー元/コピー先アドレスが与えられます。この場合、転送は、以下のアドレスから始めて、7 つのレジスタに対して行われます。(TIMx_CR1 アドレス) + DBA

DMA データサイズの設定に応じて、いくつかのケースが想定されます。

- DMA データサイズをハーフワードで設定した場合、7 つのレジスタにそれぞれ 16 ビットのデータが転送されます。
- DMA データサイズをバイトで設定した場合も、データは 7 つのレジスタに転送されます (最初のレジスタには最初の MSB バイトが含まれ、2 番目のレジスタには最初の LSB バイトが含まれるなど、以降同様)。タイマへの転送で、DMA によって転送されるデータサイズを指定する必要もあります。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]** : DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します (TIMx_DMAR アドレスを通じて読出し/書込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例 :

- 00000 : TIMx_CR1
- 00001 : TIMx_CR2
- 00010 : TIMx_SMCR
-

25.4.22 TIM1 完全転送用の DMA アドレス (TIM1_DMAR)

アドレス・オフセット : 0x4C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAB[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **DMAB[31:0]** : DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書込み動作は、(TIMx_CR1 アドレス) + (DBA + DMA インデックス) x 4 のアドレスにあるレジスタへのアクセスとなります。

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスは DMA 転送によって自動的に制御され、範囲は 0 から DBL です (DBL は TIMx_DCR 内で設定)。



25.4.23 TIM1 オプションレジスタ 1 (TIM1_OR1)

アドレス・オフセット : 0x50

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP	Res.	Res.	TIM1_ETR_ADC_RMP[1:0]	
											rw			rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **TI1_RMP** : 入力キャプチャ 1 再配置

0 : TIM1 入力キャプチャ 1 は I/O へ接続されます。

1 : TIM1 入力キャプチャ 1 は COMP1 出力へ接続されます

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TIM1_ETR_ADC_RMP[1:0]** : TIM1_ETR_ADC 再配置機能

00 : TIM1_ETR は ADC AWDx に接続されません (ETR 入力ピンから ETR が来る場合は選択する必要があります)

01 : TIM1_ETR は ADC AWD1 に接続されます

10 : TIM1_ETR は ADC AWD2 に接続されます

11 : TIM1_ETR は ADC AWD3 に接続されます

注 : ADC AWDx ソースは TIM1_ETR 入力信号との「論理和」がとられます。ADC AWDx が使用されている場合、対応する TIM1_ETR 入力ピンがオルタネート機能コントローラで有効になっていないことを確認する必要があります。

25.4.24 TIM1 キャプチャ/比較モードレジスタ 3 (TIM1_CCMR3)

アドレス・オフセット : 0x54

リセット値 : 0x0000 0000

チャンネル 5 および 6 は出力でのみ設定できます。

出力比較モード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC6M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC5M[3]
							rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC6 CE	OC6M [2:0]			OC6 PE	OC6FE	Res.	Res.	OC5 CE	OC5M [2:0]			OC5PE	OC5FE	Res.	Res.
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw		

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC6CE** : 出力比較 6 クリアイネーブル

OC1CE の説明を参照してください。

- ビット 24、14、13、**OC6M[3:0]** : 出力比較 6 モード
 12 OC1M の説明を参照してください。
- ビット 11 **OC6PE** : 出力比較 6 プリロードイネーブル
 OC1PE の説明を参照してください。
- ビット 10 **OC6FE** : 出力比較 6 高速イネーブル
 OC1FE の説明を参照してください。
- ビット 9:8 予約済みであり、リセット値に保持する必要があります。
- ビット 7 **OC5CE** : 出力比較 5 クリアイネーブル
 OC1CE の説明を参照してください。
- ビット 16、6、5、4 **OC5M[3:0]** : 出力比較 5 モード
 OC1M の説明を参照してください。
- ビット 3 **OC5PE** : 出力比較 5 プリロードイネーブル
 OC1PE の説明を参照してください。
- ビット 2 **OC5FE** : 出力比較 5 高速イネーブル
 OC1FE の説明を参照してください。
- ビット 1:0 予約済みであり、リセット値に保持する必要があります。

25.4.25 TIM1 キャプチャ/比較レジスタ 5 (TIM1_CCR5)

アドレス・オフセット : 0x58

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r/w	r/w	r/w													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

- ビット 31 **GC5C3** : チャンネル 5 およびチャンネル 3 のグループ化
 チャンネル 3 出力におけるひずみ :
 0 : OC5REF の OC3REFC への影響はありません。
 1 : OC3REFC は、OC3REFC と OC5REF の論理 AND です。
 このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます (TIMxCCMR2 でプリロード機能を選択している場合)。
注 : このひずみを組み合わせ PWM 信号に適用することもできます。
- ビット 30 **GC5C2** : チャンネル 5 およびチャンネル 2 のグループ化
 チャンネル 2 出力におけるひずみ :
 0 : OC5REF の OC2REFC への影響はありません。
 1 : OC2REFC は、OC2REFC と OC5REF の論理 AND です。
 このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます (TIMxCCMR1 でプリロード機能を選択している場合)。
注 : このひずみを組み合わせ PWM 信号に適用することもできます。

ビット 29 **GC5C1** : チャネル 5 およびチャネル 1 のグループ化
 チャネル 1 出力におけるひずみ :
 0 : OC5REF の OC1REFC5 への影響はありません。
 1 : OC1REFC は、OC1REFC と OC5REF の論理 AND です。
 このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます (TIMxCCMR1 でプリロード機能を選択している場合)。
注 : このひずみを組み合わせ PWM 信号に適用することもできます。

ビット 28:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CCR5[15:0]** : キャプチャ/比較 5 値
 CCR5 は、実際のキャプチャ/比較 5 レジスタにロードされる値 (プリロード値) です。
 TIMx_CCMR3 レジスタの OC5PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 5 レジスタにコピーされます。
 アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較されて、OC5 出力に送信される値を含みます。

25.4.26 TIM1 キャプチャ/比較レジスタ 6 (TIM1_CCR6)

アドレス・オフセット : 0x5C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR6 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR6[15:0]** : キャプチャ/比較 6 値
 CCR6 は、実際のキャプチャ/比較 6 レジスタにロードされる値 (プリロード値) です。
 TIMx_CCMR3 レジスタの OC6PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 6 レジスタにコピーされます。
 アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較されて、OC6 出力に送信される値を含みます。

25.4.27 TIM1 オルタネート機能オプションレジスタ 1 (TIM1_AF1)

アドレス・オフセット : 0x60

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	BK CMP2P	BK CMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BK CMP2E	BK CMP1E	BKINE
rw	rw			rw	rw	rw							rw	rw	rw

ビット 31:18 予約済みであり、リセット値に保持する必要があります。



ビット 17:14 **ETRSEL[3:0]** : ETR ソース選択

これらのビットは、ETR 入力ソースを選択します。

0000 : ETR レガシーモード

0001 : COMP1 出力

0010 : COMP2 出力

その他 : 予約済みです。

注 : これらのビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCOMP2P** : BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP2 入力の極性は反転されません (BKP=0 の場合、アクティブロー、BKP=1 の場合、アクティブハイ)

1 : COMP2 入力の極性は反転されます (BKP=0 の場合、アクティブハイ、BKP=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 10 **BKCOMP1P** : BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP1 入力の極性は反転されません (BKP=0 の場合、アクティブロー、BKP=1 の場合、アクティブハイ)

1 : COMP1 入力の極性は反転されます (BKP=0 の場合、アクティブハイ、BKP=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 9 **BKINP** : BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : BKIN 入力の極性は反転されません (BKP=0 の場合、アクティブロー、BKP=1 の場合、アクティブハイ)

1 : BKIN 入力の極性は反転されます (BKP=0 の場合、アクティブハイ、BKP=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCOMP2E** : BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP2 入力は無効です。

1 : COMP2 入力は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 1 **BKCOMP1E** : BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP1 入力は無効です。

1 : COMP1 入力は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 0 **BKINE** : BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

- 0 : BKIN 入力は無効です。
- 1 : BKIN 入力は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

注 : 図 150: TIM1 ETR 入力回路および図 171: ブレークおよびブレーク 2 回路の概要を参照してください。

25.4.28 TIM1 オルタネート機能レジスタ 2 (TIM1_AF2)

アドレス・オフセット : 0x64

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BK2 CMP2 P	BK2 CMP1 P	BK2 INP	Res.	Res.	Res.	Res.	Res.	Res.	BK2 CMP2E	BK2 CMP1E	BK2INE
				rw	rw	rw							rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BK2CMP2P** : BRK2 COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

- 0 : COMP2 入力の極性は反転されません (BK2P=0 の場合、アクティブロー、BK2P=1 の場合、アクティブハイ)
- 1 : COMP2 入力の極性は反転されます (BK2P=0 の場合、アクティブハイ、BK2P=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 10 **BK2CMP1P** : BRK2 COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

- 0 : COMP1 入力の極性は反転されません (BK2P=0 の場合、アクティブロー、BK2P=1 の場合、アクティブハイ)
- 1 : COMP1 入力の極性は反転されます (BK2P=0 の場合、アクティブハイ、BK2P=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 9 **BK2INP** : BRK2 BKIN2 入力極性

このビットは、BKIN2 オルタネート機能入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

- 0 : BKIN2 入力の極性は反転されません (BK2P=0 の場合、アクティブロー、BK2P=1 の場合、アクティブハイ)
- 1 : BKIN2 入力の極性は反転されます (BK2P=0 の場合、アクティブハイ、BK2P=1 の場合、アクティブロー)

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BK2CMP2E** : BRK2 COMP2 有効化

このビットは、タイマの BRK2 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK2 ソースとの「論理和」がとられます。

0 : COMP2 入力は無効です。

1 : COMP2 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 1 **BK2CMP1E** : BRK2 COMP1 有効化

このビットは、タイマの BRK2 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK2 ソースとの「論理和」がとられます。

0 : COMP1 入力は無効です。

1 : COMP1 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 0 **BK2INE** : BRK2 BKIN 入力有効化

このビットは、タイマの BRK2 入力に対して BKIN2 オルタネート機能入力を有効化します。BKIN2 入力は、ほかの BRK2 ソースとの「論理和」がとられます。

0 : BKIN2 入力は無効です。

1 : BKIN2 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

注 : [図 171: ブレークおよびブレーク 2 回路の概要](#)を参照してください。

25.4.29 TIM1 タイマ入力選択レジスタ (TIM1_TISEL)

アドレス・オフセット : 0x68

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TI4SEL [3:0]				Res.	Res.	Res.	Res.	TI3SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 **TI4SEL[3:0]** : TI4[0]~TI4[15] の入力を選択します。

0000 : TIM1_CH4 入力

その他 : 予約済みです。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **TI3SEL[3:0]** : TI3[0]~TI3[15] の入力を選択します。

0000 : TIM1_CH3 入力

その他 : 予約済みです。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **TI2SEL[3:0]** : TI2[0]~TI2[15] の入力を選択します。

0000 : TIM1_CH2 入力

その他 : 予約済みです。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]** : TI1[0]~TI1[15] の入力を選択します。

0000 : TIM1_CH1 入力

その他 : 予約済みです。

25.4.30 TIM1 レジスタマップ

TIM1 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 181. TIM1 レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	TIM1_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]	Res.	ARPE	Res.	CMS [1:0]	DIR	OPM	URS	UDIS	CEN	
	リセット値																						0	0	0	0	0	0	0	0	0	0	0	
0x04	TIM1_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2 [3:0]				Res.	OIS6	Res.	OIS5	Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TIS	MMS [2:0]		CCDS	CCUS	Res.	CCPC		
	リセット値									0	0	0	0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x08	TIM1_SMCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS [4:3]			Res.	Res.	Res.	SMS[3]	ETP	ECE	ETPS [1:0]		ETF[3:0]			MSM	TS[2:0]		OCDS	SMS[2:0]					
	リセット値											0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x0C	TIM1_DIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE	
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x10	TIM1_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF	Res.	Res.	SBIIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	TIM1_EGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG	
	リセット値																								0	0	0	0	0	0	0	0	0	0
0x18	TIM1_CCMR1 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	OC2M [2:0]		OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]		OC1PE	OC1FE	CC1S [1:0]				
	リセット値								0											0	0	0	0	0	0	0	0	0	0	0	0	0		
	TIM1_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F [3:0]			IC2PSC [1:0]	CC2S [1:0]	IC1F [3:0]			IC1PSC [1:0]	CC1S [1:0]						
リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x1C	TIM1_CCMR2 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	OC4CE	OC4M [2:0]		OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]		OC3PE	OC3FE	CC3S [1:0]				
	リセット値								0											0	0	0	0	0	0	0	0	0	0	0	0	0		
	TIM1_CCMR2 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F [3:0]			IC4PSC [1:0]	CC4S [1:0]	IC3F [3:0]			IC3PSC [1:0]	CC3S [1:0]						
リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x20	TIM1_CCER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																	



表 181. TIM1 レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x58	TIM1_CCR5	GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR5 [15:0]																
	リセット値	0	0	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x5C	TIM1_CCR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR6 [15:0]																
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x60	TIM1_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL [3:0]			Res.	Res.	BKCOMP2P	BKCOMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCOMP2E	BKCOMP1E	BKINE
	リセット値																	0	0	0	0			0	0	0						0	0	1
0x64	TIM1_AF2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BK2COMP2P	BK2COMP1P	BK2INP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BK2COMP2E	BK2COMP1E	BK2INE
	リセット値																					0	0	0								0	0	1
0x68	TIM1_TISEL	Res.	Res.	Res.	Res.	TI4SEL [3:0]				Res.	Res.	Res.	Res.	TI3SEL [3:0]			Res.	Res.	Res.	Res.	TI2SEL [3:0]			Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]					
	リセット値					0	0	0	0						0	0	0	0					0	0	0	0					0	0	0	0

レジスタ境界アドレスについては [72 ページのセクション 2.6](#) を参照してください。

26 汎用タイマ (TIM2)

26.1 TIM2 概要

汎用タイマ TIM2 は、プログラム可能なプリスケラによって駆動される 32-bit の自動再ロードカウンタで構成されています。

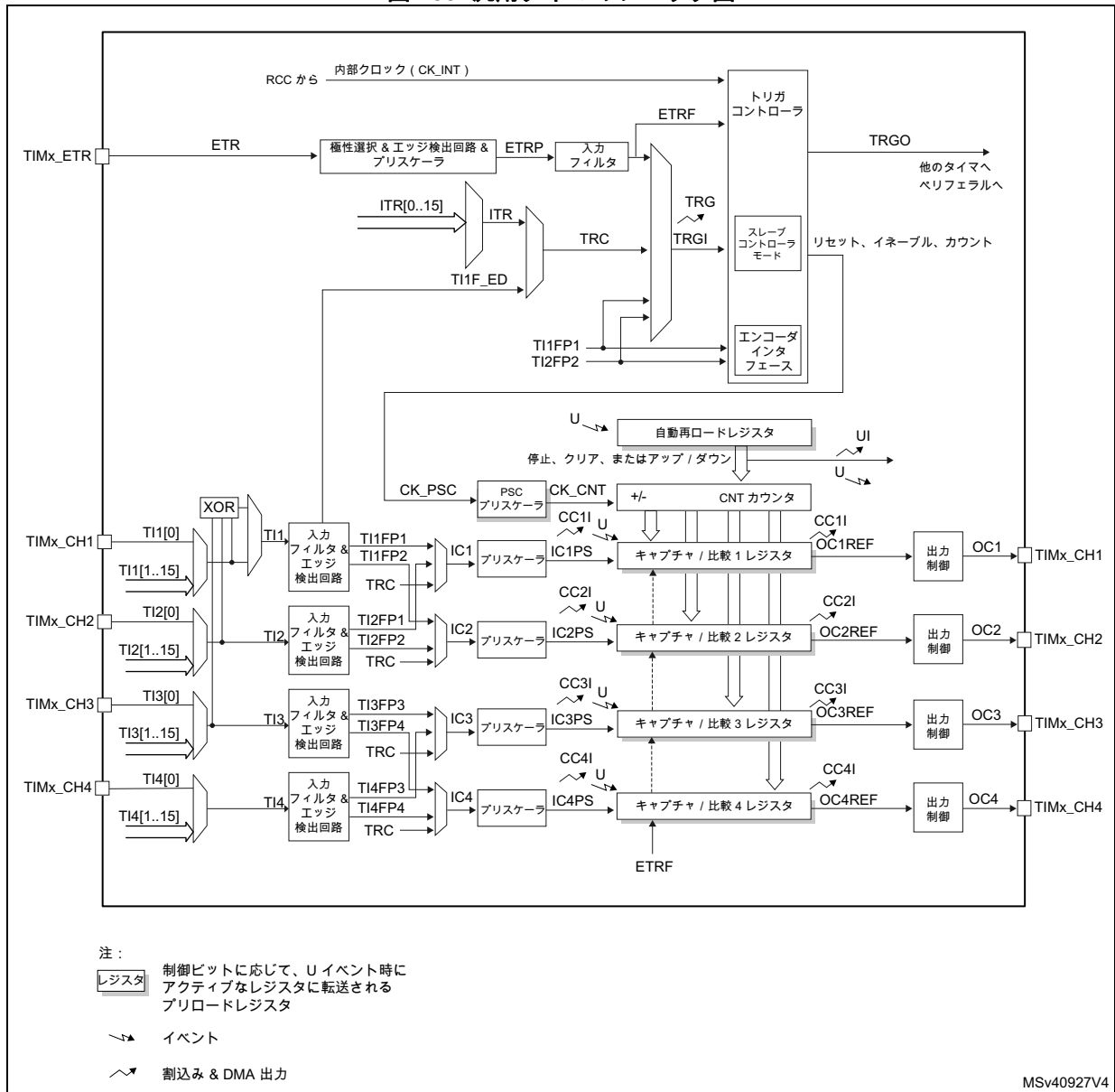
本タイマは入力信号のパルス長の測定 (入力キャプチャ) や出力波形の生成 (出力比較と PWM) など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケラと RCC クロックコントローラプリスケラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

26.2 TIM2 の主な特徴

- 32 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- カウンタクロック周波数を、1 から 65535 の間で分周する 16 ビットプログラム可能プリスケラ。
- 次の機能を持つ、最大 4 つの独立チャンネル：
 - 入力キャプチャ
 - 出力比較
 - PWM 生成 (エッジアラインモードとセンターアラインモード)
 - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 以下のイベント時の割込み/DMA 生成：
 - 更新：カウンタオーバーフロー/アンダーフロー、カウンタの初期化 (ソフトウェアまたは内部/外部トリガによる)
 - トリガイベント (カウンタの開始、停止、初期化、または内部/外部トリガによるカウント)
 - 入力キャプチャ
 - 出力比較
- 位置決め目的のインクリメンタル (直交) エンコーダとホールセンサ回路をサポート
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

図 188. 汎用タイマのブロック図



26.3 TIM2 機能詳細

26.3.1 タイムベースユニット

プログラム可能なタイマのメインブロックは、自動再ロードレジスタを持つ 32-bit カウンタです。カウンタは、カウントアップ、カウントダウン、またはカウントアップとカウントダウンの両方を行います。カウンタのクロックは、プリスケアラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケアラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ (TIMx_CNT)
- プリスケアラレジスタ (TIMx_PSC)
- 自動再ロードレジスタ (TIMx_ARR)

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット (ARPE) に応じて、常時または更新イベント (UEV) ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の詳細が説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット (CEN) がセットされているときにのみ、プリスケアラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。

プリスケアラの説明

プリスケアラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット/32 ビットレジスタ (TIMx_PSC レジスタ) を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケアラ比は、次の更新イベントで有効になります。

[図 189](#) と [図 190](#) に、プリスケアラ比を動作中に変更したときのカウンタの動作の例を示します。

図 189. プリスケール分周比が 1 から 2 に変化したときのカウンタのタイミング図

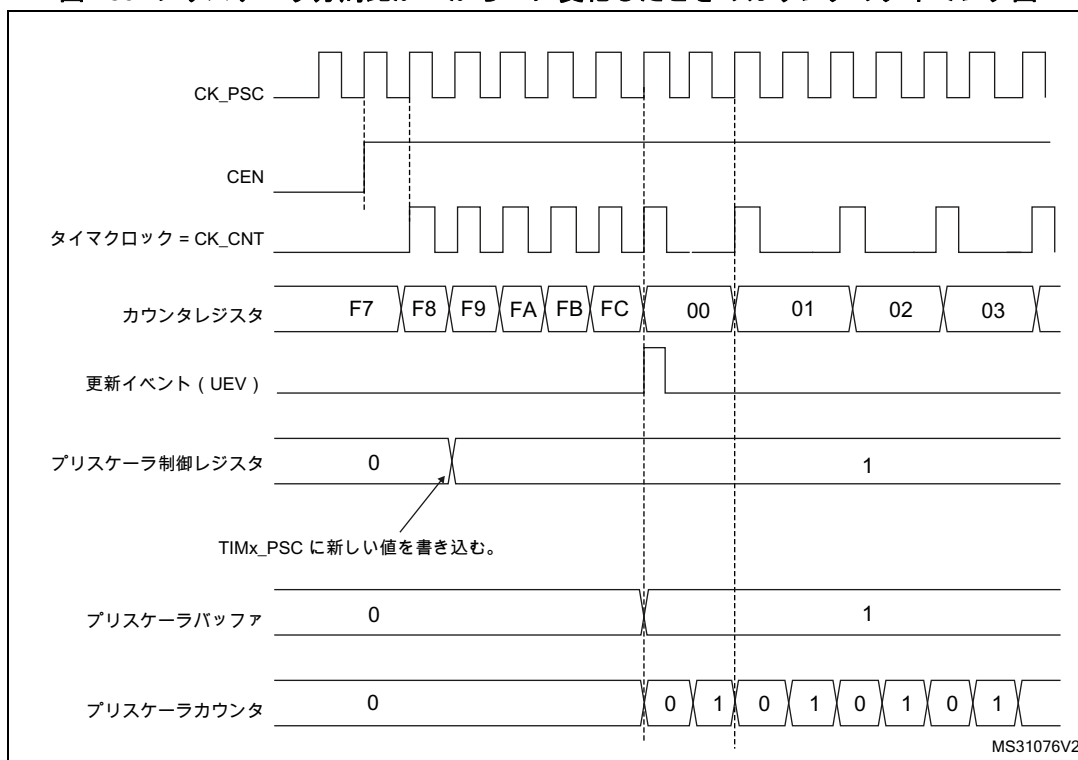
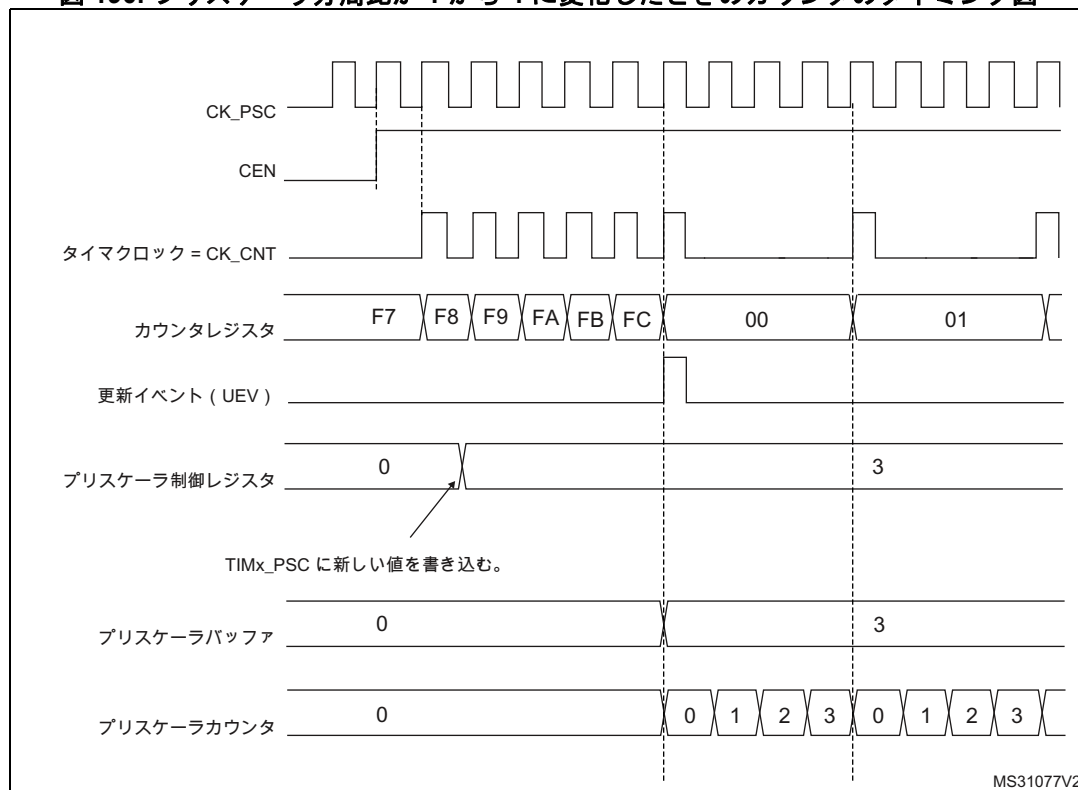


図 190. プリスケール分周比が 1 から 4 に変化したときのカウンタのタイミング図



26.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値 (TIMx_ARR レジスタの内容) までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、(ソフトウェアで、または、スレープモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることで生成できます。

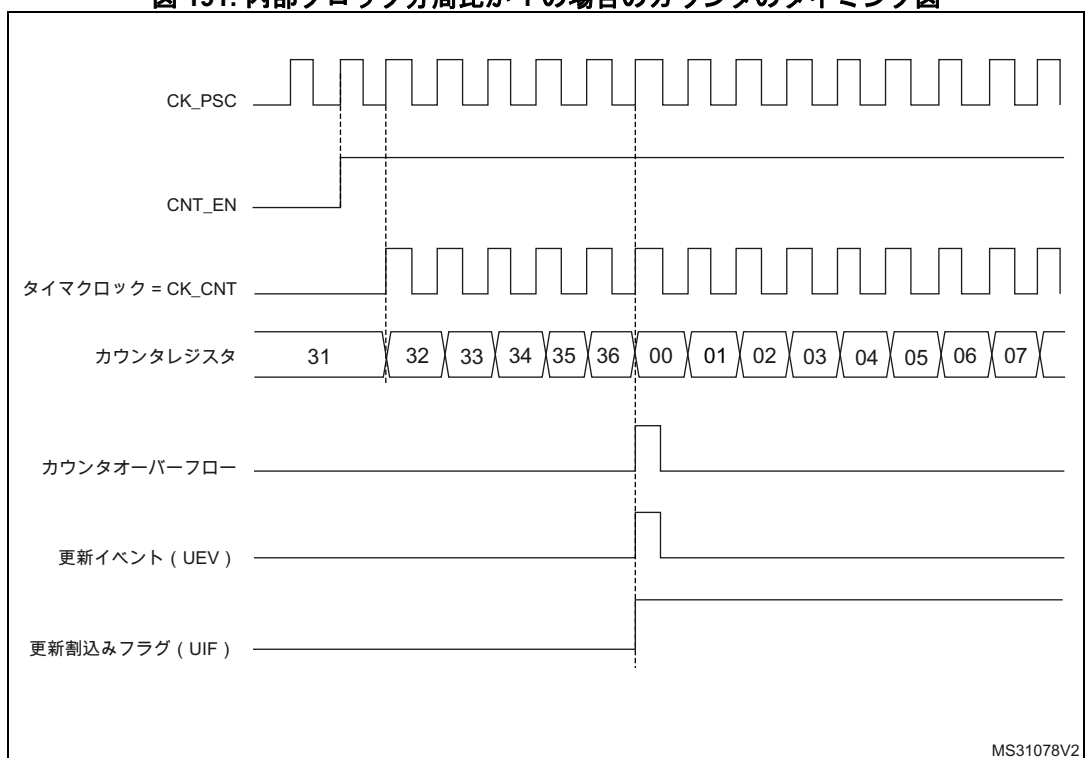
UEV イベントは、TIMx_CR1 レジスタの UDIS ビットをセットすることにより、ソフトウェアで無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケアラのカウンタと同じく、カウンタは 0 からカウントをリスタートします (ただし、プリスケアラ比は変化しません)。さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (したがって、割り込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値 (TIMx_ARR) で更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 191. 内部クロック分周比が 1 の場合のカウンタのタイミング図



MS31078V2

図 192. 内部クロック分周比が 2 の場合のカウンタのタイミング図

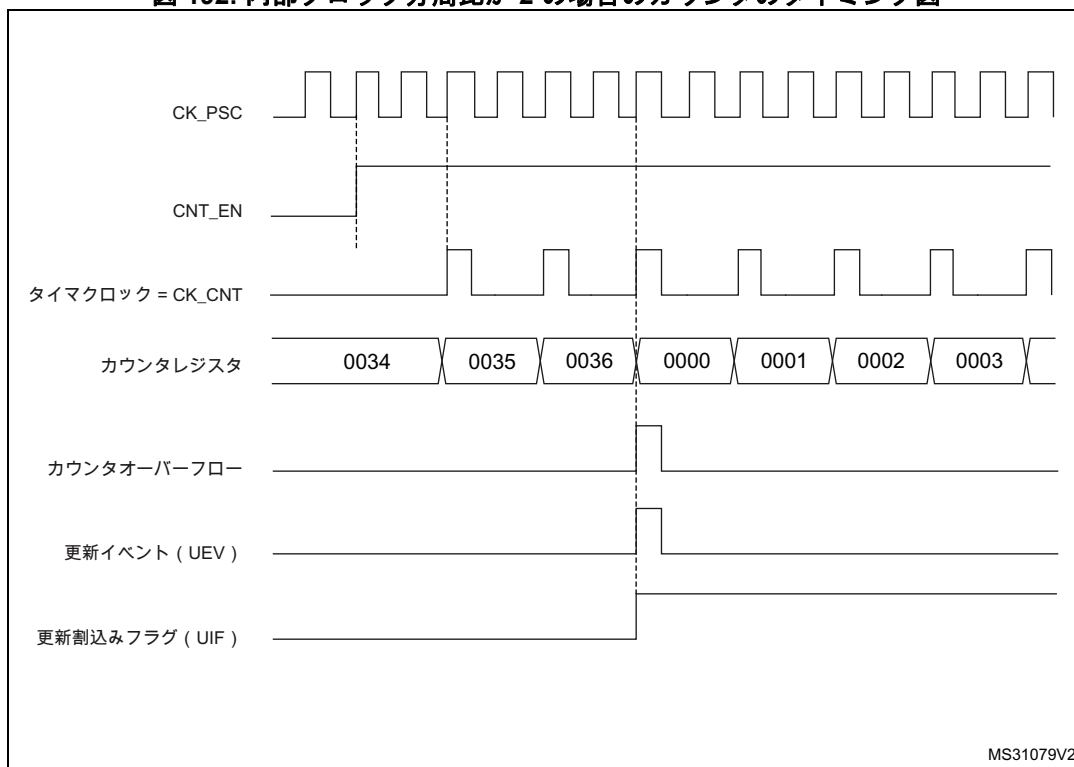


図 193. 内部クロック分周比が 4 の場合のカウンタのタイミング図

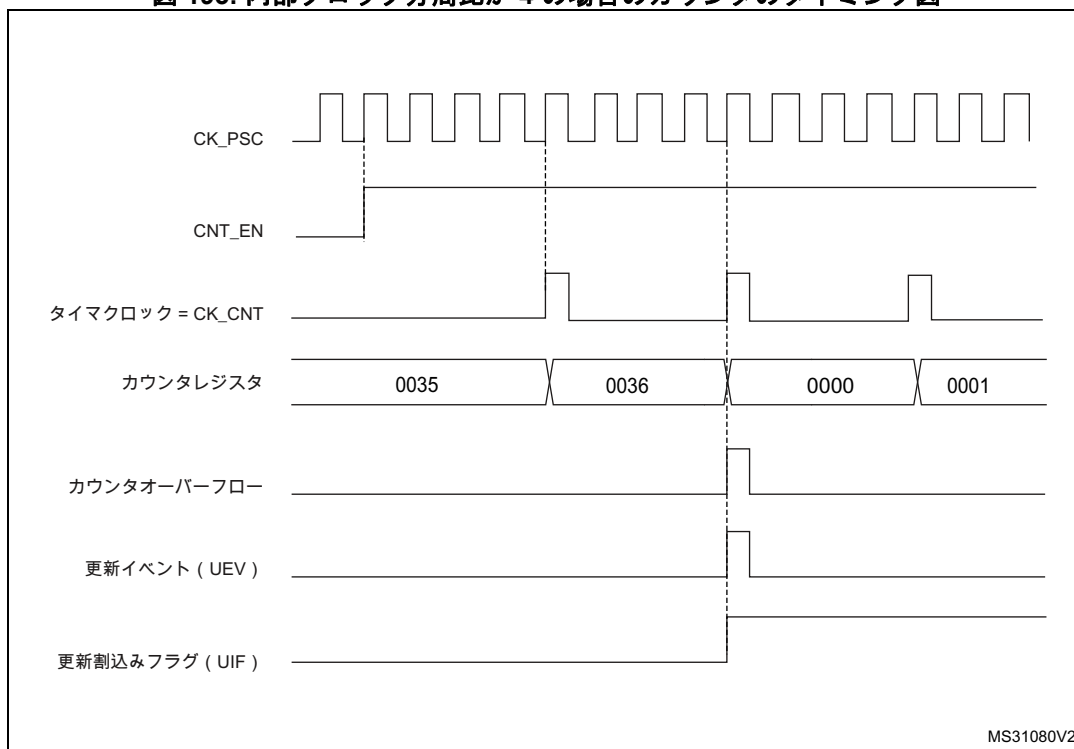


図 194. 内部クロック分周比が N の場合のカウンタのタイミング図

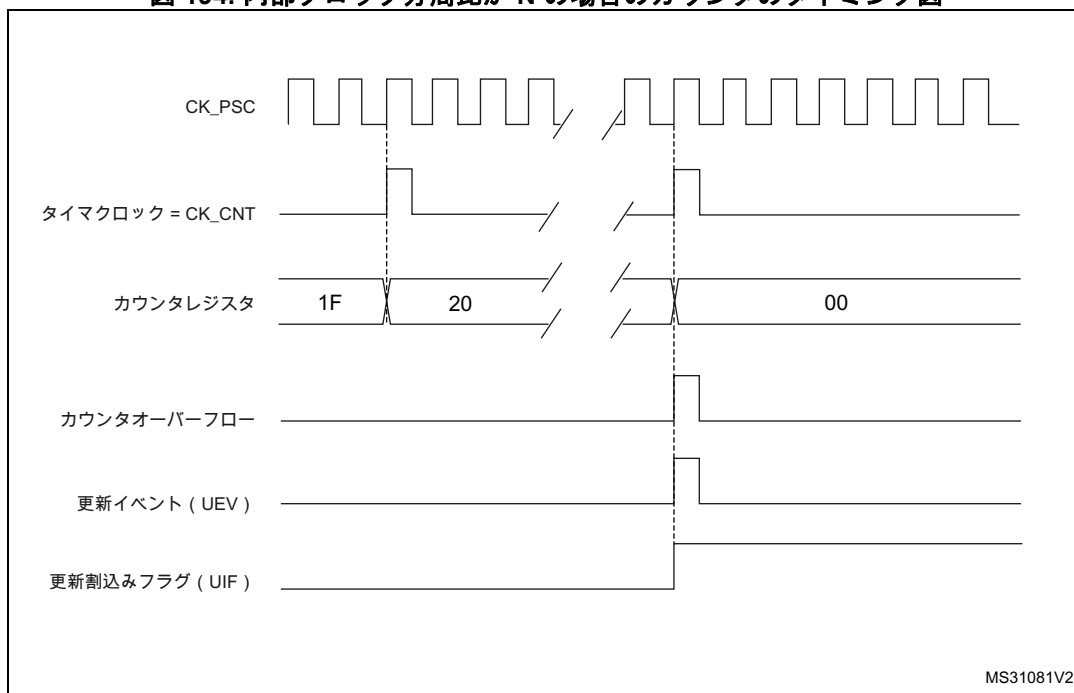


図 195. ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタのタイミング図

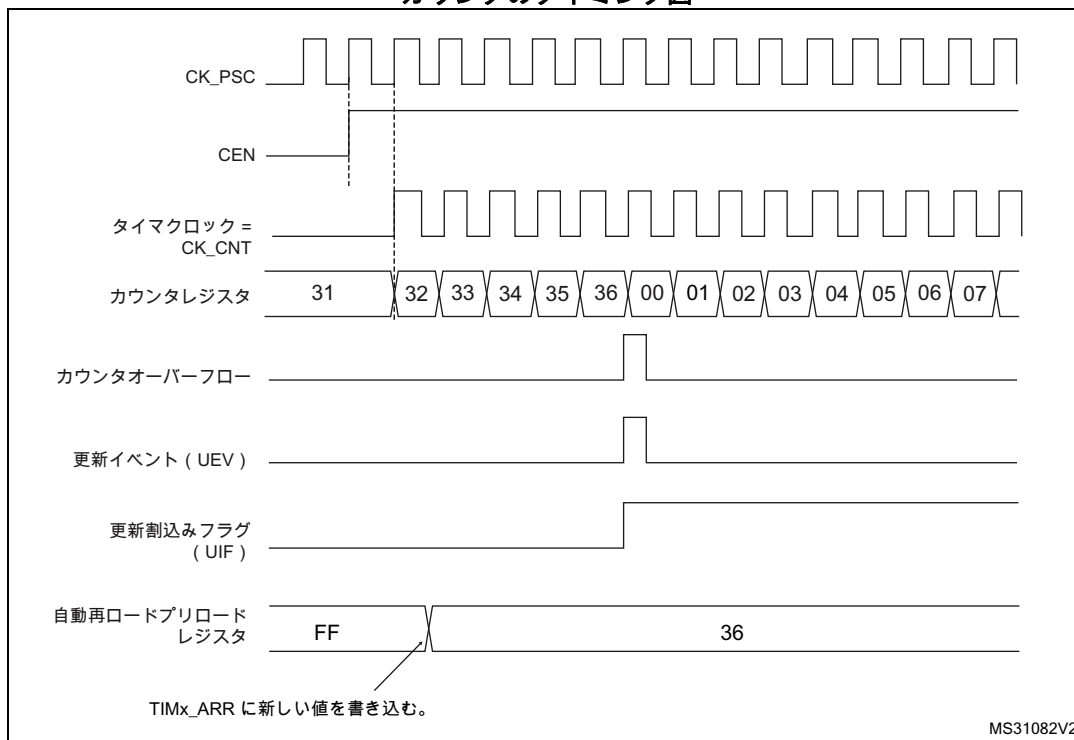
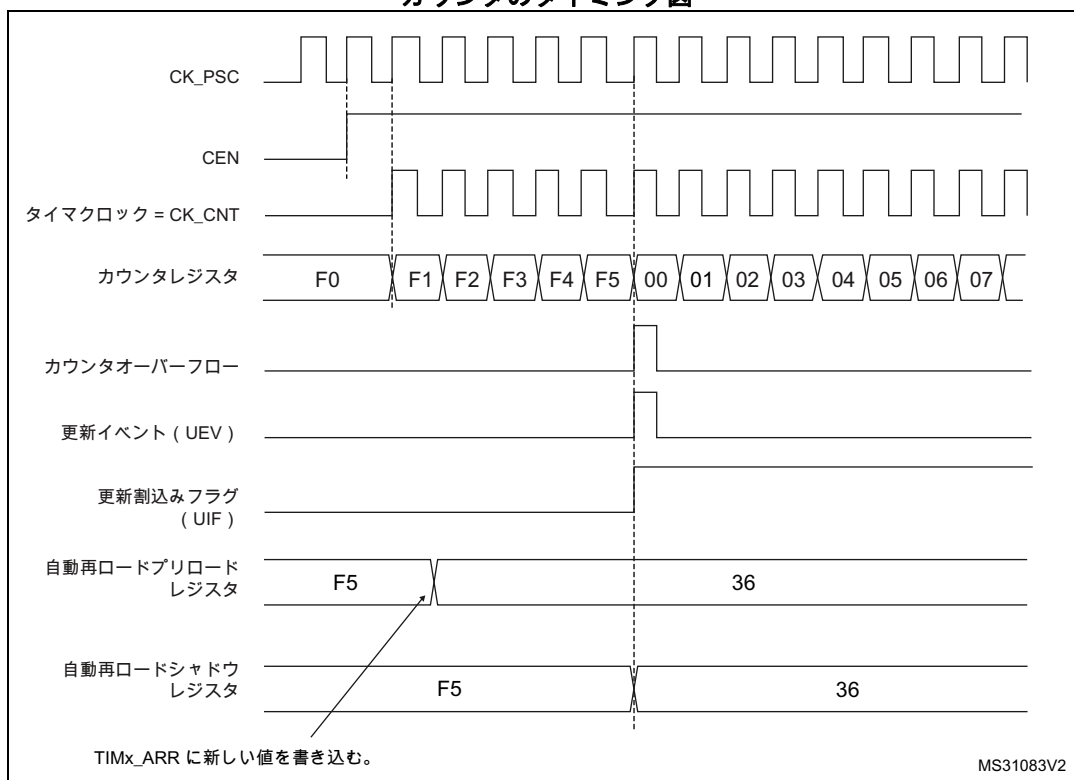


図 196. ARPE=1 (TIMx_ARR はプリロードされる) のときの更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値 (TIMx_ARR レジスタの内容) から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

更新イベントは、カウンタアンダーフローごとに、または、(ソフトウェアで、または、スレープモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることにより生成できます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケアラのカウンタは 0 からリスタートします (しかし、プリスケアラ比は変化しません)。

さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (したがって、割り込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値 (TIMx_ARR レジスタの内容) で更新されます。カウンタがリロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 197. 内部クロック分周比が 1 の場合のカウンタのタイミング図

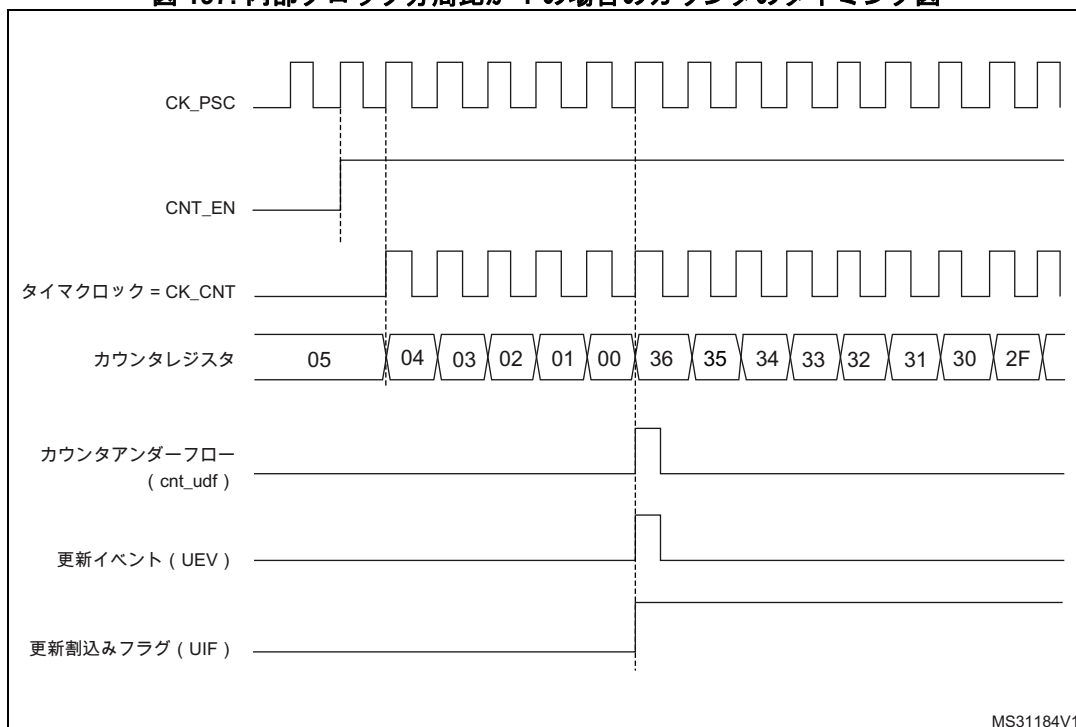


図 198. 内部クロック分周比が 2 の場合のカウンタのタイミング図

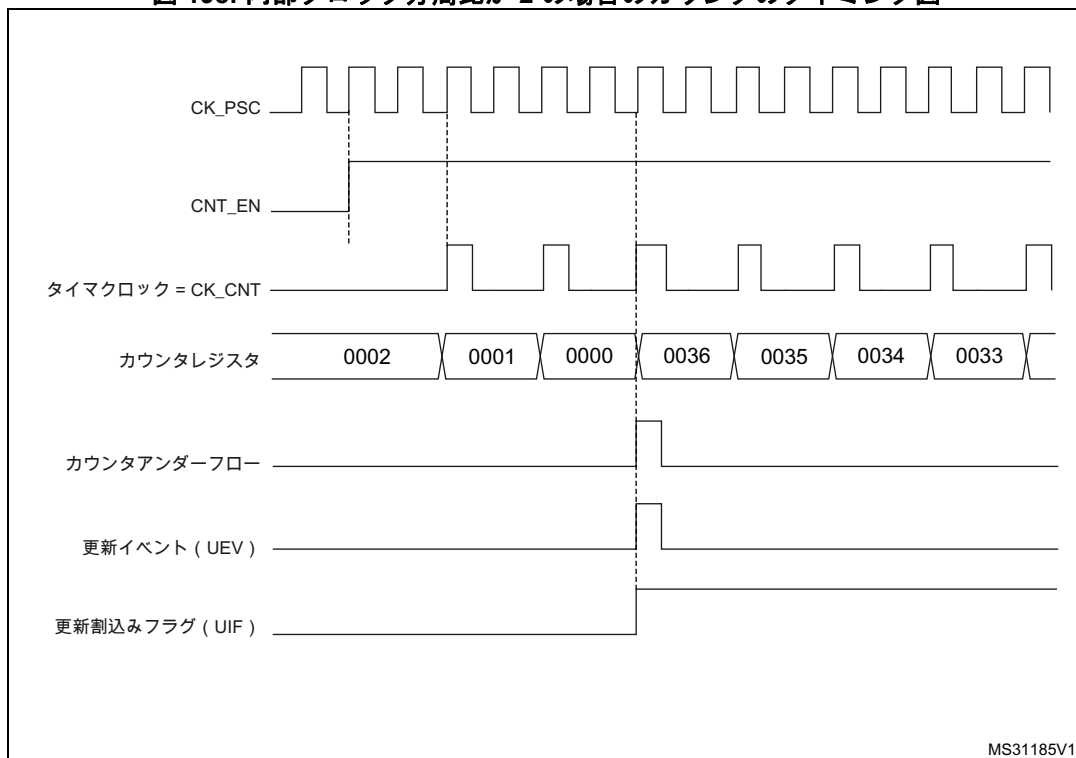


図 199. 内部クロック分周比が 4 の場合のカウンタのタイミング図

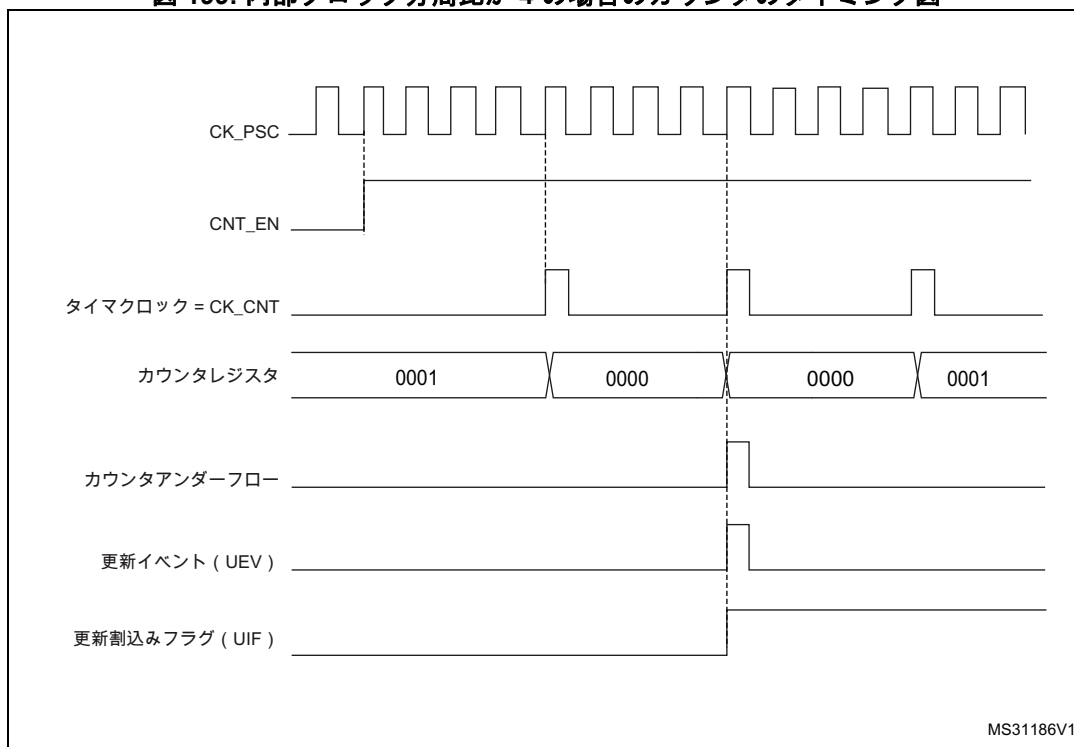


図 200. 内部クロック分周比が N の場合のカウンタのタイミング図

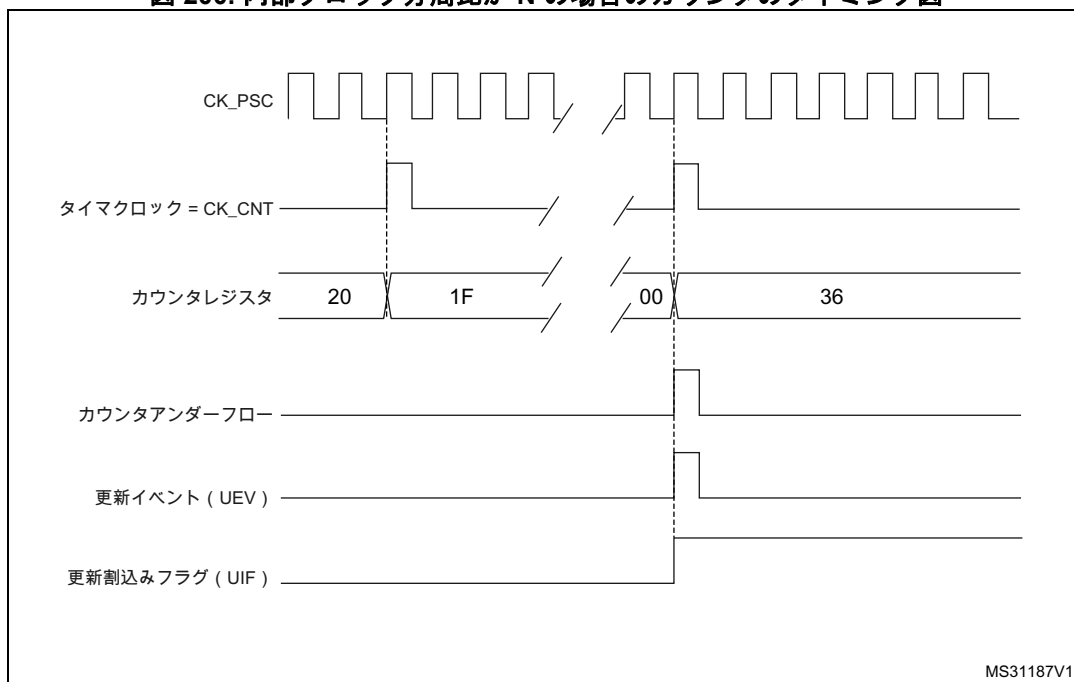
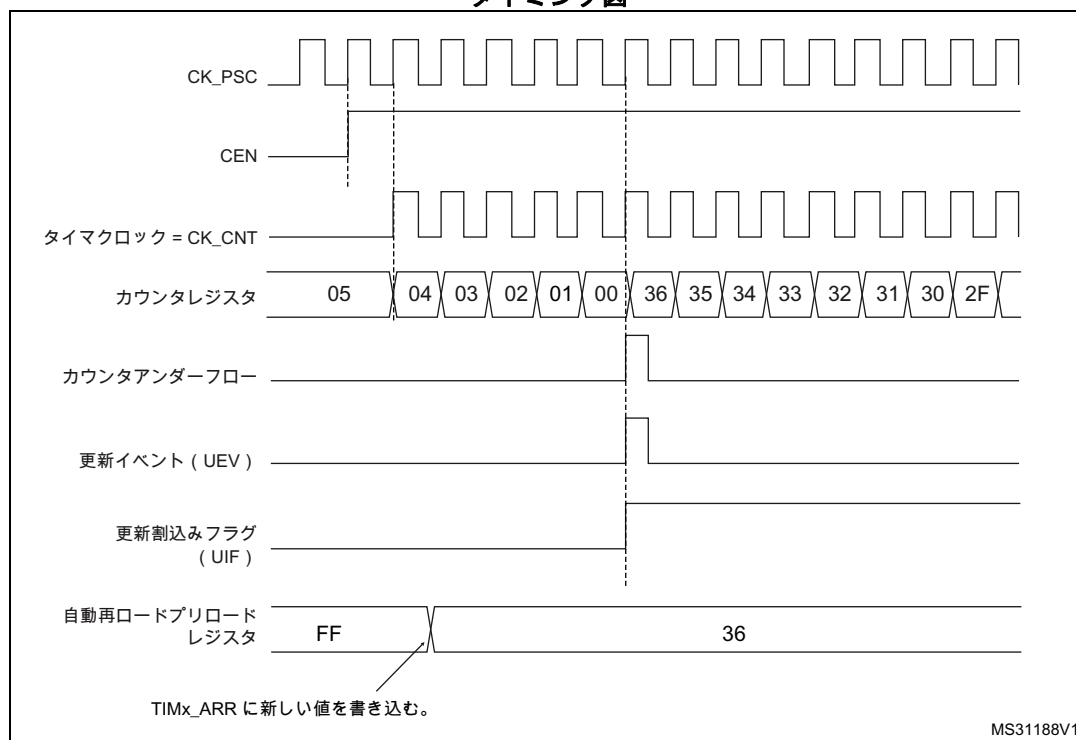


図 201. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図



センターアラインモード (アップ/ダウンカウンタ)

センターアラインモードでは、カウンタは 0 から自動再ロード値 (TIMx_ARR レジスタの内容) -1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割込みフラグは、カウンタがカウントダウンするとき (センターアラインモード 1、CMS=01)、カウンタがカウントアップするとき (センターアラインモード 2、CMS=10)、またはカウンタがカウントアップしてカウントダウンするとき (センターアラインモード 3、CMS=11) にセットされます。

このモードでは、方向ビット (TIMx_CR1 レジスタの DIR) に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、(ソフトウェアで、またはスレーブモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。この場合、プリスケアラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (した

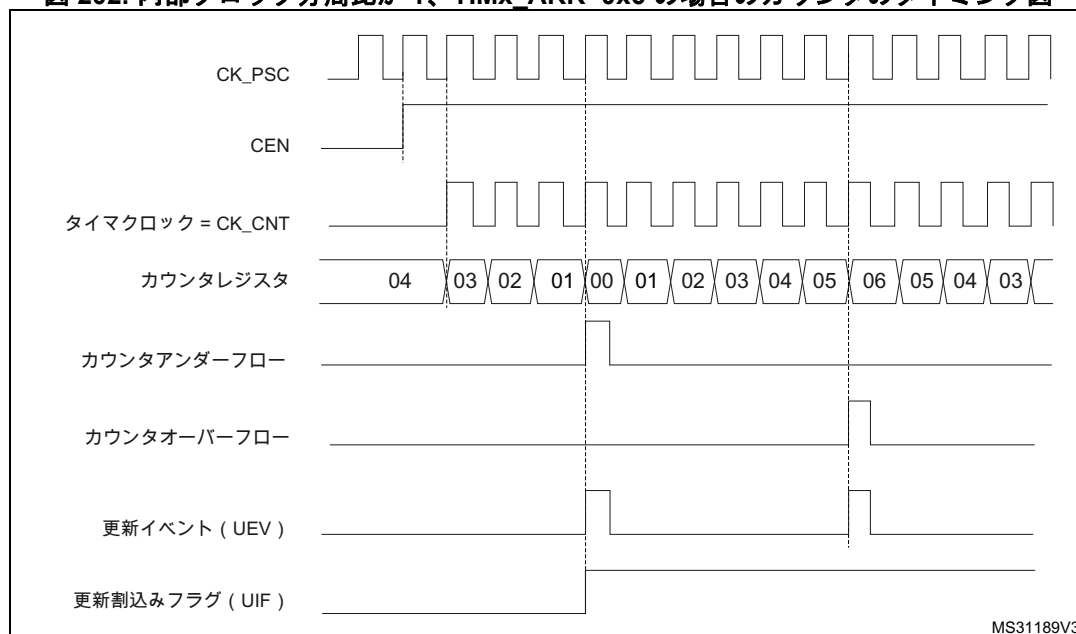
がって、割込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- プリスケアラのバッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値 (TIMx_ARR レジスタの内容) で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります (カウンタに新しい値がロードされます)。

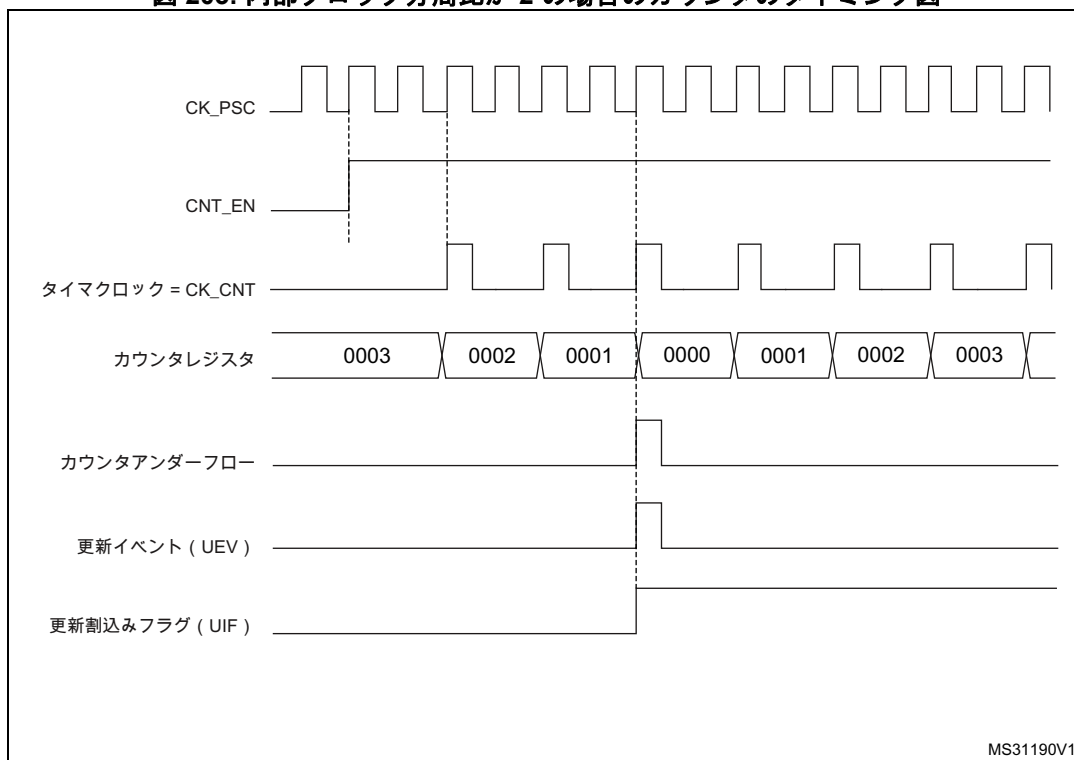
以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 202. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図



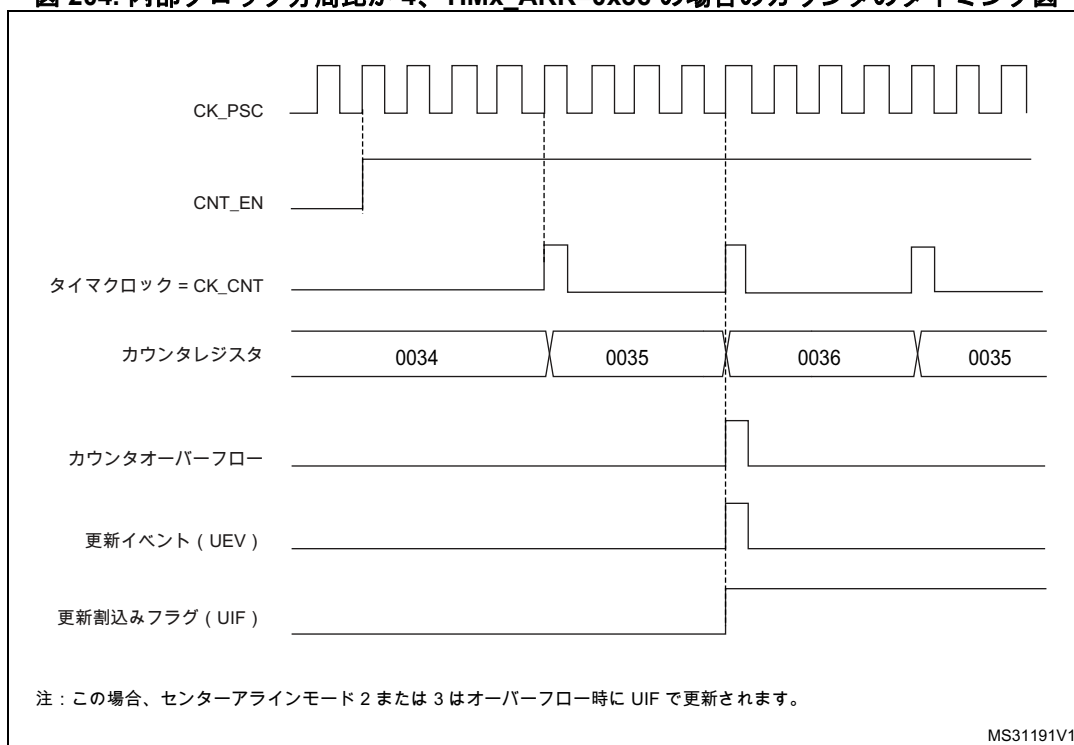
1. ここでは、センターアラインモード 1 が使用されています (詳細については、870 ページのセクション 26.4.1: TIM2 制御レジスタ 1 (TIM2_CR1) を参照)。

図 203. 内部クロック分周比が 2 の場合のカウンタのタイミング図



MS31190V1

図 204. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



MS31191V1

1. センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 205. 内部クロック分周比が N の場合のカウンタのタイミング図

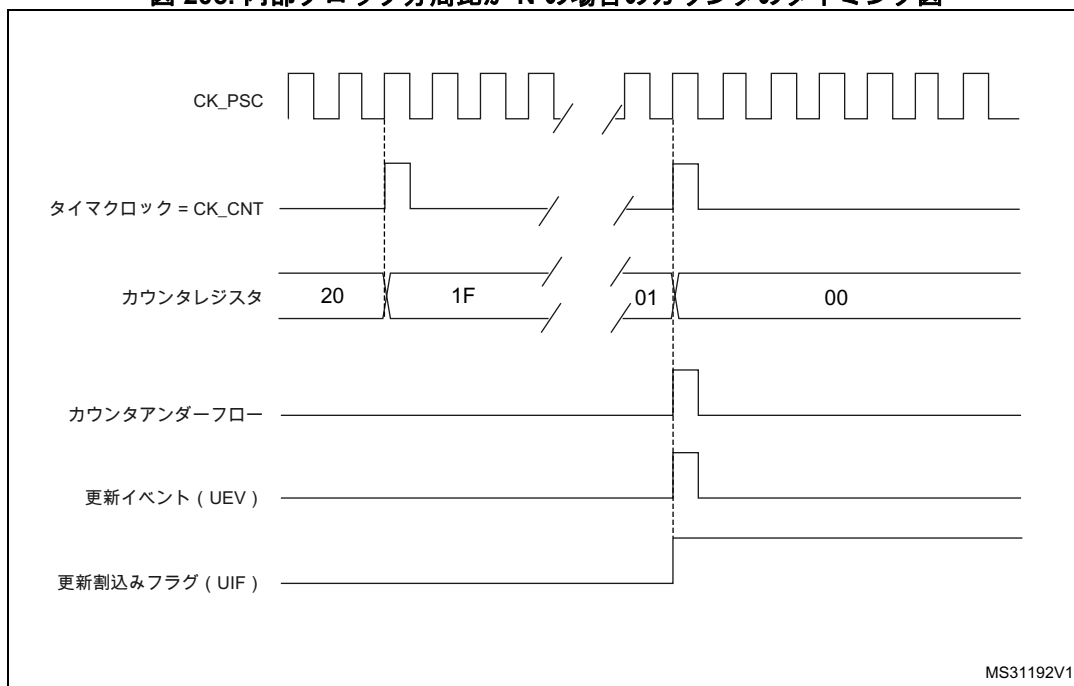


図 206. ARPE=1 (カウンタアンダーフロー) の場合の更新イベント時、カウンタタイミング図

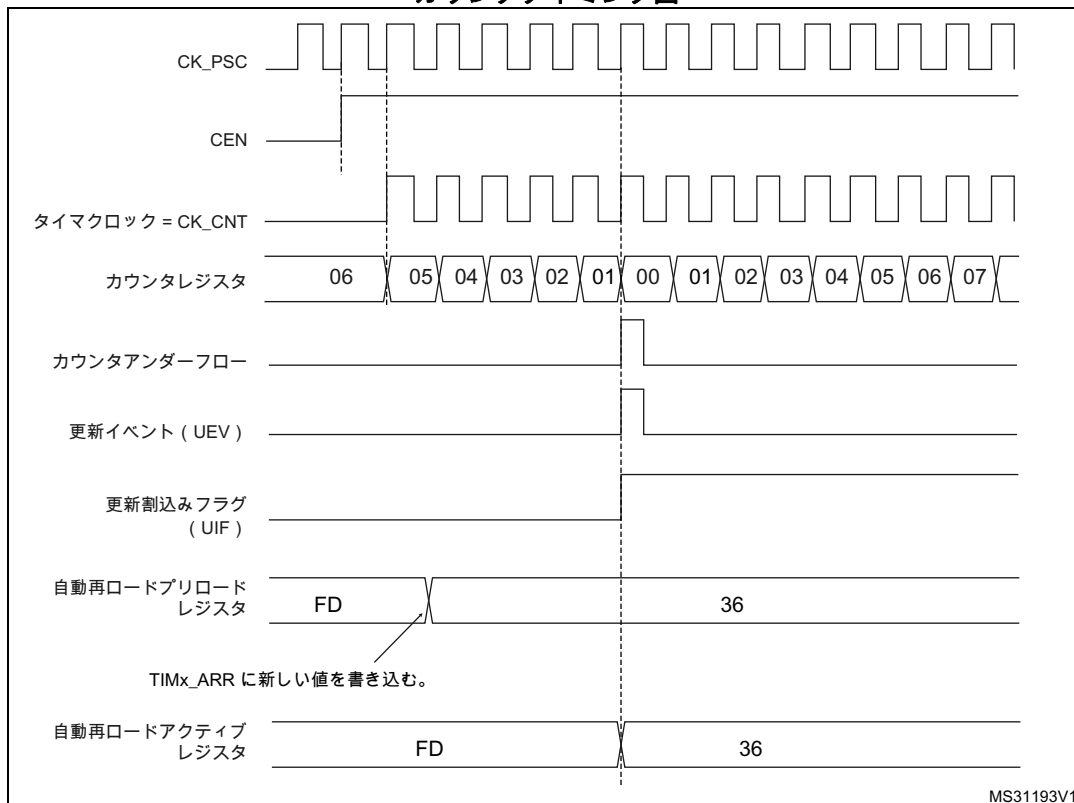
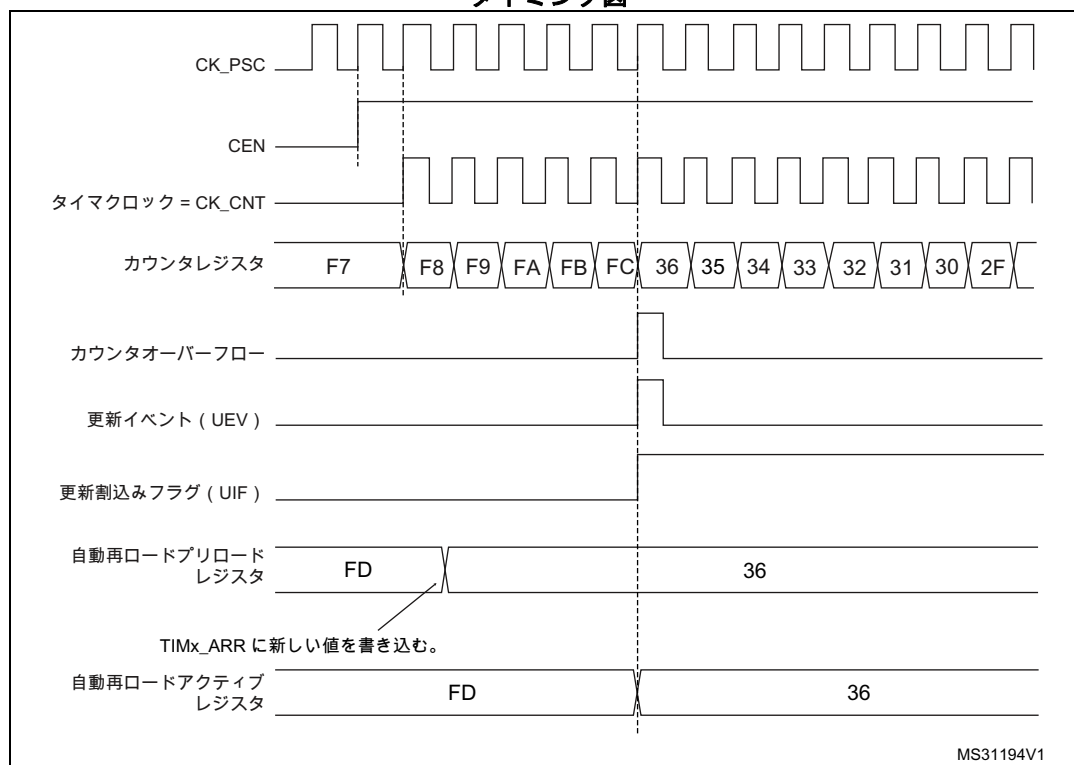


図 207. ARPE=1 (カウンタオーバーフロー) の場合の更新イベント時のカウンタのタイミング図



26.3.3 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

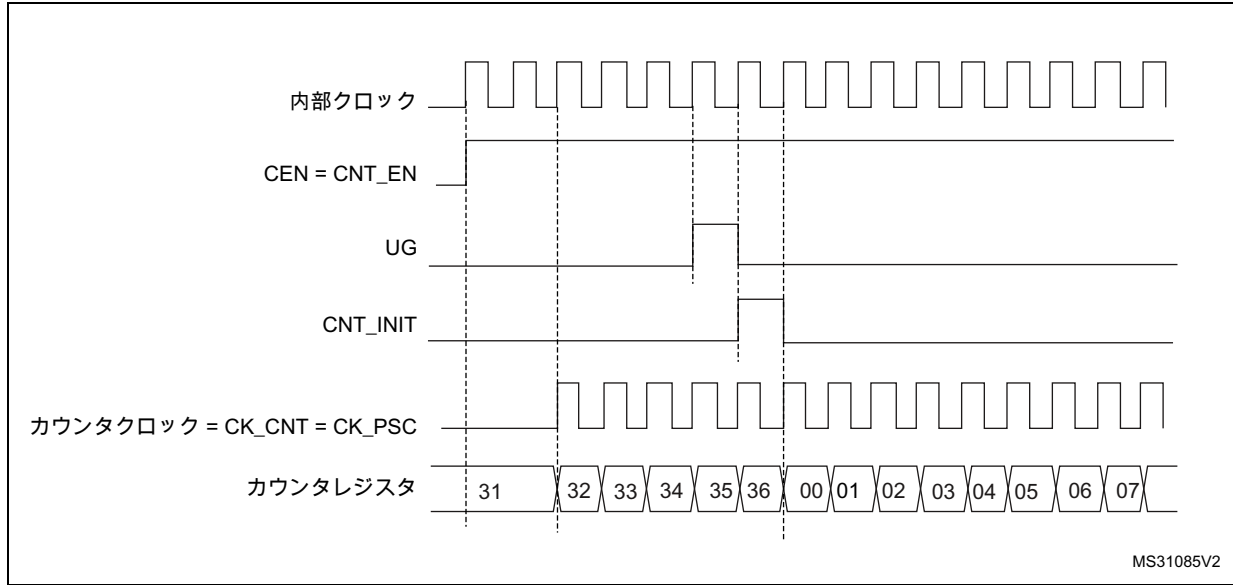
- 内部クロック (CK_INT)
- 外部クロックモード 1 : 外部入力ピン (Tix)
- 外部クロックモード 2 : 外部トリガ入力 (ETR)
- 内部トリガ入力 (ITRx) : あるタイマを別のタイマのプリスケアラとして使用します。たとえば、タイマ X がタイマ Y のプリスケアラとして機能するように設定できます。詳細については、[865 ページの : タイマを別のタイマのプリスケアラとして使用する](#)を参照してください。

内部クロックソース (CK_INT)

スレーブモードコントローラが無効の場合 (TIMx_SMCR レジスタの SMS=000)、CEN、DIR ビット (TIMx_CR1 レジスタ) と UG ビット (TIMx_EGR レジスタ) が実際の制御ビットであり、ソフトウェアでのみ変更できます (自動的にクリアされたままの UG ビットを除きます)。CEN ビットに 1 が書き込まれると、プリスケアラにはクロックとして内部クロック CK_INTが供給されます。

図 208 に、プリスケアラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

図 208. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図

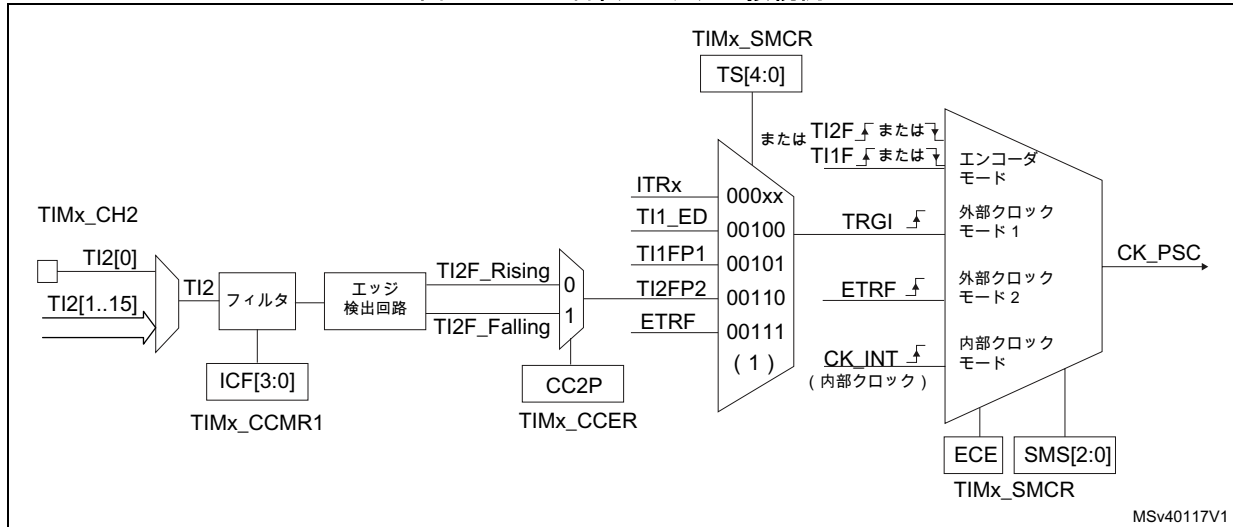


MS31085V2

外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 209. TI2 外部クロックの接続例



MSv40117V1

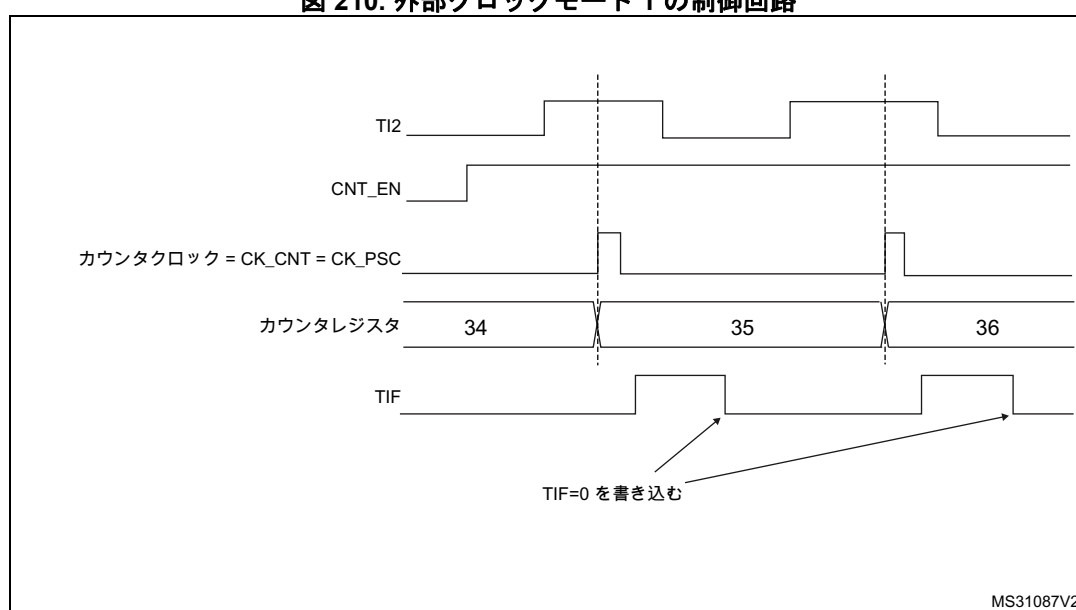
1. 01000 から 11111 の範囲のコード : ITRy

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、チャンネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します (フィルタを使用しない場合は、IC2F=0000 にしておきます)。

- 注： キャプチャプリスケラはトリガには使用されないため、設定は不要です。
4. CC2P=0、CC2NP=0、および CC2MP=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
 5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
 6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。
 7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。
- TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

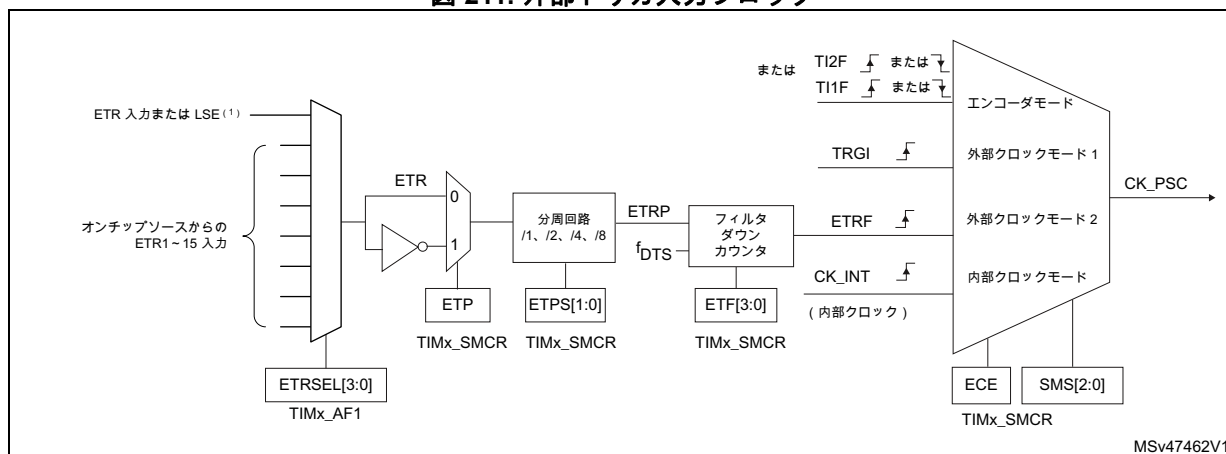
図 210. 外部クロックモード 1 の制御回路



外部クロックソースモード 2

- このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントできます。図 211 に、外部トリガ入力ブロックの概要を示します。

図 211. 外部トリガ入力ブロック



1. ETR_RMP ビットのプログラミングによる。

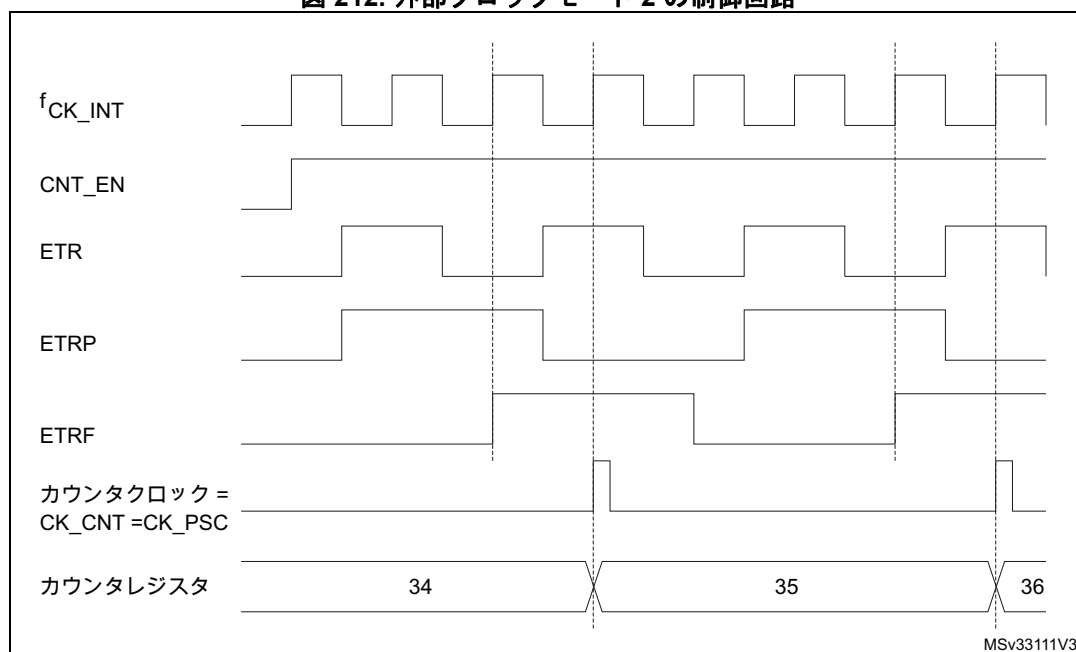
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、以下の手順に従います。

1. TIMx_AF1 レジスタの ETRSEL[3:0] および TIM2_OR1 レジスタの ETR_RMP ビットで、適切な ETR ソース（内部または外部）を選択します。
2. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
3. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケラを設定します。
4. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
5. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
6. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間に、ETRP 信号の再同期回路による遅延があります。結果として、カウンタで正しくキャプチャできる最大周波数は、最大で TIMxCLK 周波数の 1/4 です。ETRP 信号が高速の場合、ユーザは適切な ETPS プリスケラ設定によって外部信号の分周比を適用する必要があります。

図 212. 外部クロックモード 2 の制御回路



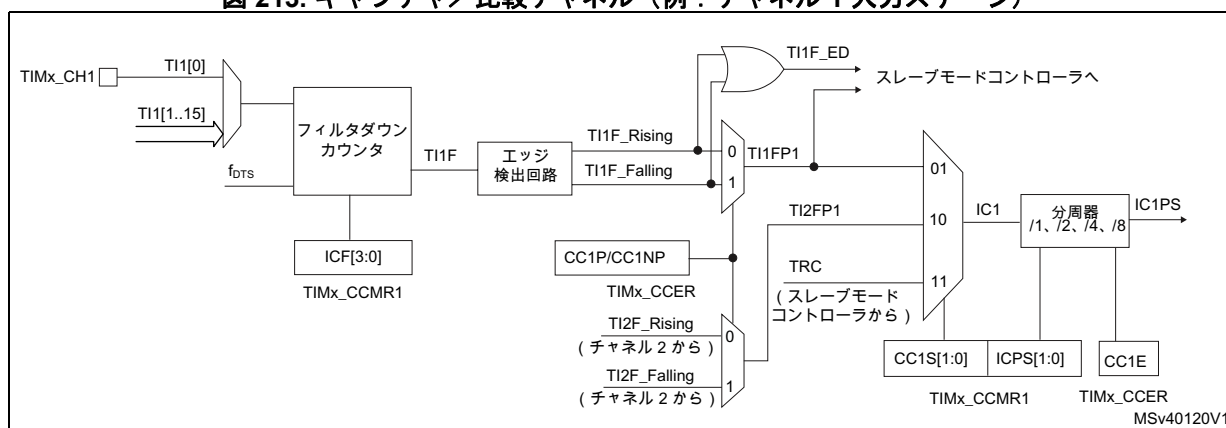
26.3.4 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入カステージ（デジタルフィルタ、マルチプレクス、プリスケータ）、および出力ステージ（コンパレータと出力制御）から構成されています。

次の図に、キャプチャ／比較チャネルの概要を示します。

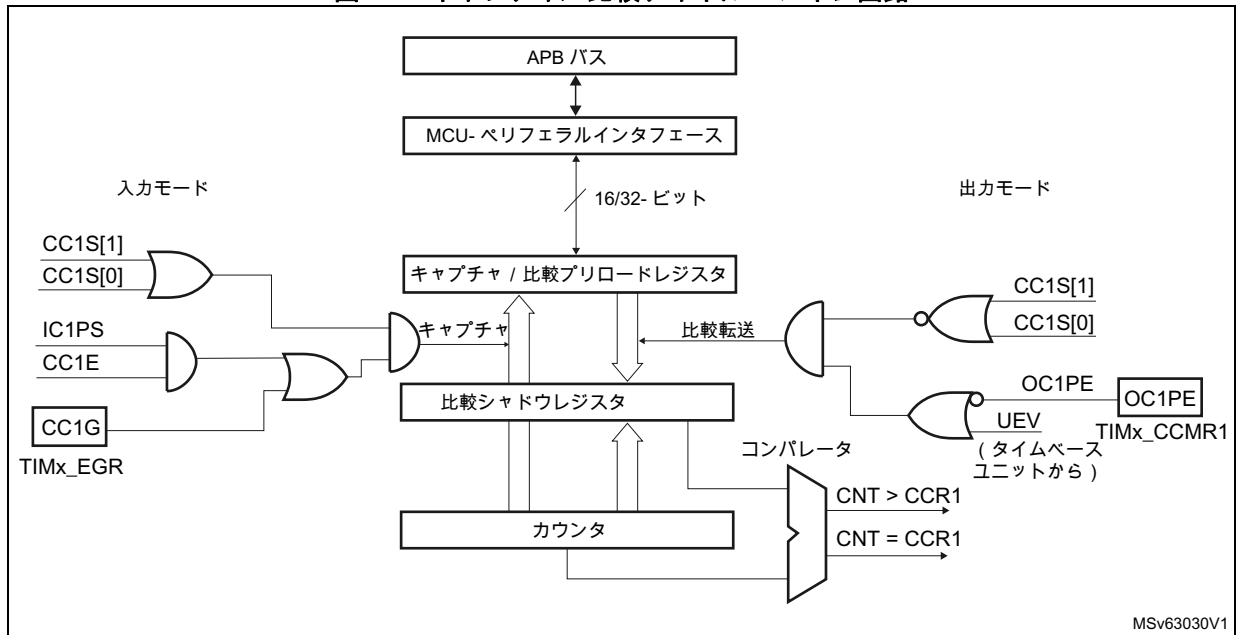
入カステージは、対応する TIx 入カをサンプリングして、フィルタリングを行った $TIxF$ を生成します。次に、極性選択付きのエッジ検出回路が、スレープモードコントローラによってトリガ入カとして、またはキャプチャコマンドとして使用される信号 ($TIxFPx$) を生成します。この信号はプリスケータを通じて、キャプチャレジスタ ($ICxPS$) に渡されます。

図 213. キャプチャ／比較チャネル（例：チャネル 1 入カステージ）



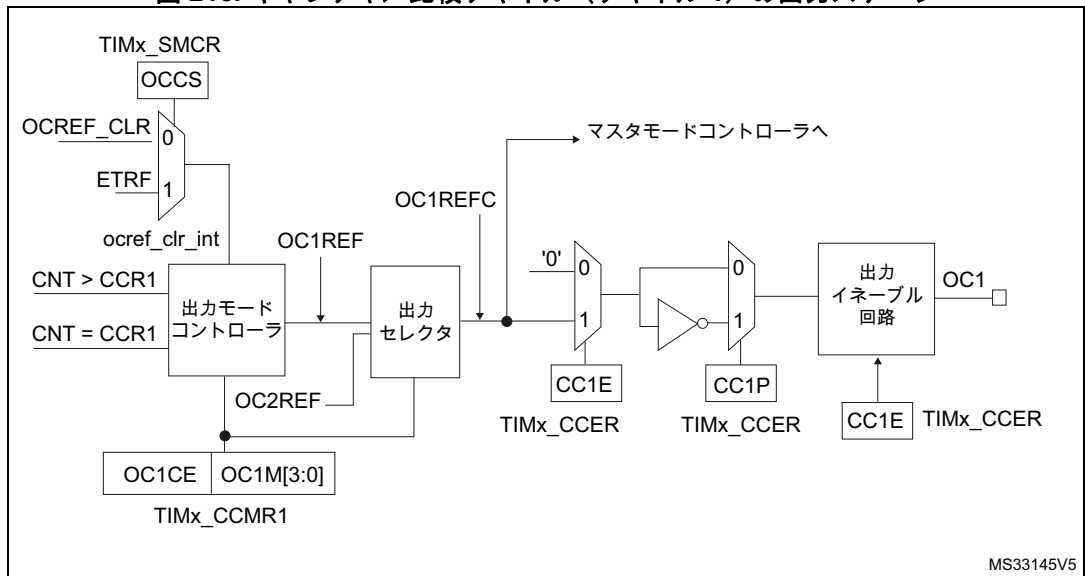
出力ステージは、 $OCxRef$ （アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 214. キャプチャ/比較チャンネル 1 メイン回路



MSv63030V1

図 215. キャプチャ/比較チャンネル (チャンネル 1) の出力ステージ



MS33145V5

キャプチャ/比較ブロックは、1つのプリロードレジスタと1つのシャドウレジスタで構成されています。書込みおよび読み出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

26.3.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ/比較レジスタ (TIMx_CCRx) が使用されます。キャプチャが発生すると、対応する CCXIF フラグ (TIMx_SR レジスタ) がセットされ、割り込みまたは DMA リクエストを送信できます (有効な場合)。CCXIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF (TIMx_SR レジスタ) がセットされます。CCXIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース (内部または外部) を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならないので、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャンネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします (入力が TIx の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットによって)。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できます (周波数 f_{DTS} でサンプリング)。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
4. TI1 チャンネルのアクティブ遷移のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P、CC1NP、および CC1NP ビットに“000”を書き込みます (この場合、立ち上がりエッジの選択)。
5. 入力プリスケアラをプログラムします。今回の例では、有効な信号変化ごとにキャプチャを行いたいため、プリスケアラを無効にします (TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます)。
6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます (割り込みフラグ)。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバキャプチャの見落としを避けることができます。

注： IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。

26.3.6 PWM 入力モード

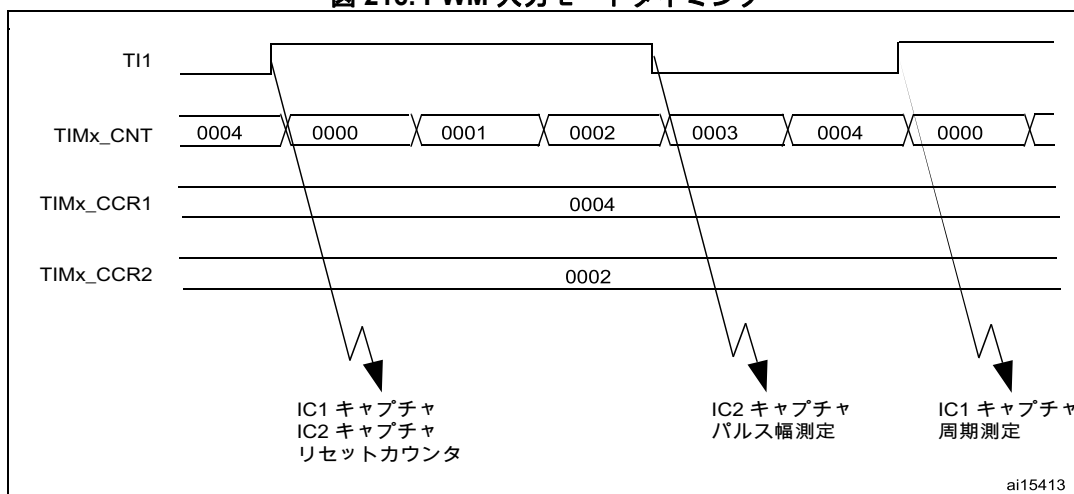
このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2つの ICx 信号が同じ TIx 入力にマッピングされます。
- この2つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2つの TIxFP 信号の1つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期 (TIMx_CCR1 レジスタ) とデューティサイクル (TIMx_CCR2 レジスタ) を測定できます (手順は、CK_INT 周波数とプリスケアラ値によって、若干異なることがあります)。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込むことによって (TI1 を選択)、TIMx_CCR1 のアクティブ入力を選択します。
3. CC1P ビットと CC1NP ビットに“0”を書き込むことによって (立ち上がりエッジでアクティブ)、TI1FP1 のアクティブ極性を選択します (TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用します)。
4. TIMx_CCMR1 レジスタの CC2S ビットに“10”を書き込むことによって (TI1 を選択)、TIMx_CCR2 のアクティブ入力を選択します。
5. CC2P ビットに“1”を、CC2NP ビットに“0”を書き込むことによって (立ち下がりエッジでアクティブ)、TI1FP2 のアクティブ極性を選択します (TIMx_CCR2 のキャプチャに使用されます)。
6. TIMx_SMCR レジスタの TS ビットに 00101 を書き込むことによって (TI1FP1 を選択)、有効なトリガ入力を選択します。
7. TIMx_SMCR レジスタの SMS ビットに 100 を書き込むことによって、スレーブモードコントローラをリセットモードに設定します。
8. TIMx_CCER レジスタの CC1E と CC2E ビットに 1 を書き込むことによって、キャプチャを有効にします。

図 216. PWM 入力モードタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

26.3.7 強制出力モード

このモード (TIMx_CCMRx レジスタの CCxS=00) では、各出力比較信号 (OCxREF、そして OCx) はソフトウェアで強制的にアクティブ、非アクティブのいずれかの状態とされます。これは出力比較レジスタとカウンタの間の比較動作とはかかわりなく行われます。

出力比較信号 (ocxref/OCx) を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイになり (OCxREF は常にアクティブハイ)、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0 (OCx アクティブハイ) => OCx は強制的にハイレベルになります。

TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、OCxREF 信号を強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、出力比較モードのセクションで説明します。

26.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ/比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード (TIMx_CCMRx レジスタの OCxM ビット) と出力極性 (TIMx_CCER レジスタの CCxP ビット) によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか (OCxM=000)、アクティブにセットされるか (OCxM=001)、非アクティブにセットされるか (OCxM=010)、または反転されます (OCxM=011)。
- 割込みステータスレジスタのフラグをセットします (TIMx_SR レジスタの CCxIF ビット)。
- 対応する割込みマスク (TIMx_DIER レジスタの CCxIE ビット) がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット (TIMx_DIER レジスタの CCxDE ビット) がセットされている場合は、DMA リクエストを送信します (DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます)。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

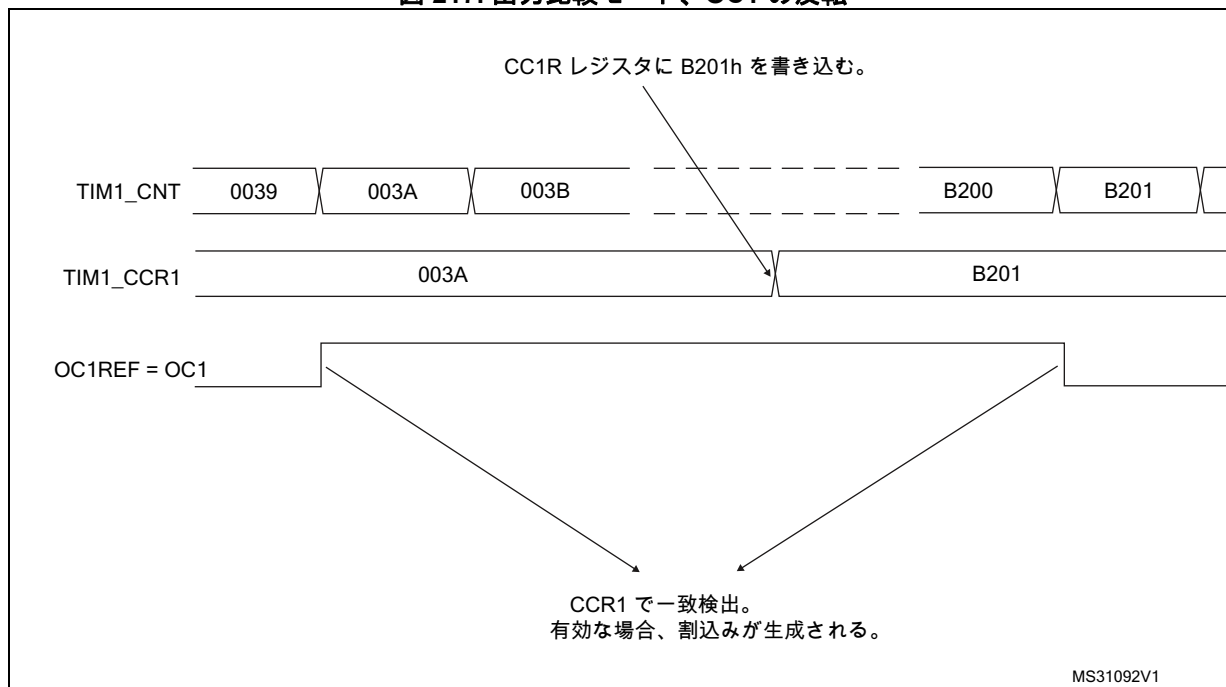
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用できます (ワンパルスモード)。

手順

1. カウンタクロックを選択します (内部、外部、プリスケアラ)。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエスト/DMA リクエストを生成する場合は、CCxIE ビット/CCxDE ビットをセットします。
4. 出力モードを選択します。たとえば、CNT が CCRx と一致したときに OCx 出力をトグルし、CCRx プリロードを使用せず、OCx が有効でアクティブハイのときには、OCxM=011、OCxPE=0、CCxP=0、CCxE=1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアで TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります (OCxPE=0)。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を 図 217 に示します。

図 217. 出力比較モード、OC1 の反転



26.3.9 PWM モード

パルス幅変調(PWM)モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、個々のチャンネル (OCx 出力ごとに PWM 1 波形) で、TIMx_CCMRx レジスタの OCxM ビットに“110” (PWM モード 1) や“111” (PWM モード 2) を書き込むことで、独自に選択できます。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも (アップカウントまたはセンターアラインモードで) 有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード (1 または 2) では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx がどうか判断されます (カウントの方向によります)。

ただし、OCREF_CLR 機能 (OCREF は、次の PWM 周期までは ETR 信号を通じて外部イベントによってクリアできる) に従って、OCREF 信号は次の場合にのみアサートされます。

- 比較結果が変化したとき、または
- 出力比較モード (TIMx_CCMRx レジスタの OCxM ビット) が停止構成 (比較なし、OCxM=000) から PWM モードの 1 つ (OCxM=110 または 111) へ切り替えられたとき。

タイマの動作中は、ソフトウェアで強制的に PWM になります。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

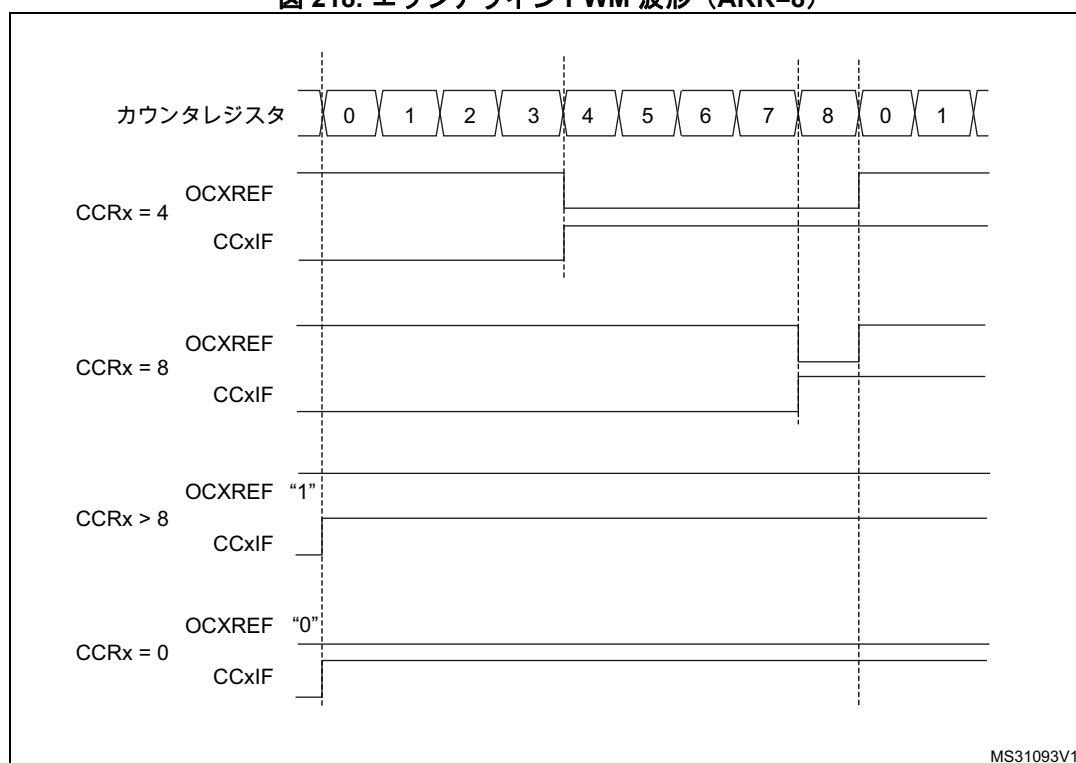
PWM エッジアラインモード

アップカウント構成

TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。[830 ページのアップカウントモード](#)を参照してください。

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値 (TIMx_ARR レジスタの) より大きい場合、OCxREF は“1”です。比較値が 0 の場合、OCxREF は“0”に保持されます。[図 218](#) に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 218. エッジアライン PWM 波形 (ARR=8)



ダウンカウント構成

TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。833 ページの[ダウンカウントモード](#)を参照してください。

PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、ocxref は 100% です。このモードでは、PWM 信号を生成することはできません。

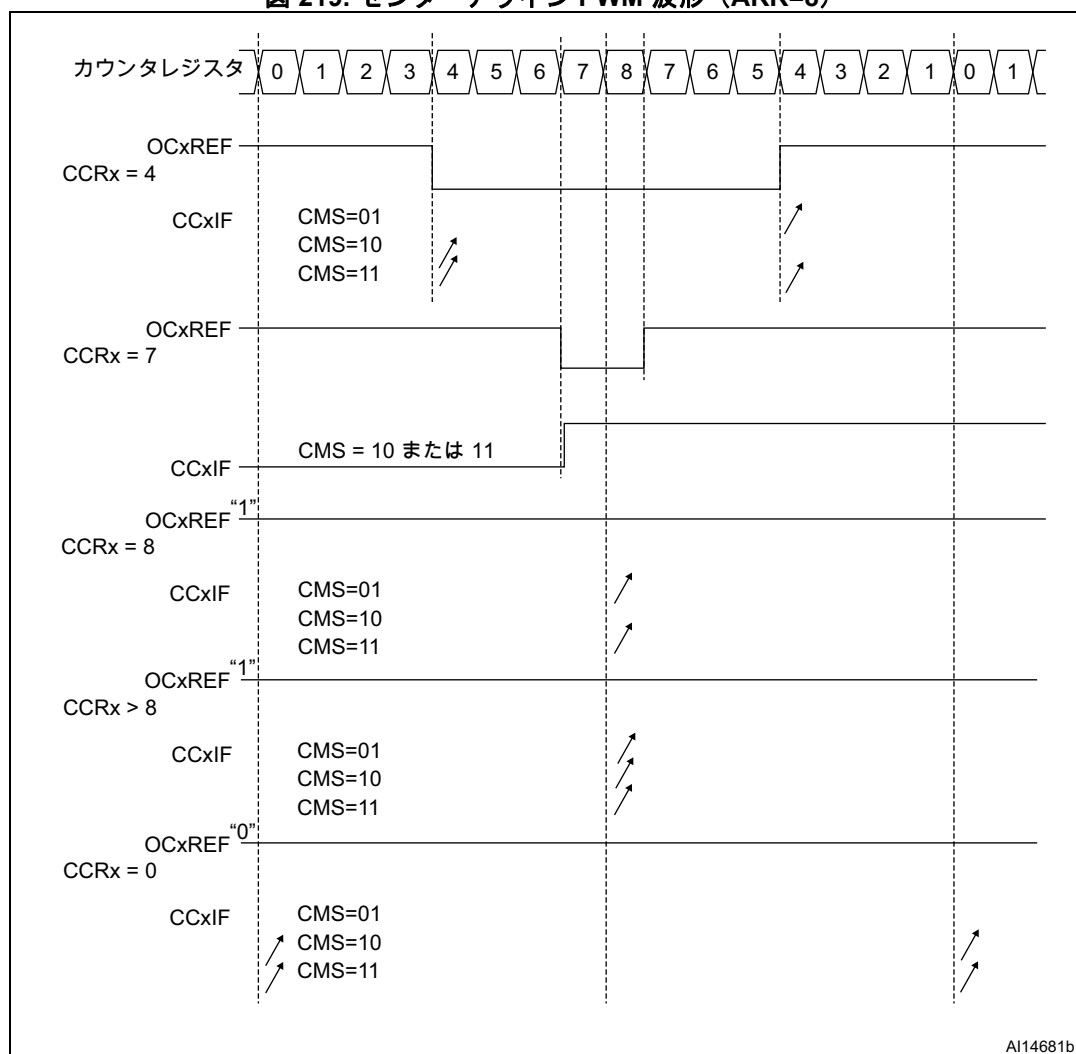
PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです（その他すべての設定は、OCxRef/OCx 信号に対して同じ効果を持ちます）。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット (DIR) はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。836 ページの[センターアラインモード \(アップ/ダウンカウント\)](#)を参照してください。

図 219 に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

図 219. センターアライン PWM 波形 (ARR=8)



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
 - 自動再ロード値より大きい値がカウンタに書き込まれた場合 (TIMx_CNT > TIMx_ARR)、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
 - カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して (TIMx_EGR レジスタの UG ビットをセットする)、動作中はカウンタへの書き込みを行わないことです。

26.3.10 非対称 PWM モード

非対称モードでは、プログラム可能な位相シフトによって2つのセンターアライン PWM 信号の生成を可能にします。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや位相シフトは TIMx_CCRx レジスタペアで決定されます。1つ目のレジスタがアップカウント時の PWM を制御し、2つ目のレジスタがダウンカウント時の PWM を制御することで、PWM は PWM ハーフサイクルごとに調整されます。

- OC1REFC (または OC2REFC) は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC (または OC4REFC) は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

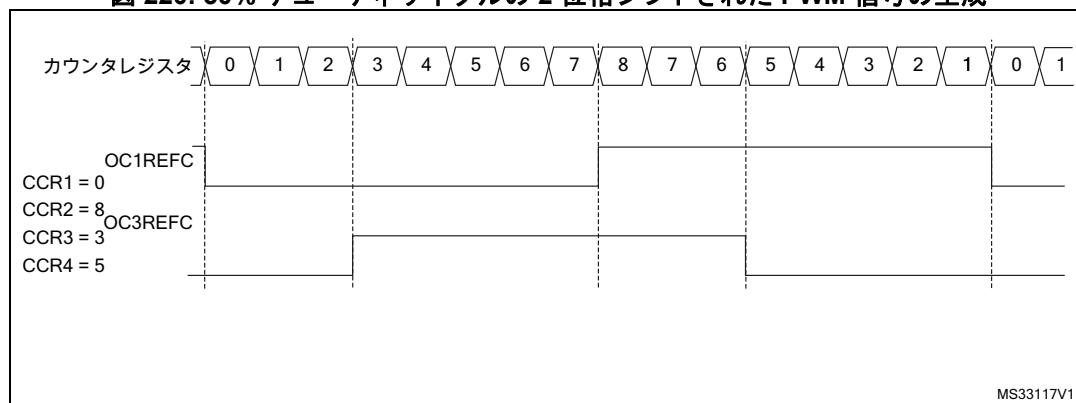
非対称 PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1110” (非対称 PWM モード 1) または“1111” (非対称 PWM モード 2) を書き込むことによって、2チャンネルごとに選択できます (CCR レジスタペアごとに1つの OCx 出力)。

注： OCxM[3:0] ビットフィールドは互換性を確保するために2つのパーツに分割され、最上位ビットと3つの最下位ビットとは隣接していません。

特定のチャンネルが非対称の PWM チャンネルとして使用されると、その2次チャンネルも使用できます。たとえば、OC1REFC 信号がチャンネル1 (非対称 PWM モード 1) に生成されると、チャンネル2の OC2REF 信号、または非対称 PWM モード 2の結果として得られる OC2REFC 信号を出力できます。

図 220 は、非対称 PWM モードを使用して生成される信号の例を表します (チャンネル1から4は非対称 PWM モード 1として設定されます)。

図 220. 50% デューティサイクルの2位相シフトされた PWM 信号の生成



26.3.11 組み合わせ PWM モード

組み合わせ PWM モードでは、2つのエッジアラインまたはセンターアライン PWM 信号を生成でき、それぞれのパルス間に遅延および位相シフトをプログラムできます。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや遅延は2つの TIMx_CCRx レジスタで決定されません。結果として得られる信号 OCxREFC は、2つの PWM 基準信号の OR または AND による論理結合から成ります。

- OC1REFC (または OC2REFC) は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC (または OC4REFC) は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

組み合わせ PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1100” (組み合わせ PWM モード 1) または“1101” (組み合わせ PWM モード 2) を書き込むことによって、2チャンネルごとに選択できます (CCR レジスタペアごとに1つの OCx 出力)。

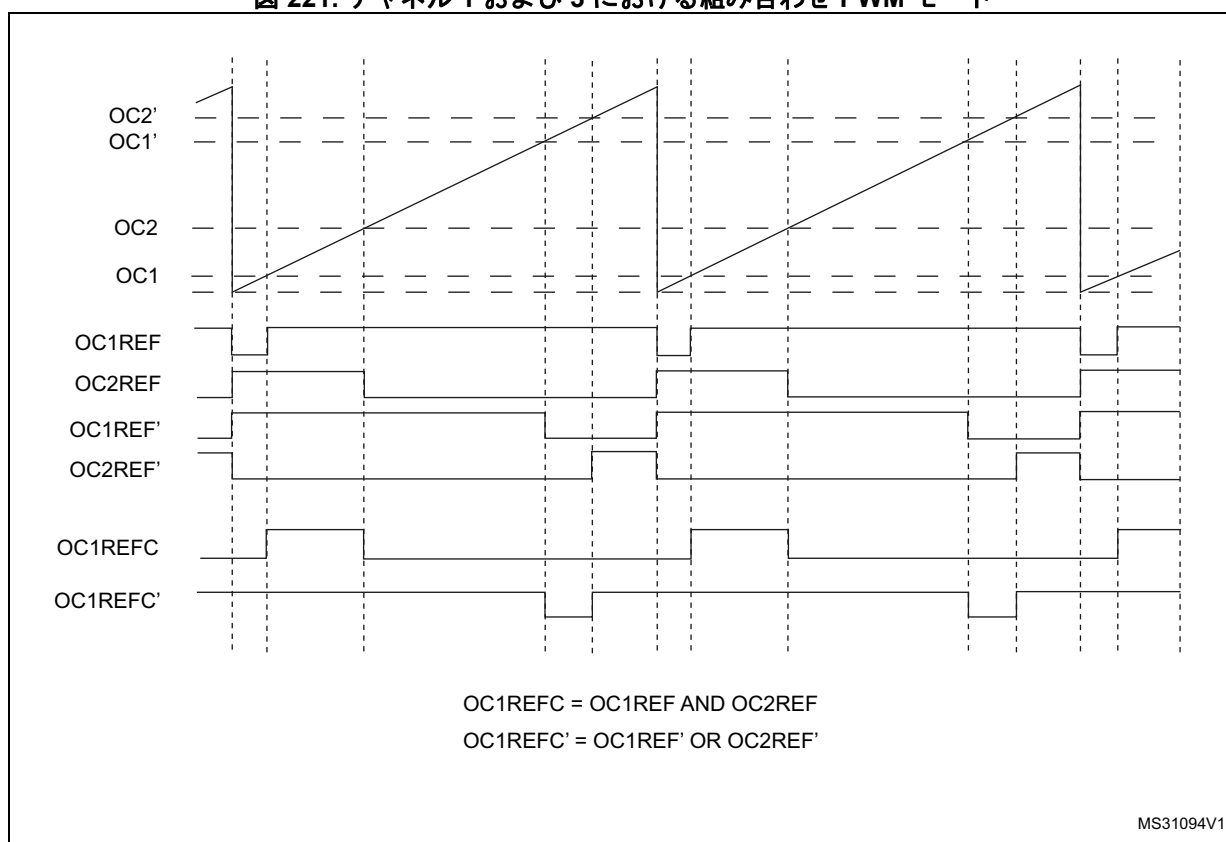
特定のチャンネルが組み合わせ PWM チャンネルとして使用されている場合、2 次チャンネルを反対の PWM モードに設定する必要があります (たとえば、1 つを組み合わせ PWM モード 1、もう 1 つを組み合わせ PWM モード 2 にします)。

注： OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

図 221 は、次の設定で取得可能な非対称 PWM モードを使用して生成される信号の例を表します。

- チャンネル 1 が組み合わせ PWM モード 2 で設定されている場合
- チャンネル 2 が PWM モード 1 で設定されている場合
- チャンネル 3 が組み合わせ PWM モード 2 で設定されている場合
- チャンネル 4 が PWM モード 1 で設定されている場合

図 221. チャンネル 1 および 3 における組み合わせ PWM モード



26.3.12 外部イベントによる OCxREF 信号のクリア

特定のチャンネルの OCxREF 信号は ocref_clr_int 入力にハイレベルを適用するとクリアされます (対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする)。OCxREF は、次の更新イベント (UEV) が発生するまで、ローレベルを保ちます。この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。

OCREF_CLR_INPUT は、TIMx_SMCR レジスタで OCCS ビットを設定することで、OCREF_CLR 入力と ETRF (フィルタ後の ETR) の間で選択できます。

特定のチャンネルの OCxREF 信号は ETRF 入力をハイレベルとする (対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを 1 にセットする) ことでリセットすることができます。OCxREF は、次の更新イベント (UEV) が発生するまで、ローレベルを保ちます。

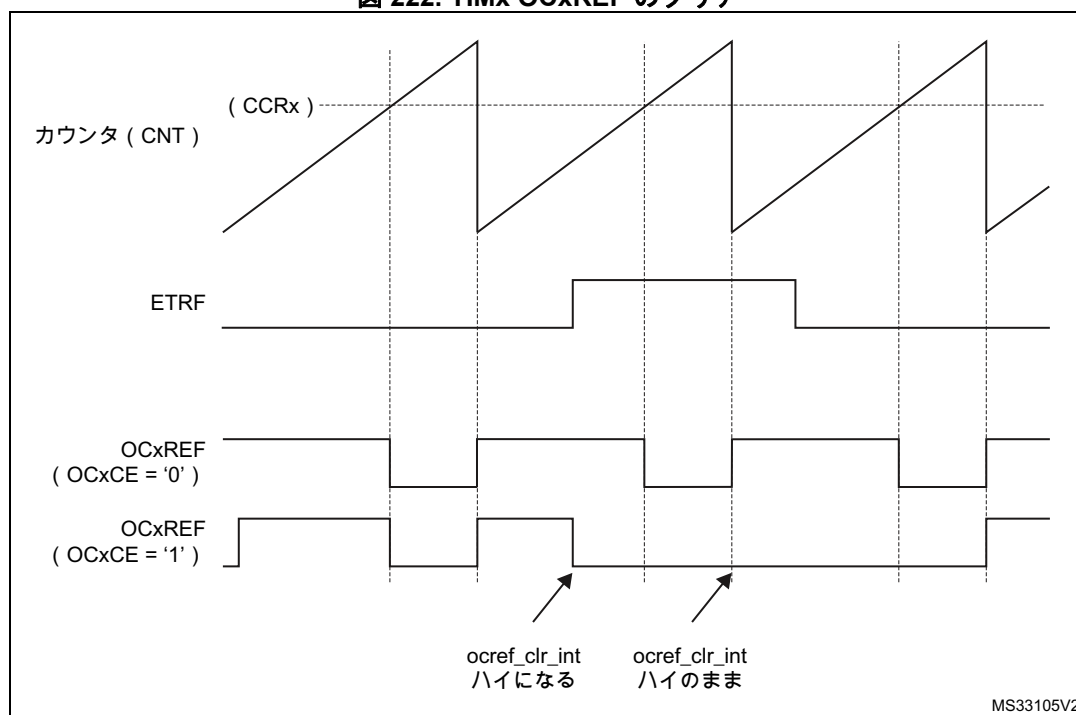
この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。

たとえば、OCxREF 信号をコンパレータの出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケラをオフに保つ必要があります。すなわち、TIMx_SMCR レジスタのビット ETPS[1:0] が 00 にクリアされます。
2. 外部クロックモード 2 を無効にする必要があります。すなわち、TIM1_SMCR レジスタのビット ECE が 0 にクリアされます。
3. 外部トリガ極性 (ETP) と外部トリガフィルタ (ETF) は、アプリケーションのニーズに応じて設定できます。

図 222 に、OCxCE イネーブルビットの両方の値について、ETRF 入力が高くなったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

図 222. TIMx OCxREF のクリア



注： 100% デューティサイクルの PWM の場合 (CCR_x>ARR の場合)、次のカウンタオーバーフローで OCxREF が再度有効になります。

26.3.13 ワンパルスモード

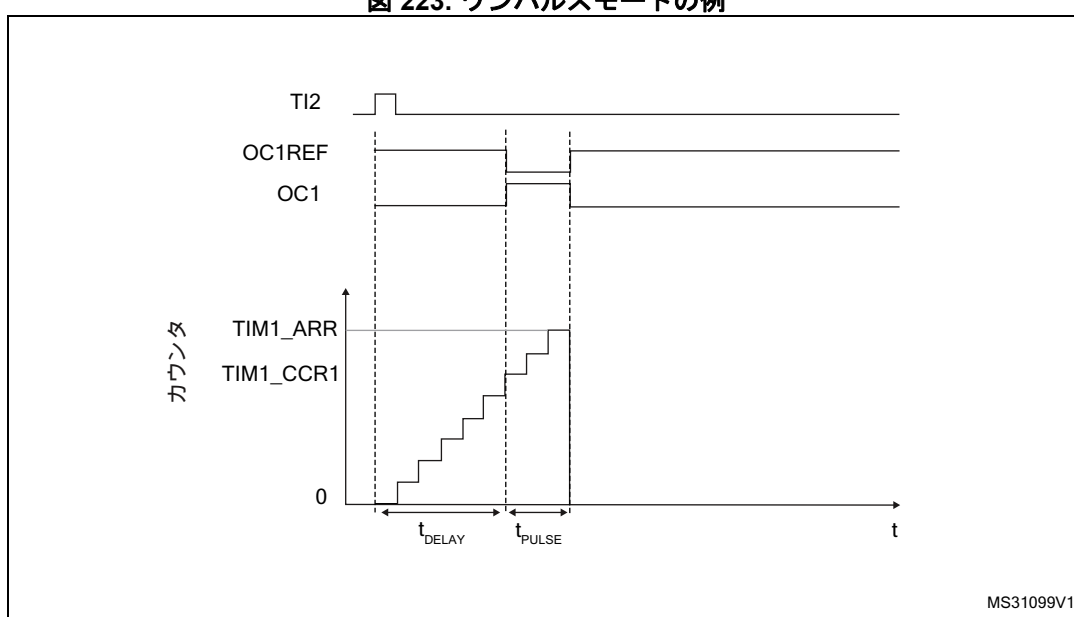
ワンパルスモード (OPM : One Pulse Mode) は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に (タイマがトリガを待っているときに)、設定が次のようであればなりません。

- $CNT < CCRx \leq ARR$ (特に、 $0 < CCRx$)

図 223. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P="0" と CC2NP="0" を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ (TRGI) として設定します。このためには、TIMx_SMCR レジスタの TS ビットに "00110" を書き込みます。
5. TI2FP2 を使用してカウンタを開始するために、TIMx_SMCR レジスタの SMS ビットに "110" (トリガモード) を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます (クロック周波数とカウンタプリスケアラを考慮に入れて)。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差 (TIMx_ARR - TIMx_CCR1) によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE=1 を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので (シングルモード)、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します (カウンタが自動再ロード値に達して、“0”に戻る時点)。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース : OCx 高速イネーブル :

ワンパルスモードでは、TIMx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延 ($t_{\text{DELAY min}}$) が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF (および OCx) は、比較を考慮せずにトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャンネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

26.3.14 再トリガ可能なワンパルスモード

このモードでは、トリガに応じてカウンタを開始して、プログラム可能な長さのパルスを生成できます。ただし、[セクション 26.3.13](#) で説明する再トリガ不可能なワンパルスモードについて、次のような違いがあります。

- パルスはトリガが発生し次第開始します (プログラム可能な遅延はありません)。
- パルスは、前のトリガが完了する前に新しいトリガが発生すると拡張されます。

タイマはスレーブモードである必要があり、このときビットは TIMx_SMCR レジスタで SMS[3:0] = 「1000」 (リセットモードとトリガモードの組み合わせ)、および再トリガ可能な OPM モード 1 または 2 で OCxM[3:0] が「1000」または「1001」にセットされています。

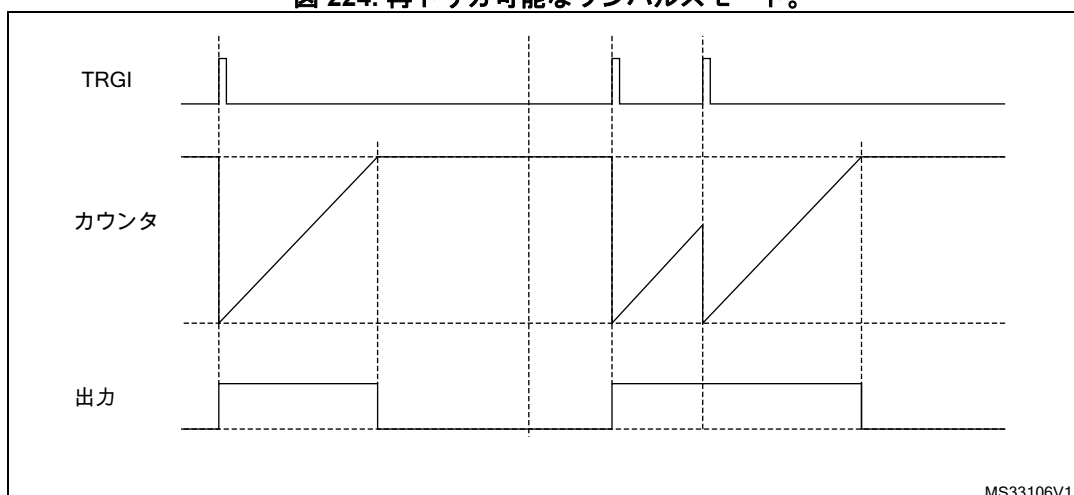
タイマをアップカウントモードで設定した場合、対応する CCRx を 0 にセットする必要があります (ARR レジスタによってパルス長がセットされます)。タイマをダウンカウントモードで設定した場合、CCRx は ARR 以上である必要があります。

注 : 再トリガ可能なワンパルスモードでは、CCxIF フラグは意味を持ちません。

OCxM[3:0] および SMS[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

このモードをセンターライン PWM モードと組み合わせて使用することはできません。TIMx_CR1 では、CMS[1:0] = 00 にする必要があります。

図 224. 再トリガ可能なワンパルスモード。



26.3.15 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS="001" を、TI1 エッジのみをカウントしている場合は SMS="010" を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS="011" を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。CC1NP と CC2NP はクリア状態に維持する必要があります。必要なときには、入力フィルタもプログラミングできます。CC1NP と CC2NP はローに維持する必要があります。

2つの入力 TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます。表 182 を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2 (入力フィルタおよび極性選択後は TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2) の有効な変化によって駆動されます。ただし、カウンタ有効なことが前提となります (TIMx_CR1 レジスタの CEN ビットが "1")。2つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIR ビットは、いずれかの入力 (TI1 または TI2) の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします (方向に応じて、0 から ARR まで、または ARR から 0 まで)。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、プリスケアラ、およびトリガ出力機能は、通常動作を続けます。

このモードでは、カウンタは直交エンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します (TI1 と TI2 は同時に切り替わらないと想定しています)。

表 182. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル (TI2 に対する TI1FP1、 TI1 に対する TI2FP2)	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	高	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし

表 182. カウント方向とエンコーダ信号 (続き)

アクティブエッジ	他方の信号のレベル (TI2 に対する TI1FP1、 TI1 に対する TI2FP2)	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI2 のみカウント	高	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の両方を カウント	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割込み入力に接続して、カウンタのリセットをトリガできます。

図 225 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入カジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S = 01 (TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置)
- CC2S = 01 (TIMx_CCMR2 レジスタ、TI2FP2 は TI2 に配置)
- CC1P および CC1NP = 0 (TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1)
- CC2P および CC2NP = 0 (TIMx_CCER レジスタ、TI2FP2 非反転、TI2FP2=TI2)
- SMS=011 (TIMx_SMCR レジスタ、両方の入力立ち上がり立ち下がり両エッジでアクティブ)
- CEN=1 (TIMx_CR1 レジスタ、カウンタ有効)

図 225. エンコーダインタフェースモードにおけるカウンタの動作例

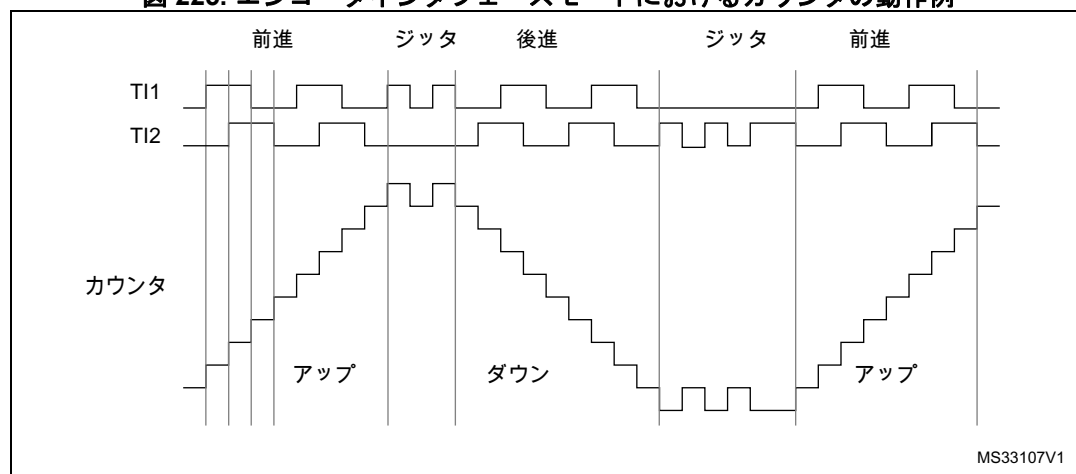
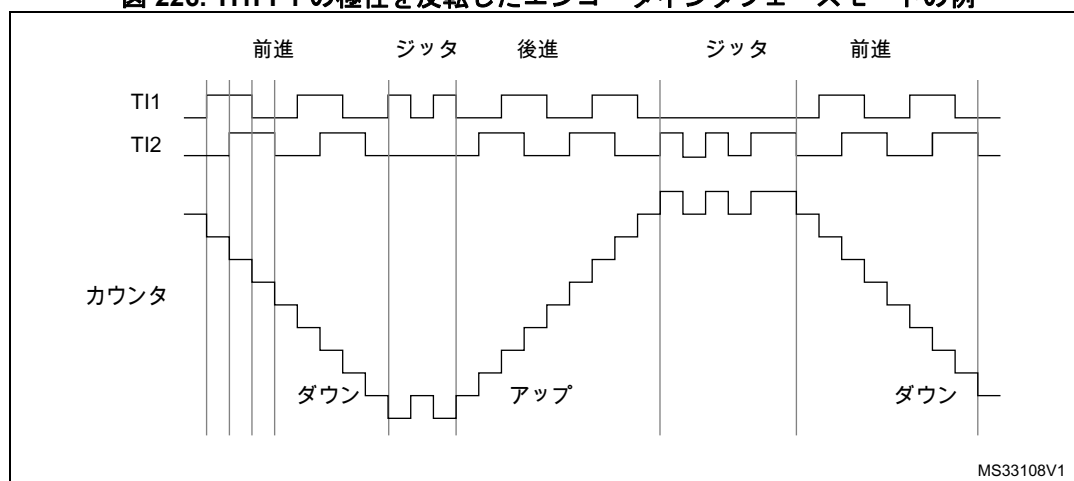


図 226 に、TI1FP1 の極性を反転したときのカウンタの動作を示します (上記と同じ設定ですが、CC1P=1)。

図 226. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに構成した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に取り出すこともできます。これを行うには、使用可能な場合、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。使用可能なときには、リアルタイムクロックによって生成される DMA リクエストを通じて値を読み出すことも可能です。

26.3.16 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31 (TIMxCNT[31]) に更新割込みフラグ (UIF) を連続コピーします。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。バックグラウンドタスク（カウンタの読出し）と割込み（更新割込み）との間で共有されている処理などによって生じる競合状態を避けることで、角速度の計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

32 ビットのタイマの実装で、IUFREMAP ビットがセットされている場合、カウンタのビット 31 は読出しアクセス時に UIFCPY フラグによって上書きされます（カウンタの最上位ビットには書き込みモード時のみアクセス可能）。

26.3.17 タイマ入力 XOR 機能

TIM1xx_CR2 レジスタの TI1S ビットによって、チャンネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1 から TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

この機能をホールセンサのインタフェースに使用した例を [776 ページのセクション 25.3.25: ホールセンサとのインタフェース](#) に示します。

26.3.18 タイマと外部トリガの同期

TIMx タイマは、いくつかのモードで外部トリガを使用して同期できます。そのモードは、リセットモード、ゲートモード、およびトリガモードです。

スレーブモード：リセットモード

カウンタとそのプリスケアラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ (TIMx_ARR、TIMx_CCRx) が更新されます。

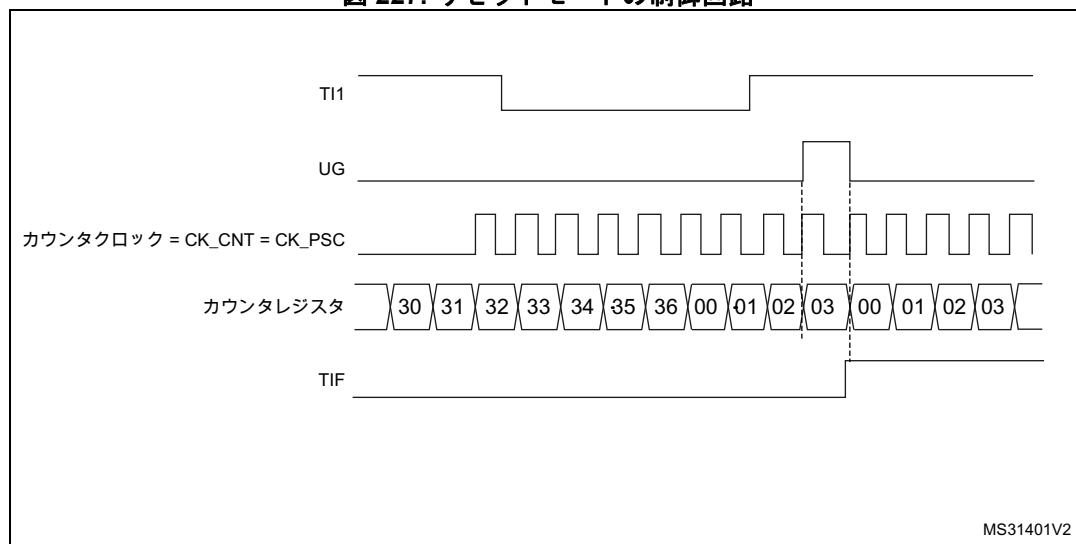
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

1. TI1 の立ち上がりエッジを検出するように、チャンネル 1 を設定します。入力フィルタ時間を設定します (この例ではフィルタは不要なので、IC1F=0000 のままにしておきます)。キャプチャプリスケアラはトリガには使用されないため、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します (TIMx_CCMR1 レジスタの CC1S=01)。TIMx_CCER レジスタで CC1P=0 と CC1NP=0 を書き込んで、極性を有効にします (そして、立ち上がりエッジのみを検出します)。
2. TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ (TIMx_SR レジスタの TIF ビット)、(TIMx_DIER レジスタの TIE ビットが) 有効な場合は割り込みリクエストを送信できます。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 227. リセットモードの制御回路



スレーブモード : ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

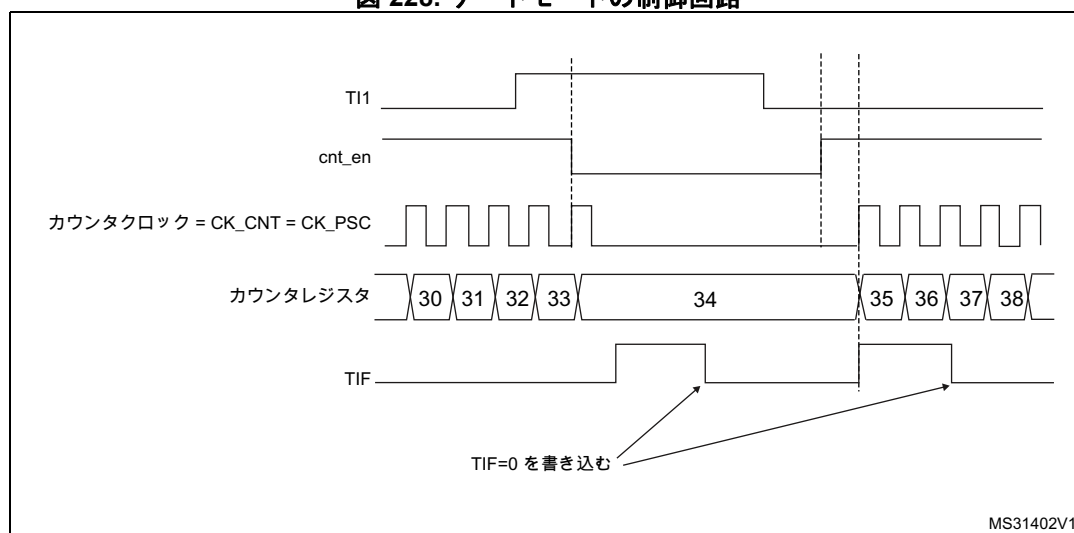
次の例では、アップカウンタは TI1 入力が高レベルのときだけカウントします。

1. TI1 のローレベルを検出するように、チャンネル 1 を設定します。入力フィルタ時間を設定します (この例ではフィルタは不要なので、IC1F=0000 のままにしておきます)。キャプチャプリスケラはトリガには使用されないため、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します (TIMx_CCMR1 レジスタの CC1S=01 ビット)。TIMx_CCER レジスタで CC1P = 1 と CC1NP = 0 を書き込んで、極性を有効にします (そして、ローレベルのみを検出します)。
2. TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします (ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません)。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 228. ゲートモードの制御回路



1. ゲートモードはエッジではなくレベルに対して動作するため、CCxP=CCxNP=1 の設定 (立ち上がり立ち下がり両エッジの検出) はゲートモードでは意味がありません。

注 : ゲートモードはエッジではなくレベルに対して動作するため、CCxP=CCxNP=1 の設定 (立ち上がり立ち下がり両エッジの検出) はゲートモードでは意味がありません。

スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

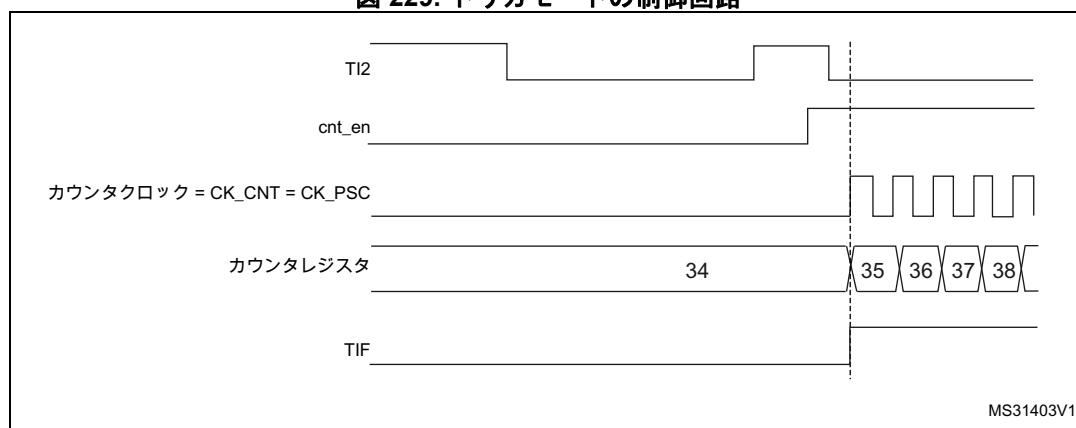
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

1. TI2 の立ち上がりエッジを検出するように、チャンネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないため、設定は不要です。CC2S ビットは、入力キャプチャソースのみを選択します (TIMx_CCMR1 レジスタの CC2S=01)。TIMx_CCER レジスタで CC2P = 1 と CC2NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
2. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 229. トリガモードの制御回路



スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、およびトリガモードで動作している場合）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

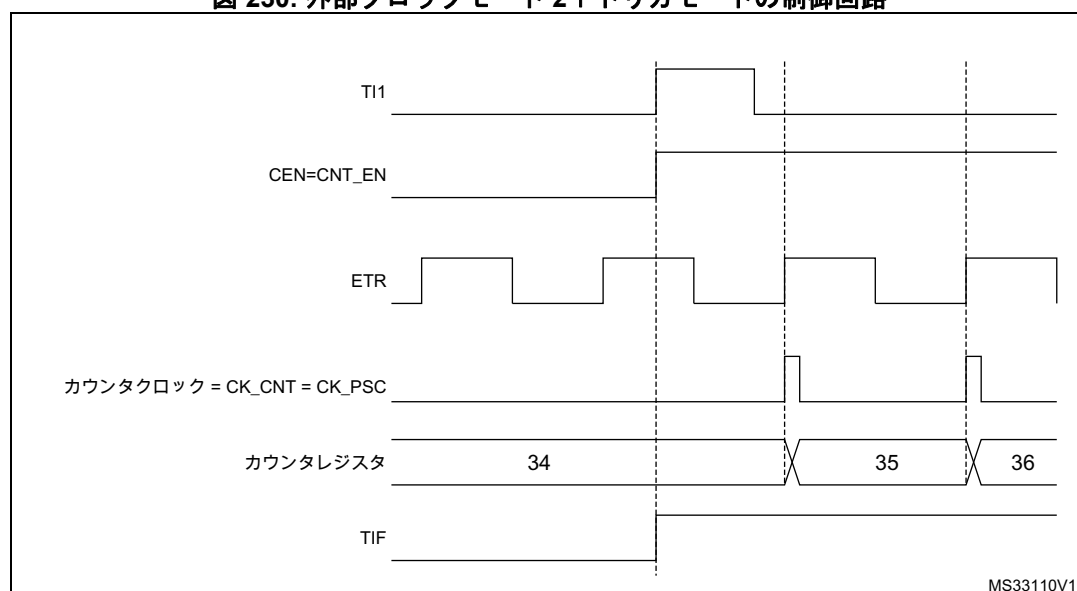
1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を構成します。
 - ETF = 0000 : フィルタなし
 - ETPS=00 : プリスケーラ無効
 - ETP=0 : ETR の立ち上がりエッジを検出。ECE=1 で外部クロックモード 2 を有効にします。

2. TI1 の立ち上がりエッジを検出するように、チャンネル 1 を次のように構成します。
 - IC1F=0000 : フィルタなし。
 - キャプチャプリスケラはトリガには使用されないので、設定する必要はありません。
 - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
 - TIMx_CCER レジスタの CC1P=0 と CC1NP=0 で、極性を有効にします (そして、立ち上がりエッジのみを検出します)。
3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 230. 外部クロックモード 2+トリガモードの制御回路

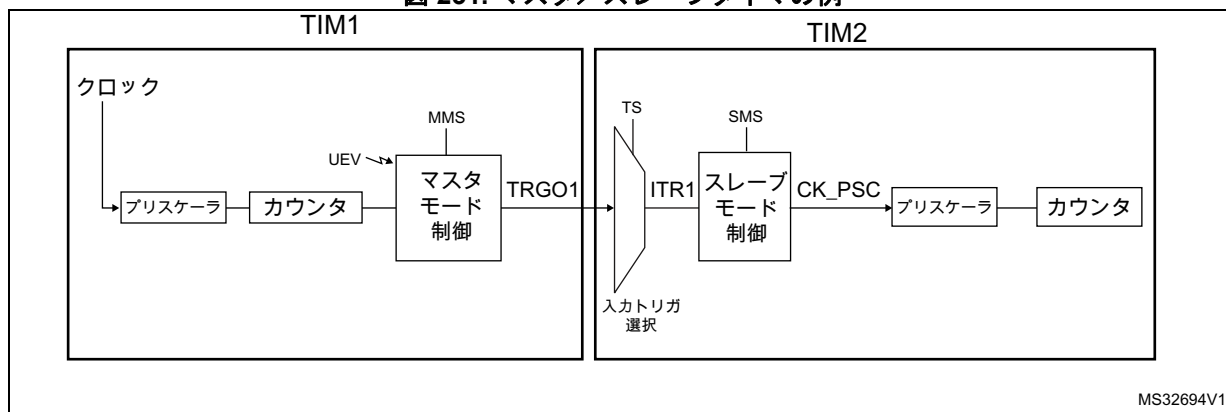


26.3.19 タイマの同期

タイマの同期や連携した動作のために、TIMx タイマを内部で相互リンクすることができます。マスターモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。

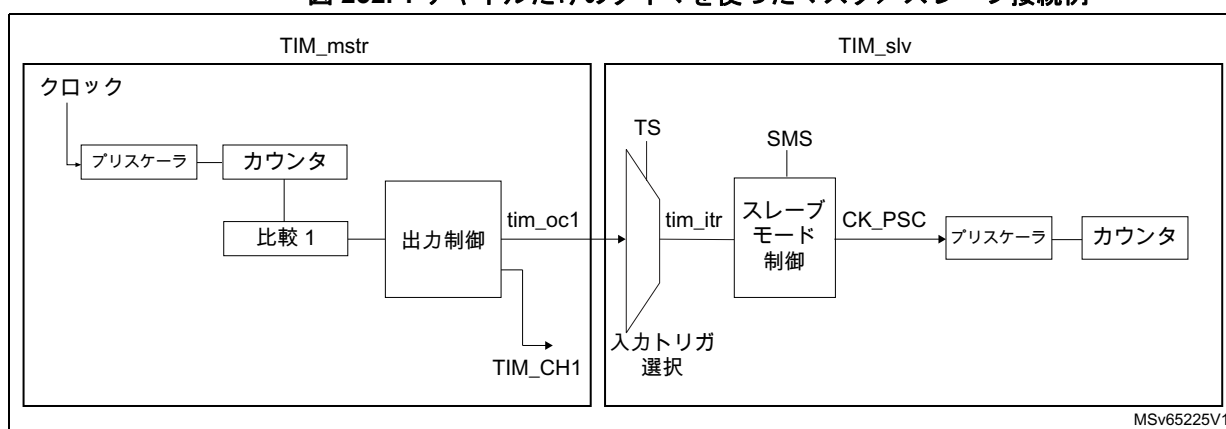
図 231: マスタ/スレーブタイマの例 および図 232: 1 チャンネルだけのタイマを使ったマスタ/スレーブ接続例に、トリガ選択およびマスタモード選択ブロックの概要を示します。

図 231. マスタ/スレーブタイマの例



MS32694V1

図 232. 1 チャンネルだけのタイマを使ったマスタ/スレーブ接続例



MSv65225V1

注： 1 つのチャンネルしかないタイマ（図 232 を参照）にはマスタモードはありません。しかし、OC1 出力信号を使用して、他の一部のタイマ（本書の他のセクションで説明されているタイマを含む）をトリガすることができます。デバイスの TIMx_SMCR レジスタの「TIMx 内部トリガ接続」テーブルを確認して、スレーブとして設定できるタイマを特定します。OC1 信号のパルス幅は、スレーブタイマがトリガを検出できるように、少なくとも転送先タイマの 2 クロックサイクルとなるようにプログラムする必要があります。たとえば、転送先タイマの CK_INT クロックがソースタイマの 4 倍遅い場合、OC1 パルス幅は 8 クロックサイクルである必要があります。

タイマを別のタイマのプリスケアラとして使用する

たとえば、TIM1 が TIM2 のプリスケアラとして動作するように設定できます。図 231 を参照してください。このためには、次の操作を行います。

1. 更新イベント UEV ごとに周期的なトリガ信号を出力するように、TIM 1 をマスタモードに設定します。TIM1_CR2 レジスタの MMS=010 を書き込んだ場合、更新イベントが生成されるたびに、TRGO で立ち上がりエッジが出力されます。
2. TIM1 の TRGO 出力を TIM2 に接続するには、ITR0 を内部トリガとして使用して、TIM2 をスレーブモードに設定する必要があります。このためには、TIM2_SMCR レジスタの TS ビットで選択します (TS=00000 を書き込みます)。
3. 次に、スレーブモードコントローラを外部クロックモード 1 に設定しなければなりません (TIM2_SMCR レジスタで SMS=111 を書き込みます)。これにより TIM2 は、TIM1 の周期的なトリガ信号の立ち上がりエッジ (TIM1 カウンタのオーバーフローに対応しています) をクロックとして動作します。

- 最後に、それぞれの CEN ビット (TIMx_CR1 レジスタ) をセットすることによって、両方のタイマを有効にする必要があります。

注： TIM1 のトリガ出力として OCx が選択された場合 (MMS=1xx)、その立ち上がりエッジが TIM2 カウンタのクロックとして使用されます。

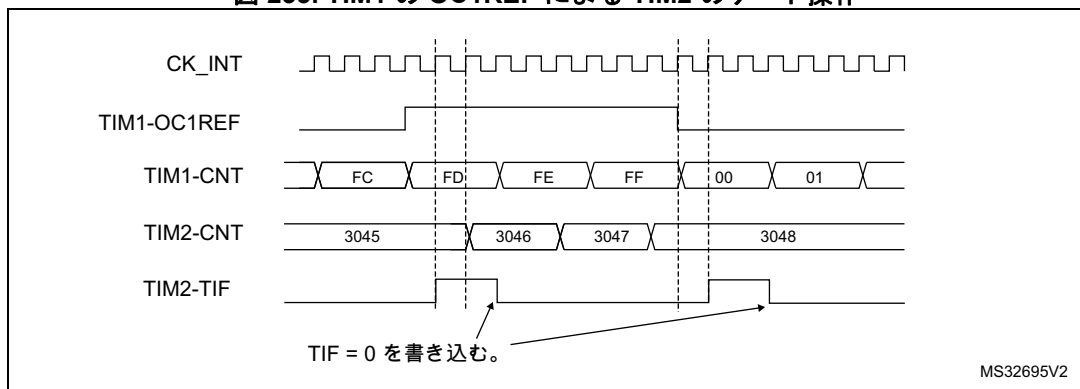
タイマを使用して別のタイマを有効にする

この例では、TIM2 の有効化を、タイマ 1 の出力比較 1 で制御します。接続については、[図 231](#) を参照してください。TIM2 は、TIM1 の OC1REF がハイのときのみ、分周された内部クロックをカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケアラで 3 分周したものです ($f_{CK_CNT} = f_{CK_INT}/3$)。

- TIM 1 をマスタモードに設定して、その出力比較 1 基準 (OC1REF) 信号をトリガ出力として送信します (TIM1_CR2 レジスタの MMS=100)。
- TIM1 の OC1REF 波形を設定します (TIM1_CCMR1 レジスタ)。
- TIM1 から入力トリガを受け取るように TIM2 を設定します (TIM2_SMCR レジスタの TS=00000)。
- TIM2 をゲートモードに設定します (TIM2_SMCR レジスタの SMS=101)。
- CEN ビット (TIM_CR1 レジスタ) に“1”を書き込んで、TIM2 を有効にします。
- CEN ビット (TIM1_CR1 レジスタ) に“1”を書き込んで、TIM を開始します。

注： カウンタ 2 のクロックはカウンタ 1 と同期しないので、このモードは TIM2 カウンタのイネーブル信号にのみ影響します。

図 233. TIM1 の OC1REF による TIM2 のゲート操作



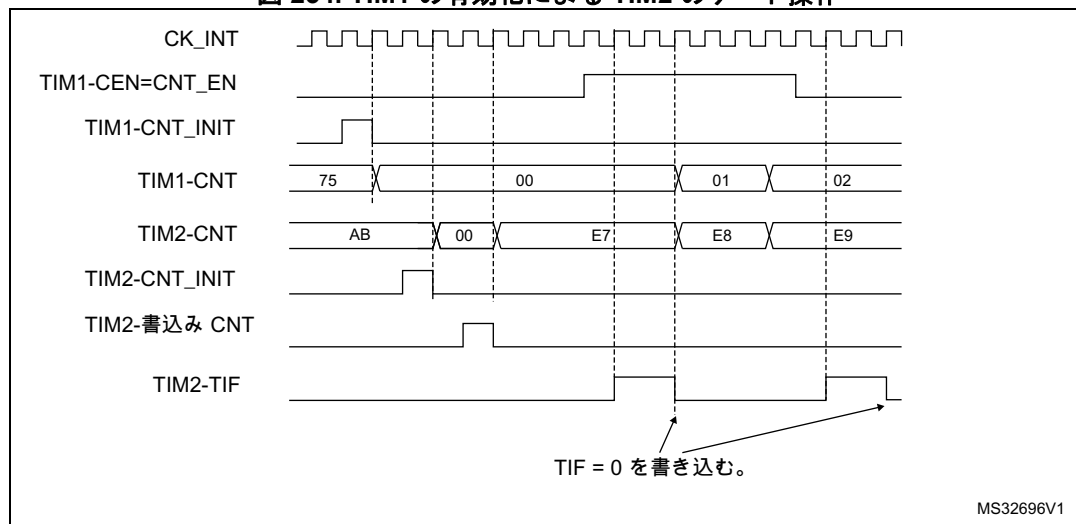
[図 233](#) の例では、TIM2 のカウンタとプリスケアラは、開始前に初期化されていません。したがって、現在値からカウントを開始します。TIM 1 を開始する前に両方のタイマをリセットすることによって、特定の値から開始することが可能です。その後、任意の値をタイマカウンタに書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアで容易にタイマをリセットできます。

次の例では ([図 234](#) を参照)、TIM1 と TIM2 を同期させます。TIM 1 はマスタであり、0 からカウントを開始します。TIM2 はスレーブであり、0xE7 から開始します。プリスケアラの分周比は両方のタイマで同じです。TIM1_CR1 レジスタの CEN ビットに“0”を書き込むことによって TIM1 を無効にすると、TIM2 は停止します。

- TIM 1 をマスタモードに設定して、その出力比較 1 基準 (OC1REF) 信号をトリガ出力として送信します (TIM1_CR2 レジスタの MMS=100)。
- TIM1 の OC1REF 波形を設定します (TIM1_CCMR1 レジスタ)。
- TIM1 から入力トリガを受け取るように TIM2 を設定します (TIM2_SMCR レジスタの TS=00000)。
- TIM2 をゲートモードに設定します (TIM2_SMCR レジスタの SMS=101)。
- UG ビット (TIM1_EGR レジスタ) に“1”を書き込んで、TIM1 をリセットします。

6. UG ビット (TIM2_EGR レジスタ) に“1”を書き込んで、TIM2 をリセットします。
7. TIM2 カウンタ (TIM2_CNT) に“0xE7”を書き込んで、TIM2 を 0xE7 に初期化します。
8. CEN ビット (TIM2_CR1 レジスタ) に“1”を書き込んで、TIM2 を有効にします。
9. CEN ビット (TIM1_CR1 レジスタ) に“1”を書き込んで、TIM1 を開始します。
10. CEN ビット (TIM1_CR1 レジスタ) に“0”を書き込んで、TIM1 を停止します。

図 234. TIM1 の有効化による TIM2 のゲート操作

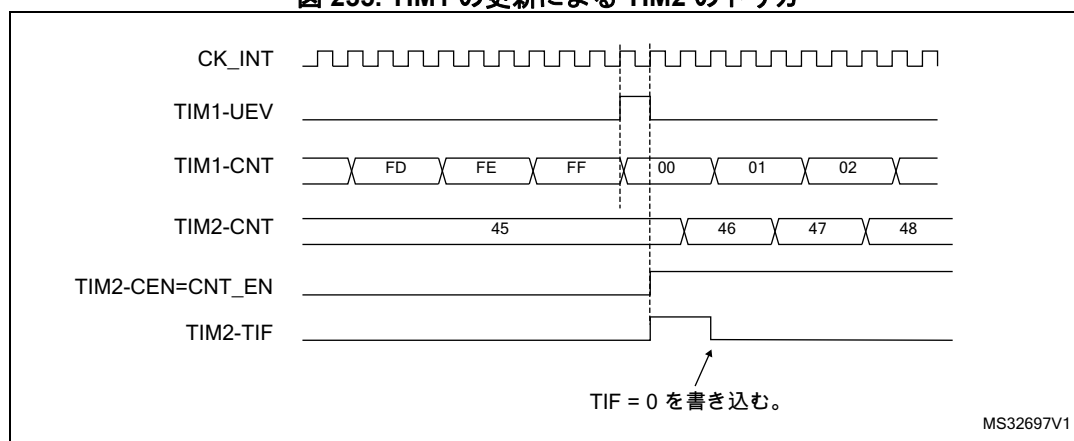


タイマを使用して別のタイマを開始する

この例では、タイマ 1 の更新イベントによってタイマ 2 の有効化を設定します。接続については、[図 231](#) を参照してください。タイマ 1 によって更新イベントが生成されると、タイマ 2 は、分周された内部クロックで現在値（ゼロである必要はありません）からカウントを開始します。タイマ 2 がトリガ信号を受信すると、その CEN ビットが自動的にセットされ、カウンタは TIM2_CR1 レジスタの CEN ビットに“0”が書き込まれるまでカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケアラで 3 分周したものです ($f_{CK_CNT} = f_{CK_INT}/3$)。

1. TIM1 をマスタモードに設定して、その更新イベント (UEV) をトリガ出力として送信します (TIM1_CR2 レジスタの MMS=010)。
2. TIM1 の周期を設定します (TIM1_ARR レジスタ)。
3. TIM1 から入トリガを受け取るように TIM2 を設定します (TIM2_SMCR レジスタの TS=00000)。
4. TIM2 をトリガモードに設定します (TIM2_SMCR レジスタの SMS=110)。
5. CEN ビット (TIM1_CR1 レジスタ) に“1”を書き込んで、TIM1 を開始します。

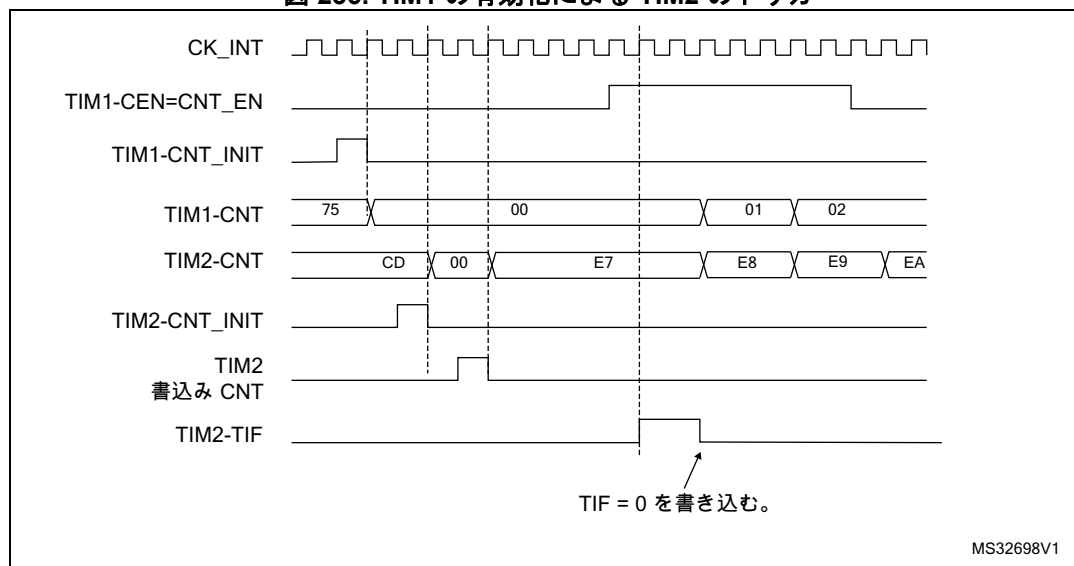
図 235. TIM1 の更新による TIM2 のトリガ



MS32697V1

前の例と同じように、カウントを開始する前に両方のカウンタを初期化できます。図 236 は図 235 と同じ設定ですが、ゲートモードではなくトリガモードでの動作を示します (TIM2_SMCR レジスタの SMS=110)。

図 236. TIM1 の有効化による TIM2 のトリガ



MS32698V1

注： TRGO 信号を受信するスレーブペリフェラル (タイマ、ADC など) のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります。マスタタイマからトリガを受信している間はクロック周波数 (プリスケアラ) を動作中に変更しないでください。

26.3.20 DMA パーストモード

TIMx タイマには、1つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、タイマの一部をソフトウェアのオーバーヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト (パースト) を開始します。TIMx_DMAR レジスタへの各書込みは、実際にタイマレジスタの 1 つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読みまたは書き込みアクセスが行われるときにバースト転送を認識します。つまり、転送数（ハーフワード単位またはバイト単位）を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します (TIMx_DMAR アドレスを通じて読み/書き込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000 : TIMx_CR1

00001 : TIMx_CR2

00010 : TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します (x = 2, 3, 4)。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャンネルを次のように設定します。
 - DMA チャンネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
 - DMA チャンネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
 - 転送データ数 = 3 とします (下の注を参照)。
 - サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします (DIER レジスタの UDE ビットをセット)。
4. TIMx を有効化
5. DMA チャンネルを有効化注：

この例は、各 CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注： null 値を予約済みレジスタに書き込むことができます。

26.3.21 デバッグモード

システムがデバッグモードになると (プロセッサコアは停止状態)、TIMx カウンタは、DBGMCU モジュールの DBG_TIM2_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、[セクション 38.12.3: DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1 \(DBGMCU_APB1FZR1\)](#) を参照してください。

26.4 TIM2 レジスタ

このリファレンスマニュアルが適用される製品ではこのタイプのタイマのインスタンスは 1 つしかないため、このセクションでは“TIMx”は“TIM2”として理解する必要があります。

レジスタの説明で使用されている略語のリストについては、[セクション 1.2](#) を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

26.4.1 TIM2 制御レジスタ 1 (TIM2_CR1)

アドレス・オフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP**：UIF ステータスビットの再配置

0：再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。

1：再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック (CK_INT) 周波数と、デジタルフィルタ (ETR、Tlx) によって使用されるサンプリングクロックとの間の分周比を示します。

00: $t_{DTS} = t_{CK_INT}$

01: $t_{DTS} = 2 \times t_{CK_INT}$

10: $t_{DTS} = 4 \times t_{CK_INT}$

11: 予約済みです。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモードカウンタは、方向ビット (DIR) に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル (TIMx_CCMRx レジスタの CCxS=00) の出力比較割込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注： カウンタが有効 (CEN=1) なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット4 DIR : 方向

- 0 : カウンタはアップカウンタとして使用されます。
- 1 : カウンタはダウンカウンタとして使用されます。

注 : このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット3 OPM : ワンパルスモード

- 0 : カウンタは更新イベントで停止しません。
- 1 : カウンタは次の更新イベントでカウントを停止します (CEN ビットをクリア)。

ビット2 URS : 更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。
0 : 次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します (有効な場合)。これらのイベントは、次のとおりです。

- カウンタオーバーフロー/アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1 : カウンタオーバーフロー/アンダーフローのみが更新割込みまたは DMA リクエストを生成します (有効な場合)。

ビット1 UDIS : 更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : UEV は有効です。更新イベント (UEV) は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー/アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1 : UEV は無効です。更新イベントは生成されず、シャドウレジスタ (ARR、PSC、CCR_x) は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケアラは再初期化されます。

ビット0 CEN : カウンタイネーブル

- 0 : カウンタは無効です。
- 1 : カウンタは有効です。

注 : 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

26.4.2 TIM2 制御レジスタ 2 (TIM2_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1S	MMS[2:0]			CCDS	Res.	Res.	Res.
								rw	rw	rw	rw	rw			

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TI1S** : TI1 選択

0 : TIMx_CH1 ピンが TI1 入力に接続されます。

1 : TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます (XOR 接続)。参照先 : [776 ページのセクション 25.3.25: ホールセンサとのインタフェース](#)

ビット 6:4 **MMS[2:0]** : マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信する情報を選択することができます (TRGO)。組み合わせは、次のとおりです。

000 : **リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力 (TRGO) として使用されます。トリガ入力によってリセットが生成される場合 (スレーブモードコントローラがリセットモードに設定されているとき)、TRGO 信号は実際のリセットより遅延します。

001 : **イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力 (TRGO) として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和 (AND) によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除き、TRGO には遅延が存在します (TIMx_SMCR レジスタの MSM ビットの説明を参照してください)。

010 : **更新** - 更新イベントがトリガ出力 (TRGO) として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケアラとして使用できます。

011 : **パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき (すでにハイであった場合も)、トリガ出力は正のパルスを送信します (TRGO)

100 : **比較** - OC1REFC 信号がトリガ出力 (TRGO) として使用されます。

101 : **比較** - OC2REFC 信号がトリガ出力 (TRGO) として使用されます。

110 : **比較** - OC3REFC 信号がトリガ出力 (TRGO) として使用されます。

111 : **比較** - OC4REFC 信号がトリガ出力 (TRGO) として使用されます。

注 : スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります、マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 3 **CCDS** : キャプチャ/比較 DMA 選択

0 : CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1 : CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

26.4.3 TIM2スレーブモード制御レジスタ (TIM2_SMCR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **ETP** : 外部トリガ極性

- このビットは、ETR と \overline{ETR} のいずれがトリガ動作に使用されるかを選択します。
- 0 : ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。
- 1 : ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE** : 外部クロックイネーブル

- このビットは、外部クロックモード 2 を有効にします。
- 0 : 外部クロックモード 2 は無効です。
- 1 : 外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注 : ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります (SMS=111、TS=00111)。

外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません (TS ビットが 00111 でないことが必要)。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS[1:0]** : 外部トリガプリスケアラ

外部トリガ信号 ETRP の周波数は、最大でも CK_INT 周波数の 1/4 でなければなりません。プリスケアラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

- 00 : プリスケアラオフ
- 01 : ETRP 周波数は 2 分周されます。
- 10 : ETRP 周波数は 4 分周されます。
- 11 : ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]** : 外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、 f_{DTS} でサンプリング

0001 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 2$

0010 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 4$

0011 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 8$

0100 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 6$

0101 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 8$

0110 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 6$

0111 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 8$

1000 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 6$

1001 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 8$

1010 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 5$

1011 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 6$

1100 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 8$

1101 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 5$

1110 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 6$

1111 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 8$

ビット 7 **MSM** : マスタ/スレーブモード

0 : 影響なし。

1 : トリガ入力 (TRGI) に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期 (TRGO を通じて) を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 21、20、6、5、**TS[4:0]** : トリガ選択

4 このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

00000 : 内部トリガ 0 (ITR0)

00001 : 内部トリガ 1 (ITR1)

00010 : 内部トリガ 2 (ITR2)

00011 : 内部トリガ 3 (ITR3)

00100 : TI1 エッジ検出回路 (TI1F_ED)

00101 : フィルタタイマ入力 1 (TI1FP1)

00110 : フィルタタイマ入力 2 (TI2FP2)

00111 : 外部トリガ入力 (ETRF)

01000 : 内部トリガ 4 (ITR4)

01001 : 内部トリガ 5 (ITR5)

01010 : 内部トリガ 6 (ITR6)

01011 : 内部トリガ 7 (ITR7)

01100 : 内部トリガ 8 (ITR8)

その他 : 予約済みです。

各タイマでの ITRx の詳細については、875 ページの表 183: TIM2 内部トリガ接続を参照してください。

注 : 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき (SMS=000 のときなど) にのみ変更しなければなりません。

ビット 3 **OCCS** : OCREF クリア選択

このビットは、OCREF クリアソースを選択するために使用されます。

0 : OCREF_CLR_INT は、OCREF_CLR 入力に接続されています。

1 : OCREF_CLR_INT は、ETRF に接続されています。

ビット 16、2、1、0 **SMS[3:0]** : スレーブモード選択

外部信号が選択されると、トリガ信号 (TRGI) のアクティブエッジが外部入力で選択された極性にリンクされます (入力制御レジスタおよび制御レジスタの説明を参照してください)。

0000 : スレーブモードは無効です。CEN = "1" の場合、プリスケアラは内部クロックによって直接クロック供給されます。

0001 : エンコーダモード 1 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

0010 : エンコーダモード 2 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

0011 : エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

0100 : リセットモード - 選択されたトリガ入力 (TRGI) の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

0101 : ゲートモード - カウンタクロックは、トリガ入力 (TRGI) がハイのときに有効になります。トリガがローになると、カウンタは停止します (リセットはされません)。カウンタの開始と停止の両方が制御されます。

0110 : トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します (リセットはされません)。カウンタの開始のみが制御されます。

0111 : 外部クロックモード 1 - 選択されたトリガ (TRGI) の立ち上がりエッジがカウンタのクロックとして供給されます。

1000 : リセットモードとトリガモードの組み合わせ - 選択されたトリガ入力の立ち上がりエッジ (TRGI)

カウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

注 : トリガ入力として TI1F_ED が選択されている場合 (TS=00100)、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

注 : TRGO 信号を受信するスレーブペリフェラル (タイマ、ADC など) のクロックは、マスタタイマからイベントを受信する前に有効化する必要があります、マスタタイマからトリガを受信している間はクロック周波数 (プリスケアラ) を動作中に変更しないでください。

表 183. TIM2 内部トリガ接続

スレーブ TIM	ITR0	ITR1	ITR2 - ITR8
TIM2	TIM1	-	-

26.4.4 TIM2 DMA/割込み有効レジスタ (TIM2_DIER)

アドレス・オフセット : 0x0C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
			r/w	r/w	r/w	r/w	r/w		r/w		r/w	r/w	r/w	r/w	r/w

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CC4DE** : キャプチャ/比較 4 DMA リクエストイネーブル

0 : CC4 DMA リクエストは無効です。

1 : CC4 DMA リクエストは有効です。



- ビット 11 **CC3DE** : キャプチャ/比較 3 DMA リクエストイネーブル
 0 : CC3 DMA リクエストは無効です。
 1 : CC3 DMA リクエストは有効です。
- ビット 10 **CC2DE** : キャプチャ/比較 2 DMA リクエストイネーブル
 0 : CC2 DMA リクエストは無効です。
 1 : CC2 DMA リクエストは有効です。
- ビット 9 **CC1DE** : キャプチャ/比較 1 DMA リクエストイネーブル
 0 : CC1 DMA リクエストは無効です。
 1 : CC1 DMA リクエストは有効です。
- ビット 8 **UDE** : 更新 DMA リクエストイネーブル
 0 : 更新 DMA リクエストは無効です。
 1 : 更新 DMA リクエストは有効です。
- ビット 7 予約済みであり、リセット値に保持する必要があります。
- ビット 6 **TIE** : トリガ割込みイネーブル
 0 : トリガ割込みは無効です。
 1 : トリガ割込みは有効です。
- ビット 5 予約済みであり、リセット値に保持する必要があります。
- ビット 4 **CC4IE** : キャプチャ/比較 4 割込みイネーブル
 0 : CC4 割込みは無効です。
 1 : CC4 割込みは有効です。
- ビット 3 **CC3IE** : キャプチャ/比較 3 割込みイネーブル
 0 : CC3 割込みは無効です。
 1 : CC3 割込みは有効です。
- ビット 2 **CC2IE** : キャプチャ/比較 2 割込みイネーブル
 0 : CC2 割込みは無効です。
 1 : CC2 割込みは有効です。
- ビット 1 **CC1IE** : キャプチャ/比較 1 割込みイネーブル
 0 : CC1 割込みは無効です。
 1 : CC1 割込みは有効です。
- ビット 0 **UIE** : 更新割込みイネーブル
 0 : 更新割込みは無効です。
 1 : 更新割込みは有効です。

26.4.5 TIM2 ステータスレジスタ (TIM2_SR)

アドレス・オフセット : 0x10

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CC4OF** : キャプチャ/比較 4 オーバーキャプチャフラグ
 CC1OF の説明を参照してください。

ビット 11 **CC3OF** : キャプチャ/比較 3 オーバーキャプチャフラグ
 CC1OF の説明を参照してください。

- ビット 10 **CC20F** : キャプチャ/比較 2 オーバーキャプチャフラグ
CC10F の説明を参照してください。
- ビット 9 **CC10F** : キャプチャ/比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。
0 : オーバーキャプチャは検出されていません。
1 : CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。
- ビット 8:7 予約済みであり、リセット値に保持する必要があります。
- ビット 6 **TIF** : トリガ割込みフラグ
このフラグは、TRG トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0 : トリガイベントは発生していません。
1 : トリガ割込みが保留中です。
- ビット 5 予約済みであり、リセット値に保持する必要があります。
- ビット 4 **CC4IF** : キャプチャ/比較 4 割込みフラグ
CC1IF の説明を参照してください。
- ビット 3 **CC3IF** : キャプチャ/比較 3 割込みフラグ
CC1IF の説明を参照してください。
- ビット 2 **CC2IF** : キャプチャ/比較 2 割込みフラグ
CC1IF の説明を参照してください。
- ビット 1 **CC1IF** : キャプチャ/比較 1 割込みフラグ
このフラグはハードウェアによってセットされます。ソフトウェアによって（入力キャプチャモードまたは出力比較モード）、または TIMx_CCR1 レジスタを読み出すことによって（入力キャプチャモードのみ）クリアされます。
0 : 比較一致/入力キャプチャは発生していません。
1 : 比較一致または入力キャプチャが発生しました。
チャネル CC1 が出力として設定されている場合 : カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。
CC1 チャネルが入力として設定されている場合 : このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた（TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された）ときに設定されます。
- ビット 0 **UIF** : 更新割込みフラグ
このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。
0 : 更新は発生していません。
1 : 更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。
オーバーフローまたはアンダーフロー時と、TIMx_CR1 レジスタの UDIS=0 の場合。
TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。
TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

26.4.6 TIM2 イベント生成レジスタ (TIM2_EGR)

アドレス・オフセット : 0x14

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TG** : トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CC4G** : キャプチャ/比較 4 生成

CC1G の説明を参照してください。

ビット 3 **CC3G** : キャプチャ/比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G** : キャプチャ/比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G** : キャプチャ/比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : チャンネル 1 でキャプチャ/比較イベントが生成されます。

CC1 チャンネルが出力として設定されている場合 :

CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。

CC1 チャンネルが入力として設定されている場合 :

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG** : 更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : カウンタを再初期化し、レジスタの更新を生成します。プリスケアラカウンタもクリアされます (プリスケアラ比は変化しません)。センターアラインモードが選択されている場合、または、DIR=0 (カウントアップ) の場合、カウンタはクリアされます。そうでない場合、DIR=1 (カウントダウン) であれば、自動再ロード値 (TIMx_ARR) をとります。

26.4.7 TIM2 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM2_CCMR1)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを入力キャプチャモード (このセクション) または出力比較モード (次のセクション) に使用できません。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F [3:0]				IC2PSC [1:0]		CC2S [1:0]		IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC2F[3:0]** : 入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]** : 入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S[1:0]** : キャプチャ/比較 2 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC2 チャンネルは出力として設定されます。

01 : CC2 チャンネルは入力として設定され、IC2 は TI2 に配置されます。

10 : CC2 チャンネルは入力として設定され、IC2 は TI1 に配置されます。

11 : CC2 チャンネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC2S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC2E=0) のときにのみ書込み可能です。

ビット 7:4 **IC1F[3:0]** : 入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、 f_{DTS} でサンプリング

0001 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 2$

0010 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 4$

0011 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 8$

0100 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 6$

0101 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 8$

0110 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 6$

0111 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 8$

1000 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 6$

1001 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 8$

1010 : $f_{SAMPLING} = f_{DTS}$ 、 $N = 16$

1011 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 6$

1100 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 8$

1101 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 5$

1110 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 6$

1111 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 8$

ビット 3:2 **IC1PSC[1:0]** : 入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力 (IC1) に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0 (TIMx_CCER レジスタ) になるとリセットされます。

- 00 : プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
- 01 : キャプチャは、2 イベントごとに行われます。
- 10 : キャプチャは、4 イベントごとに行われます。
- 11 : キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]** : キャプチャ/比較 1 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

- 00 : CC1 チャンネルは出力として設定されます。
- 01 : CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。
- 10 : CC1 チャンネルは入力として設定され、IC1 は TI2 に配置されます。
- 11 : CC1 チャンネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。

注: **CC1S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときにのみ書き込み可能です。

26.4.8 TIM2 キャプチャ/比較モードレジスタ 1 [オルタネート] (TIM2_CCMR1)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを出力比較モード (このセクション) または入力キャプチャモード (前のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
							rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC2CE** : 出力比較 2 クリアイネーブル

ビット 24、14:12 **OC2M[3:0]** : 出力比較 2 モード

ビット 6:4 の OC1M 説明を参照

ビット 11 **OC2PE** : 出力比較 2 プリロードイネーブル

ビット 10 **OC2FE** : 出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]** : キャプチャ/比較 2 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

- 00 : CC2 チャンネルは出力として設定されます。
- 01 : CC2 チャンネルは入力として設定され、IC2 は TI2 に配置されます。
- 10 : CC2 チャンネルは入力として設定され、IC2 は TI1 に配置されます。
- 11 : CC2 チャンネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力が選択されている場合のみ機能します。

注: **CC2S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC2E=0) のときにのみ書き込み可能です。

ビット 7 **OC1CE** : 出力比較 1 クリアイネーブル

- 0 : OC1Ref は ETRF 入力の影響を受けません。
- 1 : OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

ビット 16、6:4 **OC1M[3:0]** : 出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000 : 停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません (このモードはタイミングベースを生成するために使用されます)。

0001 : 一致時にチャンネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にハイになります。

0010 : 一致時にチャンネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にローになります。

0011 : 反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100 : 強制非アクティブレベル - OC1REF は強制的にローになります。

0101 : 強制アクティブレベル - OC1REF は強制的にハイになります。

0110 : PWM モード 1 - カウントアップ時、チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。カウントダウン時、チャンネル 1 は、TIMx_CNT > TIMx_CCR1 の場合は非アクティブ (OC1REF="0") に、そうでない場合はアクティブ (OC1REF="1") になります。

0111 : PWM モード 2 - カウントアップ時、チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合は非アクティブに、そうでない場合はアクティブになります。カウントダウン時、チャンネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。

1000 : 再トリガ可能な OPM モード 1 - アップカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはインアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びインアクティブになります。

1001 : 再トリガ可能な OPM モード 2 - アップカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはインアクティブです。その後、PWM モード 2 と同様に比較が行われ、チャンネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイイベントを検出するまでチャンネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャンネルは次の更新時に再びアクティブになります。

1010 : 予約済み。

1011 : 予約済み。

1100 : 組み合わせ PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 OR です。

1101 : 組み合わせ PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 AND です。

1110 : 非対称 PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

1111 : 非対称 PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

注 : PWM モードでは、比較結果が変化するとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

注 : OC1M[3] ビットは隣接しておらず、ビット 16 に位置しています。

ビット 3 **OC1PE** : 出力比較 1 プリロードイネーブル

0 : TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書込み可能であり、新しい値はただちに有効になります。

1 : TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われず、TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

ビット 2 **OC1FE** : 出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード (TIMx_CR1 レジスタの OPM ビットのセット) で使用する必要があります。

0 : CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1 : トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャンネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]** : キャプチャ/比較 1 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC1 チャンネルは出力として設定されます。

01 : CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。

10 : CC1 チャンネルは入力として設定され、IC1 は TI2 に配置されます。

11 : CC1 チャンネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC1S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときにのみ書き込み可能です。

26.4.9 TIM2 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM2_CCMR2)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

同じレジスタを入力キャプチャモード (このセクション) または出力比較モード (次のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F [3:0]				IC4PSC [1:0]			CC4S [1:0]		IC3F [3:0]			IC3PSC [1:0]		CC3S [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC4F[3:0]** : 入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC[1:0]** : 入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S[1:0]** : キャプチャ/比較 4 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC4 チャンネルは出力として設定されます。

01 : CC4 チャンネルは入力として設定され、IC4 は TI4 に配置されます。

10 : CC4 チャンネルは入力として設定され、IC4 は TI3 に配置されます。

11 : CC4 チャンネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC4S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC4E=0) のときにのみ書き込み可能です。

ビット 7:4 **IC3F[3:0]** : 入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC[1:0]** : 入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S[1:0]** : キャプチャ/比較 3 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC3 チャンネルは出力として設定されます。

01 : CC3 チャンネルは入力として設定され、IC3 は TI3 に配置されます。

10 : CC3 チャンネルは入力として設定され、IC3 は TI4 に配置されます。

11 : CC3 チャンネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC3S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC3E=0) のときにのみ書込み可能です。

26.4.10 TIM2 キャプチャ/比較モードレジスタ 2 [オルタネート] (TIM2_CCMR2)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

同じレジスタを出力比較モード (このセクション) または入力キャプチャモード (前のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M [3]
							rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC4CE** : 出力比較 4 クリアイネーブル

ビット 24、14:12 **OC4M[3:0]** : 出力比較 4 モード

OC1Mの説明 (TIMx_CCMR1 レジスタのビット 6:4) を参照

ビット 11 **OC4PE** : 出力比較 4 プリロードイネーブル

ビット 10 **OC4FE** : 出力比較 4 高速イネーブル

ビット 9:8 **CC4S[1:0]** : キャプチャ/比較 4 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC4 チャンネルは出力として設定されます。

01 : CC4 チャンネルは入力として設定され、IC4 は TI4 に配置されます。

10 : CC4 チャンネルは入力として設定され、IC4 は TI3 に配置されます。

11 : CC4 チャンネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC4S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC4E=0) のときにのみ書込み可能です。

ビット 7 **OC3CE** : 出力比較 3 クリアイネーブル

ビット 16、6:4 **OC3M[3:0]** : 出力比較 3 モード

OC1Mの説明 (TIMx_CCMR1 レジスタのビット 6:4) を参照してください。

ビット 3 **OC3PE** : 出力比較 3 プリロードイネーブル

ビット 2 **OC3FE** : 出力比較 3 高速イネーブル

ビット 1:0 **CC3S[1:0]** : キャプチャ/比較 3 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC3 チャンネルは出力として設定されます。

01 : CC3 チャンネルは入力として設定され、IC3 は TI3 に配置されます。

10 : CC3 チャンネルは入力として設定され、IC3 は TI4 に配置されます。

11 : CC3 チャンネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット (TIMx_SMCR レジスタ) で内部トリガ入力を選択されている場合のみ機能します。

注 : **CC3S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC3E=0) のときにのみ書き込み可能です。

26.4.11 TIM2 キャプチャ/比較有効レジスタ (TIM2_CCER)

アドレス・オフセット : 0x20

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res	CC4P	CC4E	CC3NP	Res	CC3P	CC3E	CC2NP	Res	CC2P	CC2E	CC1NP	Res	CC1P	CC1E
r/w		r/w	r/w	r/w		r/w	r/w	r/w		r/w	r/w	r/w		r/w	r/w

ビット 15 **CC4NP** : キャプチャ/比較 4 出力極性

CC1NP の説明を参照してください。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CC4P** : キャプチャ/比較 4 出力極性

CC1P の説明を参照してください。

ビット 12 **CC4E** : キャプチャ/比較 4 出カインェブル。

CC1E の説明を参照してください。

ビット 11 **CC3NP** : キャプチャ/比較 3 出力極性

CC1NP の説明を参照してください。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC3P** : キャプチャ/比較 3 出力極性

CC1P の説明を参照してください。

ビット 8 **CC3E** : キャプチャ/比較 3 出カインェブル。

CC1E の説明を参照してください。

ビット 7 **CC2NP** : キャプチャ/比較 2 出力極性

CC1NP の説明を参照してください。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **CC2P** : キャプチャ/比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E** : キャプチャ/比較 2 出カインェブル。

CC1E の説明を参照してください。

ビット 3 **CC1NP** : キャプチャ/比較 1 出力極性

CC1 チャンネルが出力として設定されている場合 : この場合、CC1NP はクリアされたままでなければなりません。

CC1 チャンネルが入力として設定されている場合 : このビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます (CC1P の説明を参照してください)。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1P** : キャプチャ/比較 1 出力極性

0 : OC1 のアクティブハイ (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

1 : OC1 のアクティブロー (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

CC1 チャンネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。

CC1NP=0、CC1P=0 : 非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=0、CC1P=1 : 反転/立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されます (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=1、CC1P=1 : 非反転/両エッジ。この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードでのトリガ動作)。この設定をエンコーダモードで使用することはできません。

CC1NP=1、CC1P=0 : この設定は予約済みです。使用できません。

ビット 0 **CC1E** : キャプチャ/比較 1 出力イネーブル。

0 : キャプチャモードは無効/OC1 は非アクティブ。

1 : キャプチャモードは有効/OC1 信号は、対応する出力ピンに出力されます。

表 184. 標準 OCx チャンネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効 (タイマによって駆動されない: ハイインピーダンス)
1	出力は有効 (tim_ocx = tim_ocxref + 極性)

注 : 標準 OCx チャンネルに接続されている外部 IO ピンの状態は、OCx チャンネルの状態と、GPIO 制御およびオルタネート機能レジスタに依存します。

26.4.12 TIM2 カウンタ [オルタネート] (TIM2_CNT)

このレジスタのビット 31 には、TIMx_CR1 レジスタの UIFREMAP の値に応じて 2つの定義があります。

- 本セクションは UIFREMAP = 0 の場合です。
- 次のセクションは UIFREMAP = 1 の場合です。

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CNT[31:0]** : カウンタ値

26.4.13 TIM2 カウンタ [オルタネート] (TIM2_CNT)

このレジスタのビット 31 には、TIMx_CR1 レジスタの UIFREMAP の値に応じて 2つの定義があります。

- 前のセクションは UIFREMAP = 0 の場合です。
- 本セクションは UIFREMAP = 1 の場合です。

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIFCPY	CNT[30:16]														
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **UIFCPY** : UIF コピー

このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー

ビット 30:0 **CNT[30:0]** : カウンタ値

26.4.14 TIM2 プリスケーラ (TIM2_PSC)

アドレス・オフセット : 0x28

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **PSC[15:0]** : プリスケーラ値

カウンタクロック周波数 CK_CNT は $f_{CK_PSC} / (PSC[15:0] + 1)$ に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます (更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます)。

26.4.15 TIM2 自動再ロードレジスタ (TIM2_ARR)

アドレス・オフセット : 0x2C

リセット値 : 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARR[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **ARR[31:0]** : 自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、[828 ページのセクション 26.3.1: タイムベースユニット](#)を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

26.4.16 TIM2 キャプチャ/比較レジスタ 1 (TIM2_CCR1)

アドレス・オフセット : 0x34

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1 [31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **CCR1[31:0]** : キャプチャ/比較 1 値

CC1 チャンネルが出力として設定されている場合 :

CCR1 は、実際のキャプチャ/比較 1 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 1 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャンネル CC1 が入力として設定されている場合 :

CCR1 は、最後の入力キャプチャ 1 イベント (IC1) によって転送されたカウンタ値です。TIMx_CCR1 レジスタは読み出し専用レジスタで、プログラムできません。

26.4.17 TIM2 キャプチャ/比較レジスタ 2 (TIM2_CCR2)

アドレス・オフセット : 0x38

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2 [31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **CCR2[31:0]** : キャプチャ/比較 2 値

CC2 チャンネルが出力として設定されている場合 :

CCR2 は、実際のキャプチャ/比較 2 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR1 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 2 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャンネルが入力として設定されている場合 :

CCR2 は、最後の入力キャプチャ 2 イベント (IC2) によって転送されたカウンタ値です。TIMx_CCR2 レジスタは読み出し専用レジスタで、プログラムできません。

26.4.18 TIM2 キャプチャ/比較レジスタ 3 (TIM2_CCR3)

アドレス・オフセット : 0x3C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3 [31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **CCR3[31:0]** : キャプチャ/比較値

CC3 チャンネルが出力として設定されている場合 :

CCR3 は、実際のキャプチャ/比較 3 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR2 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 3 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

チャンネル CC3 が入力として設定されている場合 :

CCR3 は、最後の入力キャプチャ 3 イベント (IC3) によって転送されたカウンタ値です。TIMx_CCR3 レジスタは読み出し専用レジスタで、プログラムできません。

26.4.19 TIM2 キャプチャ/比較レジスタ 4 (TIM2_CCR4)

アドレス・オフセット : 0x40

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4 [31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **CCR4[31:0]** : キャプチャ /比較値

1. CC4 チャンネルが出力として設定されている場合 (CC4S ビット) :
CCR4 は、実際のキャプチャ/比較 4 レジスタにロードされる値 (プリロード値) です。TIMx_CCMR2 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 4 レジスタにコピーされます。アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。
2. CC4 チャンネルが入力として設定されている場合 (TIMx_CCMR4 レジスタの CC4S ビット) :
CCR4 は、最後の入力キャプチャ 4 イベント(IC4)によって転送されたカウンタ値です。TIMx_CCR4 レジスタは読み出し専用レジスタで、プログラムできません。

26.4.20 TIM2 DMA 制御レジスタ (TIM2_DCR)

アドレス・オフセット : 0x48

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			r/w	r/w	r/w	r/w	r/w				r/w	r/w	r/w	r/w	r/w

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]** : DMA パースト長

この 5 ビットのベクタは、DMA 転送回数 (タイマは、TIMx_DMAR アドレスに対して読みまたは書き込みアクセスが行われるときにパースト転送を認識します) を指定します。

- 00000 : 1 回転送
- 00001 : 2 回転送、
- 00010 : 3 回転送、
-
- 10001 : 18 回転送。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。



ビット 4:0 **DBA[4:0]** : DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します (TIMx_DMAR アドレスを通じて読出し/書込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例 :

00000 : TIMx_CR1
 00001 : TIMx_CR2
 00010 : TIMx_SMCR

例 : 次の転送を考えます : DBL = 7 回転送 かつ DBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

26.4.21 TIM2 完全転送用の DMA アドレス (TIM2_DMAR)

アドレス・オフセット : 0x4C

リセット値 : 0x0000

DMAB[15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]** : DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書込み動作は、次のアドレスにあるレジスタへのアクセスとなります :
 (TIMx_CR1 アドレス) + (DBA + DMA インデックス) x 4

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスは DMA 転送によって自動的に制御され、範囲は 0 から DBL です (DBL は TIMx_DCR 内で設定)。

26.4.22 TIM2 オプションレジスタ 1 (TIM2_OR1)

アドレス・オフセット : 0x50

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI4_RMP [1:0]		ETR_RMP	Res.
													rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:2 **TI4_RMP[1:0]** : タイマ入力 4 再配置

ソフトウェアでセット/クリアされます。

00 : TIM2 の TI4 は、GPIO に接続されます。オルタネート機能の配置を参照してください。

01 : TIM2 の TI4 は、COMP1_OUT に接続されます。

10 : TIM2 の TI4 は、COMP2_OUT に接続されます。

11 : TIM2 の TI4 は、COMP1_OUT と COMP2_OUT との論理和に接続されます。

ビット 1 **ETR_RMP** : 外部トリガ 1 再配置
 ソフトウェアでセット/クリアされます。
 0 : TIM2 の ETR は GPIO に接続されます。オルタネート機能の配置を参照してください。
 1 : LSE 内部クロックは TIM2_ETR 入口に接続されます。

ビット 0 予約済みであり、リセット値に保持する必要があります。

26.4.23 TIM2 オルタネート機能オプションレジスタ 1 (TIM2_AF1)

アドレス・オフセット : 0x60

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ETRSEL[3:2]	
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
rw	rw														

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:14 **ETRSEL[3:0]** : ETR ソース選択
 これらのビットは、ETR 入力ソースを選択します。
 0000 : TIM2_OR1 の ETR_RMP ビットに従った GPIO または LSE 内部クロック
 0001 : COMP1
 0010 : COMP2
 その他 : 予約済みです。

ビット 13:0 予約済みであり、リセット値に保持する必要があります。

26.4.24 TIM2 タイマ入力選択レジスタ (TIM2_TISEL)

アドレス・オフセット : 0x68

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **TI2SEL[3:0]** : TI2[0]~TI2[15] 入力の選択

これらのビットは、TI2[0]~TI2[15] の入力ソースを選択します。

0000 : TIM2_CH2 入力

その他 : 予約済みです。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]** : TI1[0]~TI1[15] 入力の選択

これらのビットは、TI1[0]~TI1[15] の入力ソースを選択します。

0000 : TIM2_CH1 入力

その他 : 予約済みです。

26.4.25 TIMx レジスタマップ

TIMx レジスタは、次の表のようにマップされます。

表 185. TIM2レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	TIMx_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UJFREMAP	Res.	CKD[1:0]	ARPE	CMS[1:0]	DIR	OPM	URS	UDIS	GEN			
	リセット値																					0		0	0	0	0	0	0	0	0	0		
0x04	TIMx_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	T1S	MMS[2:0]	CCDS	Res.	Res.	Res.	Res.			
	リセット値																									0	0	0	0	0				
0x08	TIMx_SMCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]	Res.	Res.	Res.	Res.	Res.	SMS[3]	ETP	EOE	ETPS[1:0]	Res.	Res.	ETF[3:0]	Res.	MSM	Res.	Res.	Res.	Res.	Res.	Res.			
	リセット値										0	0					0	0	0	0	0		0	0	0	0	0	0	0	0	0	0		
0x0C	TIMx_DIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE		
	リセット値																					0	0	0	0	0	0	0	0	0	0	0		
0x10	TIMx_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF		
	リセット値																					0	0	0	0		0	0	0	0	0	0	0	
0x14	TIMx_EGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G			
	リセット値																										0	0	0	0	0	0	0	
0x18	TIMx_CCMR1 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	Res.	Res.	OC2M[2:0]	OC2PE	OC2FE	CC2S[1:0]	Res.	OC1CE	OC1M[2:0]	OC1PE	OC1FE	CC1S[1:0]				
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	TIMx_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F[3:0]	Res.	Res.	IC2PSC[1:0]	Res.	CC2S[1:0]	Res.	IC1F[3:0]	Res.	IC1PSC[1:0]	Res.	CC1S[1:0]				
リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0			
0x1C	TIMx_CCMR2 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	O24CE	Res.	Res.	OC4M[2:0]	OC4PE	OC4FE	CC4S[1:0]	Res.	OC3CE	OC3M[2:0]	OC3PE	OC3FE	CC3S[1:0]				
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	TIMx_CCMR2 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F[3:0]	Res.	Res.	IC4PSC[1:0]	Res.	CC4S[1:0]	Res.	IC3F[3:0]	Res.	IC3PSC[1:0]	Res.	CC3S[1:0]				
リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0			
0x20	TIMx_CCER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
	リセット値																		0		0	0	0	0	0	0	0	0	0	0	0	0	0	
0x24	TIMx_CNT	CNT[30:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	



表 185. TIM2レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	TIMx_PSC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	ARR[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	予約済みです。																																
0x34	TIMx_CCR1	CCR1 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	CCR2 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	CCR3 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	CCR4 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	予約済みです。																																
0x48	TIMx_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x4C	TIMx_DMAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x50	TIM2_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x60	TIM2_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																	0	0	0	0												
0x68	TIM2_TISEL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。



27 汎用タイマ (TIM16/TIM17)

27.1 TIM16/TIM17 の概要

TIM16/TIM17 タイマは、プログラム可能なプリスケラによって駆動される 16 ビットの自動再ロードカウンタで構成されています。

入力信号のパルス長の測定 (入力キャプチャ) や出力波形の生成 (出力比較、PWM、デッドタイムを挿入した相補 PWM) など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケラと RCC クロックコントローラプリスケラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

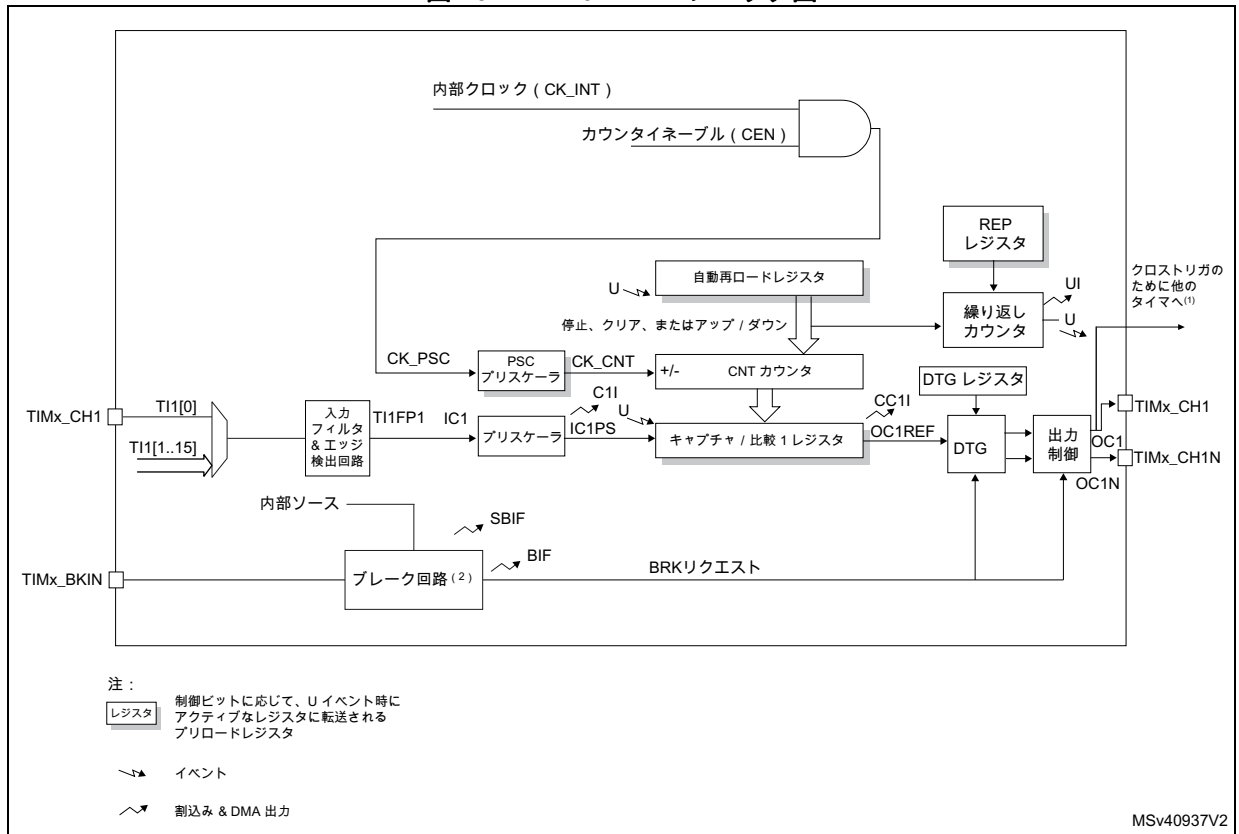
TIM16/TIM17 タイマは完全に独立していて、いかなるリソースも共有しません。

27.2 TIM16/TIM17 の主な特徴

TIM16/TIM17 タイマには以下の機能があります。

- 16 ビット自動再ロードアップカウンタ
- 16 ビットのプログラム可能なプリスケラ (動作中も変更可能) で、カウンタクロック周波数を 1 から 65535 の間の値で分周可能
- 次の機能を持つ、1 チャンネルタイマ。
 - 入力キャプチャ
 - 出力比較
 - PWM 生成 (エッジアラインモード)
 - ワンパルスモード出力
- プログラム可能なデッドタイムを持つ相補出力
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。
- 以下のイベント時の割込み/DMA 生成：
 - 更新：カウンタオーバーフロー
 - 入力キャプチャ
 - 出力比較
 - ブレーク入力

図 237. TIM16/TIM17 ブロック図



1. この信号は一部のスレーブタイマのトリガとして使用できます (セクション 27.3.18: タイマ出力を他のタイマのトリガとして使用 (TIM16/TIM17) を参照)。

27.3 TIM16/TIM17機能詳細

27.3.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットアップカウンタです。カウンタのクロックは、プリスケアラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケアラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ (TIMx_CNT)
- プリスケアラレジスタ (TIMx_PSC)
- 自動再ロードレジスタ (TIMx_ARR)
- 繰り返しカウンタレジスタ (TIMx_RCR)

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット (ARPE) に応じて、常時または更新イベント (UEV) ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、更新イベントはカウンタがオーバーフローしたときに送信されます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット (CEN) がセットされているときにのみ、プリスケアラ出力 CK_CNT から供給されます (カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください)。

TIMx_CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケアラの説明

プリスケアラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビットレジスタ (TIMx_PSC レジスタ) を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケアラ比は、次の更新イベントで有効になります。

[図 238](#) と [図 239](#) に、プリスケアラ比を動作中に変更したときのカウンタの動作の例を示します。

図 238. プリスケール分周比が 1 から 2 に変化したときのカウンタのタイミング図

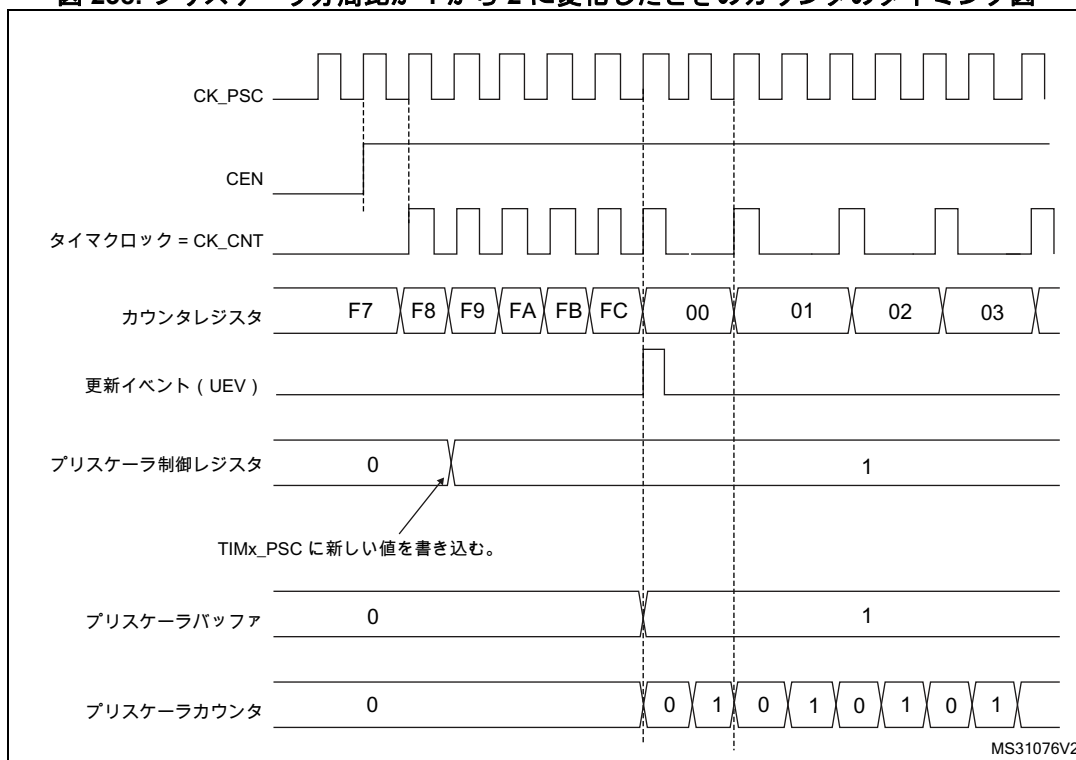
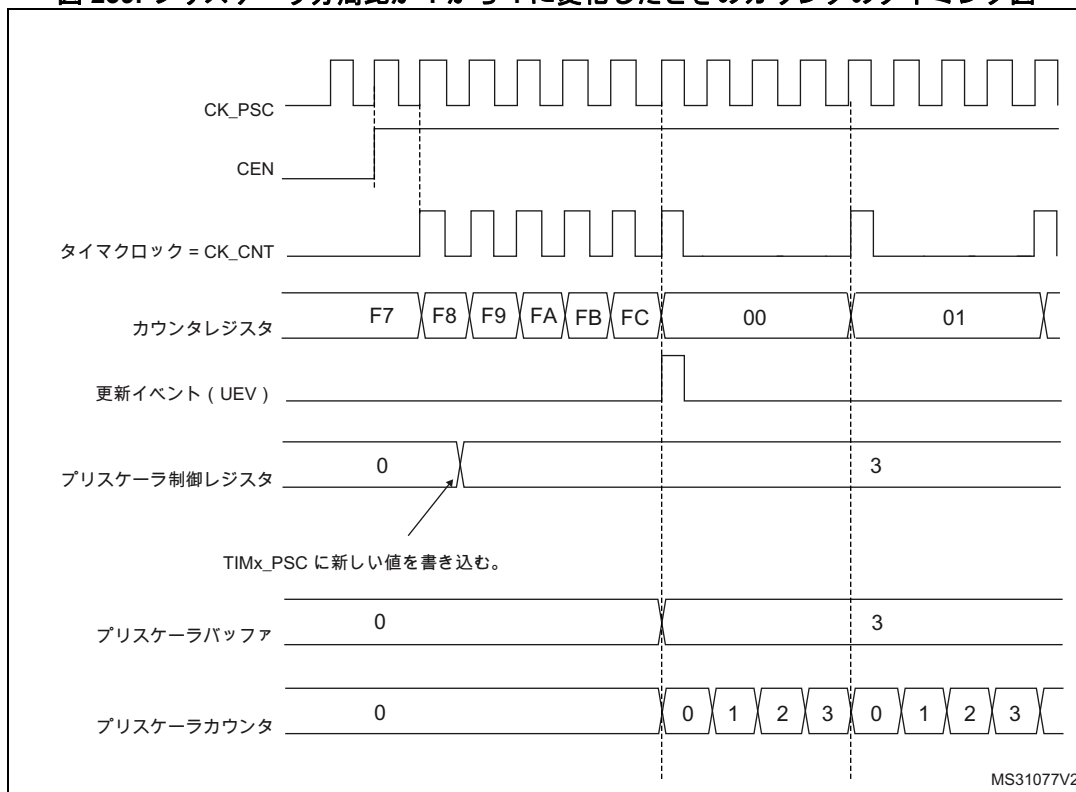


図 239. プリスケール分周比が 1 から 4 に変化したときのカウンタのタイミング図



27.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値 (TIMx_ARR レジスタの内容) までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数 (TIMx_RCR) までアップカウント動作が繰り返され、その後に更新イベント (UEV) が生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

(ソフトウェアによって、またはスレーブモードコントローラを使用して) TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケアラのカウンタと同じく、カウンタは 0 からカウントをリスタートします (ただし、プリスケアラ比は変化しません)。さらに、TIMx_CR1 レジスタの URS ビット (更新リクエスト選択) がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません (したがって、割込みや DMA リクエストは送信されません)。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ (TIMx_SR レジスタの UIF ビット) がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値 (TIMx_ARR) で更新されます。
- プリスケアラのパッファにはプリロード値 (TIMx_PSC レジスタの内容) が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 240. 内部クロック分周比が 1 の場合のカウンタのタイミング図

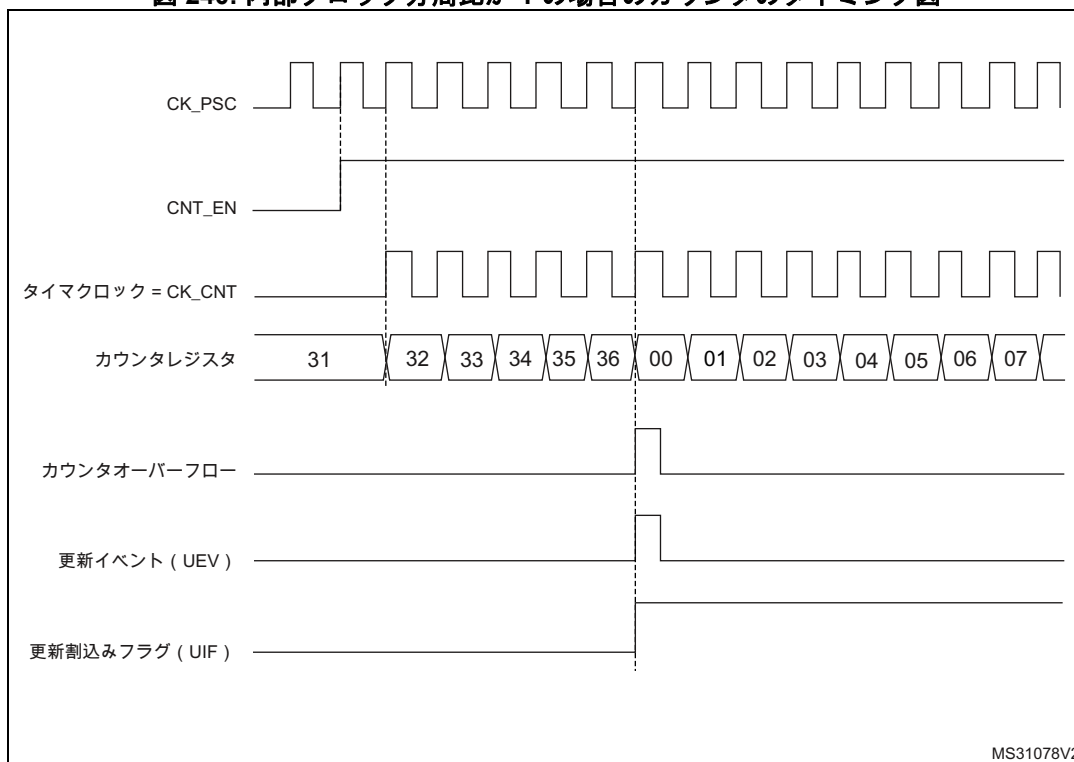


図 241. 内部クロック分周比が 2 の場合のカウンタのタイミング図

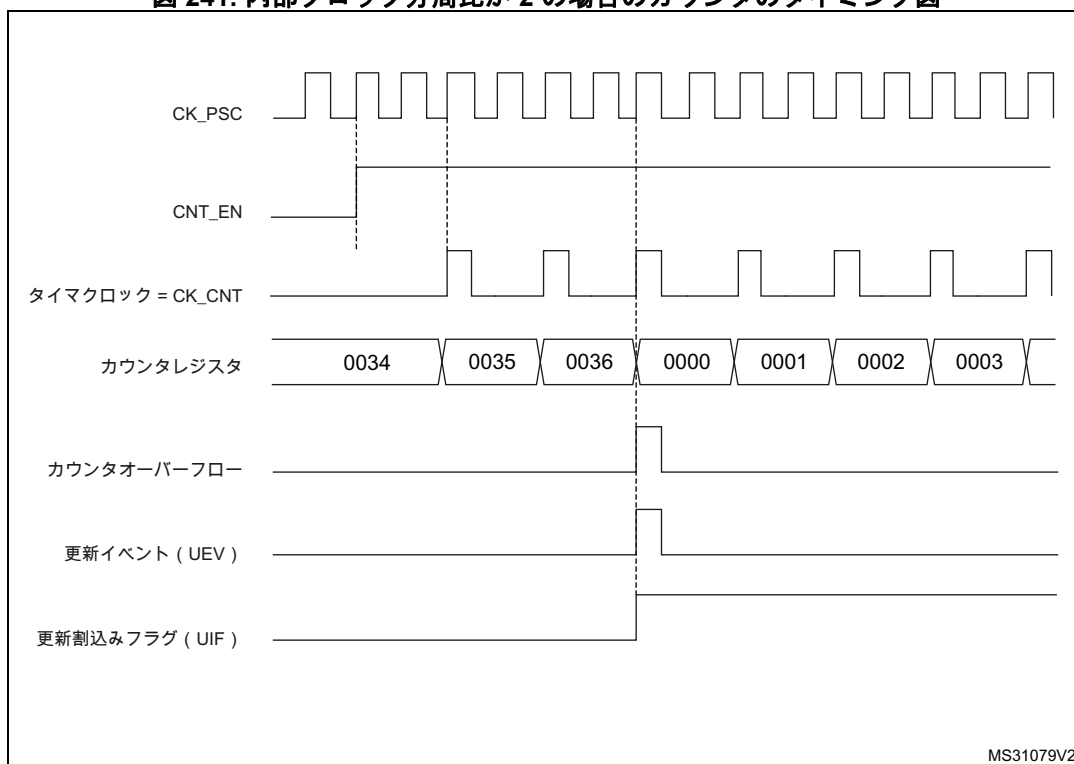


図 242. 内部クロック分周比が 4 の場合のカウンタのタイミング図

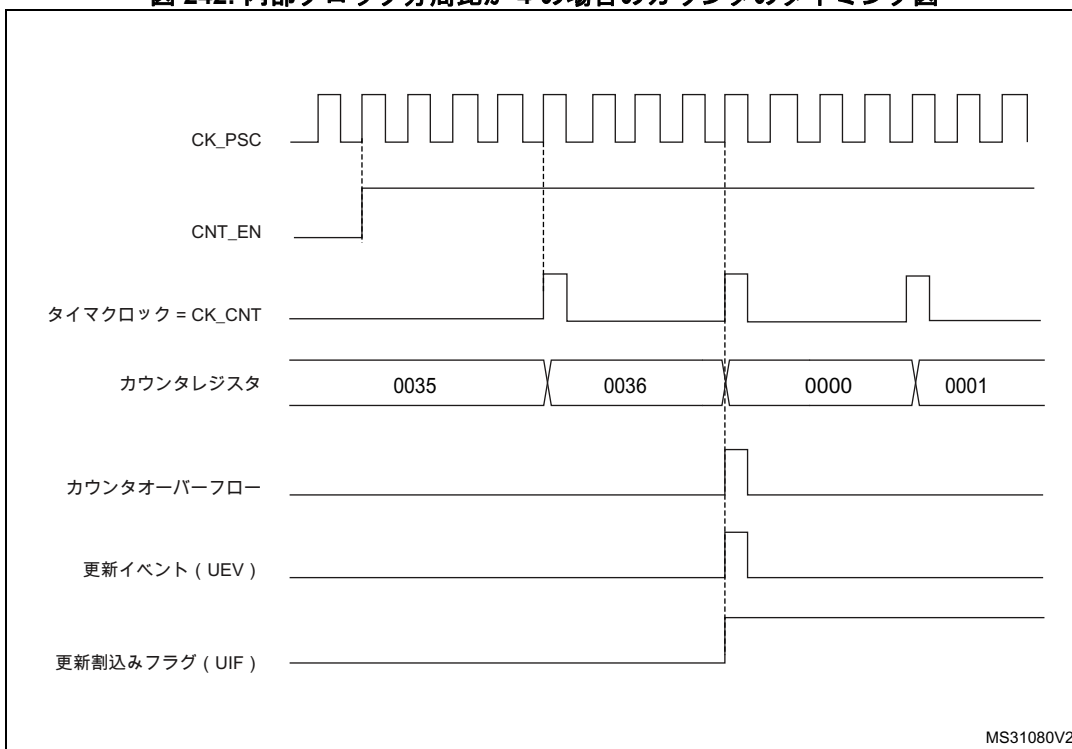


図 243. 内部クロック分周比が N の場合のカウンタのタイミング図

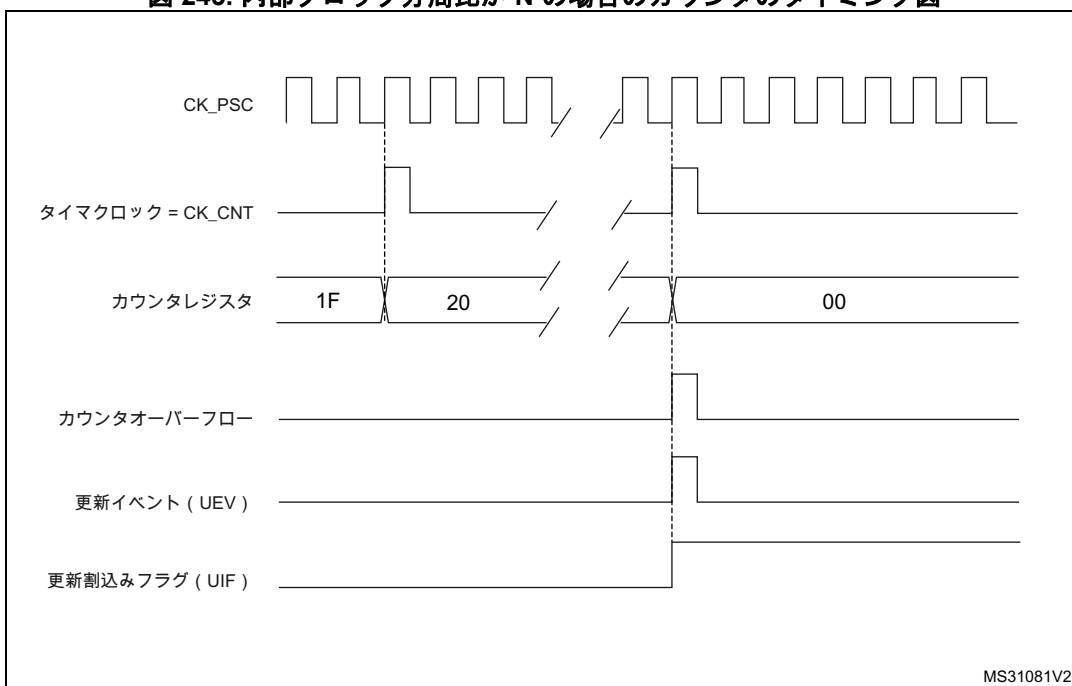


図 244. ARPE=0 (TIMx_ARR はプリロードされない) の場合の更新イベント時のカウンタのタイミング図

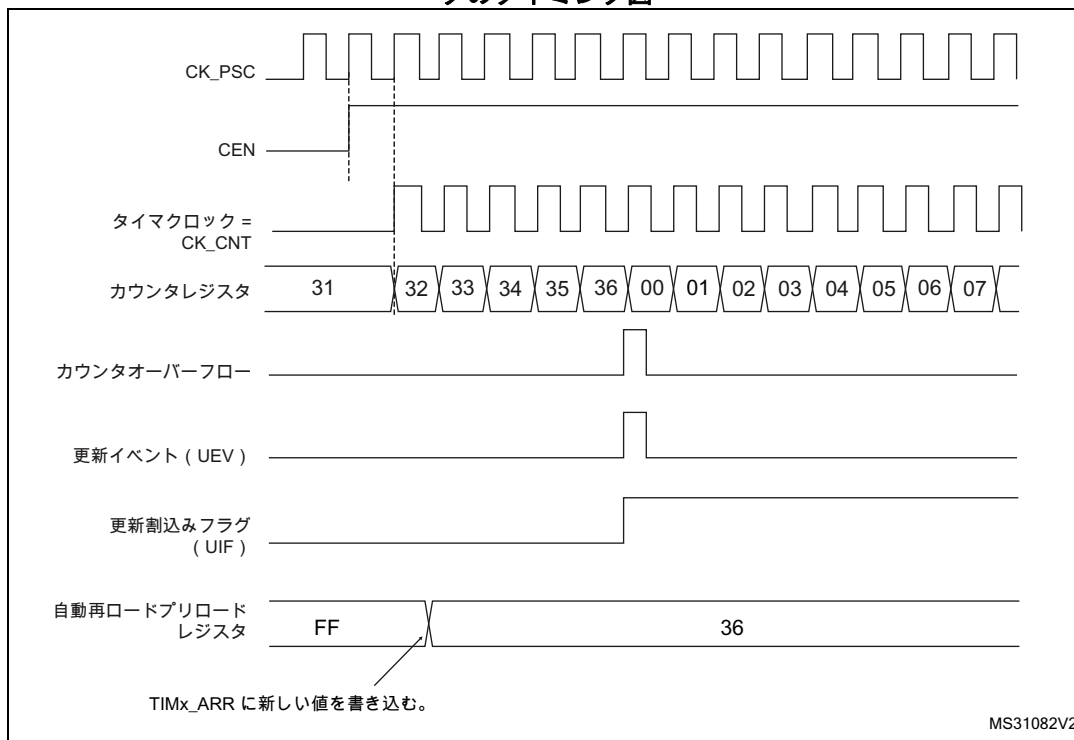
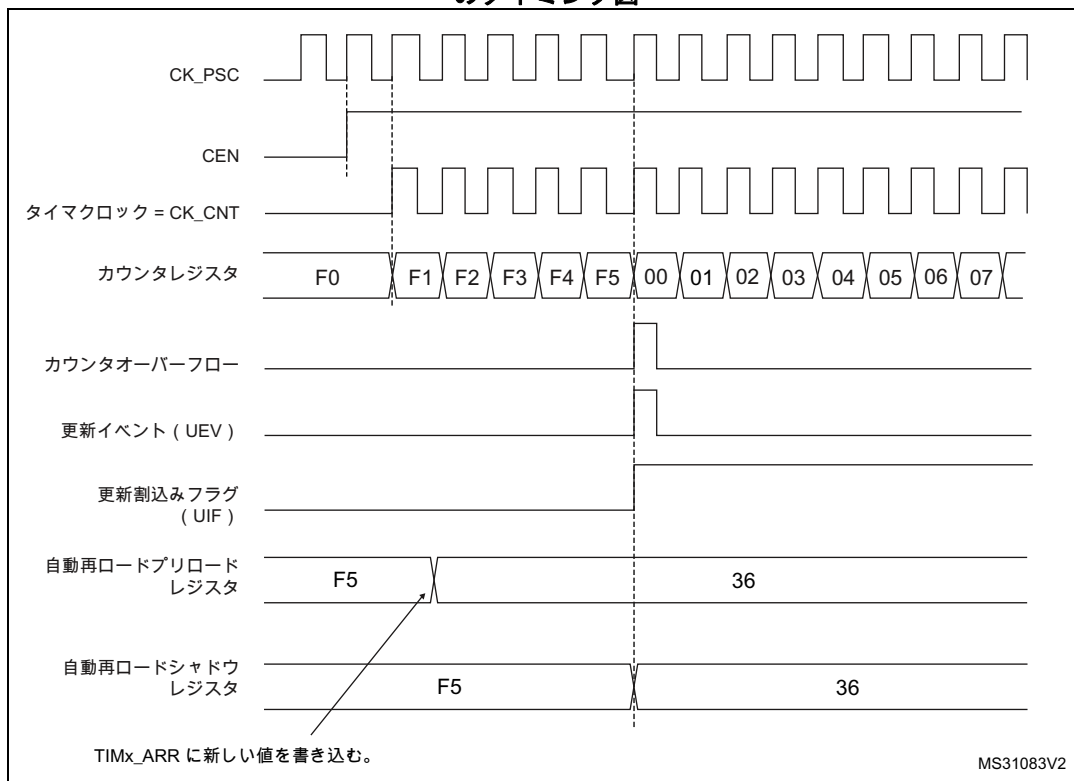


図 245. ARPE=1 (TIMx_ARR がプリロードされる) の場合の更新イベント時のカウンタのタイミング図



27.3.3 繰り返しカウンタ

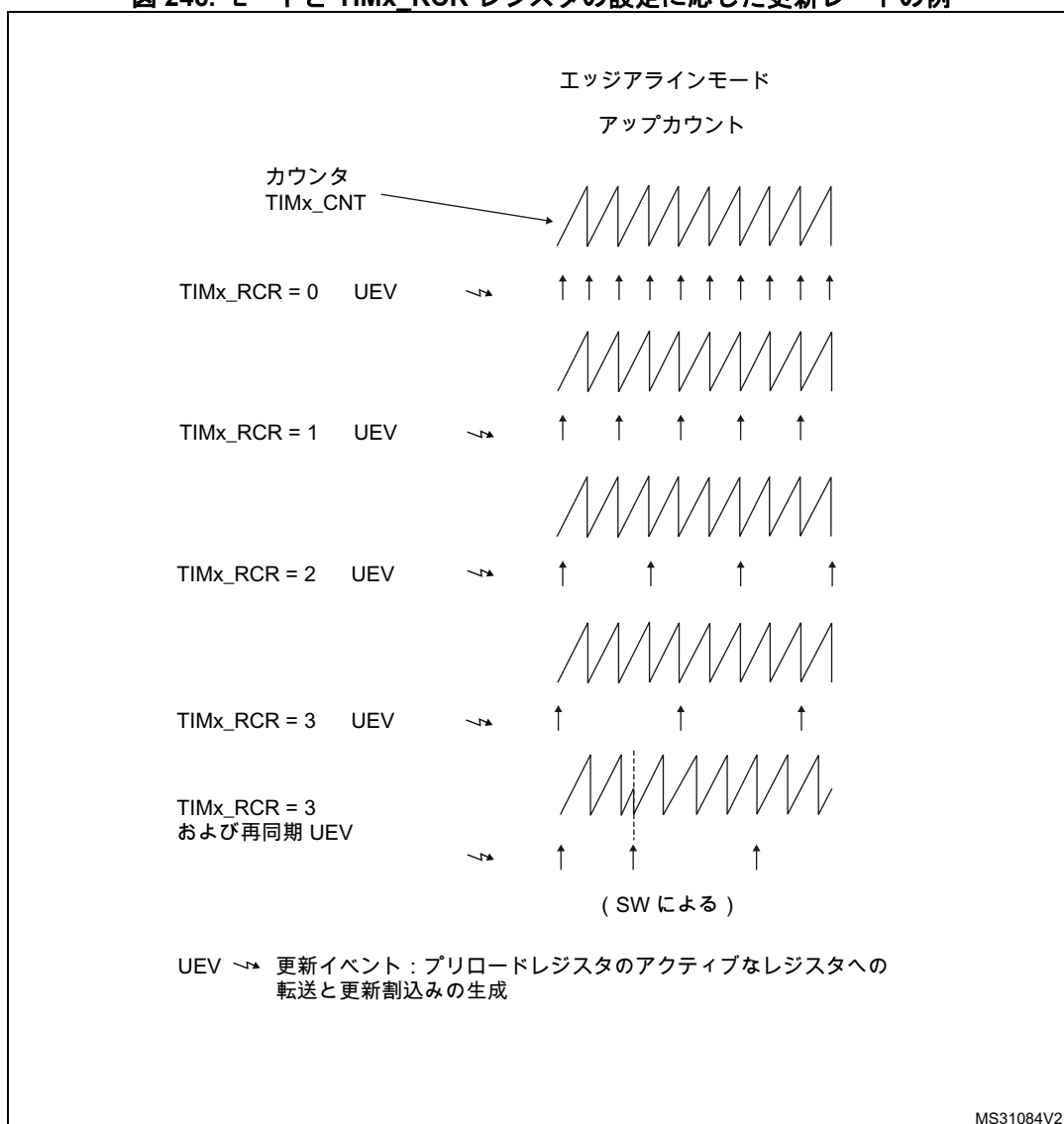
セクション 27.3.1: タイムベースユニットに、カウンタオーバーフローによって、どのように更新イベント (UEV) が生成されるかが説明されています。実際には、繰り返しカウンタが0に達したときのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N 回目のカウンタオーバーフローごとに、プリロードレジスタからシャドウレジスタ (TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケアラレジスタ、比較モードの TIMx_CCRx キャプチャ/比較レジスタ) ヘデータが転送されることを意味します。

繰り返しカウンタは、カウンタオーバーフローごとにデクリメントされます。

繰り返しカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます (図 246 を参照してください)。ソフトウェアによって (TIMx_EGR レジスタの UG ビットをセットすることによって)、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

図 246. モードと TIMx_RCR レジスタの設定に応じた更新レートの例



27.3.4 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

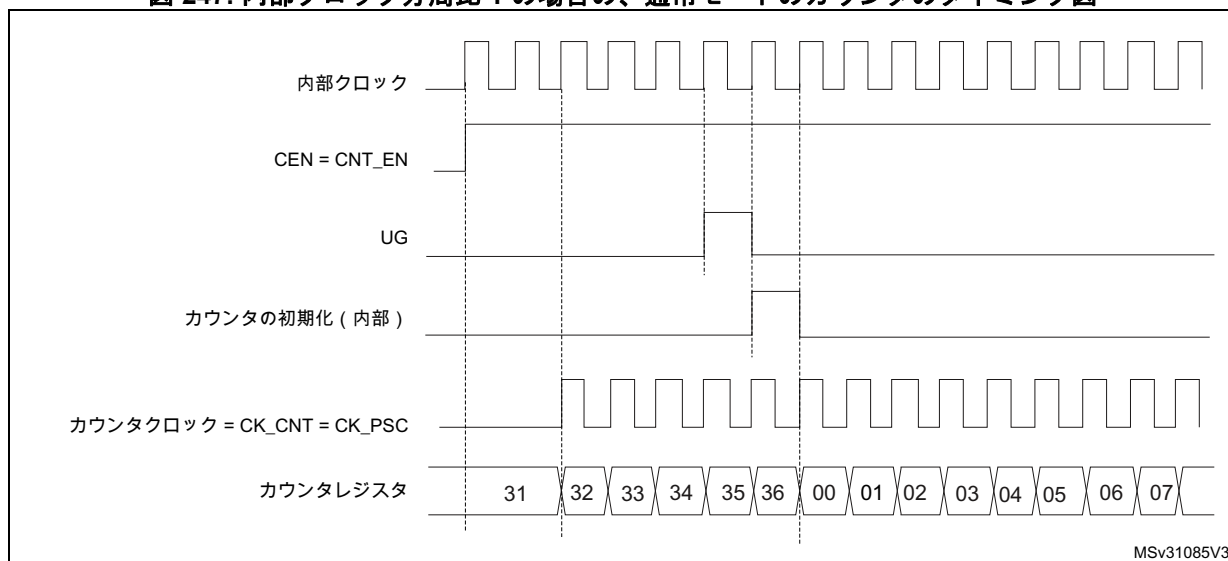
- 内部クロック (CK_INT)
- 外部クロックモード 1：外部入力ピン

内部クロックソース (CK_INT)

スレーブモードコントローラが無効の場合 (SMS=000)、CEN (TIMx_CR1 レジスタ)、および UG ビット (TIMx_EGR レジスタ) が実際の制御ビットとなり、ソフトウェアによってのみ変更できます (自動的にクリア状態に保たれる UG ビットを除きます)。CEN ビットに 1 が書き込まれると、プリスケアラにはクロックとして内部クロック CK_INT が供給されます。

図 247 に、プリスケアラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

図 247. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図

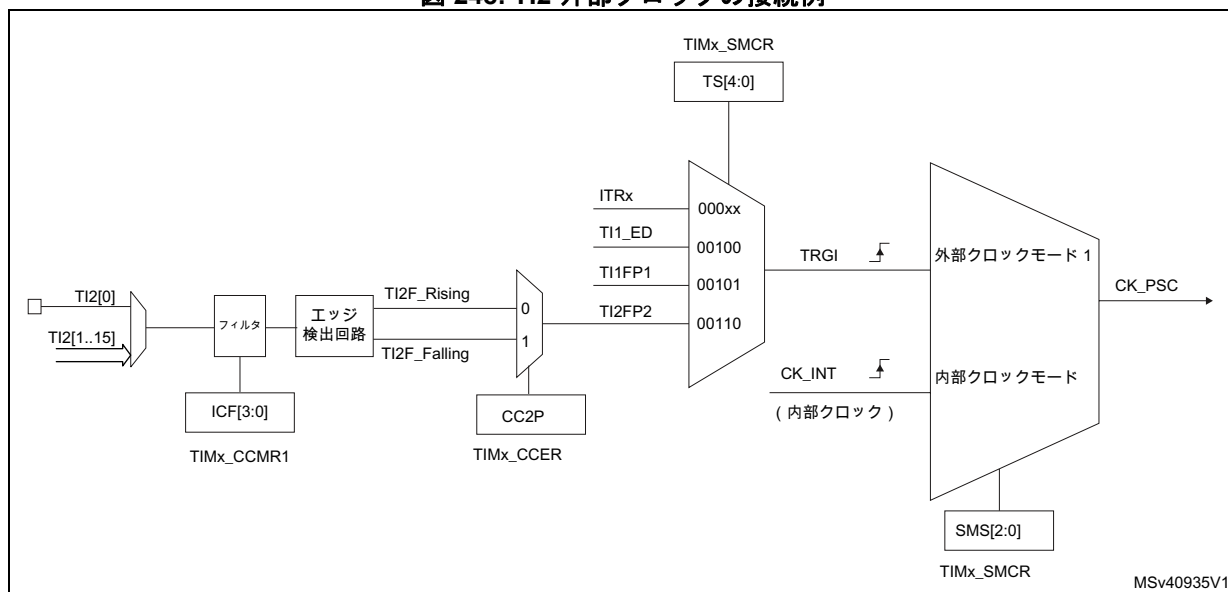


MSv31085V3

外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 248. TI2 外部クロックの接続例



MSv40935V1

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

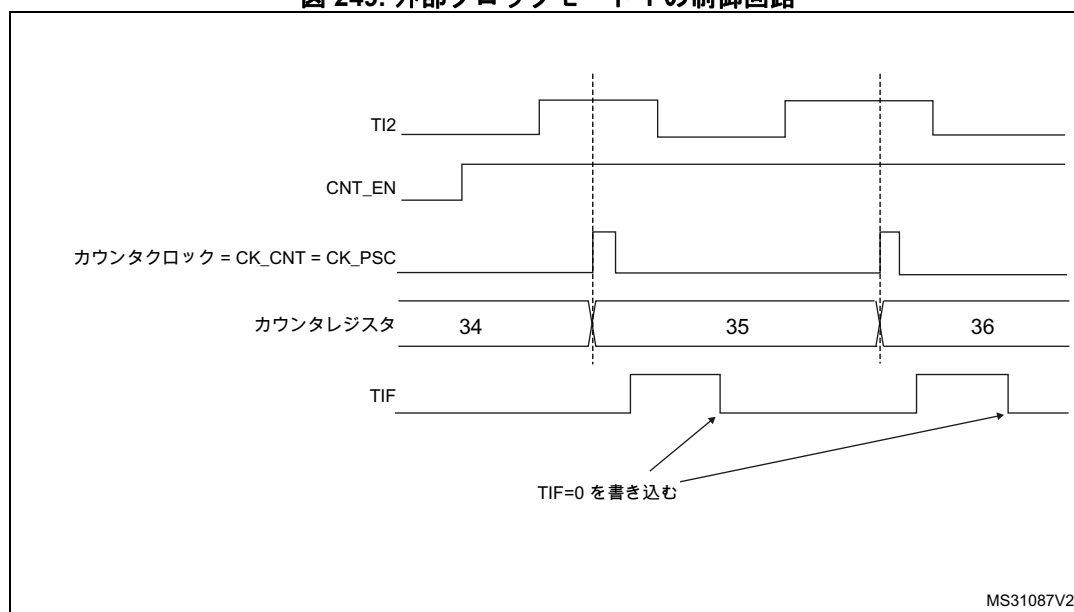
1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2[x] ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに“01”を書き込むことによって、チャンネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します (フィルタを使用しない場合は、IC2F=0000 にしておきます)。

4. CC2P=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、トリガ入カソースとして TI2 を選択します。
7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

注： キャプチャプリスケラはトリガには使用されないため、設定は不要です。

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 249. 外部クロックモード 1 の制御回路



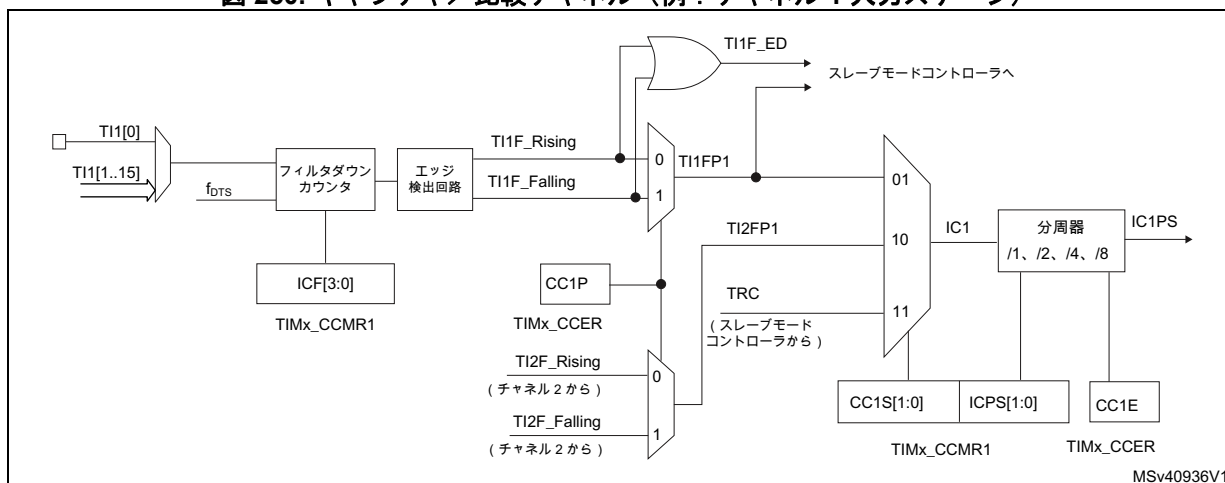
27.3.5 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入カステージ（デジタルフィルタ、マルチプレクス、プリスケラ）、および出力ステージ（コンパレータと出力制御）から構成されています。

図 250 から 図 252 に、1つのキャプチャ／比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIFx を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号 (TIFxPx) を生成します。この信号はプリスケラを通じて、キャプチャレジスタ (ICxPS) に渡されます。

図 250. キャプチャ/比較チャンネル (例: チャンネル 1 入カステージ)



出カステージは、OCxRef (アクティブハイ) として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 251. キャプチャ/比較チャンネル 1 メイン回路

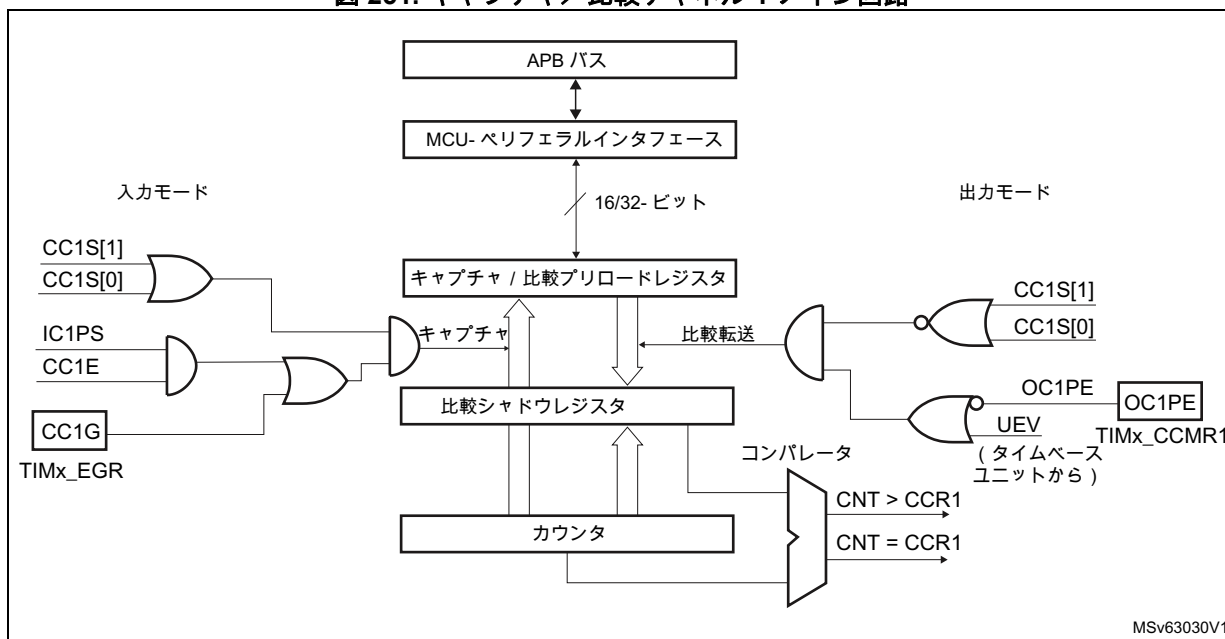
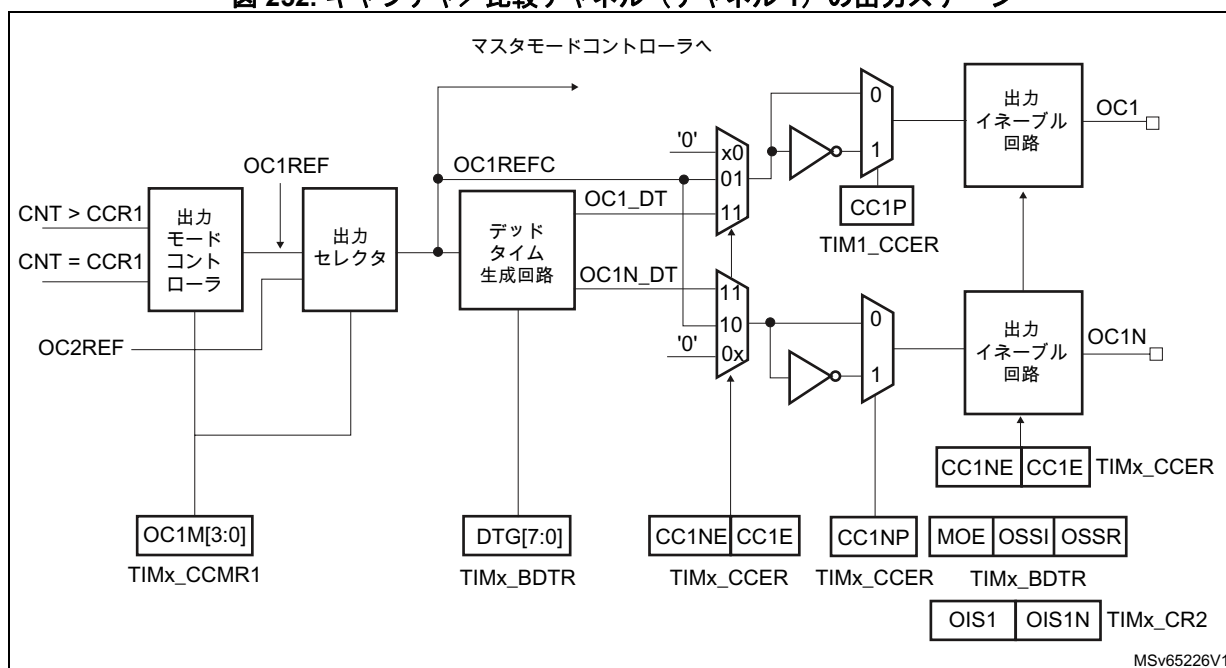


図 252. キャプチャ/比較チャンネル (チャンネル 1) の出力ステージ



キャプチャ/比較ブロックは、1つのプリロードレジスタと1つのシャドウレジスタで構成されています。書き込みおよび読み出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

27.3.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって遷移が検出された後、カウンタの値をラッチするために、キャプチャ/比較レジスタ (TIMx_CCRx) が使用されます。キャプチャが発生すると、対応する CCXIF フラグ (TIMx_SR レジスタ) がセットされ、割り込みまたは DMA リクエストを送信できます (有効な場合)。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF (TIMx_SR レジスタ) がセットされます。CCXIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース (内部または外部) を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならないので、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャンネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします (入力が TIx の1つである場合、TIMx_CCMRx レジスタの ICxF ビットによって)。入力信号の反転時、最低でも内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続

- した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できます (周波数 f_{DTS} でサンプリング)。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
4. TI1 チャンネルのアクティブ遷移のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットに 0 を書き込みます (この場合、立ち上がりエッジの選択)。
 5. 入力プリスケアラをプログラムします。この例では有効な遷移ごとにキャプチャを行いたいのので、プリスケアラを無効にします (TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込む)。
 6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
 7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます (割込みフラグ)。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読出し後、データ読出し前に発生するオーバキャプチャの見落としを避けることができます。

注： IC 割込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。

27.3.7 強制出力モード

出力モード (TIMx_CCMRx レジスタの CCxS ビット = 00) では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号 (OCxREF と OCx/OCxN) をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号 (OCxREF/OCx) を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイになり (OCxREF は常にアクティブハイ)、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0 (OCx アクティブハイ) => OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

27.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ/比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード (TIMx_CCMRx レジスタの OCxM ビット) と出力極性 (TIMx_CCER レジスタの CCxP ビット) によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか (OCxM=000)、アクティブにセットされるか

(OCxM=001)、非アクティブにセットされるか (OCxM=010)、または反転されます (OCxM=011)。

- 割込みステータスレジスタのフラグをセットします (TIMx_SR レジスタの CCxIF ビット)。
- 対応する割込みマスク (TIMx_DIER レジスタの CCxIE ビット) がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット (TIMx_DIER レジスタの CCxDE ビット) がセットされている場合は、DMA リクエストを送信しません (DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます)。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

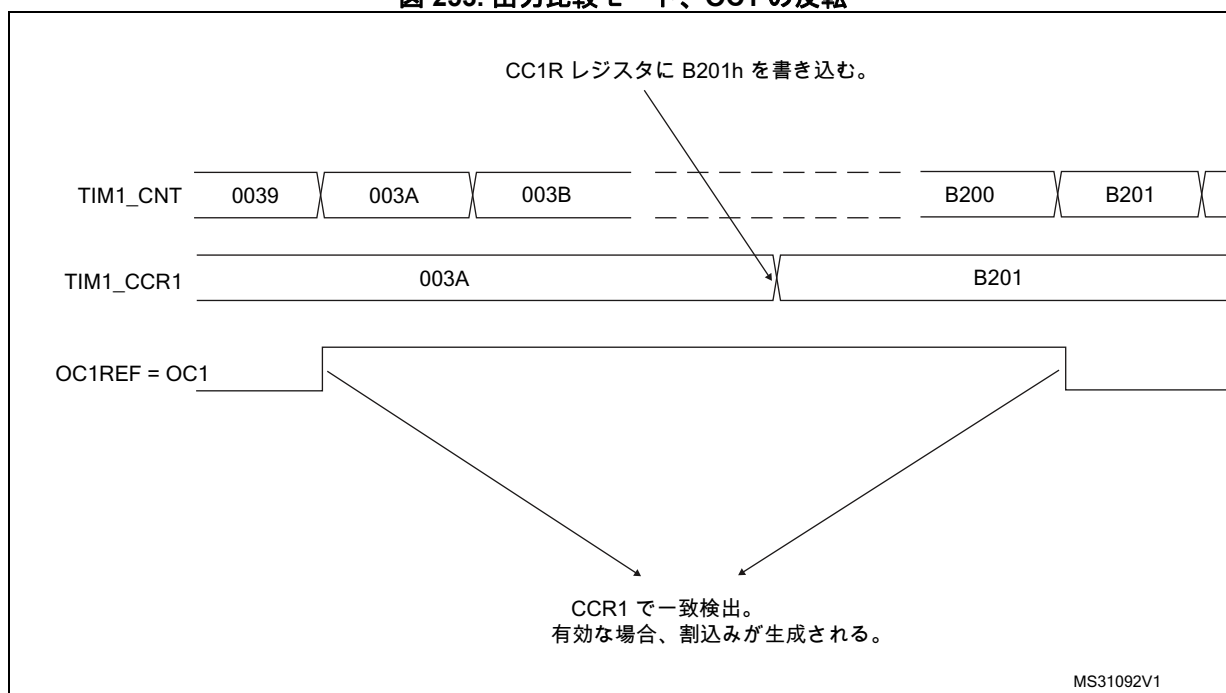
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用できます (ワンパルスモード)。

手順

1. カウンタクロックを選択します (内部、外部、プリスケアラ)。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
 - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM ビットに 011 を書き込みます。
 - プリロードレジスタを無効にするには、OCxPE ビットに 0 を書き込みます。
 - アクティブハイ極性を選択するには、CCxP ビットに 0 を書き込みます。
 - 出力を有効にするには、CCxE ビットに 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限り (OCxPE=0)。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を [図 253](#) に示します。

図 253. 出力比較モード、OC1 の反転



27.3.9 PWM モード

パルス幅変調(PWM)モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“110” (PWM モード 1) または“111” (PWM モード 2) を書き込むことによって、チャンネルごとに選択できます (OCx 出力ごとに 1 つの PWM)。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも (アップカウントまたはセンターアラインモードで) 有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

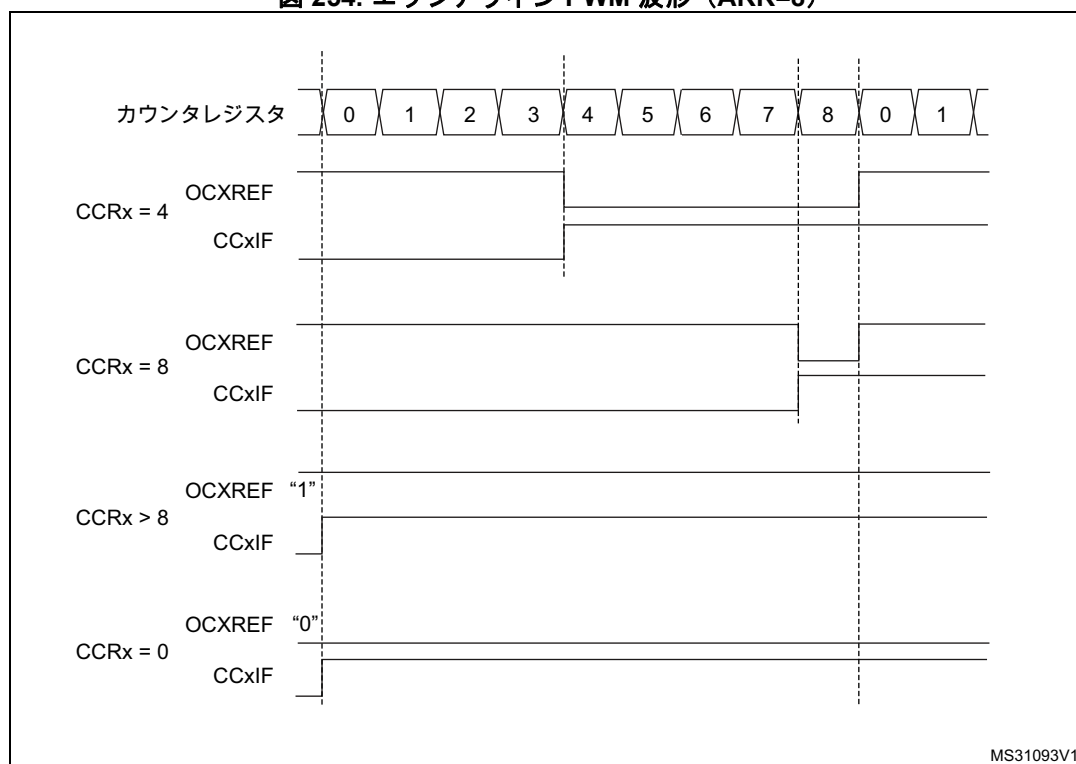
OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット (TIMx_CCER および TIMx_BDTR レジスタ) の組み合わせによって有効になります。詳細については、TIMx_CCER レジスタの説明を参照してください。

PWM モード (1 または 2) では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうか判断されます (カウントの方向によります)。

TIM16/TIM17 はアップカウント動作でのみ使用可能です。899 ページのアップカウントモードを参照してください。

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値 (TIMx_ARR レジスタの) より大きい場合、OCxREF は“1”に保持されます。比較値が 0 の場合、OCxREF は“0”に保持されます。図 254 に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 254. エッジライン PWM 波形 (ARR=8)



MS31093V1

27.3.10 相補出力とデッドタイム挿入

TIM16/TIM17 汎用タイマは、1つの相補信号を出力して、出力時のスイッチオフおよびスイッチオンを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力（主出力 OCx または相補 OCxN）の極性は出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書き込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMx_CR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、[933 ページの表 187: ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット \(TIM16/17\)](#) を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャンネルに 1つの 10ビットデッドタイムジェネレータがあります。この回路は、基準波形 OCxREF から OCx と OCxN の 2つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力 (OCx または OCxN) の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示します。(これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。)

図 255. デッドタイム挿入のある相補出力

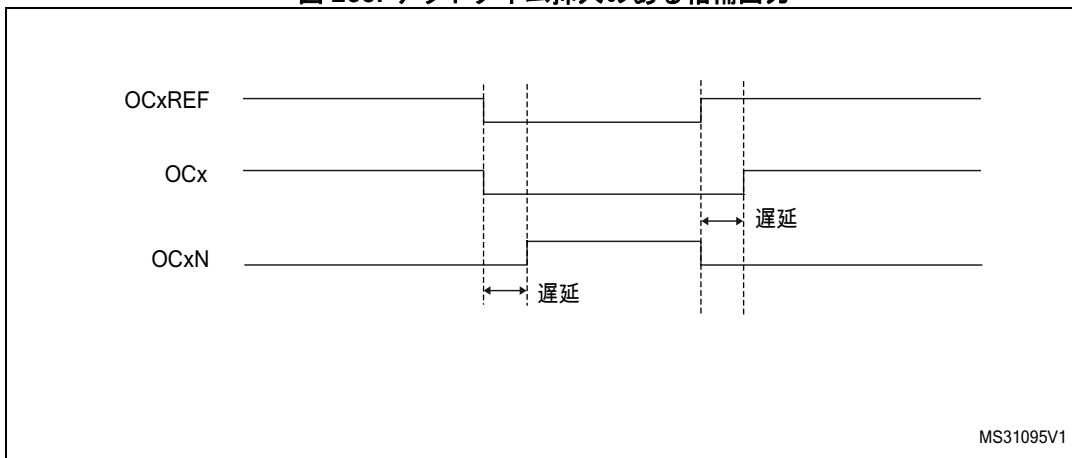


図 256. 負のパルスより長い遅延があるときのデッドタイムの波形

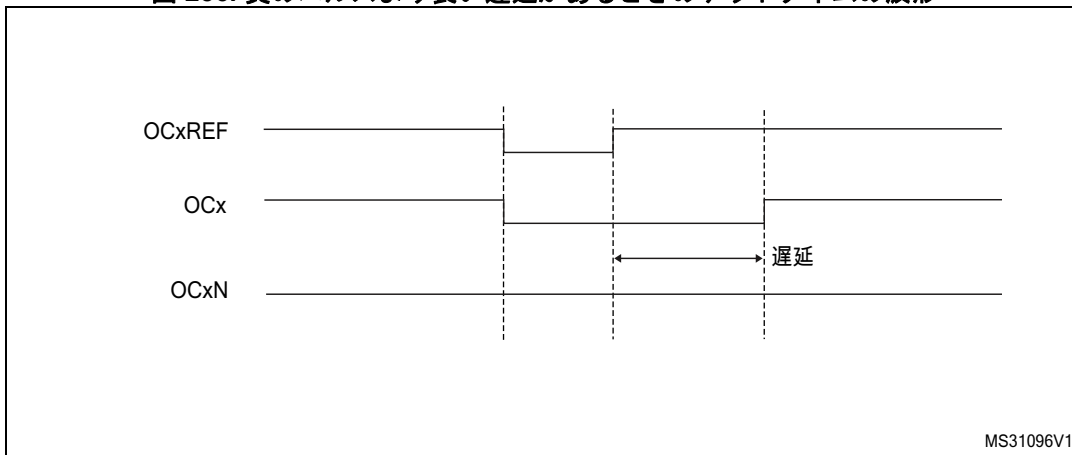
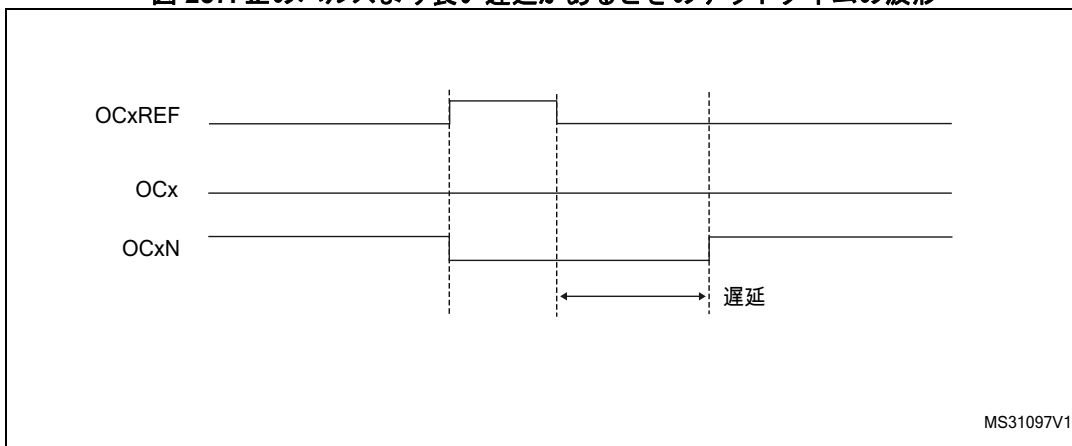


図 257. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャンネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラム可能です。遅延計算については、[936 ページのセクション 27.4.14: TIMx ブレークおよびデッドタイムレジスタ \(TIMx_BDTR\) \(x = 16 to 17\)](#)を参照してください。

OCxREF 信号の OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを構成することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、相補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注： OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補にならず、OCxREF がハイレベルとなるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。

27.3.11 ブレーク機能の使用

ブレーク機能の目的は、TIM16/TIM17 タイマによって生成される PWM 信号によって駆動する電源スイッチを保護することです。ブレーク入力通常、パワーステージおよび 3 相インバータの異常出力に接続されています。アクティブ化すると、ブレーク回路は PWM 出力を遮断し、強制的に事前定義された安全な状態に移行させます。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIMx_BDTR レジスタの BKE ビットをセットすることによって有効になります。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。BKE および BKP ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がリエッジは非同期の間があるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、MOE がローになった後で 1 に設定された場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。これは、書き込みは非同期信号に対応しますが、読み出しは同期信号を反映するからです。

ブレークが発生すると（ブレーク入力を選択されたレベル）、

- MOE ビットは非同期にクリアされ、出力は、インアクティブ状態またはアイドル状態になるか、GPIO へ制御が解放されます（OSSI ビットで選択）。これは、MCU オシレータがオフの場合も同様です。
- 各出力チャンネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマは出力の制御を解放し（GPIO によって引き継がれる）、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには：
 - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
 - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイムジェネレータが作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。

- OSSI=0 の場合、タイマはイネーブル出力を解放し (ハイインピーダンス状態を強制する GPIO によって引き継がれる)、そうでない場合、イネーブル出力はそのままか、CCxE または CCxNE ビットのどちらかがハイになるとすぐにハイになります。
- ブレーク状態フラグ (TIMx_SR レジスタの BIF ビット) がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを使用して、たとえば、レギュレーションを行うことができます。そうでない場合、MOE は、再び 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

注： AOE ビットがセットされているときに、CPU により MOE がリセットされた場合、出力はアイドル状態となり、OSSI 値に応じて非アクティブレベルまたはハイインピーダンスに強制されます。CPU により MOE ビットと AOE ビットの両方がリセットされると、出力は無効状態になり、TIMx_CR2 レジスタの OISx ビットでプログラムされたレベルで駆動されます。

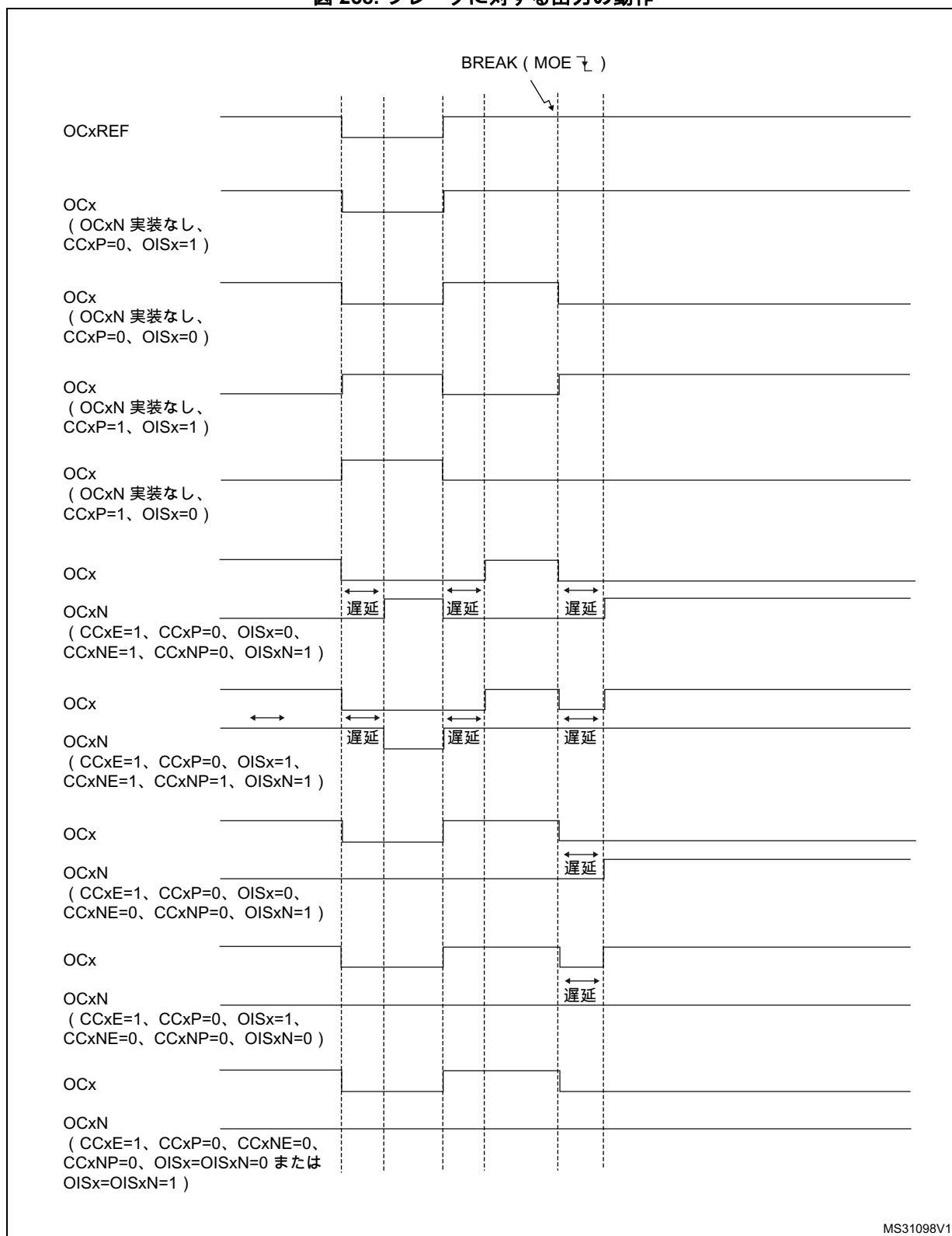
注： ブレーク入力は、信号レベルに対して動作します。このため、ブレーク入力がアクティブな間は、MOE をセットできません (自動的にも、ソフトウェアによっても)。この間、ステータスフラグ BIF をクリアできません。

ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレーク回路内に書込み保護機能を設けてあります。これにより、いくつかのパラメータの設定 (デッドタイムの長さ、OCx/OCxN 極性、無効時の状態、OCxM 構成、ブレークイネーブルと極性) を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、保護を 3 つのレベルから選択することができます。936 ページのセクション 27.4.14: TIMx ブレークおよびデッドタイムレジスタ (TIMx_BDTR) (x = 16 to 17) を参照してください。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 258 に、ブレークに対する出力の動作例を示します。

図 258. ブレークに対する出力の動作



MS31098V1

27.3.12 双方向ブレーク入力

TIM16/TIM17 には、[図 259](#) に示すとおり、双方向ブレーク I/O が搭載されています。

それらによって以下のことが可能になります。

- 入力および出カステータスピンドちらにもなるユニークなピンを持ち、外部の MCU やゲートドライバに障害を通知するために使用できる幅広いレベルのグローバルブレーク信号
- 複数の内部および外部ブレークソースを統合する必要がある場合、互いに論理和をとり、ユニークなブレークイベントをトリガする内部ブレークソースおよび複数の外部オープンドレインコンパレータ出力

ブレーク入力は、TIMxBDTR レジスタの BKBID ビットを使用して双方向モードに設定されます。BKBID プログラミングビットは、TIMxBDTR レジスタの LOCK ビットを使用して読出し専用モードにロックできます (LOCK レベル 1 以上)。

双方向モードでは、I/O をアクティブロー極性でオープンドレインモードに設定する必要があります (BKINP および BKP ビットを使用)。システム (例: CSS)、オンチップペリフェラル、またはブレーク入力からのブレークイベントによって、障害イベントを通知するブレーク入力のレベルが強制的にローとなります。安全性のため、極性ビットが正しくセット (アクティブハイ極性) されていない場合の双方向モードは禁止されています。

ブレークソフトウェアイベント (BG) も、ブレーク I/O を強制的に 0 にして、タイマがブレーク状態に移行したことを外部コンポーネントに示します。ただし、これはブレークが有効になっている場合 (BKE = 1) にのみ有効です。ソフトウェアブレークイベントが BKE = 0 で生成された場合、出力が安全な状態になり、ブレークフラグはセットされますが、ブレーク I/O には効果がありません。

安全解除メカニズムは、システムが完全にロックされることを防ぎます (ブレーク入力でレベルがローになると、同じ入力でレベルをローに強制するブレークがトリガされます)。

BKDSRM ビットが 1 にセットされると、ブレーク出力が解放され、障害信号をクリアしてシステムを再設定できます。

ブレーク保護回路はどの時点においても無効にできません。

- ブレーク入力パスは常にアクティブです。BKDSRM ビットがセットされており、オープンドレイン制御が解放されている場合でもブレークイベントはアクティブです。これによって、ブレーク条件が存在する限り、PWM 出力の再開を防ぐことができます。
- 出力が有効になっている (MOE ビットがセットされている) 限り、BKDSRM ビットでブレーク保護を解除できません ([表 186](#) を参照)。

表 186. ブレーク保護解除条件

MOE	BKDIR	BKDSRM	ブレーク保護状態
0	0	X	設定
0	1	0	設定
0	1	1	解除
1	X	X	設定

ブレーク回路の設定および再設定

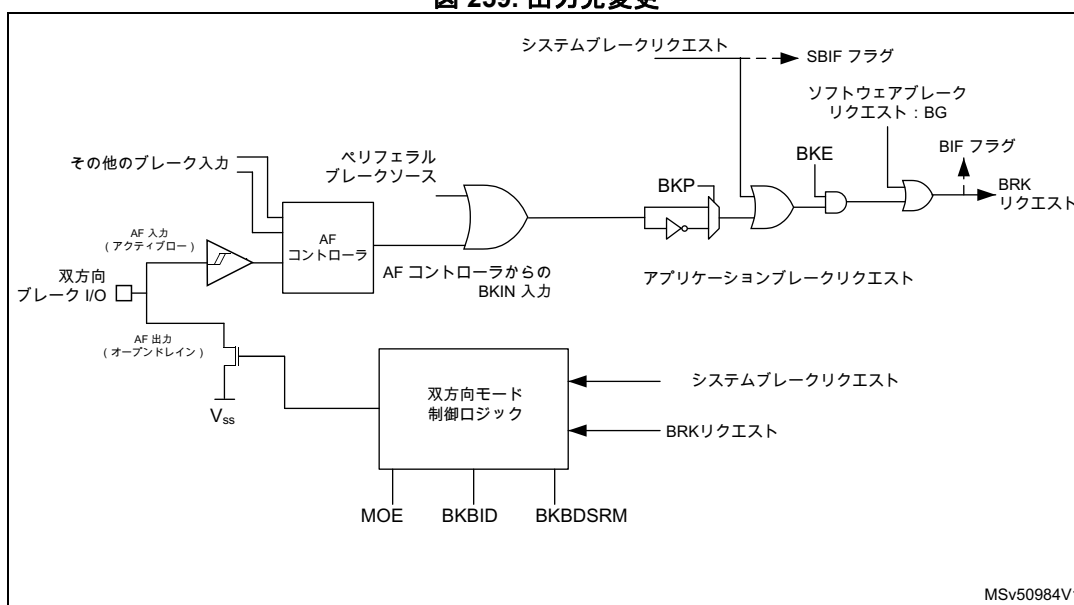
ブレーク回路（入力モードまたは双方向モード）はデフォルト（ペリフェラルリセット設定）で設定されています。

ブレークイベント後に保護を再び設定するには次の手順に従う必要があります。

- BKDSRM ビットをセットして、出力制御を解放する必要があります。
- ソフトウェアは、システムブレーク条件（ある場合）がなくなるまで待つてから、SBIF ステータスフラグをクリアする必要があります（または再設定の前にシステムでクリアします）。
- ソフトウェアは、BKDSRM ビットをハードウェアによってクリアされるまでポーリングする必要があります（アプリケーションブレーク条件がなくなるとき）。

この時点から、ブレーク回路は設定されアクティブになり、MOE ビットをセットして、PWM 出力を再び有効にできます。

図 259. 出力先変更



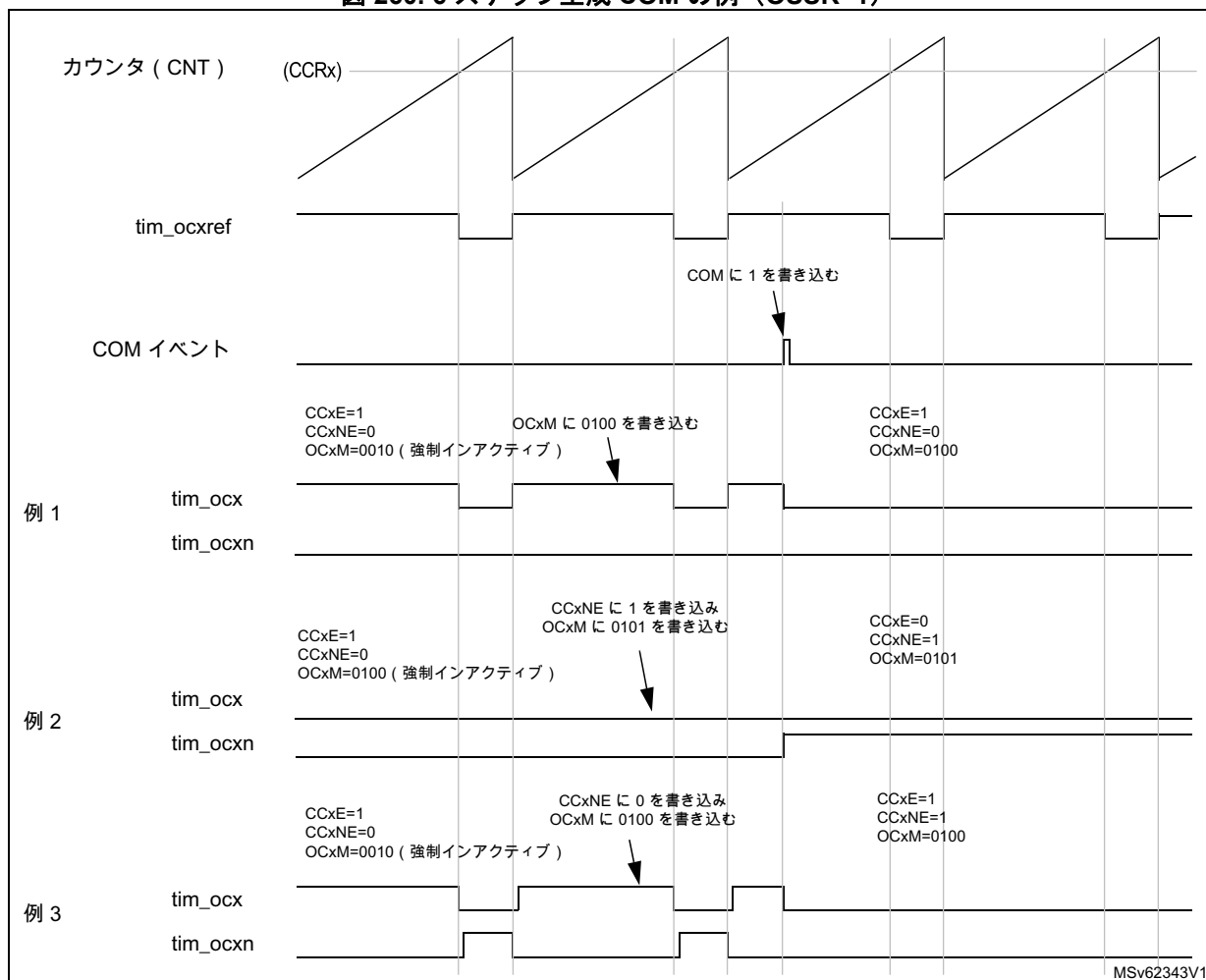
27.3.13 6 ステップ PWM 生成

チャンネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 転流イベントでシャドウビットにコピーされます。これにより、次のステップの構成をあらかじめプログラミングして、すべてのチャンネルの構成を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって (tim_trgi 立ち上がりエッジで) 生成することができます。

フラグは、COM イベントが発生したときにセットされ (TIMx_SR レジスタの COMIF ビット)、これによって割込み (TIMx_DIER レジスタの COMIE ビットがセットされている場合) または DMA リクエスト (TIMx_DIER レジスタの COMDE ビットがセットされている場合) を生成できます。

図 260 に、COM イベントが発生したときの tim_ocx と tim_ocxn 出力の動作を、3 種類のプログラミング構成の例で示します。

図 260. 6 ステップ生成 COM の例 (OSSR=1)



27.3.14 ワンパルスモード

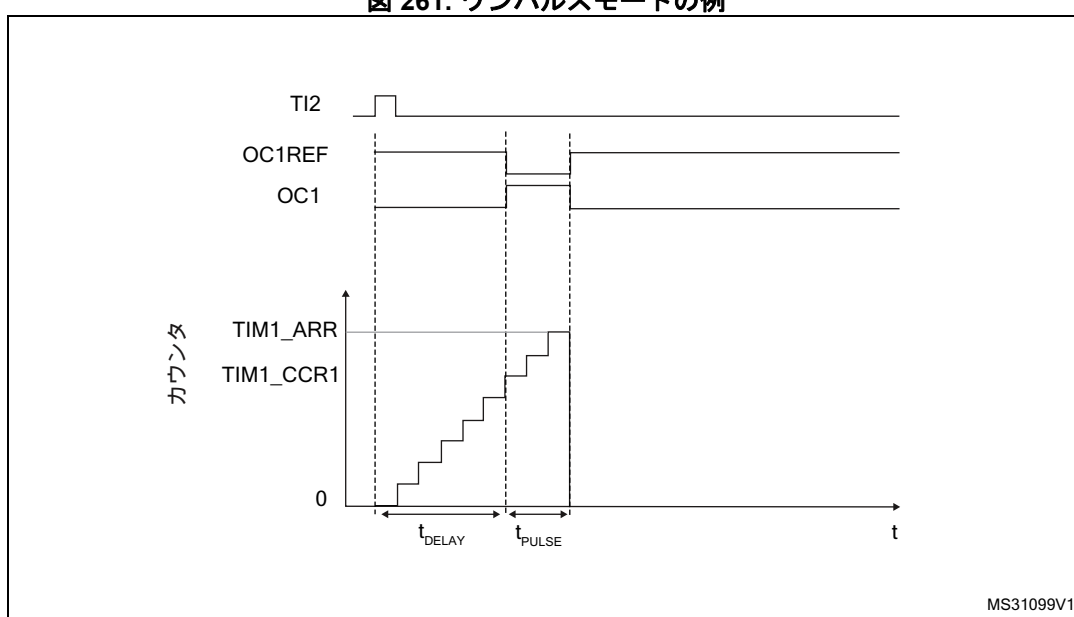
ワンパルスモード (OPM : One Pulse Mode) は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に (タイマがトリガを待っているときに)、設定が次のようであればなりません。

- $CNT < CCRx \leq ARR$ (特に、 $0 < CCRx$)

図 261. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2[x] ソース (内部または外部) を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに“01”を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P=“0”と CC2NP=“0”を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ (TRGI) として設定します。このためには、TIMx_SMCR レジスタの TS ビットに“00110”を書き込みます。
5. TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS ビットに“110” (トリガモード) を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます (クロック周波数とカウンタプリスケアラを考慮に入れて)。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差 (TIMx_ARR - TIMx_CCR1) によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE='1' を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

必要なパルスは 1 つだけなので、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します (カウンタが自動再ロード値に達して、“0”に戻る時点)。

特殊なケース : OCx 高速イネーブル

ワンパルスモードでは、TIMx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延 ($t_{\text{DELAY min}}$) が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF (および OCx) は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャンネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

27.3.15 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31 (TIMxCNT[31]) に更新割込みフラグ (UIF) の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。特定のケースでは、バックグラウンドタスク (カウンタの読出し) と割込み (更新の割込み) との間で共有されている処理などによって生じる競合状態を避けることで、計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

27.3.16 スレーブモード - リセットモードとトリガモードの組み合わせ

この場合、選択されたトリガ入力 (TRGI) の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

このモードはワンパルスモードで使用します。

27.3.17 DMA バーストモード

TIMx タイマには、1 つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、いくつかのタイマレジスタをソフトウェアのオーバーヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト (バースト) を開始します。TIMx_DMAR レジスタへの各書き込みは、実際にタイマレジスタの 1 つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します。つまり、転送数（ハーフワード単位またはバイト単位）を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します (TIMx_DMAR アドレスを通じて読出し/書込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000 : TIMx_CR1

00001 : TIMx_CR2

00010 : TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します (x = 2, 3, 4)。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャンネルを次のように設定します。
 - DMA チャンネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
 - DMA チャンネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
 - 転送データ数 = 3 とします (下の注を参照)。
 - サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします (DIER レジスタの UDE ビットをセット)。
4. TIMx を有効化
5. DMA チャンネルを有効化注：

この例は、各 CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注： null 値を予約済みレジスタに書き込むことができます。

27.3.18 タイマ出力を他のタイマのトリガとして使用 (TIM16/TIM17)

1 つのチャンネルしかないタイマにはマスタモードはありません。しかし、OC1 出力信号を使用して、他の一部のタイマ (本書の他のセクションで説明されているタイマを含む) をトリガすることができます。デバイスの TIMx_SMCR レジスタの「TIMx 内部トリガ接続」テーブルを確認して、スレーブとして設定できるタイマを特定します。

OC1 信号のパルス幅は、スレーブタイマがトリガを検出できるように、少なくとも転送先タイマの 2 クロックサイクルとなるようにプログラムする必要があります。

たとえば、転送先タイマの CK_INT クロックがソースタイマの 4 倍遅い場合、OC1 パルス幅は 8 クロックサイクルである必要があります。

27.3.19 デバッグモード

マイクロコントローラがデバッグモードになると (Cortex[®]-M4 コアは停止状態)、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、または停止します。詳細については、[セクション 38.12.7: DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ \(DBGMCU_APB2FZR\)](#) を参照してください。

安全のため、カウンタが停止すると (DBG_TIMx_STOP = 1)、出力は無効になります (MOE ビットのリセット時と同じ)。強制的にハイインピーダンスにするために、出力を強制的にインアクティブ状態にするか (OSSI ビット = 1)、GPIO コントローラで制御することができます (OSSI ビット = 0)。

27.4 TIM16/TIM17 レジスタ

レジスタの説明で使用されている略語のリストについては、[セクション 1.2](#) を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

27.4.1 TIMx 制御レジスタ 1 (TIMx_CR1) (x = 16 to 17)

アドレス・オフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFRE MAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw		rw	rw	rw				rw	rw	rw	rw

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP** : UIF ステータスビットの再配置

0 : 再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。

1 : 再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]** : クロック分周

このビットフィールドは、タイマクロック (CK_INT) 周波数と、デッドタイムジェネレータとデジタルフィルタ (Tix) によって使用されるデッドタイムおよびサンプリングクロック (t_{DTS}) との間の分周比を示します。

00 : $t_{DTS} = t_{CK_INT}$

01 : $t_{DTS} = 2 * t_{CK_INT}$

10 : $t_{DTS} = 4 * t_{CK_INT}$

11 : 予約済み - この値をプログラミングしないでください。

ビット 7 **ARPE** : 自動再ロードプリロードイネーブル

0 : TIMx_ARR レジスタはバッファされません。

1 : TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **OPM** : ワンパルスモード

0 : カウンタは更新イベントで停止しません。

1 : カウンタは次の更新イベントでカウントを停止します (CEN ビットをクリア)。

ビット 2 **URS** : 更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0 : 次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します (有効な場合)。これらのイベントは、次のとおりです。

– カウンタオーバーフロー/アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

1 : カウンタオーバーフロー/アンダーフローのみが更新割込みまたは DMA リクエストを生成します (有効な場合)。

ビット 1 **UDIS** : 更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0 : UEV は有効です。更新イベント (UEV) は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー/アンダーフロー
- UG ビットのセット
- スレープモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1 : UEV は無効です。更新イベントは生成されず、シャドウレジスタ (ARR、PSC、CCR_x) は値を維持します。ただし、UG ビットがセットされた場合や、スレープモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケアラは再初期化されます。

ビット 0 **CEN** : カウンタインエーブル

0 : カウンタは無効です。

1 : カウンタは有効です。

注 : 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

27.4.2 TIMx 制御レジスタ 2 (TIMx_CR2) (x = 16 to 17)

アドレス・オフセット : 0x04

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	OIS1N	OIS1	Res.	Res.	Res.	Res.	CCDS	CCUS	Res.	CCPC
						rw	rw					rw	rw		rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **OIS1N** : 出力アイドル状態 1 (OC1N 出力)

0 : MOE=0 のとき、デッドタイム後に OC1N=0

1 : MOE=1 のとき、デッドタイム後に OC1N=0

注 : このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 8 **OIS1** : 出力アイドル状態 1 (OC1 出力)

0 : MOE=0 のとき、OC1=0 (OC1N が実装されている場合、デッドタイム後に)

1 : MOE=1 のとき、OC1=0 (OC1N が実装されている場合、デッドタイム後に)

注 : このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **CCDS** : キャプチャ/比較 DMA 選択

0 : CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1 : CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2 **CCUS** : キャプチャ/比較制御更新選択

0 : キャプチャ/比較制御ビットがプリロードされる際には (CCPC=1)、COMG ビットをセットすることによってのみ更新されます。

1 : キャプチャ/比較制御ビットがプリロードされる際には (CCPC=1)、COMG ビットをセットすることによって、または TRGI の立ち上がりエッジで更新されます。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CCPC** : キャプチャ/比較プリロード制御

0 : CCxE、CCxNE、および OCxM ビットはプリロードされません。

1 : CCxE、CCxNE、および OCxM ビットがプリロードされます。書込みの後、これらのビットは COM ビットがセットされたときにのみ更新されます。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

27.4.3 TIMx DMA/割込み有効レジスタ (TIMx_DIER) (x = 16 to 17)

アドレス・オフセット : 0x0C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1DE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	CC1IE	UIE
						rw	rw	rw		rw				rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC1DE** : キャプチャ/比較 1 DMA リクエストイネーブル

0 : CC1 DMA リクエストは無効です。

1 : CC1 DMA リクエストは有効です。

ビット 8 **UDE** : 更新 DMA リクエストイネーブル

0 : 更新 DMA リクエストは無効です。

1 : 更新 DMA リクエストは有効です。

ビット 7 **BIE** : ブレーク割込みイネーブル

0 : ブレーク割込みは無効です。

1 : ブレーク割込みは有効です。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMIE** : COM 割込み有効

0 : COM 割込み無効

1 : COM 割込み有効

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1IE** : キャプチャ/比較 1 割込みイネーブル

0 : CC1 割込みは無効です。

1 : CC1 割込みは有効です。

ビット 0 **UIE** : 更新割込みイネーブル

0 : 更新割込みは無効です。

1 : 更新割込みは有効です。

27.4.4 TIMx ステータスレジスタ (TIMx_SR) (x = 16 to 17)

アドレス・オフセット : 0x10

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC10F	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	CC1IF	UIF
						rc_w0		rc_w0		rc_w0				rc_w0	rc_w0

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC10F** : キャプチャ/比較 1 オーバークャプチャフラグ

このフラグは、対応するチャンネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。
0 : オーバークャプチャは検出されていません。
1 : CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BIF** : ブレーク割込みフラグ

このフラグは、ブレーク入力アクティブになると、ハードウェアによってセットされます。ブレーク入力アクティブでない場合、ソフトウェアによってクリアできます。
0 : ブレークイベントは発生していません。
1 : ブレーク入力アクティブレベルが検出されました。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMIF** : COM 割込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます (キャプチャ/比較制御ビット - CCxE, CCxNE, OCxM - が更新されたとき)。ソフトウェアによってクリアされます。
0 : COM イベントは発生していません。
1 : COM 割込みがペンディング中です。

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1IF** : キャプチャ/比較 1 割込みフラグ

このフラグはハードウェアによってセットされます。ソフトウェアによって (入力キャプチャモードまたは出力比較モード)、または TIMx_CCR1 レジスタを読み出すことによって (入力キャプチャモードのみ) クリアされます。
0 : 比較一致/入力キャプチャは発生していません。
1 : 比較一致または入力キャプチャが発生しました。

チャンネル CC1 が出力として設定されている場合 : カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時 (アップカウントおよびアップ/ダウンカウントモードの場合)、またはアンダーフロー時 (ダウンカウントモードの場合) に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。

CC1 チャンネルが入力として設定されている場合 : このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた (TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された) ときに設定されます。

ビット 0 **UIF** : 更新割込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0 : 更新は発生していません。

1 : 更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

- 繰り返しカウンタ値に関するオーバーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

27.4.5 TIMx イベント生成レジスタ (TIMx_EGR) (x = 16 to 17)

アドレス・オフセット : 0x14

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	Res.	COMG	Res.	Res.	Res.	CC1G	UG
								w		w				w	w

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BG** : ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響はありません。

1 : ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMG** : キャプチャ/比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0 : 影響なし。

1 : CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注 : このビットは、相補出力を持つチャンネルでのみ機能します。

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1G** : キャプチャ/比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 : 影響はありません。

1 : チャンネル 1 でキャプチャ/比較イベントが生成されます。

CC1 チャンネルが出力として設定されている場合 :

CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。

CC1 チャンネルが入力として設定されている場合 :

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます (有効な場合)。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG** : 更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0 : 影響はありません。

1 : カウンタを再初期化し、レジスタの更新を生成します。プリスケアラカウンタもクリアされます (プリスケアラ比は変化しません)。

27.4.6 TIMx キャプチャ/比較モードレジスタ 1 [オルタネート] (TIMx_CCMR1) (x = 16 to 17)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを入力キャプチャモード (このセクション) または出力比較モード (次のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **IC1F[3:0]** : 入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000 : フィルタなし、 f_{DTS} でサンプリング

0001 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 2$

0010 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 4$

0011 : $f_{SAMPLING} = f_{CK_INT}$ 、 $N = 8$

0100 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N =$

0101 : $f_{SAMPLING} = f_{DTS}/2$ 、 $N = 8$

0110 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 6$

0111 : $f_{SAMPLING} = f_{DTS}/4$ 、 $N = 8$

1000 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 6$

1001 : $f_{SAMPLING} = f_{DTS}/8$ 、 $N = 8$

1010 : $f_{SAMPLING} = f_{DTS}$ 、 $N = 16$

1011 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 6$

1100 : $f_{SAMPLING} = f_{DTS}/16$ 、 $N = 8$

1101 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 5$

1110 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 6$

1111 : $f_{SAMPLING} = f_{DTS}/32$ 、 $N = 8$

ビット 3:2 **IC1PSC[1:0]** : 入力キャプチャ 1 プリスケアラ

このビットフィールドは、CC1 入力 (IC1) に作用するプリスケアラの分周比を定義します。

プリスケアラは、CC1E = 0 (TIMx_CCER レジスタ) になるとリセットされます。

00 : プリスケアラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。

01 : キャプチャは、2 イベントごとに行われます。

10 : キャプチャは、4 イベントごとに行われます。

11 : キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]** : キャプチャ/比較 1 選択

このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。

00 : CC1 チャンネルは出力として設定されます。

01 : CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。

その他 : 予約済みです。

注 : **CC1S** ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときのみ書き込み可能です。

27.4.7 TIMx キャプチャ/比較モードレジスタ 1 [オルタネート] (TIMx_CCMR1) (x = 16 to 17)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

同じレジスタを出力比較モード (このセクション) または入力キャプチャモード (前のセクション) に使用できます。チャンネルの方向は対応する CCxS ビットで定められます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード :

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
									rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 16、6:4 **OC1M[3:0]** : 出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000 : 停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

0001 : 一致時にチャンネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にハイになります。

0010 : 一致時にチャンネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1 (TIMx_CCR1) と一致したときに、強制的にローになります。

0011 : 反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100 : 強制非アクティブレベル - OC1REF は強制的にローになります。

0101 : 強制アクティブレベル - OC1REF は強制的にハイになります。

0110 : PWM モード 1 - チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

0111 : PWM モード 2 - チャンネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。

その他の値 : 予約済みです。

注 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力に設定) のときには、変更できません。

PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

OC1M[3] ビットは隣接しておらず、ビット 16 に位置しています。

ビット3 **OC1PE** : 出力比較 1 プリロードイネーブル

- 0 : TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。
- 1 : TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われず。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力に設定) のときには、変更できません。

ビット2 **OC1FE** : 出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード (TIMx_CR1 レジスタの OPM ビットのセット) で使用する必要があります。

- 0 : CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。
- 1 : トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OC1FE は、チャンネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]** : キャプチャ/比較 1 選択

- このビットフィールドは、チャンネルの方向 (入力/出力) と、使用される入力を定義します。
- 00 : CC1 チャンネルは出力として設定されます。
- 01 : CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。
- その他 : 予約済みです。

注 : CC1S ビットは、チャンネルがオフ (TIMx_CCER レジスタの CC1E=0) のときのみ書き込み可能です。

27.4.8 TIMx キャプチャ/比較有効レジスタ (TIMx_CCER) (x = 16 to 17)

アドレス・オフセット : 0x20

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	CC1NE	CC1P	CC1E
												r/w	r/w	r/w	r/w

ビット 15:4 予約済みであり、リセット値に保持する必要があります。

ビット3 **CC1NP** : キャプチャ/比較 1 相補出力極性

CC1 チャンネルが出力として設定されている場合 :

- 0 : OC1N はアクティブハイです。
- 1 : OC1N はアクティブローです。

CC1 チャンネルが入力として設定されている場合 :

このビットは、TI1FP1とTI2FP1の極性を定義するために CC1P と組み合わせて使用されます。CC1P の説明を参照してください。

注 : このビットは、LOCK レベル 2 または 3 がプログラムされ、(TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S="00" (チャンネルは出力として設定) になった直後は書き込みできません。

相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、転流イベント (COM) が発生したときのみ、プリロードされたビットから新しい値を取り込みます。

ビット 2 **CC1NE** : キャプチャ/比較 1 相補出力イネーブル

0 : オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1E ビットによって決まります。

1 : オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットにより、対応する出力ピンに出力されます。

ビット 1 **CC1P** : キャプチャ/比較 1 出力極性

0 : OC1 のアクティブハイ (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

1 : OC1 のアクティブロー (出力モード) / エッジ感度を選択 (入力モード、下記を参照)

CC1 チャンネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。

CC1NP=0、CC1P=0 : 非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=0、CC1P=1 : 反転/立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されます (ゲートモードまたはエンコーダモードでのトリガ動作)。

CC1NP=1、CC1P=1 : 非反転/両エッジ/この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し (リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作)、TIxFP1 は反転されません (ゲートモードでのトリガ動作)。この設定をエンコーダモードで使用することはできません。

CC1NP=1、CC1P=0 : この設定は予約済みです。使用できません。

注 : このビットは、LOCK レベル 2 または 3 がプログラムされた直後は書き込みできません (TIMx_BDTR レジスタの LOCK ビット)。

相補出力を持つチャンネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、転流イベントが発生したときのみ、プリロードされたビットから新しい値を取り込みます。

ビット 0 **CC1E** : キャプチャ/比較 1 出力イネーブル

0 : キャプチャモードは無効/OC1 は非アクティブ (下記を参照)。

1 : キャプチャモードは有効/OC1 信号は、対応する出力ピンに出力されます。

CC1 チャンネルが出力として設定されている場合、OC1 レベルは、CC1E ビットの状態にかかわらず、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに依存します。詳細については、表 187 を参照してください。

表 187. ブレーク機能を持つ相補 OCx および OCxN チャンネルの出力制御ビット (TIM16/17)

制御ビット					出力状態 ⁽¹⁾	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	X	0	0	出力無効 (タイマによって駆動されない: ハイインピーダンス) OCx=0 OCxN=0、OCxN_EN=0	
		0	0	1	出力無効 (タイマによって駆動されない: ハイインピーダンス) OCx=0	OCxREF + 極性 OCxN=OCxREF XOR CCxNP
		0	1	0	OCxREF + 極性 OCx=OCxREF XOR CCxP	出力無効 (タイマによって駆動されない: ハイインピーダンス) OCxN=0
		X	1	1	OCREF + 極性 + デッドタイム	OCREF に対する相補 (OCREF ではなく) + 極性 + デッドタイム
		1	0	1	オフ状態 (インアクティブ状態で出力有効) OCx=CCxP	OCxREF + 極性 OCxN=OCxREF XOR CCxNP
		1	1	0	OCxREF + 極性 OCx=OCxREF XOR CCxP、 OCx_EN=1	オフ状態 (インアクティブ状態で出力有効) OCxN=CCxNP、OCxN_EN=1
0	1	X	X	X	出力無効 (タイマによって駆動されない: ハイインピーダンス)。	
			0	0		
			0	1	オフ状態 (インアクティブ状態で出力有効)	
			1	0	非同期: OCx=CCxP、OCxN=CCxNP	
			1	1	クロックが存在する場合: デッドタイム後、OCx=OISx および OCxN=OISxN。ただし、OISx と OISxN は、アクティブ状態における OCx と OCxN の両方に対応しないことを前提とします。	

1. チャンネルの両方の出力が使用されないとき (GPIO コントローラが制御を引き継いだ場合)、OISx、OISxN、CCxP、および CCxNP ビットはクリアされたままでなければなりません。

注: 相補 OCx および OCxN チャンネルに接続されている外部入出力ピンの状態は、OCx および OCxN チャンネルの状態と GPIO 制御 およびオルタネート機能レジスタに依存します。

27.4.9 TIMx カウンタ (TIMx_CNT) (x = 16 to 17)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **UIFCPY** : UIF コピー

このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー。TIMx_CR1 の UIFREMAP ビットがリセットされると、ビット 31 は予約済みで、0 で読み出されます。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]** : カウンタ値

27.4.10 TIMx プリスケーラ (TIMx_PSC) (x = 16 to 17)

アドレス・オフセット : 0x28

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **PSC[15:0]** : プリスケーラ値

カウンタクロック周波数 (CK_CNT) は $f_{CK_PSC} / (PSC[15:0] + 1)$ に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます (更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます)。

27.4.11 TIMx自動再ロードレジスタ (TIMx_ARR) (x = 16 to 17)

アドレス・オフセット : 0x2C

リセット値 : 0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 **ARR[15:0]** : 自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、[897 ページのセクション 27.3.1: タイムベースユニット](#)を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

27.4.12 TIMx 繰り返しカウンタレジスタ (TIMx_RCR) (x = 16 to 17)

アドレス・オフセット : 0x30

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 REP[7:0] : 繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート (プリロードレジスタからアクティブレジスタへの周期的な転送) と、割込みが有効な場合の更新割込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

PWM モードでは、(REP+1) はエッジアラインモードで PWM 周期の数を意味します。

27.4.13 TIMx キャプチャ/比較レジスタ 1 (TIMx_CCR1) (x = 16 to 17)

アドレス・オフセット : 0x34

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:0 CCR1[15:0] : キャプチャ/比較 1 値

CC1 チャンネルが出力として設定されている場合 :

CCR1 は、実際のキャプチャ/比較 1 レジスタにロードされる値 (プリロード値) です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ/比較 1 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャンネルが入力として設定されている場合 :

CCR1 は、最後の入力キャプチャ 1 イベント (IC1) によって転送されたカウンタ値です。

27.4.14 TIMx ブレークおよびデッドタイムレジスタ (TIMx_BDTR) (x = 16 to 17)

アドレス・オフセット : 0x44

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	BKBID	Res.	BKDSRM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
			rw		rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注 : BKBID、BKDSRM、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] ビットは、LOCK 設定に応じて書込みがロックされるので、TIMx_BDTR レジスタへの最初の書込みアクセス時に、これらすべてを設定しなければならないことがあります。

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 BKBID : ブレーク双方向

0 : ブレーク入力 BRK は入力モードです。

1 : ブレーク入力 BRK は双方向モードです。

双方向モード (BKBID ビットが 1 にセット) では、ブレーク入力が入力モードとオープンドレイン出力モード両方で設定されます。アクティブなブレークイベントで、ブレーク入力の低ロジックレベルをアサートし、外部デバイスに対する内部ブレークイベントを表します。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26 BKDSRM : ブレーク解除

0 : ブレーク入力 BRK が設定されます。

1 : ブレーク入力 BRK は解除されます。

このビットは、アクティブなブレークソースがない場合、ハードウェアによってクリアされます。

BKDSRM ビットは、双方向出力制御 (ハイインピーダンス状態でのオープンドレイン出力) を解放するためにソフトウェアでセットしてから、ハードウェアによってリセットされ、障害状態がなくなったことを示すまでポーリングする必要があります。

注 : このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 25:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 MOE : メイン出力イネーブル

このビットは、ブレーク入力 that アクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャンネルに対してのみ有効です。

0 : OC および OCN 出力が無効か、OSSI ビットによって強制的にアイドル状態になります。

1 : OC および OCN 出力は、それぞれのイネーブルビット (TIMx_CCER レジスタの CCxE、CCxNE ビット) がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください (931 ページのセクション 27.4.8: TIMx キャプチャ/比較有効レジスタ (TIMx_CCER) (x = 16 to 17))。

ビット 14 AOE : 自動出力イネーブル

0 : MOE はソフトウェアによってのみセットできます。

1 : MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットできます (ブレーク入力がアクティブでない場合)。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

ビット 13 BKP : ブレーク極性

0 : ブレーク入力 BRK はアクティブローです。

1 : ブレーク入力 BRK はアクティブハイです。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 BKE : ブレークイネーブル

0 : ブレーク入力 (BRK および CCS クロック障害イベント) は無効です。

1 : ブレーク入力 (BRK および CCS クロック障害イベント) は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 OSSR : RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャンネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください (931 ページのセクション 27.4.8: TIMx キャプチャ/比較有効レジスタ (TIMx_CCER) (x = 16 to 17))。

0 : インアクティブのとき、OC/OCN 出力は無効です (タイマは出力の制御を解放し、ハイインピーダンス状態を強制する GPIO によって引き継がれます)

1 : インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、インアクティブレベルで有効になります (出力は引き続きタイマで制御される)。

注 : このビットは、LOCK レベル 2 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 10 OSSI : アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャンネルで使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください (931 ページのセクション 27.4.8: TIMx キャプチャ/比較有効レジスタ (TIMx_CCER) (x = 16 to 17))。

0 : インアクティブのとき、OC/OCN 出力は無効です (OC/OCN イネーブル出力信号 = 0)。

1 : インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、まず強制的にアイドルレベルになります (OC/OCN イネーブル出力信号 = 1)。

注 : このビットは、LOCK レベル 2 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 9:8 **LOCK[1:0]** : ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00 : LOCK オフ - どのビットも書き込み保護されません。

01 : LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みができなくなります。

10 : LOCK レベル 2 - LOCK レベル 1 に加えて、CC 極性ビット (関連するチャンネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCER レジスタの CCxP/CCxNP ビット) と OSSR および OSSI ビットも書き込みできなくなります。

11 : LOCK レベル 3 - LOCK レベル 2 に加えて、CC 制御ビット (関連するチャンネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCMRx レジスタの OCxM および OCxPE ビット) が書き込みできなくなります。

注 : **LOCK** ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで停止されます。

ビット 7:0 **DTG[7:0]** : デッドタイムジェネレータのセットアップ

これらのビットでは、相補出力の間に挿入されるデッドタイムの長さを指定します。デッドタイムの時間 (DT) は、次の式で与えられます。

$DTG[7:5] = 0xx \Rightarrow DT = DTG[7:0] \times t_{dtg}$ 、ここで $t_{dtg} = t_{DTS}$

$DTG[7:5] = 10x \Rightarrow DT = (64 + DTG[5:0]) \times t_{dtg}$ 、ここで $t_{dtg} = 2 \times t_{DTS}$

$DTG[7:5] = 110 \Rightarrow DT = (32 + DTG[4:0]) \times t_{dtg}$ 、ここで $t_{dtg} = 8 \times t_{DTS}$

$DTG[7:5] = 111 \Rightarrow DT = (32 + DTG[4:0]) \times t_{dtg}$ 、ここで $t_{dtg} = 16 \times t_{DTS}$

例 : $T_{DTS} = 125\text{ns}$ (8MHz) の場合、可能なデッドタイムの値は、以下のとおりです。

0 から 15875 ns (125 ns 単位)

16 μs から 31750 ns (250 ns 単位)

32 μs から 63 μs (1 μs 単位)

64 μs から 126 μs (2 μs 単位)

注 : このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているとき、変更できません (TIMx_BDTR レジスタの LOCK ビット)。

27.4.15 TIMx DMA 制御レジスタ (TIMx_DCR) (x = 16 to 17)

アドレス・オフセット : 0x48

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	Res	Res	DBL[4:0]				Res	Res	Res	DBA[4:0]					
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]** : DMA パースト長

この 5 ビットのフィールドは、転送数など DMA 転送長 (タイマは、TIMx_DMAR アドレスに対して読みまたは書き込みアクセスが行われるときにパースト転送を認識します) を指定します。転送は、ハーフワードまたはバイトです (以下の例を参照)。

00000 : 1 回転送

00001 : 2 回転送、

00010 : 3 回転送、

.....

10001 : 18 回転送。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]** : DMA ベースアドレス

この 5 ビットのフィールドは、DMA 転送のベースアドレスを指定します (TIMx_DMAR アドレスを通じて読出し/書き込みアクセスが行われるとき)。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例 :

- 00000 : TIMx_CR1
- 00001 : TIMx_CR2
- 00010 : TIMx_SMCR
-

例 : 次の転送を考えます : DBL = 7 転送 かつ DBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

27.4.16 完全転送の TIMx DMA アドレス (TIMx_DMAR) (x = 16 to 17)

アドレス・オフセット : 0x4C

リセット値 : 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMAB[15:0]															
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]** : DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書き込み動作は、次のアドレスにあるレジスタへのアクセスとなります :

$$(TIMx_CR1 \text{ アドレス}) + (DBA + \text{DMA インデックス}) \times 4$$

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスは DMA 転送によって自動的に制御され、範囲は 0 から DBL です (DBL は TIMx_DCR 内で設定)。

27.4.17 TIM16 オプションレジスタ 1 (TIM16_OR1)

アドレス・オフセット : 0x50

リセット値 : 0x0000 0000

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
															rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TI1_RMP[1:0]** : タイマ 16 入力 1 の接続

このビットは、ソフトウェアによってセット/クリアされます。

00 : TIM16 の TI1 は、GPIO に接続されます。

01 : TIM16 の TI1 は、LSI に接続されます。

10 : TIM16 の TI1 は、LSE に接続されます。

11 : TIM16 の TI1 は、RTC ウェイクアップ割込みに接続されます。



27.4.18 TIM16 オルタネート機能レジスタ 1 (TIM16_AF1)

アドレス・オフセット : 0x60

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCM P2P	BKCM P1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCM P2E	BKCM P1E	BKINE
				rW	rW	rW							rW	rW	rW

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCM2P** : BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP2 入力はアクティブローです。

1 : COMP2 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 10 **BKCM1P** : BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP1 入力はアクティブローです。

1 : COMP1 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 9 **BKINP** : BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : BKIN 入力はアクティブローです。

1 : BKIN 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCM2E** : BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP2 入力は無効です。

1 : COMP2 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 1 **BKCM1E** : BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP1 入力は無効です。

1 : COMP1 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 0 **BKINE** : BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

0 : BKIN 入力は無効です。

1 : BKIN 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

27.4.19 TIM16 入力選択レジスタ (TIM16_TISEL)

アドレス・オフセット : 0x68

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]				
													rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]** : TI1[0]~TI1[15] の入力を選択します。

0000 : TIM16_CH1 入力

その他 : 予約済みです。

27.4.20 TIM17 オプションレジスタ 1 (TIM17_OR1)

アドレス・オフセット : 0x50

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TI1_RMP[1:0]** : タイマ 17 入力 1 の接続

このビットは、ソフトウェアによってセット/クリアされます。

00 : TIM17 の TI1 は、GPIO に接続されます。

01 : TIM17 の TI1 は、MSI に接続されます。

10 : TIM17 の TI1 は、HSE/32 に接続されます。

11 : TIM17 の TI1 は、MCO に接続されます。

27.4.21 TIM17 オルタネート機能レジスタ 1 (TIM17_AF1)

アドレス・オフセット : 0x60

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCM P2P	BKCM P1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCM P2E	BKCM P1E	BKINE
				rW	rW	rW							rW	rW	rW

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCM2P** : BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP2 入力はアクティブローです。

1 : COMP2 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 10 **BKCM1P** : BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : COMP1 入力はアクティブローです。

1 : COMP1 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 9 **BKINP** : BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0 : BKIN 入力はアクティブローです。

1 : BKIN 入力はアクティブハイです。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCM2E** : BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP2 入力は無効です。

1 : COMP2 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 1 **BKCM1E** : BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0 : COMP1 入力は無効です。

1 : COMP1 入力は有効です。

注 : このビットは、**LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。**

ビット 0 **BKINE** : BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

0 : BKIN 入力は無効です。

1 : BKIN 入力は有効です。

注 : このビットは、LOCK レベル 1 がプログラムされている場合 (TIMx_BDTR レジスタの LOCK ビット)、変更できません。

27.4.22 TIM17 入力選択レジスタ (TIM17_TISEL)

アドレス・オフセット : 0x68

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	T11SEL [3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **T11SEL[3:0]** : T1[0]~T1[15]の入力を選択します。

0000 : TIM17_CH1 入力

その他 : 予約済みです。

27.4.23 TIM16/TIM17 レジスタマップ

TIM16/TIM17 レジスタは、次の表のように、16 ビットアドレス可能レジスタとして配置されます。

表 188. TIM16/TIM17レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	TIMx_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UJFREMAP	Res.	Res.	CKD[1:0]	ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN		
	リセット値																						0			0	0			0	0	0	0	0	
0x04	TIMx_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OISIN	OIS1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																								0	0					0	0			0
0x0C	TIMx_DIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCIDE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	Res.		
	リセット値																									0	0	0		0					0
0x10	TIMx_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCIOF	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	Res.		
	リセット値																									0		0							0
0x14	TIMx_EGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																																		0
0x18	TIMx_CCMR1 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																																		
	TIMx_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
リセット値																																			
0x20	TIMx_CCER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																																		
0x24	TIMx_CNT	UIFCPY または Res.																CNT[15:0]																	
	リセット値	0																																	
0x28	TIMx_PSC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																																		
0x2C	TIMx_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値																																		

表 188. TIM16/TIM17レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x30	TIMx_RCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]										
	リセット値																										0	0	0	0	0	0	0	0	0	
0x34	TIMx_CCR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1 [15:0]																		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x44	TIMx_BDTR	Res.	Res.	Res.	BKBDID	Res.	BKDSRM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]	DTG[7:0]											
	リセット値				0		0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x48	TIMx_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]				DBA[4:0]											
	リセット値																					0	0	0	0	0				0	0	0	0			
0x4C	TIMx_DMAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]																		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x50	TIM16_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM16_RMP [1:0]		
	リセット値																																	0	0	
0x50	TIM17_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17_RMP [1:0]		
	リセット値																																	0	0	
0x60	TIM16_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCOMP2P	BKCOMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCOMP2E	BKCOMP1E	BKINE
	リセット値																						0	0	0								0	0	1	
0x60	TIM17_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCOMP2P	BKCOMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCOMP2E	BKCOMP1E	BKINE
	リセット値																						0	0	0								0	0	1	
0x68	TIM16_TISEL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM16_TISEL [3:0]		
	リセット値																																	0	0	0
0x68	TIM17_TISEL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17_TISEL [3:0]		
	リセット値																																	0	0	0

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。



28 低消費電力タイマ (LPTIM)

28.1 概要

LPTIM は、消費電力削減の究極的な進展を利用した 16 ビットタイマです。クロックソースの多様性により、LPTIM は STANDBY モードを除くすべての電力モードで実行し続けることができます。内部クロックソースがなくても実行できるため、LPTIM は、一部のアプリケーションで役立つ「パルスカウンタ」として使用することができます。また、LPTIM はシステムを低消費電力モードからウェイクアップできるため、消費電力が極端に低い「タイムアウト機能」の実現に適しています。

LPTIM の柔軟性の高いクロック方式は、必要な機能性とパフォーマンスを提供しながら、消費電力を最小化します。

28.2 LPTIM の主な機能

- 16 ビットアップカウンタ
- 8 つの分周比 (1、2、4、8、16、32、64、128) を持つ 3 ビットプリスケラ
- 選択可能なクロック
 - 内部クロックソース：設定可能な内部クロックソース (RCC セクションを参照)
 - LPTIM 入力経由の外部クロックソース (LP オシレータが実行していないときに動作、パルスカウンタアプリケーションによって使用)
- 16 ビット ARR 自動再ロードレジスタ
- 16 ビット比較レジスタ
- 連続／ワンショットモード
- 選択可能なソフトウェア／ハードウェア入カトリガ
- プログラム可能なデジタルグリッチフィルタ
- 設定可能な出力：パルス、PWM
- 設定可能な I/O 極性
- エンコーダモード
- 繰り返しカウンタ

28.3 LPTIM の実装

表 189 に、STM32WL5x デバイスでの LPTIM の実装を示します。LPTIM1 にはすべての機能が実装されています。LPTIM2 および LPTIM3 は機能が少なくなることを除き、LPTIM1 と同じです。

表 189. STM32WL5x LPTIM 機能

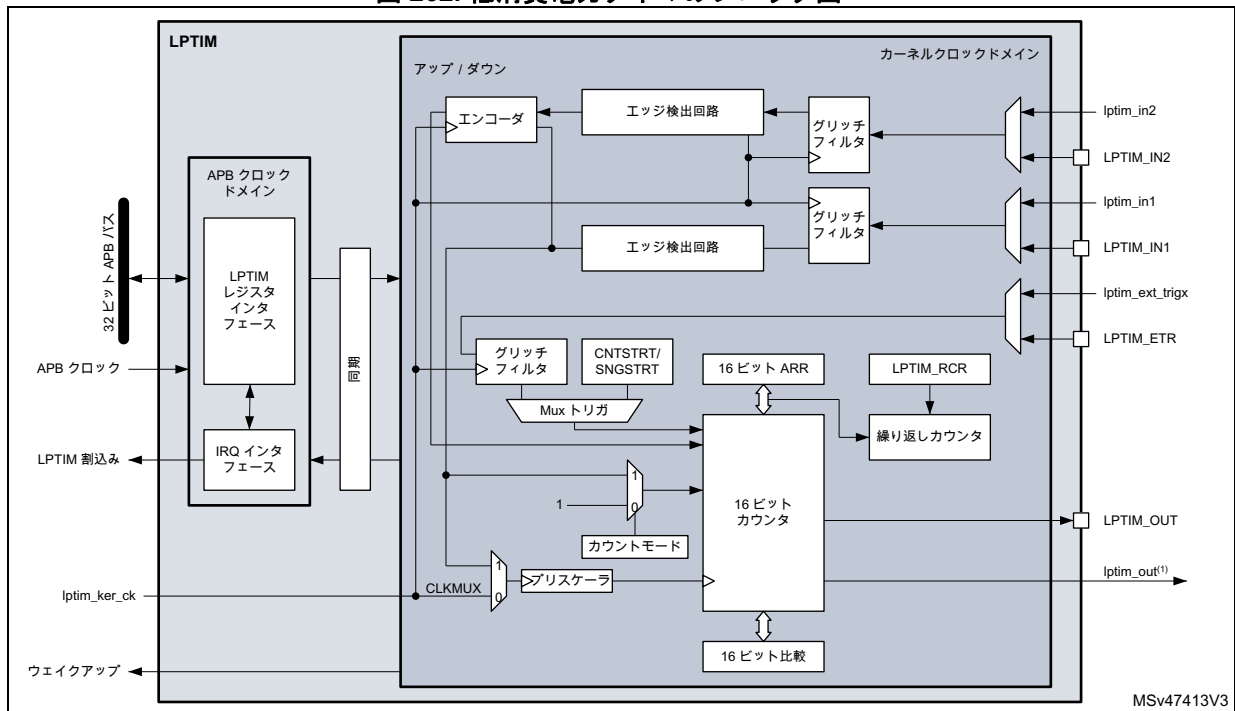
LPTIM のモード/機能 ⁽¹⁾	LPTIM1	LPTIM2	LPTIM3
エンコーダモード	X	-	-
外部入力クロック	X	X	X
STOP からのウェイクアップ	(2)	(3)	(3)

1. X: サポートされています。
2. STOP 0、STOP 1 および STOP 2 モードからのウェイクアップをサポート。
3. STOP 0 および STOP 1 モードからのウェイクアップをサポート。

28.4 LPTIM の機能説明

28.4.1 LPTIM ブロック図

図 262. 低消費電力タイマのブロック図(a)



1. lptim_out は、内部ペリフェラルに接続できる内部 LPTIM 出力信号です。

a. LPTIM2/LPTIM3 には入力チャネル 1 のみがあり、入力チャネル 2 はありません。

28.4.2 LPTIM ピンおよび内部信号

次の表に、LPTIM のピンと内部信号の一覧を示します。

表 190. HRTIM の入出力ピン

名前	信号タイプ	説明
LPTIM_IN1	デジタル入力	GPIO ピンからの LPTIM 入力 1
LPTIM_IN2	デジタル入力	GPIO ピンからの LPTIM 入力 2
LPTIM_ETR	デジタル入力	LPTIM 外部トリガ GPIO ピン
LPTIM_OUT	デジタル出力	LPTIM 出力 GPIO ピン

表 191. LPTIM 内部信号

名前	信号タイプ	説明
lptim_pclk	デジタル入力	LPTIM APB クロックドメイン
lptim_ker_ck	デジタル入力	LPTIM カーネルクロック
lptim_in1	デジタル入力	内部 LPTIM 入力 1
lptim_in2	デジタル入力	内部 LPTIM 入力 2 ⁽¹⁾
lptim_ext_trigx	デジタル入力	LPTIM 外部トリガ入力 x
lptim_out	デジタル出力	LPTIM カウンタ出力
lptim_it	デジタル出力	LPTIM グローバル割込み
lptim_wakeup	デジタル出力	LPTIM ウェイクアップイベント

1. LPTIM1 にのみ適用されます。

28.4.3 LPTIM 入力およびトリガマッピング

LPTIM 外部トリガおよび入力接続について、以下に詳しく説明します。

表 192. LPTIM1 外部トリガ接続

TRIGSEL	外部トリガ
lptim_ext_trig0	LPTIM1_ETR のオルタネート機能としての GPIO ピン
lptim_ext_trig1	RTC アラーム A
lptim_ext_trig2	RTC アラーム B
lptim_ext_trig3	TAMP1 入力検出
lptim_ext_trig4	TAMP2 入力検出
lptim_ext_trig5	TAMP3 入力検出
lptim_ext_trig6	comp1_out
lptim_ext_trig7	comp2_out

表 193. LPTIM2 外部トリガ接続

TRIGSEL	外部トリガ
lptim_ext_trig0	LPTIM2_ETR のオルタネート機能としての GPIO ピン
lptim_ext_trig1	RTC アラーム A
lptim_ext_trig2	RTC アラーム B
lptim_ext_trig3	TAMP1 入力検出
lptim_ext_trig4	TAMP2 入力検出
lptim_ext_trig5	TAMP3 入力検出
lptim_ext_trig6	comp1_out
lptim_ext_trig7	comp2_out

表 194. LPTIM3 外部トリガ接続

TRIGSEL	外部トリガ
lptim_ext_trig0	LPTIM3_ETR のオルタネート機能としての GPIO ピン
lptim_ext_trig1	lptim1_out
lptim_ext_trig2	lptim2_out
lptim_ext_trig3	-
lptim_ext_trig4	-
lptim_ext_trig5	-
lptim_ext_trig6	-
lptim_ext_trig7	-

表 195. LPTIM1 入力 1 接続

lptim_in1	LPTIM1 入力 1 接続先
lptim_in1	LPTIM1_IN1 のオルタネート機能としての GPIO ピン
lptim_in1	comp1_out

表 196. LPTIM1 入力 2 接続

lptim_in2	LPTIM1 入力 2 接続先
lptim_in2	LPTIM1_IN2 のオルタネート機能としての GPIO ピン
lptim_in2	comp2_out

表 197. LPTIM2 入力 1 接続

lptim_in1	LPTIM2 入力 1 接続先
lptim_in1	LPTIM2_IN1 のオルタネート機能としての GPIO ピン
lptim_in1	comp1_out
lptim_in1	comp2_out
lptim_in1	comp1_out または comp2_out

表 198. LPTIM3 入力 1 接続

lptim_in1	LPTIM3 入力 1 接続先
lptim_in1	LPTIM3_IN1 のオルタネート機能としての GPIO ピン
lptim_in1	comp1_out
lptim_in1	comp2_out
lptim_in1	comp1_out または comp2_out

28.4.4 LPTIM のリセットとクロック

LPTIM のクロックには、いくつかのクロックソースを使用できます。LPTIM は、RCC で選択できる設定可能な任意の内部クロックソースである内部クロック信号を使用してクロックの供給を受けることができます（詳細については、RCC のセクションを参照）。また、LPTIM のクロックには、外部 Input1 に入力された外部クロック信号を使用することもできます。外部クロックソースでクロック供給される際には、LPTIM は、次の 2 つの構成のいずれかで動作します。

- 最初の構成では、LPTIM のクロックは外部信号によって供給されますが、同時に、設定可能な内部クロックソースからも内部クロック信号が LPTIM に供給されます（RCC のセクションを参照）。
- 2 番目の構成では、LPTIM のクロックは外部 Input1 を通じて外部クロックソースによってのみ供給されます。この構成は、低消費電力モードになった後、すべての埋め込みオシレータがオフになるときに、タイムアウト機能またはパルスカウンタ機能を実現するために使用されます。

CKSEL ビットおよび COUNTMODE ビットに書き込むことによって、LPTIM が外部クロックソースと内部クロックソースのいずれを使用するかを決めることができます。

外部クロックソースを使用するように設定されたときには、CKPOL ビットを使用して外部クロック信号のアクティブエッジを選択します。両方のエッジがアクティブとして設定された場合は、内部クロック信号も供給されます（最初の構成）。この場合、内部クロック信号の周波数は、外部クロック信号の周波数の 4 倍以上である必要があります。

28.4.5 グリッチフィルタ

LPTIM 入力の外部入力（GPIO にマップされたもの）または内部入力（チップレベルで他の内蔵ペリフェラルにマップされたもの）はデジタルフィルタによって保護され、グリッチとノイズの影響が LPTIM 内部に伝播されるのを防ぎます。これは、誤ったカウントまたはトリガを避けるためです。

デジタルフィルタをアクティブにする前に、内部クロックソースを LPTIM に供給する必要があります。これは、フィルタの正しい動作を保証するために必要です。

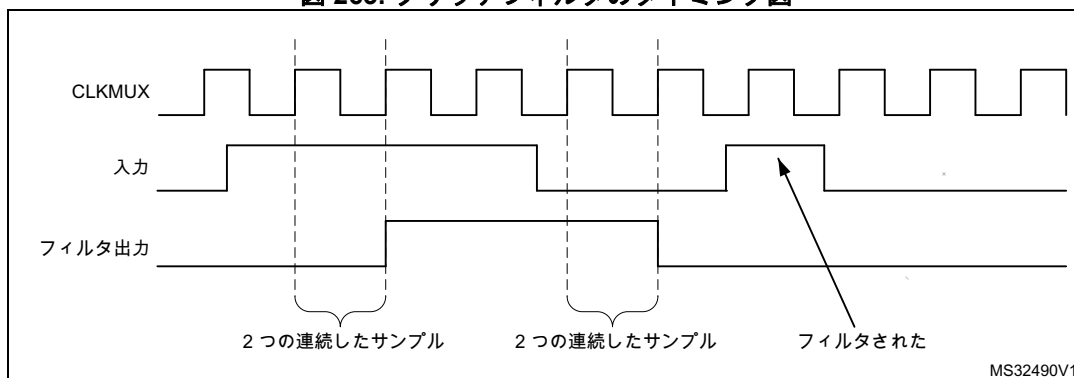
デジタルフィルタは、2 つのグループに分けられます。

- 最初のグループのデジタルフィルタは、LPTIM の内部または外部入力を保護します。デジタルフィルタの感度は CKFLT ビットによって制御されます。
- 2 番目のグループのデジタルフィルタは、LPTIM の内部または外部トリガ入力を保護します。デジタルフィルタの感度は TRGFLT ビットによって制御されます。

注： デジタルフィルタの感度は、グループごとに制御されます。同じグループ内の各デジタルフィルタの感度を個別に設定することはできません。

フィルタの感度は、信号のレベル変化を有効な遷移とみなすために、LPTIM 入力の 1 つで検出される連続した等しいサンプルの数に基づいて作用します。図 263 に、2 つの連続サンプルがプログラムされた場合のグリッチフィルタの動作例を示します。

図 263. グリッチフィルタのタイミング図



注： 内部クロック信号が供給されない場合は、CKFLT および TRGFLT ビットを 0 にセットすることによって、デジタルフィルタを無効にする必要があります。その場合、外部アナログフィルタを使用して、LPTIM の外部入力をグリッチから保護できます。

28.4.6 プリスケーラ

LPTIM 16 ビットカウンタの前には、設定可能な 2 のべき乗プリスケーラがあります。プリスケーラの分周比は PRESC[2:0] 3 ビットフィールドによって制御されます。下の表に、可能な分周比を示します。

表 199. プリスケーラ分周比

プログラミング	分周比
000	/1
001	/2
010	/4
011	/8
100	/16
101	/32
110	/64
111	/128

28.4.7 トリガマルチプレクサ

LPTIM カウンタは、ソフトウェアによって、または 8 つのトリガ入力の 1 つのアクティブエッジの検出後に開始できます。

LPTIM のトリガソースを決めるには、TRIGEN[1:0] が使用されます。

- TRIGEN[1:0] が 00 の場合、LPTIM カウンタは、CNTSTRT または SNGSTRT ビットがソフトウェアによってセットされるとすぐに開始します。TRIGEN[1:0] の残りの 3 つの可能な値は、トリガ入力によって使用されるアクティブエッジを設定するために使用されます。LPTIM カウンタは、アクティブエッジが検出されるとすぐに開始します。
- TRIGEN[1:0] が 00 以外の場合には、カウンタの開始に使用される 8 つのトリガ入力の 1 つを選択するために、TRIGSEL[2:0] が使用されます。

外部トリガは、LPTIM の場合、非同期信号とみなされます。したがって、同期のために、トリガ検出後、タイマが実行を開始するまでに 2 カウンタクロック周期の遅延が必要です。

タイマがすでに開始しているときに新しいトリガイイベントが発生した場合、無視されます (タイムアウト機能が有効な場合を除きます)。

注 : SNGSTRT/CNTSTRT ビットをセットする前に、タイマが有効になっている必要があります。タイマが無効なときにこれらのビットに書き込むと、ハードウェアによって破棄されます。

注 : ソフトウェアによってカウンタを開始する場合 (TRIGEN[1:0] = 00)、LPTIM_CR レジスタの更新 (SNGSTRT または CNTSTRT ビットのいずれかのセット) からカウンタが有効に開始されるまで 3 カーネルクロックサイクルの遅延が発生します。

28.4.8 動作モード

LPTIM には 2 つの動作モードがあります。

- 連続モード: タイマはフリーランニングし、トリガイイベントによって開始し、タイマが無効にされるまで停止しません。
- ワンショットモード: タイマはトリガイイベントによって開始し、LPTIM 更新イベントが生成されると停止します。

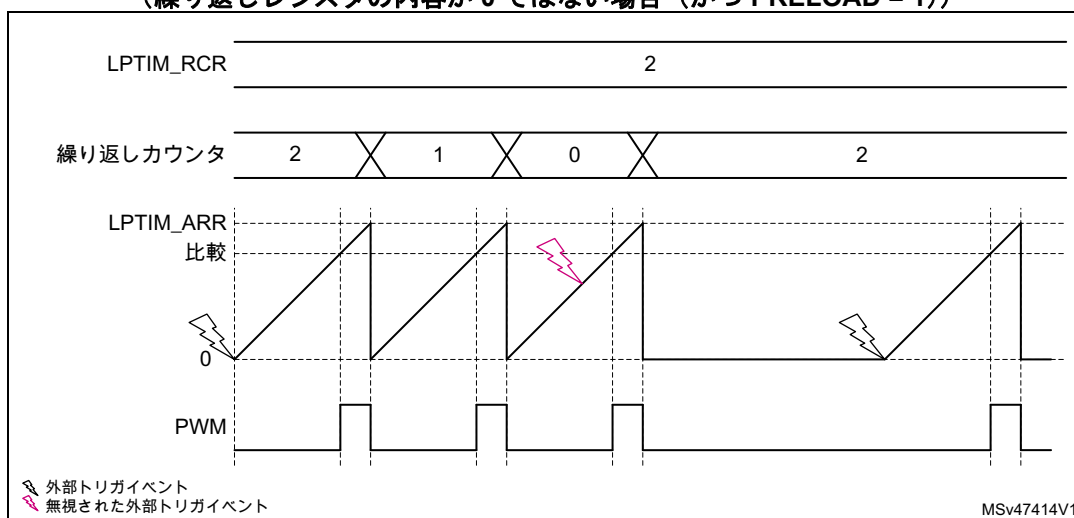
ワンショットモード

ワンショットカウントを有効にするには、SNGSTRT ビットをセットする必要があります。

新しいトリガイイベントが発生すると、タイマは再開します。カウンタが開始してから、次の LPTIM 更新イベントまでに発生したトリガイイベントは破棄されます。

外部トリガが選択された場合、SNGSTRT ビットがセットされた後で外部トリガイイベントを受信し、繰り返しカウンタが停止した後 (更新イベント後)、かつ繰り返しレジスタの内容が 0 ではない場合、繰り返しカウンタは繰り返しレジスタによってすでに入力された値を再ロードし、新たなワンショットカウントサイクルを開始します (図 264 を参照)。

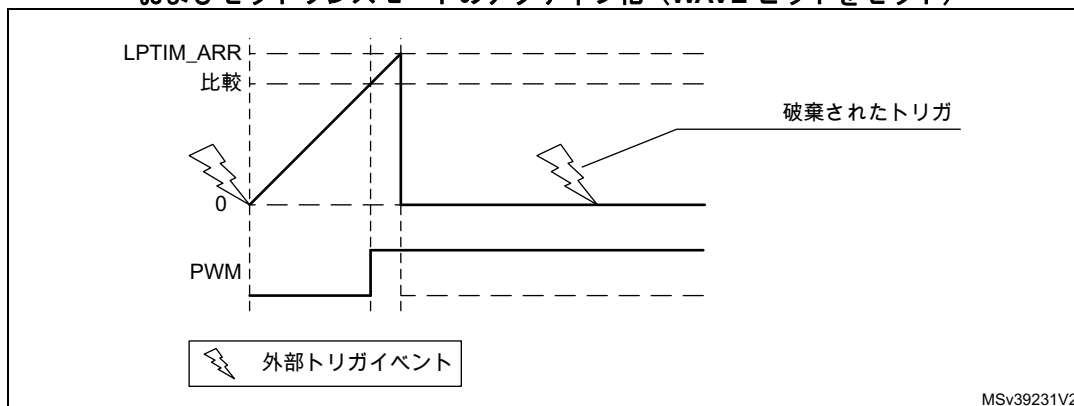
図 264. LPTIM 出力波形、シングルカウントモードの設定 (繰り返しレジスタの内容が 0 ではない場合 (かつ PRELOAD = 1))



- セットワンスモードのアクティブ化 :

LPTIM_CFGR レジスタの WAVE ビットフィールドがセットされると、セットワンスモードがアクティブになることに注意してください。この場合、最初のトリガに続いてカウンタが一度だけ開始され、その後発生したトリガイイベントはすべて破棄されます (図 265 を参照)。

図 265. LPTIM 出力波形、シングルカウントモードの設定
およびセットワンスモードのアクティブ化 (WAVE ビットをセット)



ソフトウェアによる開始の場合 (TRIGEN[1:0] = 00)、SNGSTRT をセットすると、カウンタはワンショットカウントを開始します。

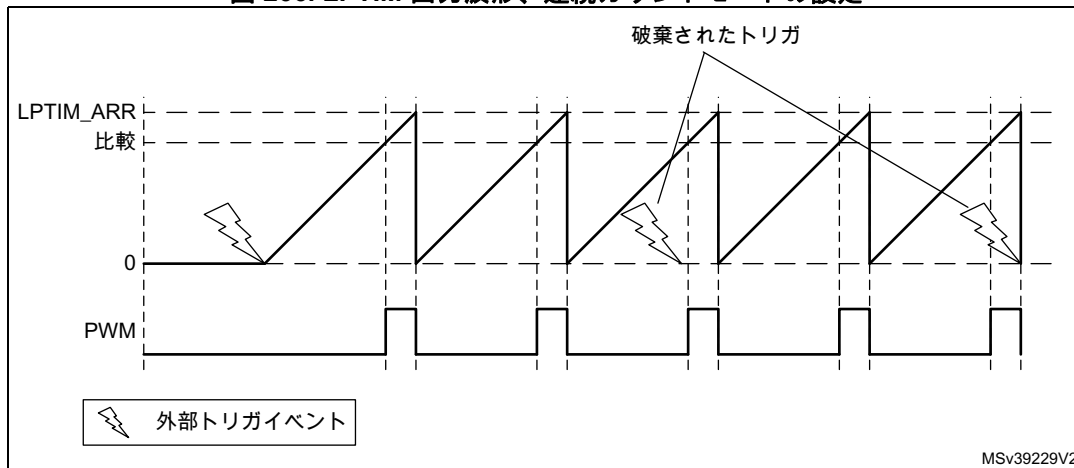
連続モード

連続カウントを有効にするには、CNTSTRT ビットをセットする必要があります。

外部トリガが選択された場合、CNTSTRT がセットされた後に外部トリガイイベントが着信すると、カウンタは連続カウントを開始します。その後発生した外部トリガイイベントはすべて、図 266 に示すように破棄されます。

ソフトウェアによる開始の場合 (TRIGEN[1:0] = 00)、CNTSTRT をセットすると、カウンタは連続カウントを開始します。

図 266. LPTIM 出力波形、連続カウントモードの設定



SNGSTRT および CNTSTRT ビットは、タイマが有効なときのみ (イネーブルビットが 1 にセットされている)、セットできます。動作中にワンショットモードから連続モードに変更することが可能です。

以前に連続モードが選択されていた場合、SNGSTRT をセットすると、LPTIM はワンショットモードに切り替わります。カウンタ (アクティブな場合) は、LPTIM 更新イベントが生成されるとすぐに停止します。

以前にワンショットモードが選択されていた場合、CNTSTRT をセットすると、LPTIM は連続モードに切り替わります。カウンタ (アクティブな場合) は、ARR に達するとすぐに再開始します。

28.4.9 タイムアウト機能

選択されたトリガ入力のアクティブエッジの検出を使用して、LPTIM カウンタをリセットできます。この機能は、TIMOUT ビットで制御されます。

最初のトリガイベントでタイマが開始し、その後のトリガイベントで LPTIM カウンタがリセットされ、繰り返しカウンタとタイマが再開します。

低消費電力タイムアウト機能を実現できます。タイムアウト値は、比較値に対応します。予期された時間内にトリガが発生しなかった場合、比較一致イベントによって MCU がウェイクアップします。

28.4.10 波形生成

2 つの 16 ビットレジスタ LPTIM_ARR (自動再ロードレジスタ) と LPTIM_CMP (比較レジスタ) は、LPTIM 出力のいくつかの異なる波形を生成するために使用されます。

タイマは次の波形を生成できます。

- PWM モード: LPTIM 出力は、LPTIM_CNT のカウンタ値が LPTIM_CMP の比較値を超えるとすぐにセットされます。LPTIM 出力は、LPTIM_ARR レジスタと LPTIM_CNT レジスタの間で一致が発生するとすぐにリセットされます。
- ワンパルスモード: 出力波形は、最初のパルスについては PWM モードの波形と同様であり、その後、出力は永続的にリセットされます。
- セットワンスモード: 出力波形はワンパルスモードと同様ですが、出力は最後の信号レベルに保たれます (設定された出力極性に応じて)。

上記のモードでは、LPTIM_ARR レジスタの値は LPTIM_CMP レジスタの値より大きい必要があります。

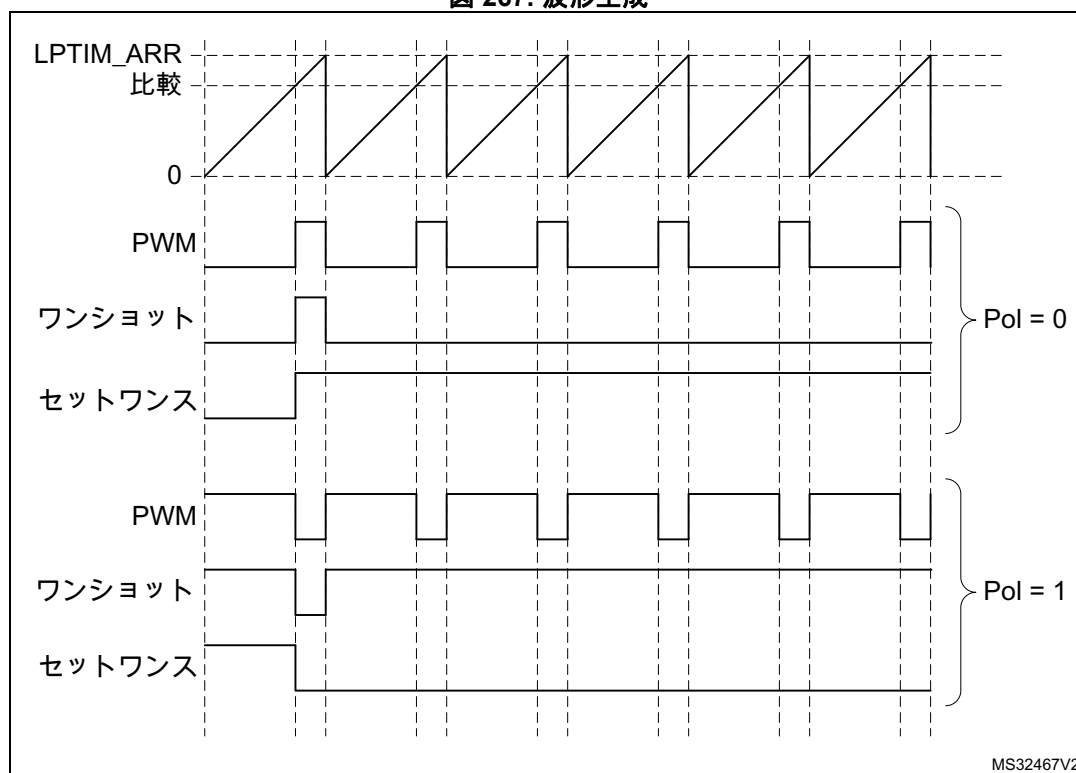
LPTIM 出力波形は、WAVE ビットによって次のように設定できます。

- WAVE ビットを 0 にリセットすると、LPTIM は CNTSTRT または SNGSTRT のセットされているビットに応じて、PWM 波形またはワンパルス波形のいずれかを生成します。
- WAVE ビットを 1 にセットすると、LPTIM はセットワンスモード波形を生成します。

WAVPOL ビットは、LPTIM 出力の極性を制御します。変更はただちに有効になるので、極性が再設定されると、タイマが有効になる前でも、出力のデフォルト値はただちに変更されます。

LPTIM クロック周波数を 2 分周した周波数までの信号を生成できます。図 267 に、LPTIM 出力で生成できる 3 つの波形を示します。また、WAVPOL ビットを使用して極性を変更したときの効果も示します。

図 267. 波形生成



28.4.11 レジスタの更新

LPTIM_ARR レジスタと LPTIM_CMP レジスタは、APB バス書き込み操作の直後、またはタイマがすでに開始していた場合は次の LPTIM 更新イベントと同期して更新されます。

PRELOAD ビットは、LPTIM_ARR および LPTIM_CMP レジスタの更新方法を制御します。

- PRELOAD ビットが“0”にリセットされたときには、LPTIM_ARR レジスタおよび LPTIM_CMP レジスタは書き込みアクセスの直後に更新されます。
- PRELOAD ビットが“1”にセットされたときには、LPTIM_ARR レジスタおよび LPTIM_CMP レジスタは、次の LPTIM 更新イベント時に更新されます（タイマがすでに開始していた場合）。

LPTIM APB インタフェースと LPTIM カーネルロジックは異なるクロックを使用するので、APB 書き込みから、これらの値がカウンタコンパレータで使用可能になるまで、遅延があります。この遅延時間内は、これらのレジスタに追加で書き込めません。

LPTIM_ISR レジスタの ARROK フラグと CMPOK フラグは、それぞれ、LPTIM_ARR レジスタと LPTIM_CMP レジスタへの書き込み操作が完了したことを示します。

LPTIM_ARR レジスタまたは LPTIM_CMP レジスタへの書き込みの後、同じレジスタへの新しい書き込み操作は、前の書き込み操作が完了してからでなければ実行できません。ARROK フラグまたは CMPOK フラグがセットされる前に連続した書き込みが行われると、予測不能な結果になります。

28.4.12 カウンタモード

LPTIM カウンタを使用して、LPTIM Input1 の外部イベントをカウントするか、内部クロックサイクルをカウントすることができます。CKSEL ビットおよび COUNTMODE ビットは、カウンタの更新にどのソースを使用するかを決定します。

LPTIM が Input1 の外部イベントをカウントするように設定された場合、カウンタは、CKPOL[1:0] ビットに書き込まれた値に応じて、立ち上がりエッジ、立ち下がりエッジ、または両方のエッジで更新できます。

CKSEL および COUNTMODE の値に応じて、以下に示すカウントモードを選択できます。

- CKSEL = 0 : LPTIM のクロックは、内部クロックソースによって供給されます。
 - COUNTMODE = 0
LPTIM が内部クロックソースによってクロック供給されるように設定され、LPTIM カウンタが各内部クロックパルス後に更新されるように設定されます。
 - COUNTMODE = 1
LPTIM 外部 Input1 は、LPTIM に供給される内部クロックでサンプリングされます。
結果として、イベントをミスしないためには、外部 Input1 信号の変化の周波数が、LPTIM に供給される内部クロックの周波数を超えない必要があります。また、LPTIM に供給される内部クロックを分周してはなりません (PRESC[2:0] = 000)。
- CKSEL = 1 : LPTIM のクロックは、外部クロックソースによって供給されます。
COUNTMODE の値は無視されます。
この構成では、LPTIM は内部クロックソースを必要としません (グリッチフィルタ有効である場合を除く)。LPTIM 外部 Input1 に入力された信号が LPTIM のシステムクロックとして使用されます。この構成は、埋め込みオシレータを有効にしない動作モードに適しています。
この構成の場合、LPTIM カウンタは、Input1 クロック信号の立ち上がりエッジまたは立ち下がりエッジで更新できますが、立ち上がりと立ち下がりの両方のエッジで更新することはできません。
LPTIM 外部 Input1 に入力された信号は LPTIM カーネルロジックのクロック動作にも使用されるので、カウンタがインクリメントされる前 (LPTIM が有効にされた後)、初期遅延があります。より正確には、LPTIM 外部 Input1 の (LPTIM が有効になった後の) 最初の 5 つのアクティブエッジは失われます。

28.4.13 タイマ有効

LPTIM_CR レジスタのイネーブルビットは、LPTIM カーネルロジックを有効化/無効化するために使用されます。イネーブルビットをセットした後、LPTIM が実際に有効になるまで、2 カウンタクロックの遅延が必要です。

LPTIM_CFGR および LPTIM_IER レジスタの変更は、LPTIM が無効なときにのみ行う必要があります。

28.4.14 タイマカウンタのリセット

LPTIM_CNT レジスタの内容をゼロにリセットするために、以下の2つのリセットメカニズムが実装されています。

- 同期リセットメカニズム：同期リセットは、LPTIM_CR レジスタの COUNTRST ビットによって制御されます。COUNTRST ビットフィールドを“1”にセットした後、リセット信号が LPTIM カーネルクロックドメイン内に伝播されます。したがって、リセットが考慮される前に、LPTIM カーネルロジックの若干のクロックパルスが経過することに注意することが重要です。このため、リセットがトリガされてから有効になるまでの間に、LPTIM カウンタは若干の余分なパルスをカウントします。COUNTRST ビットは APB クロックドメインに位置し、LPTIM カウンタは LPTIM カーネルクロックドメインに位置しているため、COUNTRST ビットに“1”を書き込んだ時に APB クロックによって発行されるリセット信号に同期するのに、カーネルクロックの3クロックサイクルの遅延が必要となります。
- 非同期リセットメカニズム：非同期リセットは、LPTIM_CR レジスタにある RSTARE ビットによって制御されます。このビットが“1”にセットされると、LPTIM_CNT レジスタに対するあらゆる読出しアクセスによって、その内容がゼロにリセットされます。非同期リセットは、LPTIM コアクロックが提供されない時間枠内にトリガされるべきです。たとえば、LPTIM 入力 1 が外部クロックソースとして使用されているとき、非同期リセットは、LPTIM 入力 1 に反転が起きないという十分な保証があるときのみ適用すべきです。
LPTIM_CNT レジスタの内容を信頼できるように読み出すためには、2回の連続した読出しアクセスを実行して比較する必要があることに注意してください。2回の読出しアクセスで得られた値が同じであるとき、各読出しアクセスは信頼できると考えられます。しかし残念ながら、非同期リセットが有効になっているとき、LPTIM_CNT レジスタを2度読み出すことはできません。

警告： LPTIM 内部には、2つのリセットメカニズムを同時に使用することを防ぐメカニズムはありません。したがって、開発者はこれらの2つのメカニズムを排他的に使用することを確実にする必要があります。

28.4.15 エンコーダモード

このモードでは、ロータリー素子の角度位置の検出に使用される直交エンコーダからの信号を処理できません。エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と LPTIM_ARR レジスタでプログラムされた自動再ロード値の間で（方向に応じて、0 から ARR まで、または ARR から 0 まで）連続的にカウントすることを意味します。したがって、カウンタの開始前に LPTIM_ARR を設定する必要があります。Input1 と Input2 の2つの外部入力信号から、LPTIM カウンタのクロックのためのクロック信号が生成されます。この2つの信号の間の位相によって、カウント方向が決まります。

エンコーダモードは、LPTIM が内部クロックソースからクロック供給されるときのみ使用できません。Input1 と Input2 の両方の信号周波数は、LPTIM 内部クロック周波数を4分周したものを超えてはなりません。これは、LPTIM の正しい動作を保証するために必要です。

方向の変更は、LPTIM_ISR レジスタの Down と Up の2つのフラグによって通知されます。また、DOWNIE ビットを通じて有効化された場合、両方の方向変更イベントで割り込みを生成できます。

エンコーダモードを有効にするには、ENC ビットを1にセットする必要があります。LPTIM を、まず、連続モードに設定する必要があります。

エンコーダモードがアクティブなとき、LPTIM カウンタはインクリメンタルエンコーダの速度と方向に従って自動的に変更されます。したがって、その内容は常にエンコーダの位置を表します。カウント方向は、Up および Down フラグによって通知され、エンコーダのロータの回転方向に対応します。

CKPOL[1:0] ビットを使用して設定されたエッジ検出に応じて、さまざまなカウントシナリオが可能です。次の表に、可能な組み合わせを示します (Input1 と Input2 は同時に切り替わらないと想定しています)。

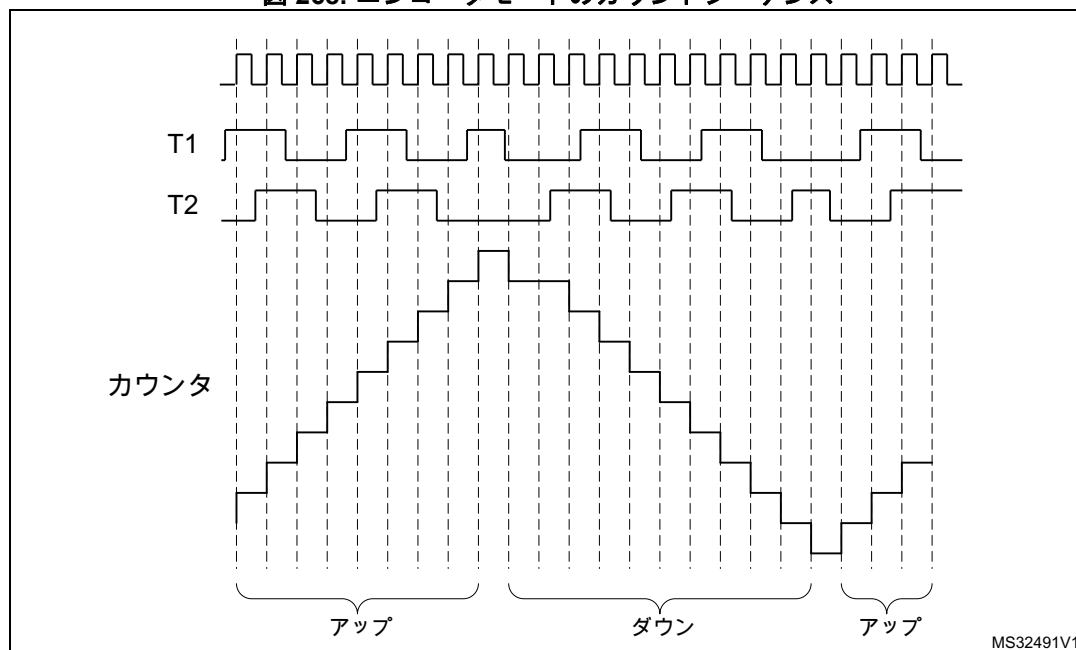
表 200. エンコーダのカウントシナリオ

アクティブエッジ	他方の信号のレベル (Input2 に対する Input1、Input1 に対する Input2)	Input1 信号		Input2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
立ち上がりエッジ	高	ダウン	カウントなし	アップ	カウントなし
	ロー	アップ	カウントなし	ダウン	カウントなし
立ち下がりエッジ	高	カウントなし	アップ	カウントなし	ダウン
	ロー	カウントなし	ダウン	カウントなし	アップ
両エッジ	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

次の図に、両方のエッジ検出が設定された場合のエンコーダモードのカウントシーケンスを示します。

注意 : このモードでは、LPTIM のクロックは内部クロックソースによって供給される必要があるため、CKSEL ビットをリセット値 (0) に維持する必要があります。また、プリスケアラの分周比はリセット値である 1 に等しくなければなりません (PRESC[2:0] ビットが 000 である必要があります)。

図 268. エンコーダモードのカウントシーケンス



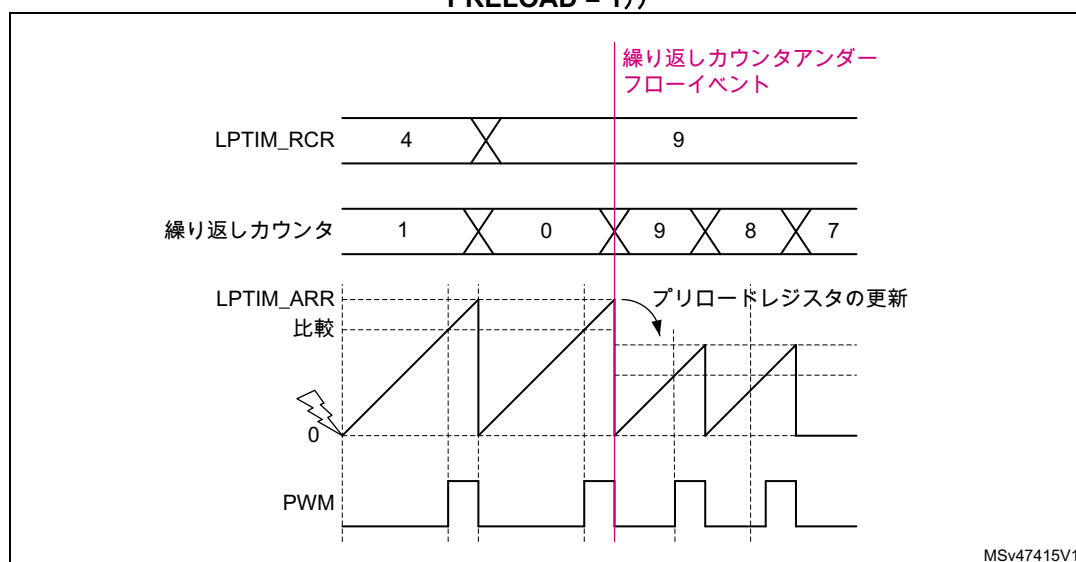
28.4.16 繰り返しカウンタ

LPTIM には、LPTIM カウンタオーバーフローイベントが発生するたびに 1 ずつデクリメントする繰り返しカウンタが搭載されています。繰り返しカウンタアンダーフローイベントは、繰り返しカウンタに 0 が含まれ、LPTIM カウンタがオーバーフローすると生成されます。各繰り返しカウンタアンダーフローイベント後、繰り返しカウンタには繰り返しレジスタ LPTIM_RCR に属する REP[7:0] ビットフィールドの内容がロードされます。

繰り返しアンダーフローイベントは、REP[7:0] レジスタが 0 にセットされる場合、各 LPTIM カウンタオーバーフロー時に生成されます。

PRELOAD = 1 のとき、REP[7:0] ビットフィールドに書き込んでも、次の繰り返しアンダーフローイベントが発生するまで繰り返しカウンタの内容に影響しません。繰り返しカウンタが各 LPTIM カウンタオーバーフローイベントでデクリメントし続け、繰り返しアンダーフローイベントが生成された場合のみ、REP[7:0] に書き込まれた新しい値が繰り返しカウンタにロードされます。この動作を図 269 に示します。

図 269. 連続カウントモード（繰り返しレジスタ LPTIM_RCR が 0 ではない場合（かつ PRELOAD = 1））



繰り返しカウンタアンダーフローイベントは、LPTIM プリロードレジスタの更新と体系的に関連付けられています（詳細はセクション「レジスタの更新」を参照）。

繰り返しカウンタアンダーフローイベントは、LPTIM_ISR レジスタにマップされた更新イベント (UE) フラグでソフトウェアに送信されます。LPTIM_IER レジスタにマップされた、それぞれの更新イベント割込みイネーブル (UEIE) 制御ビットがセットされている場合、UE フラグがセットされると、それによって LPTIM 割込みがトリガできます。

繰り返しレジスタ LPTIM_RCR は APB バスインタフェースクロックドメインにあり、繰り返しカウンタ自体は LPTIM カーネルクロックドメインにあります。新しい値が LPTIM_RCR レジスタに書き込まれるたびに、新しい内容が APB バスインタフェースクロックドメインから LPTIM カーネルクロックドメインに伝播され、新たに書き込まれた値は繰り返しカウンタアンダーフローイベント直後に繰り返しカウンタにロードされます。新たに書き込まれた内容の同期遅延は 4 APB クロックサイクルと 3 LPTIM カーネルクロックサイクルとなり、経過すると LPTIM_ISR レジスタにある REPOK フラグによって通知されます。LPTIM カーネルが LSI クロックソースからクロック供給されている場合など、LPTIM カーネルクロックサイクルが比較的遅くなる場合、LPTIM_RCR レジスタの内容の同期が完了したことをソフトウェアで検出する REPOK フラグでしばらくポーリングすることができ

ます。そのため、LPTIM_IER レジスタの関連する REPOKIE 制御ビットがセットされていると、REPOK フラグがセットされた時に 割込みを生成できます。

注： LPTIM_RCR レジスタへの書込みの後、同じレジスタへの新しい書込み操作は、前の書込み操作が完了してからでなければ実行できません。REPOK フラグがセットされる前に連続した書込みが行われると、予測不能な結果になります。

注意： PRELOAD = 0 で繰り返しカウンタを使用する場合、LPTIM_RCR レジスタは、自動再ロード一致イベントの少なくとも 5 カウンタサイクル前に変更する必要があります。そうしないと、予測不能な動作が発生することがあります。

28.4.17 デバッグモード

マイクロコントローラがデバッグモードになると（コアは停止状態）、LPTIM カウンタは、DBG モジュールの DBG_LPTIM_STOP 設定ビットに応じて、通常どおりに動作を続けるか、または停止します。

28.5 LPTIM 低消費電力モード

表 201. 低消費電力モードが LPTIM に与える影響

モード	説明
SLEEP	影響はありません。LPTIM 割込みによって、デバイスは SLEEP モードを終了します。
STOP	STOP モードで使用可能なオシレータから LPTIM のクロックが供給されている場合、LPTIM は機能し、割込みによってデバイスは STOP モードを終了します（ セクション 28.3: LPTIM の実装 を参照）。
STANDBY	LPTIM ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

28.6 LPTIM 割込み

LPTIM_IER レジスタで有効化されていた場合、次のイベントが発生すると、割込み／ウェイクアップイベントが生成されます。

- 比較一致
- 自動再ロード一致（エンコーダモードの場合は方向にかかわらず）
- 外部トリガイベント
- 自動再ロードレジスタへの書込み完了
- 比較レジスタへの書込み完了
- 方向変更（エンコーダモード）、プログラム可能（アップ／ダウン／両方）
- 更新イベント
- 繰り返しレジスタ更新 OK

注： LPTIM_ISR レジスタ（ステータスレジスタ）の対応するフラグがセットされた後で LPTIM_IER レジスタのビットがセットされた場合、割込みはアサートされません。

表 202. 割込みイベント

割込みイベント	説明
比較一致	カウンタレジスタ (LPTIM_CNT) の内容が比較レジスタ (LPTIM_CMP) の内容と一致したときに、割込みフラグが立ちます。
自動再ロード一致	カウンタレジスタ (LPTIM_CNT) の内容が自動再ロードレジスタ (LPTIM_ARR) の内容と一致したときに、割込みフラグが立ちます。
外部トリガイベント	外部トリガイベントが検出されたときに、割込みフラグが立ちます。
自動再ロードレジスタ更新 OK	LPTIM_ARR レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
比較レジスタ更新 OK	LPTIM_CMP レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
方向の変更	エンコーダモードで使用されます。方向の変更を通知するために次の 2 つの割込みフラグが内蔵されています。 <ul style="list-style-type: none"> – UP フラグはアップカウント方向への変更を通知します。 – DOWN フラグはダウンカウント方向への変更を通知します。
更新イベント	繰り返しカウンタアンダーフロー (または 0 を含む) および LPTIM カウンタオーバーフローが発生したときに、割込みフラグが立ちます。
繰り返しレジスタ更新 OK	REPOK は、LPTIM_RCR レジスタへの APB バス書き込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。

28.7 LPTIM レジスタ

28.7.1 LPTIM 割り込みおよびステータスレジスタ (LPTIM_ISR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP OK	UE	DOWN	UP	ARR OK	CMP OK	EXT TRIG	ARRM	CMPM
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **REPOK** : 繰り返しレジスタ更新 OK

REPOK は、LPTIM_RCR レジスタへの APB バス書き込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。REPOK フラグは、LPTIM_ICR レジスタの REPOKCF ビットに 1 を書き込むことでクリアできます。

ビット 7 **UE** : LPTIM 更新イベントの発生

UE は、更新イベントが生成されたことをアプリケーションに知らせるために、ハードウェアによってセットされます。UE フラグは、LPTIM_ICR レジスタの UECF ビットに 1 を書き込むことでクリアできます。

ビット 6 **DOWN** : カウンタの方向をアップからダウンへ変更

エンコーダモードでは、DOWN ビットは、カウンタの方向がアップからダウンに変更されたことをアプリケーションに知らせるために、ハードウェアによってセットされます。DOWN フラグは、LPTIM_ICR レジスタの DOWNCF ビットに 1 を書き込むことでクリアできます。

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3: LPTIM の実装](#) を参照してください。

ビット 5 **UP** : カウンタの方向をダウンからアップへ変更

エンコーダモードでは、UP ビットは、カウンタの方向がダウンからアップに変更されたことをアプリケーションに知らせるために、ハードウェアによってセットされます。UP フラグは、LPTIM_ICR レジスタの UPCF ビットに 1 を書き込むことでクリアできます。

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3: LPTIM の実装](#) を参照してください。

ビット 4 **ARROK** : 自動再ロードレジスタ更新 OK

ARROK は、LPTIM_ARR レジスタへの APB バス書き込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。ARROK フラグは、LPTIM_ICR レジスタの ARROKCF ビットに 1 を書き込むことでクリアできます。

ビット 3 **CMPOK** : 比較レジスタ更新 OK

CMPOK は、LPTIM_CMP レジスタへの APB バス書き込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。

ビット 2 **EXTTRIG** : 外部トリガエッジイベント

EXTTRIG は、選択された外部トリガ入力で有効なエッジが発生したことをアプリケーションに知らせるために、ハードウェアによってセットされます。タイマがすでに開始していたためにトリガが無視された場合、このフラグはセットされません。EXTTRIG フラグは、LPTIM_ICR レジスタの EXTTRIGCF ビットに 1 を書き込むことでクリアできます。

ビット 1 **ARRM** : 自動再ロード一致

ARRM は、LPTIM_CNT レジスタの値が LPTIM_ARR レジスタの値に達したことをアプリケーションに知らせるために、ハードウェアによってセットされます。ARRM フラグは、LPTIM_ICR レジスタの ARRMCF ビットに 1 を書き込むことでクリアできます。

ビット 0 **CMPM** : 比較一致

CMPM は、LPTIM_CNT レジスタの値が LPTIM_CMP レジスタの値に達したことをアプリケーションに知らせるために、ハードウェアによってセットされます。

28.7.2 LPTIM 割込みクリアレジスタ (LPTIM_ICR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOK CF	UECF	DOWN CF	UPCF	ARRO KCF	CMPO KCF	EXTTR IGCF	ARRM CF	CMPM CF
							w	w	w	w	w	w	w	w	w

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **REPOKCF** : 繰り返しレジスタ更新 OK クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの REPOK フラグがクリアされます。

ビット 7 **UECF** : 更新イベントクリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの UE フラグがクリアされます。

ビット 6 **DOWNCF** : ダウンへの方向変更フラグクリア

このビットに 1 を書き込むと、LPTIM_ISR レジスタの DOWN フラグがクリアされます。

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3](#) を参照してください。

ビット 5 **UPCF** : アップへの方向変更フラグクリア

このビットに 1 を書き込むと、LPTIM_ISR レジスタの UP フラグがクリアされます。

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3](#) を参照してください。

ビット 4 **ARROKCF** : 自動再ロードレジスタ更新 OK クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの ARROK フラグがクリアされます。

ビット 3 **CMPOKCF** : 比較レジスタ更新 OK クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの CMPOK フラグがクリアされます。

ビット 2 **EXTTRIGCF** : 外部トリガ有効エッジクリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの EXTTRIG フラグがクリアされます。

ビット 1 **ARRMCF** : 自動再ロード一致クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの ARRM フラグがクリアされます。

ビット 0 **CMPMCF** : 比較一致クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの CMP フラグがクリアされます。

28.7.3 LPTIM 割込み有効レジスタ (LPTIM_IER)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOK IE	UEIE	DOWNI E	UPIE	ARRO KIE	CMPO KIE	EXT TRIGIE	ARRM IE	CMPM IE
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **REPOKIE** : 繰り返しレジスタ更新 OK 割込みイネーブル

0 : 繰り返しレジスタ更新 OK 割込みは無効です。

1 : 繰り返しレジスタ更新 OK 割込みは有効です。

ビット 7 **UEIE** : 更新イベント割込みイネーブル

0 : 更新イベント割込みは無効です。

1 : 更新イベント割込みは有効です。

ビット 6 **DOWNIE** : ダウンへの方向変更割込み有効化

0 : DOWN 割込み無効

1 : DOWN 割込み有効

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3](#) を参照してください。

ビット 5 **UPIE** : アップへの方向変更割込み有効化

0 : UP 割込み無効

1 : UP 割込み有効

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3](#) を参照してください。

ビット 4 **ARROKIE** : 自動再ロードレジスタ更新 OK 割込み有効化

0 : ARROK 割込み無効

1 : ARROK 割込み有効

ビット 3 **CMPOKIE** : 比較レジスタ更新 OK 割込みイネーブル

0 : CMPOK 割込み無効

1 : CMPOK 割込み有効

ビット 2 **EXTTRIGIE** : 外部トリガ有効エッジ割込み有効化

0 : EXTTRIG 割込み無効

1 : EXTTRIG 割込み有効

ビット 1 **ARRMIE** : 自動再ロード一致割込み有効化

0 : ARRM 割込み無効

1 : ARRM 割込み有効

ビット 0 **CMPMIE** : 比較一致割込み有効化

0 : CMPM 割込み無効

1 : CMPM 割込み有効

注意 : LPTIM_IER レジスタの変更は、LPTIM が無効 (イネーブルビットが 0 にリセットされている) のときにのみ行う必要があります。

28.7.4 LPTIM 設定レジスタ (LPTIM_CFGR)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC	COUNT MODE	PRE LOAD	WAV POL	WAVE	TIMOUT	TRIGEN[1:0]		Res.
							rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGSEL[2:0]			Res.	PRESC[2:0]			Res.	TRGFLT[1:0]		Res.	CKFLT[1:0]		CKPOL[1:0]		CKSEL
rw	rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ENC** : エンコーダモード有効化

ENC ビットは、エンコーダモードを制御します。

0 : エンコーダモード無効

1 : エンコーダモード有効

注 : LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。[セクション 28.3](#) を参照してください。

ビット 23 **COUNTMODE** : カウンタモード有効化

COUNTMODE ビットは、LPTIM がカウンタのクロックに使用するクロックソースを選択します。

0 : カウンタは各内部クロックのパルスに従ってインクリメントされます。

1 : カウンタは LPTIM 外部 Input1 の各有効なクロックパルスに従ってインクリメントされます。

ビット 22 **PRELOAD** : レジスタ更新モード

PRELOAD ビットは、LPTIM_ARR、LPTIM_RCR、および LPTIM_CMP レジスタの更新方法を制御します。

0 : レジスタは、各 APB バス書き込みアクセス後に更新されます。

1 : レジスタは、現在の LPTIM 周期の終了時に更新されます。

ビット 21 **WAVPOL** : 波形極性

WAVPOL ビットは、出力の極性を制御します。

0 : LPTIM 出力は LPTIM_CNT レジスタと LPTIM_CCRx レジスタの比較結果を反映します。

1 : LPTIM 出力は LPTIM_CNT レジスタと LPTIM_CCRx レジスタの比較結果の逆を反映します。

ビット 20 **WAVE** : 波形

WAVE ビットは、出力波形を制御します。

0 : セットワンスモードを非アクティブにします。

1 : セットワンスモードをアクティブにします。

ビット 19 **TIMOUT** : タイムアウト有効化

TIMOUT ビットは、タイムアウト機能を制御します。

0 : タイマがすでに開始しているときに着信したトリガイベントは無視されます。

1 : タイマがすでに開始しているときにトリガイベントが着信すると、LPTIM カウンタと繰り返しカウンタがリセットされ、再開します。

ビット 18:17 **TRIGEN[1:0]** : トリガ有効化および極性

TRIGEN ビットは、LPTIM カウンタが外部トリガによって開始されるかどうかを制御します。外部トリガオプションが選択された場合、トリガのアクティブエッジについて 3 つの構成が可能です。

00 : ソフトウェアトリガ (カウンタの開始はソフトウェアによって行われます)。

01 : 立ち上がりエッジがアクティブエッジです。

10 : 立ち下がりエッジがアクティブエッジです。

11 : 両方のエッジがアクティブエッジです。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **TRIGSEL[2:0]** : トリガセレクタ

TRIGSEL ビットは、次の 8 つのソースの中から LPTIM のトリガイベントの役目を果たすトリガソースを選択します。

000 : lptim_ext_trig0

001 : lptim_ext_trig1

010 : lptim_ext_trig2

011 : lptim_ext_trig3

100 : lptim_ext_trig4

101 : lptim_ext_trig5

110 : lptim_ext_trig6

111 : lptim_ext_trig7

詳細については、[セクション 28.4.3: LPTIM 入力およびトリガマッピング](#)を参照してください。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:9 **PRESC[2:0]** : クロックプリスケアラ

PRESC ビットは、プリスケアラ分周比を設定します。次の分周比から選択できます。

000 : /1

001 : /2

010 : /4

011 : /8

100 : /16

101 : /32

110 : /64

111 : /128

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **TRGFLT[1:0]** : 設定可能なトリガ用デジタルフィルタ

TRGFLT 値は、有効なレベル遷移とみなされる前に、内部トリガでレベル変更が発生したときに検出されなければならない連続した等しいサンプルの数を設定します。この機能を使用するには、内部クロックソースが必要です。

00 : トリガのアクティブレベル変更は、有効なトリガとみなされます。

01 : トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 2 クロック周期にわたって安定している必要があります。

10 : トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 4 クロック周期にわたって安定している必要があります。

11 : トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 8 クロック周期にわたって安定している必要があります。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:3 CKFLT[1:0] : 設定可能な外部クロック用デジタルフィルタ

CKFLT 値は、有効なレベル遷移とみなされる前に、外部クロック信号でレベル変更が発生したときに検出されなければならない連続した等しいサンプルの数を設定します。この機能を使用するには、内部クロックソースが必要です。

00 : 外部クロック信号のレベル変更は、有効な遷移とみなされます。

01 : 外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 2 クロック周期にわたって安定している必要があります。

10 : 外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 4 クロック周期にわたって安定している必要があります。

11 : 外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 8 クロック周期にわたって安定している必要があります。

ビット 2:1 CKPOL[1:0] : クロック極性

LPTIM のクロックが外部クロックソースによって供給されるとき、CKPOL ビットは、カウンタによって使用されるアクティブエッジを設定するために使用されます。

00 : 立ち上がりエッジが、カウンタに使用されるアクティブエッジです。

LPTIM がエンコーダモードで設定されている (ENC ビットがセットされている) 場合、エンコーダサブモード 1 がアクティブです。

01 : 立ち下がりエッジが、カウンタに使用されるアクティブエッジです。

LPTIM がエンコーダモードで設定されている (ENC ビットがセットされている) 場合、エンコーダサブモード 2 がアクティブです。

10 : 両方のエッジがアクティブエッジです。外部クロック信号の両方のエッジがアクティブエッジとみなされるときには、LPTIM のクロックは内部クロックソースからも供給される必要があります、その周波数は外部クロック周波数の 4 倍以上である必要があります。

LPTIM がエンコーダモードで設定されている (ENC ビットがセットされている) 場合、エンコーダサブモード 3 がアクティブです。

11 : 使用できません。

エンコーダモードのサブモードの詳細については、[セクション 28.4.15: エンコーダモード](#)を参照してください。

ビット 0 CKSEL : クロックセレクタ

CKSEL ビットは、LPTIM が使用するクロックソースを選択します :

0 : LPTIM のクロックは内部クロックソースによって供給されます (APB クロックまたは埋め込みオシレータ)。

1 : LPTIM のクロックは、LPTIM 外部 Input1 を通じて外部クロックソースによって供給されます。

注意 : LPTIM_CFGR レジスタの変更は、LPTIM が無効 (イネーブルビットが 0 にリセットされている) のときにのみ行う必要があります。

28.7.5 LPTIM 制御レジスタ (LPTIM_CR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RST ARE	COUN TRST	CNT STRT	SNG STRT	ENA BLE
											rw	rs	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **RSTARE** : 読出し後リセット有効化

このビットは、ソフトウェアによってセット/クリアされます。RSTARE が“1”にセットされると、LPTIM_CNT レジスタに対するあらゆる読出しアクセスによって、LPTIM_CNT レジスタの内容が非同期的にリセットされます。このビットをセットできるのは、LPTIM が有効なときだけです。

ビット 3 **COUNTRST** : カウンタリセット

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。“1”にセットされると、このビットは LPTIM_CNT カウンタレジスタの同期リセットをトリガします。このリセットの同期的な性質のため、3 LP タイマコアクロックサイクルの同期的遅延の後のみ、この状況が発生します (LP タイマコアクロックは APB クロックと異なる場合があります)。

このビットをセットできるのは、LPTIM が有効なときだけです。ハードウェアによって自動的にリセットされず。

注意 : **COUNTRST** は、ハードウェアによって“0”にクリアされる前に、ソフトウェアによって“1”にセットしてはなりません。したがって、ソフトウェアで **COUNTRST** ビットを“1”にセットしようとする前に、それがすでに“0”にクリアされていることを確認する必要があります。

ビット 2 **CNTSTRT** : 連続モードでタイマ開始

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。ソフトウェア開始 (TRIGEN[1:0] = 00) の場合、このビットをセットすると、LPTIM は連続モードで開始します。ソフトウェア開始が無効 (TRIGEN[1:0] が 00 以外) の場合、このビットをセットすると、外部トリガが検出されるとすぐに、タイマは連続モードで開始します。シングルパルスモードでのカウント中にこのビットがセットされた場合、LPTIM_ARR レジスタと LPTIM_CNT レジスタが次に一致したときにタイマは停止せず、LPTIM カウンタは連続モードでのカウントを続行します。このビットをセットできるのは、LPTIM が有効なときだけです。ハードウェアによって自動的にリセットされず。

ビット 1 **SNGSTRT** : シングルモードで LPTIM 開始

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。ソフトウェア開始 (TRIGEN[1:0] = 00) の場合、このビットをセットすると、LPTIM はシングルパルスモードで開始します。ソフトウェア開始が無効 (TRIGEN[1:0] が 00 以外) の場合、このビットをセットすると、外部トリガが検出されるとすぐに、LPTIM はシングルパルスモードで開始します。LPTIM が連続カウントモードのときにこのビットがセットされた場合、LPTIM は LPTIM_ARR レジスタと LPTIM_CNT レジスタが次に一致したときに停止します。このビットをセットできるのは、LPTIM が有効なときだけです。ハードウェアによって自動的にリセットされず。

ビット 0 **ENABLE** : LPTIM 有効化

イネーブルビットは、ソフトウェアによってセット/クリアされます。
 0 : LPTIM は無効です。
 1 : LPTIM は有効です。

28.7.6 LPTIM 比較レジスタ (LPTIM_CMP)

アドレス・オフセット : 0x014

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CMP[15:0]** : 比較値

CMP は、LPTIM によって使用される比較値です。

注意 : LPTIM_CMP レジスタの変更は、LPTIM が有効 (イネーブルビットが 1 にセットされている) のときにのみ行う必要があります。

28.7.7 LPTIM 自動再ロードレジスタ (LPTIM_ARR)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ARR[15:0]** : 自動再ロード値

ARR は、LPTIM の自動再ロード値です。

この値は、CMP[15:0] 値より大きくなければなりません。

注意 : LPTIM_ARR レジスタの変更は、LPTIM が有効 (イネーブルビットが 1 にセットされている) のときにのみ行う必要があります。

28.7.8 LPTIM カウンタレジスタ (LPTIM_CNT)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]** : カウンタ値

LPTIM が非同期クロックで実行しているとき、LPTIM_CNT レジスタを読み出すと、信頼できない値が返されることがあります。したがって、この場合、2つの連続した読出しアクセスを実行して、返された2つの値が同じかどうかを確認する必要があります。

28.7.9 LPTIM1 オプションレジスタ (LPTIM1_OR)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OR_1** : オプションレジスタビット 1

- 0 : LPTIM1 入力 2 は I/O に接続されます。
- 1 : LPTIM1 入力 2 は COMP2_OUT に接続されます。

ビット 0 **OR_0** : オプションレジスタビット 0

- 0 : LPTIM1 入力 1 は I/O に接続されます。
- 1 : LPTIM1 入力 1 は COMP1_OUT に接続されます。

28.7.10 LPTIM2 オプションレジスタ (LPTIM2_OR)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **OR_[1:0]** :

- 00 : 入力 1 は I/O に接続されます。
- 01 : 入力 1 は COMP1_OUT に接続されます。
- 10 : 入力 1 は COMP2_OUT に接続されます。
- 11 : 入力 1 は COMP1_OUT または COMP2_OUT に接続されます。

28.7.11 LPTIM3 オプションレジスタ (LPTIM3_OR)

アドレス・オフセット : 0x020

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **OR_[1:0]** :

- 00 : 入力 1 は I/O に接続されます。
- 01 : 入力 1 は COMP1_OUT に接続されます。
- 10 : 入力 1 は COMP2_OUT に接続されます。
- 11 : 入力 1 は COMP1_OUT または COMP2_OUT に接続されます。

28.7.12 LPTIM 繰り返しレジスタ (LPTIM_RCR)

アドレス・オフセット : 0x028

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 REP[7:0] : 繰り返しレジスタ値

REP は LPTIM の繰り返し値です。

注意 : LPTIM_RCR レジスタの変更は、LPTIM が有効 (イネーブルビットが 1 にセットされている) のときにのみ行う必要があります。PRELOAD = 0 で繰り返しカウンタを使用する場合、LPTIM_RCR レジスタは、自動再ロード一致イベントの少なくとも 5 カウンタサイクル前に変更する必要があります。そうしないと、予測不能な動作が発生することがあります。

28.7.13 LPTIM レジスタマップ

次の表に LPTIM レジスタの一覧を示します。

表 203. LPTIM レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x000	LPTIM_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOK	UE	DOWNCHY	UPCHY	ARROK	CMPOK	EXTTRIG	ARRM	CMPM	
	リセット値																									0	0	0	0	0	0	0	0	0
0x004	LPTIM_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOKCF	UECF	DOWNCHY	UPCHY	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF	
	リセット値																									0	0	0	0	0	0	0	0	0
0x008	LPTIM_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOKIE	UEIE	DOWNCHY	UPCHY	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE	
	リセット値																									0	0	0	0	0	0	0	0	0
0x00C	LPTIM_CFGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENCU	COUNTMODE	PRELOAD	WAYPOL	WAVE	TIMOUT	TRIGEN	Res.	TRIGSEL[2:0]	Res.	PRESC	Res.	TRGFLT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	LPTIM_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSTARE	COUNTSTRT	CNTSTRT	SNGSTRT	ENABLE	
	リセット値																												0	0	0	0	0	0
0x014	LPTIM_CMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																	
0x018	LPTIM_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																	
0x01C	LPTIM_CNT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																	
0x020	LPTIM1_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
	リセット値																																0	0
0x020	LPTIM2_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0	
	リセット値																																0	0
0x020	LPTIM3_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0	
	リセット値																																0	0



表 203. LPTIM レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x028	LPTIM_RCR	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0

1. LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みです。セクション 28.3: LPTIM の実装を参照してください。

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

29 赤外線インタフェース (IRTIM)

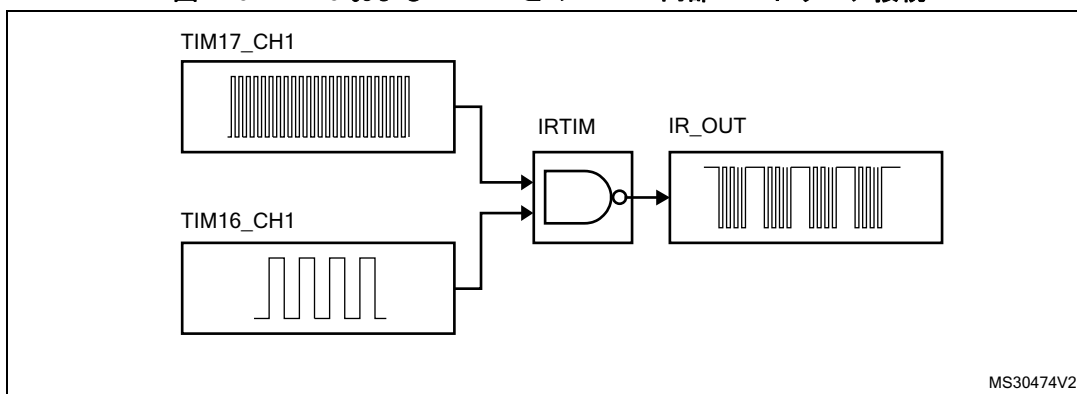
このデバイスではリモートコントロールで赤外線インタフェース (IRTIM) を使用できます。リモートコントロール機能を実行するために、赤外線 LED と併せて使用できます。

図 270 に示すように、TIM16 および TIM17 との間で内部接続を使用します。

赤外線リモートコントロール信号を生成するには、正しい波形を生成するために IR インタフェースを有効にし、TIM16 チャンネル 1 (TIM16_OC1) と TIM17 チャンネル 1 (TIM17_OC1) を適切に設定する必要があります。

赤外線レシーバは、基本的な入力キャプチャモードで簡単に実装できます。

図 270. TIM16 および TIM17 との IRTIM 内部ハードウェア接続



標準の IR パルス変調モードはすべて 2 つのタイマ出力比較チャンネルをプログラミングすることで取得できます。

TIM16 は変調包絡線を生成し、TIM17 は高周波キャリア信号を生成するために使用されます。

赤外線機能は IR_OUT ピンから出力されます。この機能の有効化は、GPIOx_AFRx レジスタを通じ、関連するオルタネート機能ビットを有効にすることで行われます。

大電流シンク LED ドライバ機能 (PB9 ピンでのみ使用可能) の有効化は SYSCFG_CFGR1 レジスタの I2C_PB9_FMP ビットを通じて行われ、赤外線 LED を直接制御するために必要な大電流を流すために使用されます。

30 独立型ウォッチドッグ (IWDG)

30.1 概要

デバイスは、内蔵ウォッチドッグペリフェラルを搭載しており、使用上、高い安全レベル、タイミングの正確さ、および柔軟性を兼ね備えています。独立型ウォッチドッグペリフェラルは、ソフトウェア障害による誤動作を検出および解決し、カウンタが所定のタイムアウト値に達すると、システムリセットをトリガします。

独立型ウォッチドッグ (IWDG) は、独自の低速クロック (LSI) によってクロック供給されるので、メインクロックに障害があってもアクティブなままです。

IWDG は、メインアプリケーションの外部で、完全に独立したプロセスとして実行するウォッチドッグが必要な場合に最適ですが、タイミング精度が低いという制約があります。ウィンドウ型ウォッチドッグの詳細については、985 ページのセクション 31 を参照してください。

30.2 IWDG の主な機能

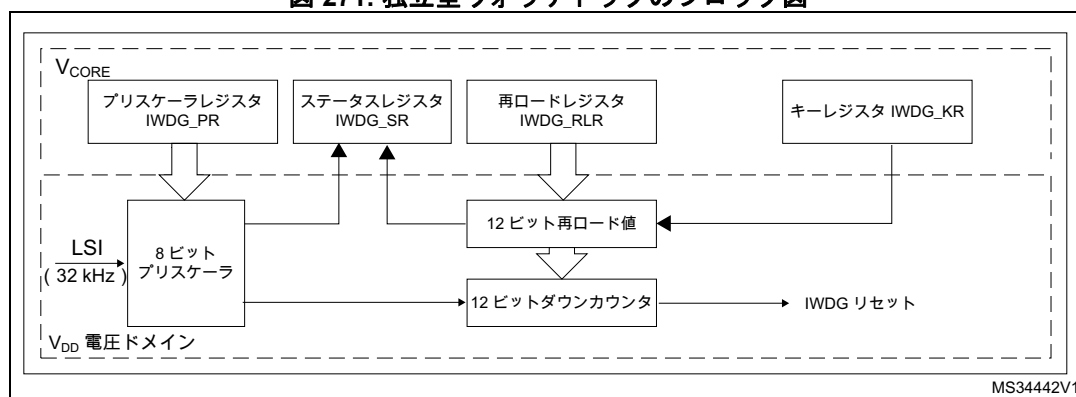
- フリーランニングダウンカウンタ
- 独立した RC オシレータからのクロック供給 (STANDBY および STOP モードで動作可能)
- 条件付きリセット
 - ダウンカウンタの値が 0x000 より小さくなったときにリセット (ウォッチドッグが有効な場合)。
 - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット (ウォッチドッグが有効な場合)。

30.3 IWDG の機能説明

30.3.1 IWDG ブロック図

図 271 に、独立型ウォッチドッグモジュールの機能ブロックを示します。

図 271. 独立型ウォッチドッグのブロック図



1. レジスタインタフェースは V_{CORE} 電圧ドメインにあります。ウォッチドッグ機能は、STOP モードおよび STANDBY モードでも機能する V_{DD} 電圧ドメインに配置されています。

IWDG キーレジスタ (IWDG_KR) に値 0x0000 CCCC が書き込まれることによって独立型ウォッチドッグが開始すると、カウンタはリセット値 0xFFFF からカウントダウンを開始します。カウント値の終わり (0x000) に達すると、リセット信号が生成されます (IWDG_reset)。

IWDG キーレジスタ (IWDG_KR) にキー値 0x0000 AAAA が書き込まれると、IWDG_RLR の値がカウンタに再ロードされ、ウォッチドッグのリセットが防止されます。

一度起動すると、IWDG は停止できません。

30.3.2 ウィンドウオプション

IWDG は、IWDG ウィンドウレジスタ (IWDG_WINR) に適切なウィンドウをセットすることによって、ウィンドウ型ウォッチドッグとしても機能します。

カウンタがIWDG ウィンドウレジスタ (IWDG_WINR) に格納された値より大きい間に再ロード操作が行われると、リセットが生成されます。

IWDG ウィンドウレジスタ (IWDG_WINR) のデフォルト値は 0x0000 0FFF です。この値が更新されない場合は、ウィンドウオプションは無効にされます。

ウィンドウ値が変わるとすぐに再ロード操作が行われ、ダウンカウンタをIWDG 再ロードレジスタ (IWDG_RLR) 値にリセットし、次の再ロードを生成するためのサイクル数計算を容易にします。

ウィンドウオプションが有効な場合の IWDG の設定

1. IWDG キーレジスタ (IWDG_KR) に 0x0000 CCCC を書き込むことによって、IWDG を有効にします。
2. IWDG キーレジスタ (IWDG_KR) に 0x0000 5555 を書き込むことによって、レジスタのアクセスを有効にします。
3. IWDG プリスケアラレジスタ (IWDG_PR) を 0 から 7 までプログラムすることによって、IWDG のプリスケアラに書込みを行います。
4. IWDG 再ロードレジスタ (IWDG_RLR) に書き込みます。
5. レジスタが更新されるのを待ちます (IWDG_SR = 0x0000 0000)。
6. IWDG ウィンドウレジスタ (IWDG_WINR) に書き込みます。これにより、IWDG 再ロードレジスタ (IWDG_RLR) のカウンタ値が自動的にリフレッシュされます。

注： ウィンドウ値を書き込むことで、IWDG ステータスレジスタ (IWDG_SR) が “0x0000 0000” にセットされた時点でカウンタ値を RLR でリフレッシュすることができます。

ウィンドウオプションが無効な場合の IWDG の設定

ウィンドウオプションが使用されていない場合、IWDG は以下のように設定することができます。

1. IWDG キーレジスタ (IWDG_KR) に 0x0000 CCCC を書き込むことによって、IWDG を有効にします。
2. IWDG キーレジスタ (IWDG_KR) に 0x0000 5555 を書き込むことによって、レジスタのアクセスを有効にします。
3. IWDG プリスケアラレジスタ (IWDG_PR) を 0 から 7 までプログラムすることによって、プリスケアラに書込みを行います。
4. IWDG 再ロードレジスタ (IWDG_RLR) に書き込みます。
5. レジスタが更新されるのを待ちます (IWDG_SR = 0x0000 0000)。
6. カウンタ値を IWDG_RLR (IWDG_KR = 0x0000 AAAA) でリフレッシュします。

30.3.3 ハードウェアウォッチドッグ

デバイスのオプションビットを使って「ハードウェアウォッチドッグ」機能が有効化されると、ウォッチドッグは電源投入時に自動的に有効になり、カウンタがカウントの終わりに達する前にソフトウェアによって [IWDG キーレジスタ \(IWDG_KR\)](#) へ書き込まれない限り、またはダウンカウンタがウィンドウ外で再ロードされた場合は、リセットを生成します。

30.3.4 低消費電力モード

IWDG_STOP および IWDG_STBY のオプション設定に応じて、IWDG では STOP モード中および STANDBY モード中にそれぞれカウントを継続または停止できます。STOP または STANDBY モード中に IWDG を実行したままにすると、このモードからデバイスをウェイクアップできます。詳細については、[User and read protection option bytes](#)を参照してください。

30.3.5 レジスタのアクセス保護

IWDG プリスケアラレジスタ (IWDG_PR)、IWDG 再ロードレジスタ (IWDG_RLR)、および IWDG ウィンドウレジスタ (IWDG_WINR) への書き込みアクセスは保護されます。これらを変更するには、まず、[IWDG キーレジスタ \(IWDG_KR\)](#) にコード 0x0000 5555 を書き込む必要があります。このレジスタに別の値で書き込みアクセスすると、シーケンスがブレイクされ、レジスタへのアクセスが再び保護されます。これは、再ロード操作 (0x0000 AAAA の書き込み) の場合に相当します。

ステータスレジスタは、プリスケアラの更新、あるいはダウンカウンタ再ロード値の更新やウィンドウ値の更新が行われていることを示すために使用されます。

30.3.6 デバッグモード

CPU1 がデバッグモードになると (コアは停止状態)、IWDG カウンタは、DBGMCU フリーズレジスタの対応するビットの設定に応じて、通常どおりに動作を続けるか、または停止します。

30.4 IWDG レジスタ

レジスタの説明で使用されている略語のリストについては、[59 ページのセクション 1.2](#) を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

30.4.1 IWDG キーレジスタ (IWDG_KR)

アドレス・オフセット：0x00

リセット値：0x0000 0000（STANDBY モードによりリセットされる）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **KEY[15:0]**：キー値（書き込み専用、読出しでは 0x0000）

これらのビットには、ソフトウェアによって一定間隔でキー値 0xAAAA が書き込まれなければなりません。そうしないと、カウンタが 0 に達した時点でウォッチドッグがリセットを生成します。

キー値 0x5555 を書き込むことによって、IWDG_PR、IWDG_RLR、および IWDG_WINR レジスタへのアクセスが可能になります（[セクション 30.3.5: レジスタのアクセス保護](#)を参照）。

キー値 0xCCCC を書き込むと、ウォッチドッグが開始します（ハードウェアウォッチドッグオプションが選択されている場合を除く）。

30.4.2 IWDG プリスケーラレジスタ (IWDG_PR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
													r/w	r/w	r/w

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **PR[2:0]** : プリスケーラ分周回路

これらのビットは、書込みアクセス保護されています (セクション 30.3.5: レジスタのアクセス保護を参照)。カウンタクロックを供給するプリスケーラ分周回路を選択するようにソフトウェアで書き込まれます。プリスケーラ分周回路を変更できるようにするには、**IWDG ステータスレジスタ (IWDG_SR)** の PVU ビットがリセットされる必要があります。

- 000 : 4 分周
- 001 : 8 分周
- 010 : 16 分周
- 011 : 32 分周
- 100 : 64 分周
- 101 : 128 分周
- 110 : 256 分周
- 111 : 256 分周

注: このレジスタを読み出すと、V_{DD} 電圧ドメインからプリスケーラ値が返されます。このレジスタへの書込み操作が進行中の場合には、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、**IWDG ステータスレジスタ (IWDG_SR)** の PVU ビットがリセットされているときのみとなります。

30.4.3 IWDG 再ロードレジスタ (IWDG_RLR)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0FFF (STANDBY モードによりリセットされる)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	RL[11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **RL[11:0]** : ウォッチドッグカウンタ再ロード値

これらのビットは、書込みアクセス保護されています ([レジスタのアクセス保護](#)を参照)。IWDG キーレジスタ (IWDG_KR) に値 0xAAAA が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアで書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケールによって決まります。タイムアウトに関する詳細はデータシートを参照してください。

再ロード値を変更できるようにするには、IWDG ステータスレジスタ (IWDG_SR) の RVU ビットがリセットされる必要があります。

注 : このレジスタを読み出すと、V_{DD} 電圧ドメインから再ロード値が返されます。このレジスタへの書込み操作が進行中の場合には、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG ステータスレジスタ (IWDG_SR) の RVU ビットがリセットされているときのみとなります。

30.4.4 IWDG ステータスレジスタ (IWDG_SR)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000 (STANDBY モードによりリセットされません)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WVU	RVU	PVU
													r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 WVU : ウォッチドッグカウンタウィンドウ値の更新

このビットは、ウィンドウ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます (最大 5 サイクルかかります)。

ウィンドウ値は、WVU ビットがリセットされているときのみ更新できます。

ビット 1 RVU : ウォッチドッグカウンタ再ロード値の更新

このビットは、再ロード値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます (最大 5 サイクルかかります)。

再ロード値は、RVU ビットがリセットされているときのみ更新できます。

ビット 0 PVU : ウォッチドッグプリスケアラ値の更新

このビットは、プリスケアラ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインでプリスケアラの更新操作が完了したときに、ハードウェアによってリセットされます (最大 5 サイクルかかります)。

プリスケアラ値は、PVU ビットがリセットされているときのみ更新できます。

注 : 複数の再ロード値、プリスケアラ値、またはウィンドウ値がアプリケーションで使用される場合は、それぞれ、再ロード値を変更する前に RVU ビットがリセットされるまで待つか、プリスケアラ値を変更する前に PVU ビットがリセットされるまで待つか、またはウィンドウ値を変更する前に WVU ビットがリセットされるまで待つ必要があります。ただし、プリスケアラ値、再ロード値、またはウィンドウ値を更新した後は、RVU、PVU、または WVU がリセットされるのを待たずに、コード実行を続けることができます (低消費電力モードに入った場合を除く)。

30.4.5 IWDG ウィンドウレジスタ (IWDG_WINR)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0FFF (STANDBY モードによりリセットされる)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	WIN[11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **WIN[11:0]** : ウォッチドッグカウンタウィンドウ値

これらのビットは書き込みアクセス保護されており (セクション 30.3.5 を参照)、ダウンカウンタと比較されるウィンドウ値の上限を格納しています。

リセットを防ぐには、カウンタの値がウィンドウレジスタの値よりも小さく、0x0 よりも大きい間にダウンカウンタを再ロードする必要があります。

再ロード値を変更できるようにするには、**IWDG ステータスレジスタ (IWDG_SR)** の WVU ビットがリセットされる必要があります。

注 : このレジスタを読み出すと、V_{DD} 電圧ドメインから再ロード値が返されます。このレジスタへの書き込み操作が進行中の場合には、この値は有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、**IWDG ステータスレジスタ (IWDG_SR)** の WVU ビットがリセットされているときのみとなります。

30.4.6 IWDG レジスタマップ

次の表に、IWDG レジスタマップとリセット値を示します。

表 204. IWDG レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
0x00	IWDG_KR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	KEY[15:0]																										
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
0x04	IWDG_PR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PR[2:0]											
	リセット値																															0	0	0										
0x08	IWDG_RLR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	RL[11:0]																					
	リセット値																						1	1	1	1	1	1	1	1	1	1	1											
0x0C	IWDG_SR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res										
	リセット値																																	0	0	0								
0x10	IWDG_WINR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res										
	リセット値																																			1	1	1	1	1	1	1	1	1

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

31 システムウィンドウ型ウォッチドッグ (WWDG)

31.1 概要

システムウィンドウ型ウォッチドッグ (WWDG) は、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害の発生を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に nMCU リセットを生成します。nMCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値 (制御レジスタ内) がリフレッシュされた場合にも生成されます。このことは、限られた時間枠 (time-window) の間にカウンタがリフレッシュされなければならないことを意味します。

WWDG クロックは、APB クロックから分周され、また設定可能な時間枠 (time-window) があるので、これをプログラムしてアプリケーション動作の異常な進み・遅れを検出できます。WWDG には、CPU1 が CRUN または CSleep モードのときのみクロックが供給されます。

WWDG は、正確な時間枠内で反応するウォッチドッグが必要なアプリケーションに適しています。

31.2 WWDG の主な機能

- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
 - ダウンカウンタの値が 0x40 より小さくなったときにリセット (ウォッチドッグが有効な場合)。
 - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット (ウォッチドッグが有効な場合) (図 273 を参照)。
- 早期ウェイクアップ割込み (EWI) : ダウンカウンタが 0x40 になったときにトリガ (有効であり、ウォッチドッグがアクティブな場合)

31.3 WWDG の機能説明

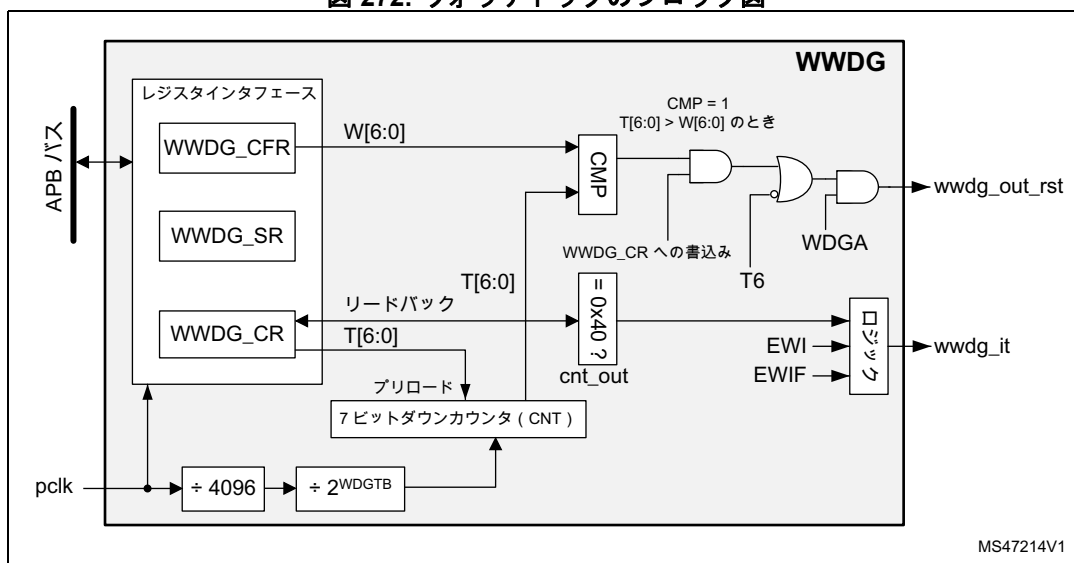
ウォッチドッグが有効な (WWDG_CR レジスタの WDGA ビットがセットされている) 場合、7 ビットのダウンカウンタ (T[6:0] ビット) が 0x40 に達して 0x3F にデクリメントされた (T6 がクリアされた) 時点で、リセットを開始します。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタを再ロードした場合にも、リセットが生成されます。

アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書込みを行って、nMCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいとき、かつ 0x3F より高いときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

WWDG のブロック図については、図 272 を参照してください。

31.3.1 WWDG ブロック図

図 272. ウォッチドッグのブロック図



31.3.2 WWDG 内部信号

表 205 に WWDG の内部信号のリストを示します。

表 205. WWDG 内部入力/出力信号

信号名	信号タイプ	説明
pclk	デジタル入力	APB バスクロック
wwdg_out_rst	デジタル出力	WWDG リセット信号出力
wwdg_it	デジタル出力	WWDG 早期割込み出力

31.3.3 ウォッチドッグの有効化

ウォッチドッグはリセット後は常に無効です。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

31.3.4 ダウンカウンタの制御

このダウンカウンタはフリーランニングであり、ウォッチドッグが無効状態であってもカウントダウンを続けます。ウォッチドッグを有効にするときには、T6 ビットをセットして、ただちにリセットが生成されるのを防ぐ必要があります。

T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。このタイミングは、WWDG_CR レジスタへの書き込み時のプリスケアラの状態が不明なので最小値から最大値の間で変化します (図 273 参照)。WWDG 設定レジスタ (WWDG_CFR) はウィンドウの上限値を含みます。リセットを防ぐには、カウンタの値がウィンドウレジスタの値よりも小さく、0x3F よりも大きい間にダウンカウンタを再ロードする必要があります。図 273 に、ウィンドウ型ウォッチドッグのプロセスを示します。

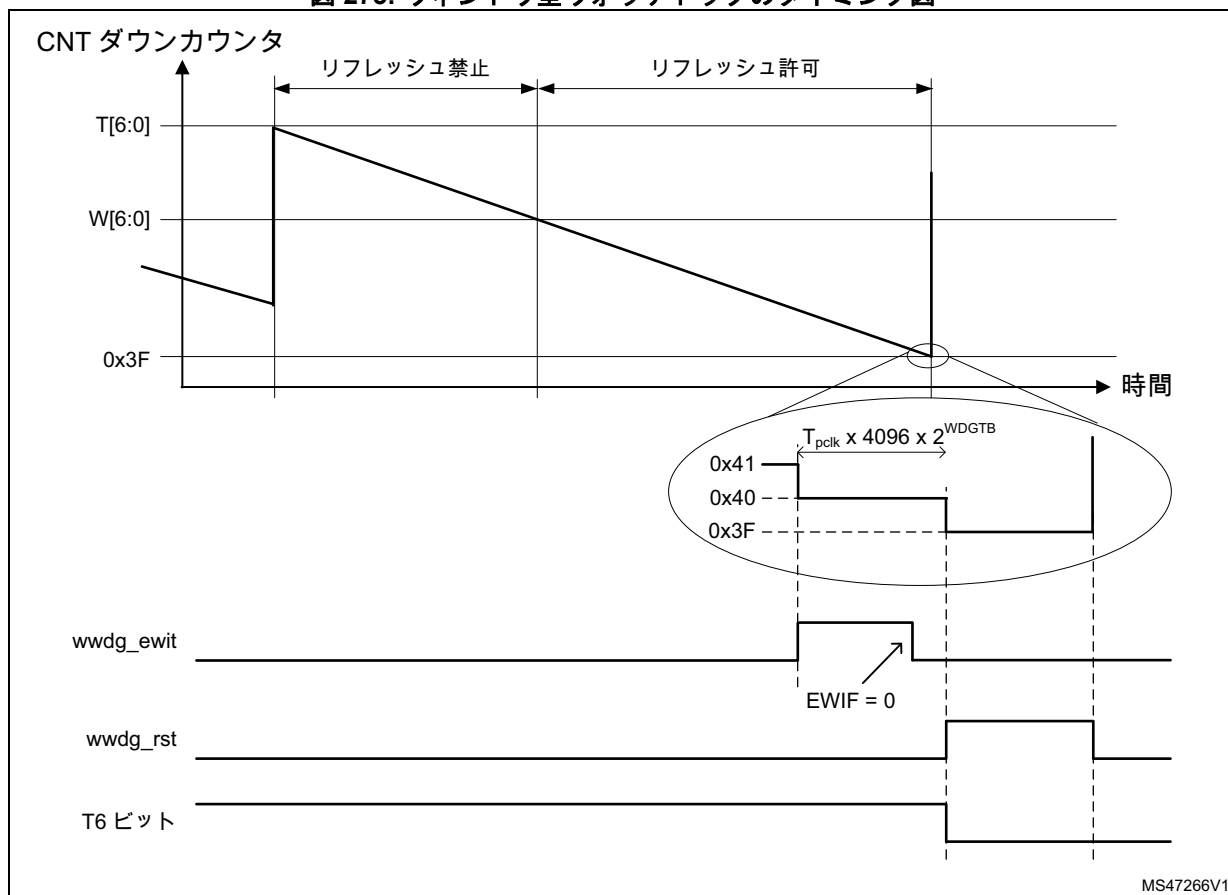
注： T6 ビットを使用して、ソフトウェアリセットを生成することができます (WDGA ビットはセット、T6 ビットはクリアされる)。

31.3.5 ウォッチドッグタイムアウトをプログラムする方法

図 273 の式を使用して、WWDG のタイムアウトを計算します。

警告： WWDG_CR レジスタに書き込むときには、ただちにリセットされるのを防ぐために、常に T6 ビットに 1 を書き込んでください。

図 273. ウィンドウ型ウォッチドッグのタイミング図



タイムアウト値は次の式で算出されます。

$$t_{WWDG} = t_{PCLK} \times 4096 \times 2^{WDGTB[2:0]} \times (T[5:0] + 1) \quad (\text{ms})$$

ここで、

- t_{WWDG} : WWDG タイムアウト
- t_{PCLK} : APB クロック周期の測定値 (ms)
- 4096 : 内部分周器に対応する値

たとえば、APB 周波数が 48 MHz の場合、WDGTB[2:0] は 3 にセットされ、T[5:0] は 63 にセットされます。

$$t_{\text{WWDG}} = (1/48000) \times 4096 \times 2^3 \times (63 + 1) = 43.69\text{ms}$$

t_{WWDG} の最小値と最大値については、データシートを参照してください。

31.3.6 デバッグモード

CPU1 がデバッグモードになると（プロセッサは停止状態）、WWDG カウンタは、DBG モジュールの設定ビットに応じて、通常どおりに動作を続けるか、または停止します。詳細については、[セクション 38: デバッグサポート \(DBG\)](#) を参照してください。

31.4 WWDG 割込み

実際にリセットが生成される前に特定の安全処理やデータロギングを実施する必要がある場合は、早期ウェイクアップ割込み (EWI) が使用できます。EWI 割込みは、WWDG_CFR レジスタの EWI ビットをセットすることによって有効になります。ダウンカウンタ値が 0x40 に到達すると、EWI 割込みが生成され、対応する割込みサービスルーチン (ISR) を使用してデバイスをリセットする前に特定の処理（通信やデータロギングなど）をトリガすることができます。

アプリケーションによっては、EWI 割込みを使用して、WWDG リセットを生成せずにソフトウェアのシステムチェックやシステム復旧/グレースフルデグラデーションを管理することができます。この場合、対応する ISR で WWDG カウンタを再ロードし、WWDG リセットを回避してから必要な操作をトリガする必要があります。

EWI 割込みは、WWDG_SR レジスタの EWIF ビットに“0”を書き込むことによってクリアされます。

注： たとえば優先順位の高いタスクにおけるシステムロックによって EWI 割込みが使用できない場合、最終的には WWDG リセットが生成されます。

31.5 WWDG レジスタ

レジスタの説明で使用されている略語のリストについては、59 ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスすることができます。

31.5.1 WWDG 制御レジスタ (WWDG_CR)

アドレス・オフセット：0x000

リセット値：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
								rs	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 WDGA有効化ビット

このビットは、ソフトウェアでセットされ、リセット後はハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0 : ウォッチドッグは無効です。

1 : ウォッチドッグは有効です。

ビット 6:0 T[6:0] : 7 ビットカウンタ (MSB から LSB まで)

これらのビットは、ウォッチドッグカウンタの値を含みます。

($4096 \times 2^{\text{WDGTB}[2:0]}$) PCLK サイクルごとにデクリメントされます。0x40 に達して 0x3F にデクリメントされると (T6 がクリアされると)、リセットが生成されます。

31.5.2 WWDG 設定レジスタ (WWDG_CFR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	WDGTB[2:0]			Res.	EWI	Res.	Res.	W[6:0]						
		rw	rw	rw		rs			rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:11 **WDGTB[2:0]** : タイムベース

プリスケアラのタイムベースは、次のように変更できます。

000 : CK カウンタクロック (PCLK/4096) 1 分周

001 : CK カウンタクロック (PCLK/4096) 2 分周

010 : CK カウンタクロック (PCLK/4096) 4 分周

011 : CK カウンタクロック (PCLK/4096) 8 分周

100 : CK カウンタクロック (PCLK/4096) 16 分周

101 : CK カウンタクロック (PCLK/4096) 32 分周

110 : CK カウンタクロック (PCLK/4096) 64 分周

111 : CK カウンタクロック (PCLK/4096) 128 分周

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EWI** : 早期ウェイクアップ割込み

このビットがセットされているときには、カウンタの値が 0x40 に達したときに割込みが発生します。

この割込みは、リセット後にハードウェアによってのみクリアされます。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **W[6:0]** : 7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

31.5.3 WWDG ステータスレジスタ (WWDG_SR)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
															rc_w0

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EWIF** : 早期ウェイクアップ割込みフラグ

このビットは、カウンタの値が 0x40 に達したときにハードウェアによってセットされます。0 を書き込んでソフトウェアでクリアする必要があります。1 を書き込んでも、ビットの値は変化しません。このビットは、割込みが有効でない場合にもセットされます。

31.5.4 WWDG レジスタマップ

次の表に、WWDG レジスタマップとリセット値を示します。

表 206. WWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	WWDG_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
	リセット値																									0	1	1	1	1	1	1	1
0x004	WWDG_CFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGTB [2:0]		Res.	EWI	Res.	Res.	W[6:0]						
	リセット値																			0	0	0		0		Res.	1	1	1	1	1	1	1
0x008	WWDG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
	リセット値																																0

レジスタ境界アドレスについては、72 ページの[セクション 2.6](#) を参照してください。

32 リアルタイムクロック (RTC)

32.1 概要

RTC は、あらゆる低電力モードを管理する自動ウェイクアップ機能を提供します。

本リアルタイムクロック (RTC) は、独立した BCD タイマ/カウンタです。RTC は、プログラム可能なアラーム割込みを備えた時刻クロック/カレンダーを搭載しています。

供給電圧が動作範囲内にある間は、デバイスのステータス (実行モード、低電力モード、またはリセット中) に関係なく、RTC が停止することはありません。

RTC は V_{BAT} モードで機能します。

32.2 RTC の主な機能

RTC は、次の機能をサポートしています (図 274: RTC ブロック図を参照)。

- サブセカンド、秒、分、時 (12 または 24 時間形式)、曜日、日、月、年に BCD (2 進化 10 進数) 形式で対応するカレンダー。
- 32 ビットのフリーランニングカウンタによるバイナリモード。
- 月の 28 日、29 日 (うるう年)、30 日、31 日の自動補正
- 2 つのプログラム可能なアラーム
- 1~32767 の RTC クロックパルスの動作中の補正。マスタクロックとの同期に使用可能
- リファレンスクロック検出: より正確な秒のクロックソース (50 または 60 Hz) の使用で、カレンダーの精度を向上。
- 0.95 ppm の分解能を持つデジタル較正回路で、クォーツクリスタルの精度を補償
- カレンダーの内容の保存に使用できるタイムスタンプ機能。この機能は、タイムスタンプピンでのイベント、またはタンパイイベント、あるいは V_{BAT} モードへの切り替えでトリガ可能
- 分解能と周期がプログラム可能な周期的なイベント用 17 ビット自動再ロードウェイクアップタイマ (WUT)

RTC の電源は、 V_{DD} 供給 (存在する場合) から、または V_{BAT} ピンから電源を取得するスイッチ経由で供給されます。

RTC クロックソースは次のいずれかです。

- 32.768 kHz 外部クリスタル (LSE)
- 外部発振子またはオシレータ (LSE)
- 内部低電力 RC オシレータ (LSI、標準周波数 32 kHz)
- RCC でプリスケアラによって分周される高速外部クロック (HSE)

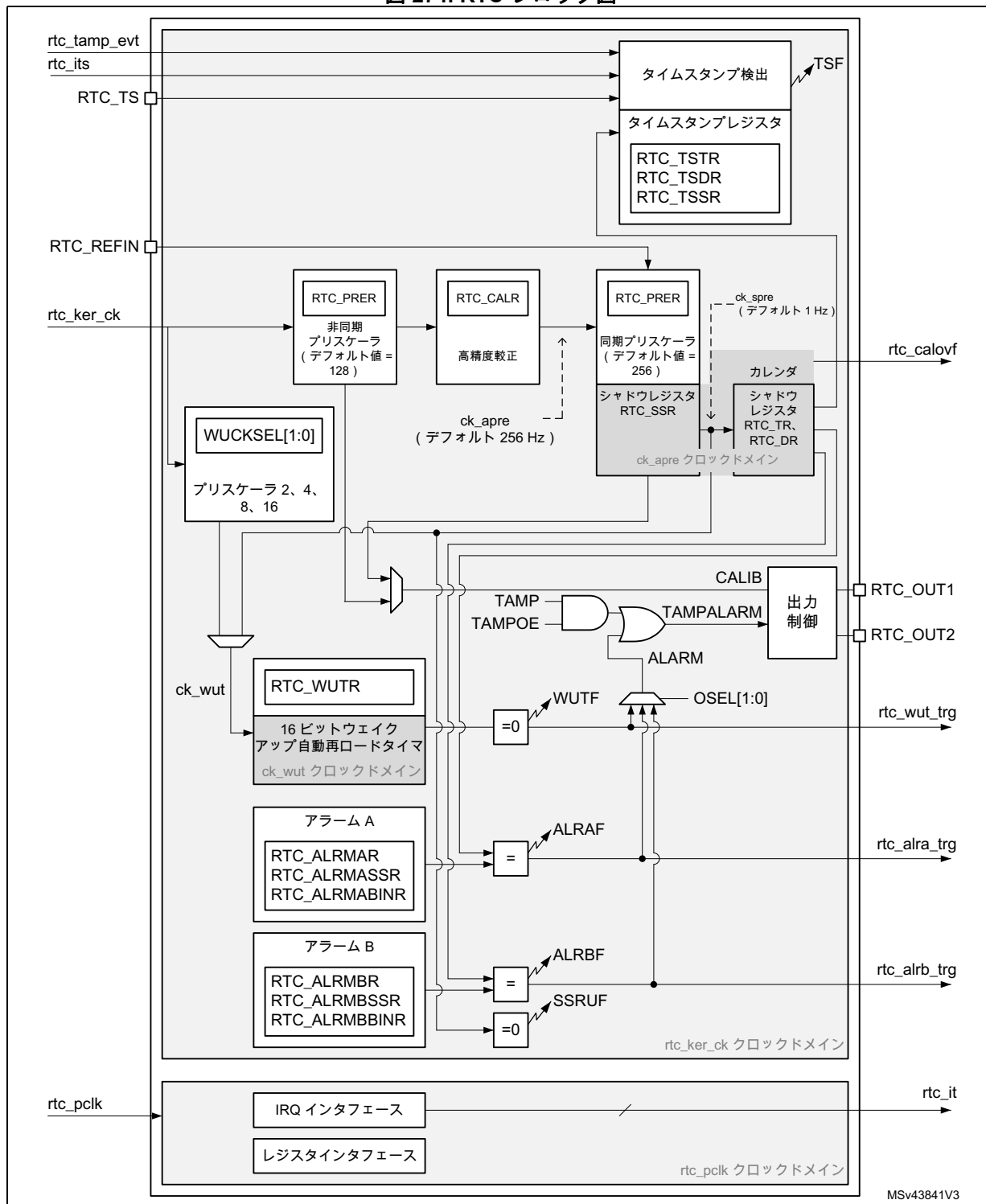
RTC は LSE によってクロック供給されている場合、 V_{BAT} モードおよびすべての低電力モードで機能します。LSI によってクロック供給されている場合、RTC は V_{BAT} モードで機能せず、SHUTDOWN モードを除くすべての低電力モードで機能します。

すべての RTC イベント (アラーム、ウェイクアップタイマ、タイムスタンプ) で割込みを生成して、デバイスを低電力モードからウェイクアップさせることができます。

32.3 RTC の機能説明

32.3.1 RTC ブロック図

図 274. RTC ブロック図



MSv43841V3

32.3.2 RTC ピンおよび内部信号

表 207. RTC の入出力ピン

ピン名	信号タイプ	説明
RTC_TS	入力	RTC タイムスタンプ入力
RTC_REFIN	入力	RTC 50 または 60 Hz リファレンスクロック入力
RTC_OUT1	出力	RTC 出力 1
RTC_OUT2	出力	RTC 出力 2

RTC_OUT1 および RTC_OUT2 は、次の 2 つの出力のうち 1 つを選択します。

- CALIB : 512 Hz または 1 Hz のクロック出力 (LSE 周波数 32.768 kHz の場合)。この出力は、RTC_CR レジスタの COE ビットをセットして有効にします。
- TAMPALRM : この出力は、TAMP 出力と ALARM 出力の論理和 (OR) です。

ALARM は、アラーム A、アラーム B、またはウェイクアップ出力を選択する RTC_CR レジスタの OSEL [1:0] ビットを設定することで有効にします。TAMP は、タンパイイベント出力を選択する RTC_CR レジスタの TAMPOE ビットをセットすることで有効にします。

表 208. RTC 内部入力/出力信号

内部信号名	信号タイプ	説明
rtc_ker_ck	入力	RTC カーネルクロック (本書では RTCCLK とも言います)
rtc_pclk	入力	RTC APB クロック
rtc_its	入力	RTC 内部タイムスタンプイベント
rtc_tamp_evt	入力	TAMP ペリフェラルで検出されるタンパイイベント (内部または外部)
rtc_it	出力	RTC 割込み (詳細については、 セクション 32.5: RTC 割込み を参照してください)
rtc_alra_trg	出力	RTC アラーム A イベント検出トリガ
rtc_alrb_trg	出力	RTC アラーム B イベント検出トリガ
rtc_wut_trg	出力	RTC ウェイクアップタイマイイベント検出トリガ
rtc_calovf	出力	RTC カレンダーオーバーフロー : RTC カレンダーが 99 年 12 月 31 日 23:59:59 に最大値に達すると、この信号が生成されます。このとき、カレンダーは停止し、オーバーフローしません。

通常、RTC カーネルクロックは、RCC で他のクロックソースを選択できますが、32.768 kHz での LSE です (詳細は RCC を参照してください)。選択したクロックが LSE ではない場合、一部の低電力モードや V_{BAT} で使用できない機能があります。詳細については、[セクション 32.4: RTC 低電力モード](#)を参照してください。

表 209. RTC 相互接続

信号名	転送元/転送先
rtc_its	電源制御 (PWR) から : V_{BAT} 検出出力の主電源の損失/切り替え
rtc_tamp_evt	TAMP ペリフェラルから : tamp_evt
rtc_calovf	TAMP ペリフェラルへ : tamp_itamp5

トリガ出力は、その他のペリフェラルのトリガとして使用できます。

32.3.3 RTC および TAMP によって制御される GPIO

バッテリーバックアップドメイン (V_{BAT}) に含まれる GPIO は、どの GPIO 設定であっても、これらの I/O での機能を備えたペリフェラルで直接制御されます。

RTC および TAMP の両方のペリフェラルには、これらの I/O での機能が搭載されています (セクション 33: タンパおよびバックアップレジスタ (TAMP) を参照)。

RTC_OUT1、RTC_TS、および TAMP_IN1 は同一ピン (PC13) 上に配置されます。PC13 に配置された RTC および TAMP の機能は、すべての低電力モードと V_{BAT} モードで使用できます。

出力形式は、表 210 に示す優先順位に従います。

表 210. PC13 設定⁽¹⁾

PC13 ピンの機能		OSEL[1:0] (ALARM 出カインネーブル)	TAMPOE (TAMPER 出カインネーブル)	COE (CALIB 出カインネーブル)	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	TAMP1E (TAMP_IN1 入カインネーブル)	TSE (RTC_TS 入カインネーブル)	
TAMPALRM 出力 プッシュプル		01、10、 または 11	0	無視	無視	0	0	無視	無視	
		00	1							
		01、10、 または 11	1							
TAMPALRM 出力 オープンドレイン ⁽²⁾	プルアップ・ プルダウン なし	01、10、 または 11	0	無視	無視	1	0	無視	無視	
			00							1
			01、10、 または 11							1
	内部 プルアップ	01、10、 または 11	0	無視	無視	1	1	無視	無視	
			00							1
			01、10、 または 11							1
CALIB 出力 PP		00	0	1	0	無視	無視	無視	無視	
TAMP_IN1 入力フローティング		00	0	0	無視	無視	無視	1	0	
		00	0	1						
		無視	無視	0						
RTC_TS および TAMP_IN1 入力フローティング		00	0	0	無視	無視	無視	1	1	
		00	0	1						
		無視	無視	0						
RTC_TS 入力フローティング		00	0	0	無視	無視	無視	0	1	
		00	0	1						
		無視	無視	0						

表 210. PC13 設定⁽¹⁾ (続き)

PC13 ピンの機能	OSEL[1:0] (ALARM 出カインェーブル)	TAMPOE (TAMPER 出カインェーブル)	COE (CALIB 出カインェーブル)	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	TAMPIE (TAMP_IN1 入カインェーブル)	TSE (RTC_TS 入カインェーブル)
ウェイクアップピンまたは標準 GPIO	00	0	0	無視	無視	無視	0	0
	00	0	1	1				
	無視	無視	0					

1. OD : オープンドレイン、PP : プッシュプル
2. この設定では、GPIO を入力で設定する必要があります。

さらに、OUT2EN ビットにより、RTC_OUT2 を PA4 ピンに出力することも可能です。この出力は、V_{BAT} モードでは使用できません。表 211 の表に示すとおり、OSEL、COE および OUT2EN の設定に応じて、異なる機能が RTC_OUT1 や RTC_OUT2 に配置されます。

表 211. RTC_OUT の配置

OSEL[1:0] ビット ALARM 出カインェーブル)	COE ビット (CALIB 出カインェーブル)	OUT2EN ビット	PC13 での RTC_OUT1	PA4 での RTC_OUT2
00	0	0	-	-
00	1		CALIB	-
01、10、または 11	無視		TAMPALRM	-
00	0	1	-	-
00	1		-	CALIB
01、10、または 11	0		-	TAMPALRM
01、10、または 11	1		TAMPALRM	CALIB

32.3.4 クロックとプリスケアラ

RTC クロックソース (RTCCLK) は、LSE クロック、LSI オシレータクロック、HSE クロックのうちから、クロックコントローラを介して選択されます。RTC クロックソースの設定に関する詳細は、「リセットおよびクロック制御 (RCC)」を参照してください。

BCD モード (BIN=00)

プログラム可能なプリスケアラステージで、カレンダーの更新に使用する 1 Hz のクロックを生成します。消費電力を最少に抑えるため、プリスケアラは以下に示す 2 つのプログラム可能なプリスケアラに分割されます (図 274: RTC ブロック図を参照)。

- RTC_PRER レジスタの PREDIV_A ビットで設定される 7 ビットの非同期プリスケアラ
- RTC_PRER レジスタの PREDIV_S ビットで設定される 15 ビットの同期プリスケアラ

注：両方のプリスケアラを使用する場合は、非同期プリスケアラを高い値に設定して消費を最低限に抑えることをお勧めします。

LSE 周波数 32.768 kHz で 1 Hz (ck_spre) の内部クロック周波数を得るため、非同期プリスケアラ分周比は 128、同期プリスケアラの分周比は 256 に設定されます。

最低分周比は 1、最大分周比は 2^{22} です。

これは、約 4 MHz の最大入力周波数に相当します。

f_{ck_apre} は、次の式で与えられます。

$$f_{CK_APRE} = \frac{f_{RTCCLK}}{PREDIV_A + 1}$$

ck_apre クロックは、サブセカンドダウンカウンタであるバイナリ RTC_SSR にクロックを供給するために使用されます。値がゼロになると、RTC_SSR は、PREDIV_S の内容で再ロードされます。

f_{ck_apre} は、次の式で与えられます。

$$f_{CK_SPRE} = \frac{f_{RTCCLK}}{(PREDIV_S + 1) \times (PREDIV_A + 1)}$$

ck_spre クロックは、カレンダーの更新に、または 16 ビットウェイクアップ自動再ロードタイマのタイムベースとして使用できます。短いタイムアウト期間を得るため、16 ビットウェイクアップ自動再ロードタイマを、プログラム可能な 4 ビット非同期プリスケアラで分周した RTCCLK で動作させることもできます (詳細は [セクション 32.3.8: 周期的自動ウェイクアップ](#) を参照)。

バイナリモード (BIN=01)

SSR バイナリダウンカウンタは 32 ビット長に拡張され、フリーランニングします。時刻および日付カレンダー BCD レジスタは機能しません。

このダウンカウンタは RTC_PRER レジスタの PREDIV_A ビットで設定される 7 ビットの非同期プリスケアラの出力である ck_apre によってクロック供給されます。

PREDIV_S の値は無視されます。

混合モード (BIN=10 または 11)

SSR バイナリダウンカウンタは 32 ビット長に拡張され、フリーランニングします。時刻および日付カレンダー BCD レジスタも利用できます。

このダウンカウンタは RTC_PRER レジスタの PREDIV_A ビットで設定される 7 ビットの非同期プリスケアラの出力である ck_apre によってクロック供給されます。BCDU[2:0] ビットは、SSR 最下位ビットを使用してカレンダーが 1 秒ずつ増加するタイミングを定義するために使用されます。

32.3.5 リアルタイムクロックとカレンダー

RTC カレンダーの時刻および日付レジスタには、PCLK (APB クロック) と同期するシャドウレジスタからアクセスします。同期するための待ち時間を避けるため、これらのレジスタに直接アクセスすることもできます。

- サブセカンド用 RTC_SSR
- 時刻用 RTC_TR
- 日付用 RTC_DR

RTCCLK サイクルごとに現在のカレンダー値がシャドウレジスタにコピーされ、RTC_ICSR レジスタの RSF ビットがセットされます ([セクション 32.6.10: RTC シフト制御レジスタ \(RTC_SHIFTR\)](#) を

参照)。STOP モードおよび STANDBY モードでは、コピーは行われません。これらのモードが終了すると、RTCCLK 4 サイクル以内にシャドウレジスタが更新されます。

アプリケーションが、カレンダーレジスタを読み出す際、実際にはシャドウレジスタの内容にアクセスします。RTC_CR レジスタの BYPSHAD 制御ビットをセットすることにより、カレンダーレジスタに直接アクセスできます。デフォルトでは、このビットはクリアされており、ユーザはシャドウレジスタにアクセスします。

RTC_SSR、RTC_TR または RTC_DR レジスタを BYPSHAD = 0 の状態で読み出す際は、APB クロックの周波数 (f_{APB}) は、RTC クロック (f_{RTCCLK}) の周波数の 7 倍以上でなければなりません。

シャドウレジスタは、システムリセットによってリセットされます。

32.3.6 カレンダー超低電力モード

RTC_CALR レジスタの LPCAL ビットをセットすることによって、RTC 電力消費を大幅に削減できます。この設定では、RTC 全体が RTCCLK と ck_apre の両方ではなく、ck_apre のみによってクロック供給されます。その結果、一部のフラグ遅延が長くなり、較正時間範囲も長くなります ([セクション：較正超低電力モード](#)を参照)。

非同期プリスケアラ分周比 (PREDIV_A+1) が 2 の累乗の数ではない場合、LPCAL ビットは無視されます (0 とみなされます)。

LPCAL=0 から LPCAL=1 へ、または LPCAL=1 から LPCAL=0 への切り替えは即時ではなく、完了に ck_apre 数周期かかります。

32.3.7 プログラム可能なアラーム

RTC ユニットにはプログラム可能なアラーム (アラーム A とアラーム B) が搭載されています。以下にアラーム A の説明を示していますが、アラーム B にも転用できます。

プログラム可能なアラーム機能は、RTC_CR レジスタの ALRAE ビットを通じて有効にします。

ALRAF は、カレンダーのサブセカンド、秒、分、時、日または曜日がそれぞれアラームレジスタ RTC_ALRMASR および RTC_ALRMAR にプログラムされている値と一致する場合は 1 にセットされます。各カレンダー項目は、RTC_ALRMAR レジスタの MSKx ビットおよび RTC_ALRMASR レジスタの MASKSSx ビットで個別に選択できます。

バイナリモードを使用する場合、サブセカンドフィールドをアラームバイナリレジスタ RTC_ALRMABINR でプログラムすることができます。

アラームの割込みは、RTC_CR レジスタの ALRAIE ビットを通じて有効にします。

注意： 秒の項目が選択されている場合 (RTC_ALRMAR で MSK1 ビットがリセットされている場合)、正しい動作を保証するため、RTC_PRER レジスタでセットされる同期プリスケアラの分周比は 3 以上である必要があります。

アラーム A およびアラーム B (RTC_CR レジスタの OSEL[1:0] ビットで有効になっている場合) は、TAMPALRM 出力に送ることができます。TAMPALRM 出力の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

32.3.8 周期的自動ウェイクアップ

周期的ウェイクアップフラグは、16 ビットのプログラム可能な自動再ロードダウンカウンタによって生成されます。ウェイクアップタイマの範囲は 17 ビットまで拡張できます。

ウェイクアップ機能は、RTC_CR レジスタの WUTE ビットを通じて有効にします。

ウェイクアップタイマクロック入力 ck_wut には、次のものが使用できます。

- 2、4、8、または 16 分周した RTC クロック (RTCCLK)

RTCCLK が LSE (32.768kHz) である場合、最小分解能 61 μ s で、ウェイクアップ割込み周期を 122 μ s から 32 s の範囲で設定できます。
- BCD モードの ck_spre (通常は 1 Hz の内部クロック)、または、バイナリもしくは混合 (BCD-バイナリ) モードで BCDU によって定義されたカレンダーの更新に使用されるクロック。

ck_spre 周波数が 1 Hz の場合、1 秒の分解能でウェイクアップ時間を 1 秒からおよそ 36 時間までの範囲で設定できます。このプログラム可能な広い時間範囲は、2 つの部分に分かれます。

 - WUCKSEL[2:1] = 10 の場合は 1 秒から 18 時間です。
 - WUCKSEL[2:1] = 11 の場合は約 18 時間から 36 時間です。この最後のケースでは、 2^{16} が 16 ビットカウンタの現在値に追加されます。初期化シーケンスが完了すると (1001 ページの [ウェイクアップタイマのプログラミング](#) を参照)、タイマがカウントダウンを開始します。ウェイクアップ機能が有効である場合、カウントダウンは低電力モードでアクティブのままとなります。さらに、カウンタが 0 に到達すると、RTC_SR レジスタの WUTF フラグがセットされ、ウェイクアップカウンタが再ロード値 (RTC_WUTR レジスタ値) で自動的に再ロードされます。

RTC_WUTR レジスタの WUTOCLR に応じて、WUTF フラグはソフトウェアでクリアする必要があり (WUTOCLR = 0x0000)、そうしない場合は自動再ロードダウンカウンタが WUTOCLR の値に達したときに (0x0000 < WUTOCLR <= WUT)、WUTF がハードウェアによって自動でクリアされます。

ウェイクアップフラグは、その他のペリフェラルで使用できる内部信号 rtc_wut で出力されます ([セクション 32.3.1: RTC ブロック図](#) のセクションを参照)。

RTC_CR レジスタの WUTIE ビットをセットして周期的ウェイクアップ割込みを有効にすると、デバイスは低電力モードを終了できます。

周期的ウェイクアップフラグは、RTC_CR レジスタの OSEL[1:0] ビットを通じて有効になっている場合に、TAMPALRM 出力に送ることができます。TAMPALRM 出力の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

低電力モード (SLEEP、STOP、STANDBY) と同様に、システムリセットもウェイクアップタイマには影響しません。

32.3.9 RTC の初期化と設定

RTC のバイナリモード、BCD モード、または混合モード

デフォルトでは、RTC は BCD モード (RTC_ICSR レジスタで BIN = 00) です。RTC_SSR レジスタにはサブセカンドフィールド SS[15:0] が入っており、ck_apre によってクロック供給され、BCD 形式のカレンダーレジスタ (RTC_TR および RTC_DR) を更新するための 1 Hz クロックを生成できます。

RTC がバイナリモードに設定されている場合 (RTC_ICSR レジスタで BIN = 01) : RTC_SSR レジスタにはバイナリカウンタ SS[31:0] が入っており、ck_apre でクロック供給されます。BCD 形式のカレンダーレジスタ (RTC_TR、RTC_DR) は使用されません。

RTC が混合モードに設定されている場合 (RTC_ICSR レジスタで BIN = 10 または 11) : RTC_SSR レジスタにはバイナリカウンタ SS[31:0] が入っており、ck_apre でクロック供給されます。カレンダーは、SSR[BCDU+7:0] が 0 になるたびに更新 (1 秒刻み) されます。

RTC レジスタアクセス

RTC レジスタは、32 ビットのレジスタです。APB インタフェースは、RTC レジスタアクセスに 2 ウェイトステートを挿入します。ただし、BYP SHAD = 0 のときのカレンダーシャドウレジスタへの読み出しアクセスは除きます。

RTC レジスタ書き込み保護

システムリセット後、電源制御ペリフェラルの DBP ビットによって、RTC レジスタは不要な書き込みアクセスから保護されます (PWR 電源制御のセクションを参照)。RTC レジスタ書き込みアクセスを可能にするには、DBP ビットをセットする必要があります。

Backup ドメインリセット後、次の一部の RTC レジスタは書き込み保護されます。RTC_TR、RTC_DR、RTC_PRER、RTC_CALR、RTC_SHIFTR、RTC_ICSR の INIT、BIN、BCDU のビット、および RTC_CR の FMT、SUB1H、ADD1H、REFCKON のビットです。

保護された RTC レジスタの書き込み保護を解除するには、次のステップが必要です。

1. RTC_WPR レジスタに 0xCA を書き込みます。
2. RTC_WPR レジスタに 0x53 を書き込みます。

誤ったキーを書き込むと、書き込み保護が再度アクティブになります。

保護メカニズムは、システムリセットの影響を受けません。

カレンダーの初期化と設定

時間形式やプリスケアラ設定を含むカレンダー時刻と日付の初期値をプログラムするには、次のシーケンスが必要です。

1. RTC_ICSR レジスタで INIT ビットを 1 にセットして、初期化モードに入ります。このモードでは、カレンダーカウンタが停止し、その値を更新することができます。
2. RTC_ICSR レジスタの INITF ビットをポーリングします。INITF が 1 にセットされると、初期化フェーズモードに入ります。
LPCAL=0 の場合：INITF は、INIT ビットがセットされた後、およそ 2 RTCCLK サイクルでセットされます。
LPCAL=1 の場合：INITF は、INIT ビットがセットされた後、最大 2 ck_apre サイクルでセットされます。
3. カレンダーカウンタのための 1 Hz クロックを生成するには、RTC_PRER レジスタの両方のプリスケアラ分周比と、RTC_ICSR レジスタの BIN と BCDU をプログラムします。
4. シャドウレジスタ (RTC_TR および RTC_DR) に時刻と日付の初期値をロードし、RTC_CR レジスタの FMT ビットを介して時間形式 (12 時間または 24 時間) を設定します。
5. INIT ビットをクリアして初期化モードを終了します。その後、カレンダーカウンタの実際の値が自動的にロードされます。
LPCAL=0 の場合：4 RTCCLK クロックサイクル後にカウンタが再開します。
LPCAL=1 の場合：最大 2 RTCCLK + 1 ck_apre 後にカウンタが再開します。

初期化シーケンスが完了すると、カレンダーがカウントを開始します。RTC_SSR の内容は以下の値で初期化されます。

- BCD モード (BIN=00) では、PREDIV_S
- バイナリモードまたは混合 (BCD-バイナリ) モード (BIN=01、10、または 11) では、0xFFFF FFFF

BCD モードでは、RTC_SSR には、同期プリスケアラのカウンタの値が入っています。これにより、RTC によって維持されている正確な時刻を $1/(\text{PREDIV_S} + 1)$ 秒の分解能まで計算することができます。その結果、同期プリスケアラ値 (PREDIV_S[14:0]) を増加させることにより分解能を改善できます。許可されている最大分解能 (32768 Hz クロックで 30.52 μ s) は、PREDIV_S を 0x7FFF にセットすることにより得られます。

ただし、PREDIV_S を増加させるということは、同期プリスケアラの出力を 1 Hz に維持するため PREDIV_A を減らす必要があることを意味します。このように、非同期プリスケアラの出力周波数が増加すると、RTC の動的消費電力が増加する場合があります。RTC の動的消費電力は、2 の累乗の数になる PREDIV_A+1 に最適化されます。

注： システムリセット後、アプリケーションは RTC_ICSR レジスタの INITS フラグを読み出し、カレンダーが初期化されたか否かを確認できるようになります。このフラグが 0 であれば、カレンダーの年の項目が Backup ドメインリセットデフォルト値 (0x00) にセットされているため、初期化されていません。

初期化後にカレンダーを読み出すには、まずソフトウェアで RTC_ICSR レジスタの RSF フラグがセットされていることを確認する必要があります。

サマータイム

サマータイム管理は、RTC_CR レジスタの SUB1H ビット、ADD1H ビット、BKP ビットを介して行われます。

SUB1H または ADD1H を使用すると、ソフトウェアは初期化手順を踏まずに 1 度の操作で、カレンダーから 1 時間引いたり足したりすることができます。

さらに、ソフトウェアは BKP ビットを使用してこの操作を記憶することができます。

アラームのプログラミング

プログラム可能なアラームをプログラムまたは更新するには、同様な手順を踏む必要があります。以下にアラーム A の手順を示していますが、アラーム B にも転用できます。

1. RTC_CR の ALRAE をクリアしてアラーム A を無効にします。
2. アラーム A レジスタ (RTC_ALRMASR/RTC_ALRMAR または RTC_ALRMABINR) をプログラムします。
3. RTC_CR レジスタで ALRAE をセットしてアラーム A を再び有効にします。

注： RTC_CR レジスタの各変更は、クロック同期のため RTCCLK クロック約 2 サイクル後に有効になります。

ウェイクアップタイマのプログラミング

ウェイクアップタイマ自動再ロード値 (RTC_WUTR の WUT[15:0]) の設定または変更には、次の手順が必要です。

1. RTC_CR の WUTE をクリアしてウェイクアップタイマを無効にします。
2. RTC_ICSR の WUTWF がセットされ、ウェイクアップ自動再ロードカウンタおよび WUCKSEL [2:0] ビットへのアクセスが許可されていることが確認されるまで WUTWF をポーリングします。このステップは、カレンダー初期化モードではスキップする必要があります。
WUCKSEL[2] = 0 : WUTWF は、WUTE ビットがクリアされた後、およそ 1 ck_wut + 1 RTCCLK サイクルでセットされます。
WUCKSEL[2] = 1 : WUTWF は、WUTE ビットがクリアされた後、最大 1 ck_apre + 1 RTCCLK サイクルでセットされます。
3. ウェイクアップ自動再ロード値 WUT[15:0]、WUTOCLR[15:0] およびウェイクアップクロック選択 (RTC_CR の WUCKSEL [2:0] ビット) をプログラムします。RTC_CR で WUTE をセットしてタイマを再び有効にします。ウェイクアップタイマがカウントダウンを再開します。
WUCKSEL[2] = 0 : WUTWF は、WUTE ビットがセットされた後、およそ 1 ck_wut + 1 RTCCLK サイクルでクリアされます。
WUCKSEL[2] = 1 : WUTWF は、WUTE ビットがセットされた後、最大 1 ck_apre + 1 RTCCLK サイクルでクリアされます。

32.3.10 カレンダーの読出し

RTC_CR レジスタの BYPSHAD 制御ビットがクリアされている場合

RTC カレンダーレジスタ (RTC_SSR、RTC_TR、および RTC_DR) を正しく読み出すには、APB1 クロック周波数 (f_{PCLK}) が RTC クロック周波数 (f_{RTCCLK}) の 7 倍以上でなければなりません。これにより、同期メカニズムの安全な動作が保証されます。

APB1 クロック周波数が RTC クロック周波数の 7 倍未満である場合、ソフトウェアによってカレンダー時間と日付レジスタを 2 回読み出す必要があります。RTC_TR の 2 回目の読出しが 1 回目の読出しと同じ結果であれば、データが正しいことが保証されます。同じでない場合は、3 回目の読出しアクセスを行う必要があります。どの場合も、APB1 クロック周波数は必ず RTC クロック周波数以上である必要があります。

RTC_ICSR レジスタの RSF ビットは、カレンダーレジスタが RTC_SSR、RTC_TR、および RTC_DR シャドウレジスタにコピーされるたびにセットされます。コピーは、RTCCLK サイクルごとに行われます。3 つの値における一貫性を保証するため、RTC_SSR または RTC_TR のどちらかを読み出すと、高次カレンダーシャドウレジスタの値は RTC_DR が読み出されるまでロックされます。ソフトウェアが 1 RTCCLK サイクル未満の間隔でカレンダーの読出しアクセスを行う場合、最初のカレンダー読出し後に RSF をソフトウェアでクリアする必要があり、その後ソフトウェアは、RSF ビットがセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを再度読み出す必要があります。

低電力モード (STOP または STANDBY) からのウェイクアップ後は、RSF をソフトウェアでクリアする必要があります。その後、ソフトウェアは、いまだ RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを再度読み出す必要があります。

RSF ビットは、ウェイクアップ後にクリアする必要がありますが、低電力モードに入る前には、その必要はありません。

システムリセット後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。実際、システムリセットがかかると、シャドウレジスタはデフォルト値にリセットされます。

初期化 (1000 ページのカレンダーの初期化と設定を参照) 後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。

同期 (セクション 32.3.12: RTC の同期を参照) 後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。

RTC_CR レジスタ (バイパスシャドウレジスタ) の BYPSHAD 制御ビットがセットされている場合

カレンダーレジスタを読み出すと、カレンダーカウンタの値が直接与えられるため、RSF ビットがセットされるのを待つ必要がありません。シャドウレジスタは低電力モード (STOP または STANDBY) では更新されないため、低電力モード終了後に特にこのような読出しが有用です。

BYPSHAD ビットが 1 にセットされている場合、レジスタへの 2 回の読出しアクセス間で RTCCLK エッジが発生した場合は、さまざまなレジスタ間で互いに不整合が起きる場合があります。さらに、読出し操作中に RTCCLK エッジが発生した場合、レジスタの 1 つが不正な値となる場合があります。ソフトウェアはすべてのレジスタを 2 回読み出し、その結果を比較してデータに整合性があり正しいことを確認する必要があります。その代わりに、ソフトウェアはカレンダーレジスタの最下位の数値を 2 回比較するだけで構いません。

注： BYPSHAD = 1 の間、カレンダーレジスタの読出し命令が完了するには 1 APB サイクルだけ余計に必要となります。

32.3.11 RTC のリセット

カレンダーシャドウレジスタ (RTC_SSR、RTC_TR、RTC_DR) および RTC ステータスレジスタ (RTC_ICSR) の一部のビットは、利用可能なすべてのシステムリセットリソースによってデフォルト値にリセットされます。

逆に、次のレジスタは Backup ドメインリセットによってそれぞれのデフォルト値にリセットされ、システムリセットの影響を受けません。RTC の現在のカレンダーレジスタ、RTC 制御レジスタ (RTC_CR)、プリスケアラレジスタ (RTC_PRER)、RTC 較正レジスタ (RTC_CALR)、RTC シフトレジスタ (RTC_SHIFTR)、RTC タイムスタンプレジスタ (RTC_TSSSR、RTC_TSTR、および RTC_TSDR)、ウェイクアップタイマレジスタ (RTC_WUTR)、およびアラーム A およびアラーム B レジスタ (RTC_ALRMASR/RTC_ALRMAR/RTC_ALRABINR および RTC_ALRMBSSR/RTC_ALRMBR/RTC_ALRBBINR)。

さらに、LSE クロックによって駆動されている際にリセットソースが Backup ドメインリセットと異なる場合、システムリセットがかかっても RTC は動作を続けます (システムリセットの影響を受けない RTC クロックソースの詳細については、RCC を参照してください)。Backup ドメインリセットが発生すると、RTC は停止し、すべての RTC レジスタがリセット値にセットされます。

32.3.12 RTC の同期

RTC は、高精度でリモートクロックと同期できます。サブセカンド項目 (RTC_SSR または RTC_TSSSR) を読み出すと、リモートクロックによって維持されている時刻と RTC 間の正確なオフセットが計算できます。その後、RTC_SHIFTR を使用してほんの一瞬クロックを「シフト」することによって RTC を調整し、このオフセットを取り除くことができます。

RTC は、RTC シフト制御レジスタ (RTC_SHIFTR) を使って微調整できます。RTC_SHIFTR に書き込むことにより、1 ck_apre 周期の分解能でシフト (遅れ/進み) させることができます。

このシフト操作の本質は、同期プリスケアラのカウンタ SS[15:0] に SUBFS[14:0] 値を加算することであり、この操作はクロックを遅らせることとなります。

同時に、BCD モードまたは混合モードで ADD1S ビットがセットされた場合、1 秒追加すると同時に秒の小数部を差し引くことになるため、クロックを進めることとなります。バイナリモードでは ADD1S は影響しません。

RTC_SHIFTR レジスタへの書き込みによってシフト操作が始まるとすぐに、シフト操作が保留中であることを示す SHPF フラグがハードウェアによってセットされます。このビットは、シフト操作が完了するとすぐに、ハードウェアによってクリアされます。

- 注意 :** 混合モード (BIN=10 または 11) の場合、SUBFS[14:BCDU+8] には 0 を書き込む必要があります。
- 注意 :** BCD モードでシフト操作を始める前に、ユーザは SS[15] = 0 であることを確認し、オーバーフローが発生しないようにする必要があります。混合モードでは、ユーザはビット SS[BCDU+8] = 0 であることを確認する必要があります。
- 注意 :** この同期機能はリファレンスクロック検出機能とは両立できません。具体的には、REFCKON = 1 のときにファームウェアから RTC_SHIFTR への書き込みはできません。

32.3.13 RTC リファレンスクロック検出

この機能は BCD モード (BIN=00) でのみ使用できます。

RTC カレンダの更新は、リファレンスクロックである RTC_REFIN に同期させることができます。通常は商用電源 (50 または 60 Hz) です。RTC_REFIN リファレンスクロックには、32.768 kHz LSE クロックより高い精度が必要です。RTC_REFIN 検出を有効にした際 (RTC_CR の REFCKON ビットが 1 にセット)、カレンダーは引き続き LSE クロックによって駆動され、RTC_REFIN はカレンダー更新周波数 (1 Hz) の誤差の補正に使用されます。

各 1 Hz クロックエッジは、一番近い RTC_REFIN クロックエッジ (所与の時間枠内に見つかった場合) と比較されます。ほとんどの場合、2 つのクロックエッジは正しく整列しています。LSE クロックが不正確なために 1 Hz のクロックがずれた場合、RTC は 1 Hz のクロックを少しシフトさせ、その後の 1 Hz のクロックエッジが整列するようにします。このメカニズムのおかげで、カレンダーはリファレンスクロックと同様に正確になります。

RTC は、32.768 kHz クォーツから生成される 256 Hz クロック (ck_apre) を使用して、リファレンスクロックソースがあるかどうかを検出します。検出は各カレンダー更新 (1 秒ごと) 程度の時間枠で行われます。最初のリファレンスクロックエッジを検出する際、この時間枠は ck_apre 7 周期に等しくなります。その後のカレンダー更新では、ck_apre 3 周期より短い時間枠が使用されます。

リファレンスクロックがこの時間枠内で検出されるたびに、ck_spre クロックを出力する非同期プリスケアラは強制的に再ロードされます。プリスケアラは同時に再ロードされるので、リファレンスクロックおよび 1 Hz のクロックが整列するタイミングには影響しません。クロックが整列していない場合、後の 1 Hz クロックエッジは、リファレンスクロックと整列するように再ロードによって少しシフトされます。

リファレンスクロックが停止した (ck_apre 3 周期の枠内でリファレンスクロックエッジが発生しない) 場合、カレンダーは LSE クロックのみを基準にして更新が継続されます。その後 RTC は ck_spre エッジを中心として ck_apre 7 周期という広い検出時間枠でリファレンスクロックを待ちます。

RTC_REFIN 検出を有効にした場合、PREDIV_A および PREDIV_S を以下に示すそれぞれのデフォルト値にセットする必要があります。

- PREDIV_A = 0x007F
- PREDIV_S = 0x00FF

注: RTC_REFIN クロック検出は、STANDBY モードでは利用できません。

32.3.14 RTC の高精度デジタル較正

RTC 周波数の精度は、-487.1 ppm から +488.5 ppm の範囲で、分解能約 0.954 ppm でデジタル的に較正できます。周波数の修正は、一連の微調整 (個々の ck_cal パルスの追加や削除) によって行われます。

LPCAL=0 の場合 : ck_cal = RTCCLK

LPCAL=1 の場合 : ck_cal = ck_apre

このような調整は、短い期間で観測された場合でも RTC が十分に較正されるように、かなり広範に分散して行われます。

較正超低電力モード

較正の消費電力は、RTC 較正レジスタ (RTC_CALR) の LPCAL ビットをセットすることで低減できます。この場合、較正メカニズムは RTCCLK ではなく ck_apre で適用されます。結果となる精度は同じですが、LPCAL=0 の場合は 2^{20} RTCCLK パルスではなく、およそ $2^{20} \times \text{PREDIV_A} \times \text{RTCCLK}$ パルスの較正サイクルの間に較正が実行されます。

高精度較正メカニズム

高精度較正レジスタ (RTC_CALR) によって較正サイクル中にマスクされる ck_cal クロックサイクル数を指定します。

- CALM[0] ビットを 1 にセットすると較正サイクルの中でちょうど 1 パルスがマスクされます。
- CALM[1] ビットを 1 にセットすると、さらに 2 サイクルがマスクされます。
- CALM[2] ビットを 1 にセットすると、さらに 4 サイクルがマスクされます。
- CALM[8] ビットを 1 にセットするまで続けると、256 クロックがマスクされます。

注 : CALM[8:0] (RTC_CALR) によって較正サイクル中にマスクされる ck_cal パルス数を指定します。CALM[0] ビットを 1 にセットすると、cal_cnt[19:0] = 0x80000 になった時点で、較正サイクル中でちょうど 1 パルスがマスクされます。CALM[1] = 1 では、さらに 2 サイクルがマスクされ (cal_cnt = 0x40000 および 0xC0000)、CALM[2] = 1 では、さらに 4 サイクルがマスクされ (cal_cnt = 0x20000/0x60000/0xA0000/ 0xE0000)、CALM[8] = 1 まで続けると、256 クロックがマスクされず (cal_cnt = 0xXX800)。

CALM では、細かい分解能で RTC 周波数を最大 487.1 ppm 負の方向に調整することができ、CALP ビットでは周波数を 488.5 ppm 正の方向に調整することができます。CALP を 1 にセットすることにより、実質上は、ck_cal 2¹¹ サイクルごとに、ck_cal パルスが 1 パルス追加で挿入されます。すなわち較正サイクルごとに 512 クロックが追加されることとなります。

CALM を CALP と合わせて使用すると較正サイクルの間に ck_cal -511 から +512 ck_cal サイクルまでのオフセットが追加でき、これは約 0.954 ppm の分解能で較正範囲 -487.1~+488.5 ppm に換算されます。

有効較正周波数 (FCAL) を入力周波数 (FRTCCLK) に対して求める計算式は次のとおりです。

$$F_{CAL} = F_{RTCCLK} \times [1 + (CALP \times 512 - CALM) / (2^{20} + CALM - CALP \times 512)]$$

注意 : PREDIV_A は 3 以上でなければなりません。

PREDIV_A < 3 の場合の較正

非同期プリスケアラ値 (RTC_PRER レジスタの PREDIV_A ビット) が 3 未満の場合、CALP ビットを 1 にセットすることはできません。CALP がすでに 1 にセットされていて、PREDIV_A ビットが 3 未満の値にセットされた場合、CALP の設定値は無視され、CALP が 0 に設定された場合と同じように較正されます。

BCD モードでは、PREDIV_A が 3 未満の状態では較正できますが、各秒のカウントが 8 ck_cal クロックサイクル分早められるように同期プリスケアラ値 (PREDIV_S) を小さくする必要があります。これは 較正サイクル毎に 256 クロックサイクル追加することに相当します。結果として、CALM ビットのみを使用して較正周期の間に 255~256 クロックパルス (243.3~244.1 ppm の較正範囲に相当) を追加することができます。

公称 RTCCLK 周波数が 32768 Hz で、PREDIV_A が 1 (分周比 2) の場合、PREDIV_S を 16383 ではなく 16379 (4 少ない) にセットする必要があります。また、PREDIV_A が 0 の場合、PREDIV_S を 32767 ではなく 32759 (8 少ない) にセットする必要がありますので注意してください。

PREDIV_S をこのように減少させた場合、較正された入力クロックの有効周波数の式は次のようになります。

$$F_{CAL} = F_{RTCCLK} \times [1 + (256 - CALM) / (2^{20} + CALM - 256)]$$

この場合、RTCCLK が正確に 32768.00 Hz であれば、CALM[7:0] が 0x100 (CALM 設定範囲の中間値) と等しくなるのが正しい設定です。

RTC 較正值の確認

32 秒の較正サイクルにするために、LPCAL=0 で RTC 較正を検証することを推奨します。

RTC の精度は、RTCCLK の正確な周波数を測定し、正しい CALM 値および CALP 値を計算することにより保証されます。オプションの 1 Hz 出力が搭載されており、アプリケーションによって RTC 精度の測定と確認を行うことができます。

ある時間間隔で RTC の周波数を精密に測定すると、デジタル較正サイクルを測定周期とどのように合わせているかにより、測定期間中に最大 2 RTCCLK クロックサイクルの測定誤差が生じます。

ただし、この測定誤差は、測定周期が較正サイクル周期と同じ長さであれば排除できます。この場合、観測される唯一の誤差はデジタル較正の分解能による誤差となります。

- デフォルトでは、較正サイクル周期は 32 秒です。

このモードを使用して正確に 32 秒で 1 Hz 出力の精度を測定すると、その精度は 0.477 ppm (較正分解能の制限により 32 秒で 0.5 RTCCLK サイクル) 以内となることが保証されます。

- RTC_CALR レジスタの CALW16 ビットを 1 にセットして、較正サイクル周期を強制的に 16 秒にすることができます。

この場合、RTC 精度は最大誤差 0.954 ppm (16 秒で 0.5 RTCCLK サイクル) で 16 秒間で測定できます。ただし、較正分解能が下がるため、長期的な RTC 精度もまた 0.954 ppm に下がります。CALW16 が 1 にセットされると、CALM[0] ビットは 0 のままとなります。

- RTC_CALR レジスタの CALW8 ビットを 1 にセットして、較正サイクル周期を強制的に 8 秒にすることができます。

この場合、RTC 精度は最大誤差 1.907 ppm (8 秒で 0.5 RTCCLK サイクル) で 8 秒間で測定できます。長期的な RTC 精度もまた 1.907 ppm に下がります。CALW8 が 1 にセットされると、CALM[1:0] ビットは 00 のままとなります。

動作中の再較正

次の処理を実施することにより、RTC_ICSR/INITF = 0 の間でも、較正レジスタ (RTC_CALR) を動作中に更新することができます。

1. RTC_ICSR/RECALPF (再較正保留フラグ) をポーリングします。
2. このフラグが 0 にセットされている場合は、必要に応じて新しい値を RTC_CALR に書き込みます。すると、RECALPF が自動的に 1 にセットされます。
3. RTC_CALR への書き込み動作後 ck_apre 3 サイクル以内に、新しい較正設定が有効になります。

32.3.15 タイムスタンプ機能

タイムスタンプは、RTC_CR レジスタの TSE ビットまたは ITSE ビットを 1 にセットすることにより有効になります。

TSE がセットされている場合：

RTC_TS ピンでタイムスタンプイベントが検出されると、タイムスタンプレジスタ (RTC_TSSSR、RTC_TSTR、RTC_TSDR) にカレンダーが保存されます。

TAMPTS がセットされている場合：

TAMP_INx ピンでタンパイイベントが検出されると、タイムスタンプレジスタ (RTC_TSSSR、RTC_TSTR、RTC_TSDR) にカレンダーが保存されます。

ITSE がセットされている場合：

内部タイムスタンプイベントが検出されると、タイムスタンプレジスタ (RTC_TSSSR、RTC_TSTR、RTC_TSDR) にカレンダーが保存されます。内部タイムスタンプイベントは、V_{BAT} 供給への切り替えによって生成されます。

タイムスタンプイベントが発生すると、内部または外部イベントによって、RTC_SR レジスタのタイムスタンプフラグビット (TSF) がセットされます。イベントが内部の場合、RTC_SR レジスタのITSF フラグもセットされます。

RTC_CR レジスタの TSIE ビットをセットすることにより、タイムスタンプイベントが発生したときに割込みが生成されます。

タイムスタンプフラグ (TSF) がすでにセットされている間に新しいタイムスタンプイベントが検出された場合、タイムスタンプオーバーフローフラグ (TSOVF) がセットされ、タイムスタンプレジスタ (RTC_TSTR および RTC_TSDR) は、その前のイベントの結果を維持します。

注： 同期処理のため、TSF はタイムスタンプイベント発生から ck_apre 2 サイクル後にセットされます。一方、TSOVF のセットに遅延はありません。これは、2 つのタイムスタンプイベントの発生したタイミングが近い場合、TSF がまだ“0”であっても TSOVF が“1”と検出される可能性があることを意味します。よって、TSOVF のポーリングは TSF がセットされた後に実施することをお勧めします。

注意： TSF ビットのクリア処理を行った直後にタイムスタンプイベントが発生した場合、TSF ビットおよび TSOVF ビットの両方がセットされます。同時に発生するタイムスタンプイベントのマスキングを回避するため、アプリケーションは TSF がすでに 1 と読み出されていない限り、0 クリアの処理を行ってはなりません。

オプション機能として、タンパイメントによってタイムスタンプイベントを記録することもできます。RTC 制御レジスタ (RTC_CR) の TAMPTS 制御ビットの詳細を参照してください。

32.3.16 較正クロック出力

RTC_CR レジスタで COE ビットが 1 にセットされると、CALIB デバイス出力にリファレンスクロックが供給されます。

RTC_CR レジスタの COSEL ビットがリセットされ、かつ PREDIV_A = 0x7F である場合、CALIB 周波数は $f_{\text{RTCCLK}}/64$ です。これは 32.768 kHz の RTCCLK 周波数に対する 512 Hz の較正出力に相当します。立ち下がりがエッジには軽いジッタがあるため、CALIB のデューティサイクルは不規則になります。したがって、立ち上がりエッジの使用が推奨されます。

COSEL がセットされ、かつ “PREDIV_S+1” がゼロ以外の 256 の倍数である場合 (すなわち、PREDIV_S[7:0] = 0xFF)、CALIB 周波数は $f_{\text{RTCCLK}}/(256 * (\text{PREDIV_A}+1))$ となります。これは、RTCCLK 周波数が 32.768 kHz で、プリスケラデフォルト値 (PREDIV_A = 0x7F、PREDIV_S = 0xFF) に対する 1 Hz の較正出力に相当します。

注： CALIB 出力が選択されると、RTC_OUT1 ピンは自動的に設定されますが、RTC_OUT2 ピンはオルタネート機能として設定する必要があります。

COSEL がクリアされると、CALIB 出力は非同期プリスケラの 6 番目のステージの出力になります。LPCAL を 0 から 1 に変更する場合、LPCAL 切り替え中は出力が不規則 (グリッチ) になる可能性があります。LPCAL = 1 の場合、この出力は常に使用できます。LPCAL = 0 の場合、PREDIV_A が 0x20 未満のとき出力はありません。

COSEL がセットされると、CALIB 出力は同期プリスケラの 8 番目のステージの出力になります。

32.3.17 タンパおよびアラーム出力

RTC_CR レジスタの OSEL[1:0] 制御ビットを使用してアラーム出力 TAMPALRM を有効にし、出力となる機能を選択します。これらの機能は、RTC_SR レジスタの該当するフラグの内容を反映します。

TAMPOE 制御ビットが RTC_CR でセットされている場合、すべての外部および内部のタンパフラグは論理和がとられ、TAMPALRM 出力に送られます。OSEL = 00 の場合、TAMPALRM 出力はタンパフラグのみ反映します。OSEL ≠ 00 の場合、TAMPALRM の信号でタンパフラグと、アラーム A、B、ウェイクアップフラグのいずれかがともに供給されます。

RTC_CR の POL 制御ビットは、POL が 1 にセットされているときに選択されたフラグビットの逆が出力されるよう、TAMPALRM 出力の極性を決定します。

TAMPALRM 出力

TAMPALRM ピンは、制御ビット TAMPALRM_TYPE (RTC_CR レジスタ) を使用して、出力オープンドレインまたは出力プッシュプルに設定できます。TAMPALRM_PU (RTC_CR) によって、出力モードで内部プルアップを適用できます。

注： TAMPALRM 出力が有効になると、RTC_OUT1 で CALIB より優先順位が高くなります。

TAMPALRM 出力が選択されると、RTC_OUT1 ピンは自動的に設定されますが、RTC_OUT2 ピンはオルタネート機能として設定する必要があります。TAMPALRM が RTC でオープンドレインに設定されている場合、RTC_OUT1 GPIO を入力として設定する必要があります。

32.4 RTC 低電力モード

表 212. 低消費電力モードが RTC に与える影響

モード	説明
SLEEP	影響なし。 RTC 割込みによって、デバイスは SLEEP モードから復帰します。
STOP	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC 割込みによって、デバイスは STOP モードを終了します。
STANDBY	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC 割込みによって、デバイスは STANDBY モードを終了します。
SHUTDOWN	RTC クロックソースが LSE の場合、RTC はアクティブのままです。RTC 割込みによって、デバイスは SHUTDOWN モードを終了します。

次の表は、すべてのモードでの RTC ピンと機能の一覧です。

表 213. RTC ピン機能 (モード共通)

機能	STANDBY モードおよび SHUTDOWN モード以外のすべての低電力モードで機能するか	STANDBY モードおよび SHUTDOWN モードで機能するか	V _{BAT} モードで使用可能な機能
RTC_TS	はい	はい	はい
RTC_REFIN	はい	不可	不可
RTC_OUT1	はい	はい	はい
RTC_OUT2	はい	不可	不可

32.5 RTC 割込み

割込みチャンネルがマスク済み割込みステータスレジスタにセットされています。また、割込み出力も有効化されます。

表 214. 割込みリクエスト

項目 (割込みの 略称)	割込みイベント	イベント フラグ ⁽¹⁾	イネーブル 制御ビット ⁽²⁾	割込みの クリア方法	SLEEP モードの 終了	STOP および STANDBY モードの 終了	SHUTDOWN モードの終了
RTC	アラーム A	ALRAF	ALRAIE	CALRAF に 1 を 書き込む	可能	はい ⁽³⁾	可能 ⁽⁴⁾
	アラーム B	ALRBF	ALRBIE	CALRBF に 1 を 書き込む	可能	可能 ⁽³⁾	可能 ⁽⁴⁾
	タイムスタンプ	TSF	TSIE	CTSF に 1 を 書き込む	可能	可能 ⁽³⁾	可能 ⁽⁴⁾
	ウェイクアップ タイマ割込み	WUTF	WUTIE	CWUTF に 1 を 書き込む	可能	可能 ⁽³⁾	可能 ⁽⁴⁾
	SSR アンダー フロー	SSRUF	SSRUIE	CSSRUF に 1 を 書き込む	可能	可能 ⁽³⁾	可能 ⁽⁴⁾

1. イベントフラグは、RTC_SR レジスタ内です。
2. 割込みマスク済みフラグ（イベントフラグおよびイネーブル制御ビットからの結果）は、RTC_MISR レジスタ内です。
3. STOP モードおよび STANDBY モードからのウェイクアップは、RTC クロックソースが LSE または LSI のときのみ可能です。
4. SHUTDOWN モードからのウェイクアップは、RTC クロックソースが LSE のときのみ可能です。

32.6 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、リファレンスマニュアルの [59 ページのセクション 1.2](#) を参照してください。

ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスすることができます。

32.6.1 RTC 時刻レジスタ (RTC_TR)

RTC_TR は、カレンダー時刻シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。 [1000 ページのカレンダーの初期化と設定](#) および [1002 ページのカレンダーの読出し](#) を参照してください。

このレジスタは書き込み保護されています。書き込みアクセスの手順は、 [1000 ページのRTC レジスタ書き込み保護](#) を参照してください。

アドレス・オフセット : 0x00

Backup ドメインリセット値 : 0x0000 0000

システムリセット値 : 0x0000 0000 (BYP SHAD = 0 の場合。BYP SHAD = 1 の場合は、影響を受けません)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM** : AM/PM 表記

0 : AM または 24 時間形式

1 : PM

ビット 21:20 **HT[1:0]** : BCD 形式での時の十の位

ビット 19:16 **HU[3:0]** : BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]** : BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]** : BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]** : BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]** : BCD 形式での秒の一の位

32.6.2 RTC 日付レジスタ (RTC_DR)

RTC_DR は、カレンダー日付シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。1000 ページのカレンダーの初期化と設定 および 1002 ページのカレンダーの読出しを参照してください。

このレジスタは書き込み保護されています。書き込みアクセスの手順は、1000 ページのRTC レジスタ書き込み保護を参照してください。

アドレス・オフセット : 0x04

Backup ドメインリセット値 : 0x0000 2101

システムリセット値 : 0x0000 2101 (BYPSHAD = 0 の場合。BYPSHAD = 1 の場合は、影響を受けません)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]				YU[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **YT[3:0]** : BCD 形式での年の十の位

ビット 19:16 **YU[3:0]** : BCD 形式での年の一の位

ビット 15:13 **WDU[2:0]** : 曜日

- 000 : 禁止
- 001 : 月曜日
-
- 111 : 日曜日

ビット 12 **MT** : BCD 形式での月の十の位

ビット 11:8 **MU[3:0]** : BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **DT[1:0]** : BCD 形式での日の十の位

ビット 3:0 **DU[3:0]** : BCD 形式での日の一の位

注 : カレンダーは最大値に達すると停止し、ロールオーバーできません。

32.6.3 RTC サブセカンドレジスタ (RTC_SSR)

アドレス・オフセット : 0x08

Backup ドメインリセット値 : 0x0000 0000

システムリセット値 : 0x0000 0000 (BYP SHAD = 0 の場合。BYP SHAD = 1 の場合は、影響を受けません)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SS[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **SS[31:0]** : 同期バイナリカウンタ

SS[31:16] : 同期バイナリカウンタの MSB 値

バイナリモードまたは混合モードが選択されている場合 (BIN = 01、10、11 のいずれか) :

SS[31:16] は、SS[31:0] フリーランニングダウンカウンタの 16 MSB です。

BCD モードが選択されている場合 (BIN=00) :

SS[31:16] はハードウェアによって 0x0000 に固定されています。

SS[15:0] : サブセカンド値/同期バイナリカウンタの LSB 値

バイナリモードが選択されている場合 (BIN = 01、10、11 のいずれか) :

SS[15:0] は、SS[31:0] フリーランニングダウンカウンタの 16 MSB です。

BCD モードが選択されている場合 (BIN=00) :

SS[15:0] は、同期プリスケアラのカウンタ内の値です。秒の小数部は、下の式によって与えられます。

秒の小数部 = (PREDIV_S - SS) / (PREDIV_S + 1)

SS は、シフト操作後に限り、PREDIV_S より大きな値となる場合があります。この場合、正確な時刻 / 日付は、RTC_TR/RTC_DR で示される値よりも 1 秒少ない値となります。

32.6.4 RTC 初期化制御およびステータスレジスタ (RTC_ICSR)

このレジスタは書き込み保護されています。書き込みアクセスの手順は、[1000 ページの RTC レジスタ書き込み保護](#)を参照してください。

アドレス・オフセット : 0x0C

Backup ドメインリセット値 : 0x0000 0007

システムリセット : 0 にクリアされる INIT、INITF、RSF ビット以外は影響されません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RECALPF
															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	BCDU[2:0]			BIN[1:0]		INIT	INITF	RSF	INITS	SHPF	WUTWF	Res.	Res.
			rw	rw	rw	rw	rw	rw	r	rc_w0	r	r	r		

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **RECALPF** : 再較正保留フラグ

ソフトウェアによって RTC_CALR レジスタに書き込みが行われると、RECALPF ステータスフラグが自動的に 1 にセットされ、RTC_CALR レジスタがブロックされたことを示します。新たな較正設定が認識されると、このビットは 0 に戻ります。[動作中の再較正](#)を参照してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:10 **BCDU[2:0]** : BCD 更新 (BIN = 10 または 11)

BCD カレンダおよびバイナリ拡張カウンタを使用した混合モード (BIN = 10 または 11) では、カレンダの秒は SSR 最下位ビットでインクリメントされます。

0x0 : SS[7:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x1 : SS[8:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x2 : SS[9:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x3 : SS[10:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x4 : SS[11:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x5 : SS[12:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x6 : SS[13:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

0x7 : SS[14:0] = 0 のたびに 1 秒のカレンダインクリメントが生成されます。

ビット 9:8 **BIN[1:0]** : バイナリモード

00 : フリーランニング BCD カレンダモード (バイナリモード無効)

01 : フリーランニングバイナリモード (BCD モード無効)

10 : フリーランニング BCD カレンダモードおよびバイナリモード

11 : フリーランニング BCD カレンダモードおよびバイナリモード

ビット 7 **INIT** : 初期化モード

0 : フリーランニングモード

1 : 時刻と日付レジスタ (RTC_TR と RTC_DR)、およびプリスケアラレジスタ (RTC_PRER)、ならびに BIN および BCDU のフィールドのプログラムに使用する初期化モードです。INIT がリセットされると、カウンタは停止し、新しい値からカウントし始めます。

ビット 6 **INITF** : 初期化フラグ

このビットが 1 にセットされると、RTC は初期化状態となり、時刻、日付およびプリスケアラレジスタが更新できます。

0 : カレンダレジスタを更新できません。

1 : カレンダレジスタを更新できます。

ビット 5 **RSF** : レジスタ同期フラグ

このビットは、カレンダレジスタがシャドウレジスタ (RTC_SSR、RTC_TR、および RTC_DR) にコピーされるたびにハードウェアによってセットされます。このビットは、シフト操作が保留中 (SHPF = 1) の初期化モードで、またはバイパスシャドウレジスタモード (BYPSHAD = 1) で、ハードウェアによってクリアされます。このビットは、ソフトウェアでクリアすることもできます。

初期化モードでソフトウェアまたはハードウェアによってクリアされます。

0 : カレンダシャドウレジスタはまだ同期していません。

1 : カレンダシャドウレジスタは同期しています。

ビット 4 **INITS** : 初期化ステータスフラグ

このビットは、カレンダの年の項目が 0 ではないとき (Backup ドメインリセット状態) にハードウェアによってセットされます。

0 : カレンダは初期化されていません。

1 : カレンダは初期化されています。

ビット 3 **SHPF** : シフト操作保留

このフラグは、RTC_SHIFTR への書込みによってシフト操作が開始された直後に、ハードウェアによってセットされます。該当するシフト操作が実行されると、ハードウェアによってクリアされます。SHPF ビットに書き込んでも影響はありません。

0 : 保留中のシフト操作はありません。

1 : 保留中のシフト操作があります。

ビット 2 **WUTWF** : ウェイクアップタイマ書込みフラグ

このビットは、RTC_CR で WUTE ビットが 0 にセットされた後、WUT 値が変更可能な時にハードウェアによってセットされます。

初期化モードでハードウェアによってクリアされます。

0 : 初期化モード以外で、ウェイクアップタイマ設定は更新できません。

1 : ウェイクアップタイマ設定は更新できます。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

32.6.5 RTC プリスケアラレジスタ (RTC_PRER)

このレジスタは、必ず初期化モードで書き込む必要があります。初期化は、2 回の書込みアクセスに分けて行う必要があります。[1000 ページのカレンダーの初期化と設定](#)を参照してください。

このレジスタは書込み保護されています。書込みアクセスの手順は、[1000 ページの RTC レジスタ書込み保護](#)を参照してください。

アドレス・オフセット : 0x10

Backup ドメインリセット値 : 0x007F : 00FF

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]						
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PREDIV_S[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **PREDIV_A[6:0]** : 非同期プリスケアラ分周比

非同期分周比です。

$ck_apre \text{ 周波数} = \text{RTCCLK 周波数} / (\text{PREDIV_A} + 1)$

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **PREDIV_S[14:0]** : 同期プリスケアラ分周比

同期分周比です。

$ck_spre \text{ 周波数} = ck_apre \text{ 周波数} / (\text{PREDIV_S} + 1)$

32.6.6 RTC ウェイクアップタイマレジスタ (RTC_WUTR)

このレジスタは、RTC_ICSR の WUTWF が 1 にセットされているときにのみ書き込みます。

アドレス・オフセット : 0x14

Backup ドメインリセット値 : 0x0000 FFFF

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WUTOCLR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **WUTOCLR[15:0]** : ウェイクアップ自動再ロード出力クリア値

WUTOCLR[15:0] が 0x0000 ではない場合、WUTF は自動再ロードダウンカウンタが 0 に達するとハードウェアによってセットされ、自動再ロードダウンカウンタが WUTOCLR[15:0] に達するとハードウェアによってクリアされます。

WUTOCLR[15:0] = 0x0000 の場合、WUTF は WUT ダウンカウンタが 0 に達するとハードウェアによってセットされ、ソフトウェアによってクリアされます。

ビット 15:0 **WUT[15:0]** : ウェイクアップ自動再ロード値ビット

ウェイクアップタイマが有効 (WUTE が 1 にセット) とき、ck_wut の (WUT[15:0] + 1) サイクルごとに WUTF フラグがセットされます。ck_wut の周期は、RTC_CR レジスタの WUCKSEL[2:0] ビットで選択します。

WUCKSEL[2] = 1 のとき、ウェイクアップタイマは 17 ビットとなり、WUCKSEL[1] が事実上タイマに再ロードされる最上位ビットである WUT[16] となります。

WUTF の最初のアサートは、WUTE がセットされてから WUT と ck_wut の (WUT + 2) サイクルの間に発生します。WUCKSEL[2:0] = 011 (RTCCLK/2) のときに WUT[15:0] を 0x0000 にセットすることはできません。

32.6.7 RTC 制御レジスタ (RTC_CR)

このレジスタは書き込み保護されています。書き込みアクセスの手順は、[1000 ページの RTC レジスタ書き込み保護](#)を参照してください。

アドレス・オフセット : 0x18

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OUT2 EN	TAMP ALRM_TYPE	TAMP ALRM_PU	Res.	Res.	TAMP OE	TAMP TS	ITSE	COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H
rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIE	WUTIE	ALRB IE	ALRA IE	TSE	WUTE	ALRBE	ALRAE	SSR UIE	FMT	BYP SHAD	REFCK ON	TS EDGE	WUCKSEL[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **OUT2EN** : RTC_OUT2 出力は有効です。

本ビットを設定することで、以下のように RTC_OUT2 の RTC 出力を再配置できます。

OUT2EN=0 : RTC 出力 2 無効

OSEL ≠ 00 または TAMPOE = 1 の場合 : RTC_OUT1 に TAMPALRM が出力されます。

OSEL = 00 かつ TAMPOE = 0 かつ COE = 1 の場合 : RTC_OUT1 に CALIB が出力されます。

OUT2EN=1 : RTC 出力 2 有効

(OSEL ≠ 00 または TAMPOE = 1) かつ COE = 0 の場合 : RTC_OUT2 に TAMPALRM が出力されます。

OSEL = 00 かつ TAMPOE = 0 かつ COE = 1 の場合 : RTC_OUT2 に CALIB が出力されます。

(OSEL ≠ 00 または TAMPOE = 1) かつ COE = 1 の場合 : RTC_OUT2 に CALIB が、RTC_OUT1 に TAMPALRM が出力されます。

ビット 30 **TAMPALRM_TYPE** : TAMPALRM 出力形式

0 : TAMPALRM はプッシュプル出力になります。

1 : TAMPALRM はオープンドレイン出力になります。

ビット 29 **TAMPALRM_PU** : TAMPALRM プルアップイネーブル

0 : TAMPALRM 出力でプルアップは適用されません。

1 : TAMPALRM 出力でプルアップは適用されます。

ビット 28:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **TAMPOE** : TAMPALRM でのタンパ検出出力イネーブル

0 : タンパフラグが TAMPALRM で送られません。

1 : タンパフラグが OSEL による信号および POL による極性ととも TAMPALRM で送られます。

ビット 25 **TAMPTS** : タンパ検出イベント時のタイムスタンプの有効化

0 : タンパ検出イベントがあっても、RTC タイムスタンプは保存されません。

1 : タンパ検出イベント時、RTC タイムスタンプが保存されます。

RTC_CR レジスタで TSE = 0 であっても TAMPTS は有効です。タイムスタンプフラグはタンパフラグの後にセットされるため、TAMPTS と TSIE がセットされている場合、タンパ割込みを無効にして、2 つの割込みを処理しないようにすることを推奨します。

ビット 24 **ITSE** : 内部イベントでのタイムスタンプイネーブル

0 : 内部イベントでのタイムスタンプは無効です。

1 : 内部イベントでのタイムスタンプは有効です。

ビット 23 **COE** : 較正出力イネーブル

このビットは、CALIB 出力を有効にします。

0 : 較正出力は無効です。

1 : 較正出力は有効です。

ビット 22:21 **OSEL[1:0]** : 出力選択

これらのビットは、TAMPALRM 出力に送られるフラグの選択に使用します。

00 : 出力は無効です。

01 : アラーム A 出力は有効です。

10 : アラーム B 出力は有効です。

11 : ウェイクアップ出力は有効です。

ビット 20 **POL** : 出力極性

このビットは、TAMPALRM 出力の極性の設定に使用します。

0 : ALRAF/ALRBF/WUTF が (OSEL[1:0] に応じて) アサートされた場合、または TAMPxF/ITAMPxF がアサートされた場合 (TAMPOE = 1 の場合)、このピンはハイになります。

1 : ALRAF/ALRBF/WUTF が (OSEL[1:0] に応じて) アサートされた場合、または TAMPxF/ITAMPxF がアサートされた場合 (TAMPOE = 1 の場合)、このピンはローになります。

ビット 19 **COSEL** : 較正出力選択

COE = 1 のとき、このビットによって CALIB に出力される信号を選択します。

0 : 較正出力は 512 Hz です。

1 : 較正出力は 1 Hz です。

これらの周波数は、RTCCLK が 32.768 kHz で、プリスケーラがデフォルト値 (PREDIV_A = 127 および PREDIV_S = 255) の場合に有効です。セクション 32.3.16: 較正クロック出力を参照してください。

ビット 18 **BKP** : バックアップ

このビットは、サマータイムの変更を実施したか否かを記憶しておくため、ユーザが書き込むことができます。

ビット 17 **SUB1H** : 1 時間差し引き (冬時間変更)

このビットを初期化モード以外のときにセットすると、現在時刻が 0 でない場合にカレンダー時刻から 1 時間を差し引きます。このビットは常に 0 として読み出されます。

現在時間が 0 のときにこのビットをセットしても、影響はありません。

0 : 影響なし。

1 : 現在時刻から 1 時間差し引きます。これは、冬時間変更で使用できます。

ビット 16 **ADD1H** : 1 時間加算 (サマータイム変更)

このビットを初期化モード以外のときにセットすると、カレンダー時刻に 1 時間加算します。このビットは常に 0 として読み出されます。

0 : 影響なし。

1 : 現在時刻に 1 時間加算します。これは、サマータイム変更で使用できます。

ビット 15 **TSIE** : タイムスタンプ割込みは有効です。

0 : タイムスタンプ割込みは無効です。

1 : タイムスタンプ割込みは有効です。

ビット 14 **WUTIE** : ウェイクアップタイム割込みイネーブル

0 : ウェイクアップタイム割込みは無効です。

1 : ウェイクアップタイム割込みは有効です。

ビット 13 **ALRBIE** : アラーム B 割込みは有効です。

0 : アラーム B 割込みは無効です。

1 : アラーム B 割込みは有効です。

ビット 12 **ALRAIE** : アラーム A 割込みイネーブル

0 : アラーム A 割込みは無効です。

1 : アラーム A 割込みは有効です。

- ビット 11 **TSE** : タイムスタンプイネーブル
0 : タイムスタンプは無効です。
1 : タイムスタンプは有効です。
- ビット 10 **WUTE** : ウェイクアップタイマイネーブル
0 : ウェイクアップタイマは無効です。
1 : ウェイクアップタイマは有効です。
- ビット 9 **ALRBE** : アラーム B イネーブル
0 : アラーム B は無効です。
1 : アラーム B は有効です。
- ビット 8 **ALRAE** : アラーム A イネーブル
0 : アラーム A は無効です。
1 : アラーム A は有効です。
- ビット 7 **SSRUIE** : SSR アンダーフロー割込みイネーブル
0 : SSR アンダーフロー割込みは無効です。
1 : SSR アンダーフロー割込みは有効です。
- ビット 6 **FMT** : 時間形式
0 : 24 時間/日形式
1 : AM/PM 時間形式
- ビット 5 **BYPHAD** : シャドウレジスタをバイパスします。
0 : カレンダ値は (RTC_SSR、RTC_TR、RTC_DR から読み出す場合)、シャドウレジスタから取得され、これらは 2 RTCCLK サイクルごとに 1 回更新されます。
1 : カレンダ値は (RTC_SSR、RTC_TR、RTC_DR から読み出す場合)、カレンダカウンタから直接取得されます。
注 : APB1 クロックの周波数が RTCCLK の 7 倍未満である場合、BYPHAD は 1 にセットする必要があります。
- ビット 4 **REFCKON** : RTC_REFIN リファレンスクロック検出イネーブル (50 または 60 Hz)
0 : RTC_REFIN 検出は無効です。
1 : RTC_REFIN 検出は有効です。
注 : BIN は 0x00 である必要があり、PREDIV_S は 0x00FF である必要があります。
- ビット 3 **TSEEDGE** : タイムスタンプイベントアクティブエッジ
0 : RTC_TS 入力の立ち上がりエッジによってタイムスタンプイベントを生成します。
1 : RTC_TS 入力の立ち下がりエッジによってタイムスタンプイベントを生成します。
不要な TSF 設定を回避するため、TSEEDGE が変化した場合には TSE をリセットする必要があります。
- ビット 2:0 **WUCKSEL[2:0]** : ck_wut ウェイクアップクロックの選択
000 : RTC/16 クロックが選択されます。
001 : RTC/8 クロックが選択されます。
010 : RTC/4 クロックが選択されます。
011 : RTC/2 クロックが選択されます。
10x : ck_spre (通常は 1 Hz) クロックが BCD モードで選択されます。バイナリモードまたは混合モードでは、これは BCDU によって選択されるクロックです。
11x : ck_spre (通常は 1 Hz) クロックが BCD モードで選択されます。バイナリモードまたは混合モードでは、これは BCDU によって選択されるクロックです。さらに、 2^{16} が WUT カウンタ値に追加されます。

注： 初期化モード (RTC_ICSR/INITF = 1) の場合のみ、このレジスタのビット 6 および 4 が書き込めます。
 WUT = ウェイクアップユニットカウンタ値 $WUT = (0x0000 \sim 0xFFFF) + 0x10000$ (WUCKSEL[2:1] = 11 の場合追加されます。)
 このレジスタのビット 2~0 は、RTC_CR の WUTE ビット = 0 かつ RTC_ICSR の WUTWF ビット = 1 の場合にのみ書き込めます。
 カレンダの時間項目のインクリメント中は時間を変更しないことが推奨されます。カレンダの時間項目のインクリメントがマスクされる可能性があるためです。
 ADD1H および SUB1H の変更は、次の秒から有効になります。

32.6.8 RTC 書き込み保護レジスタ (RTC_WPR)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
								w	w	w	w	w	w	w	w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **KEY[7:0]** : 書き込み保護キー

このバイトはソフトウェアで書き込まれます。

このバイトを読み出すと常に 0x00 が返されます。

RTC レジスタの書き込み保護解除方法については、[RTC レジスタ書き込み保護](#)を参照してください。

32.6.9 RTC 較正レジスタ (RTC_CALR)

このレジスタは書き込み保護されています。書き込みアクセスの手順は、[1000 ページの RTC レジスタ書き込み保護](#)を参照してください。

アドレス・オフセット : 0x28

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALP	CALW8	CALW16	LPCAL	Res.	Res.	Res.	CALM[8:0]								
rw	rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **CALP** : RTC 周波数を 488.5 ppm 増加

0 : RTCCLK パルスは加えられません。

1 : RTCCLK の 2^{11} パルスごとに 1 パルス効果的に挿入されます (周波数が 488.5 ppm 増加)。

この機能は、CALM と共に使用されることを想定しており、カレンダーの周波数を高分解能で下げることができます。入力周波数が 32768 Hz の場合、32 秒枠の間に追加される RTCCLK パルスの数は次のように算出されます : $(512 * CALP) - CALM$

[セクション 32.3.14: RTC の高精度デジタル較正](#)を参照してください。

ビット 14 **CALW8** : 8 秒較正サイクル周期の使用

CALW8 が 1 にセットされると、8 秒較正サイクル周期が選択されます。

注 : **CALW8 = 1 の場合、CALM[1:0] は 00 に固定されます。**[セクション 32.3.14: RTC の高精度デジタル較正](#)を参照してください。

ビット 13 **CALW16** : 16 秒較正サイクル周期の使用

CALW16 が 1 にセットされると、16 秒較正サイクル周期が選択されます。CALW8=1 の場合、このビットを 1 にセットすることはできません。

注 : **CALW16 = 1 の場合、CALM[0] は 0 に固定されます。**[セクション 32.3.14: RTC の高精度デジタル較正](#)を参照してください。

ビット 12 **LPCAL** : 較正超低電力モード

0 : 較正時間範囲が 2^{20} RTCCLK となり、高消費電力モードとなります。このモードは、32 秒未満の較正時間範囲が必要な場合のみセットする必要があります。

1 : 較正時間範囲が 2^{20} ck_apre となり、超低電力モードに必要な設定となります。

ビット 11:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **CALM[8:0]** : 較正マイナス

RTCCLK 2^{20} パルス (入力周波数が 32768 Hz の場合 32 秒) 内の CALM をマスクすることによって、カレンダーの周波数が下げられます。この方法により、カレンダーの周波数を 0.9537 ppm の分解能で下げることができます。

カレンダーの周波数を上げるには、この機能を CALP と共に使用する必要があります。[1004 ページのセクション 32.3.14: RTC の高精度デジタル較正](#)を参照してください。

32.6.10 RTC シフト制御レジスタ (RTC_SHIFTR)

このレジスタは書き込み保護されています。書き込みアクセスの手順は、[1000 ページのRTC レジスタ書き込み保護](#)を参照してください。

アドレス・オフセット：0x2C

Backup ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SUBFS[14:0]														
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31 ADD1S：1 秒加算

0：影響なし。

1：時計／カレンダーに 1 秒加算します。

このビットは書き込み専用であり、常に 0 として読み出されます。シフト操作が保留中 (RTC_ICSR で SHPF = 1) の場合、このビットに書き込んでも影響はありません。

この機能は、SUBFS (下記説明を参照) と共に使用されることを想定しており、不可分操作で、効果的に時計に秒の小数部を加算することを目的としています。

ビット 30:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 SUBFS[14:0]：秒の小数部差し引き

このビットは書き込み専用であり、常に 0 として読み出されます。シフト操作が保留中 (RTC_ICSR で SHPF = 1) の場合、このビットに書き込んでも影響はありません。

SUBFS に書き込まれた値は、同期プリスケアラのカウンタに加算されます。このカウンタはカウントダウンしていくので、この操作によって、次の式で求める値が効果的にクロックから差し引き (遅延) されます。

$$\text{遅れ (秒)} = \text{SUBFS} / (\text{PREDIV_S} + 1)$$

ADD1S 機能が SUBFS と共に用いられた場合、秒の小数部を効果的にクロックに加算する (クロックを進める) ことができ、実際のクロックの進みは次の式のとおりとなります。

$$\text{進み (秒)} = (1 - (\text{SUBFS} / (\text{PREDIV_S} + 1)))$$

混合 BCD-バイナリモード (BIN=10 または 11) の場合、SUBFS[14:BCDU+8] には 0 を書き込む必要があります。

注： SUBFS に書き込むことにより RSF はクリアされます。その後、ソフトウェアが RSF = 1 まで待つことにより、シャドウレジスタがシフトされた時刻で更新されていることが確実にあります。

32.6.11 RTC タイムスタンプ時刻レジスタ (RTC_TSTR)

このレジスタの内容は、RTC_SR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。

アドレス・オフセット : 0x30

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	r	r	r	r	r	r	r		r	r	r	r	r	r	r

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM** : AM/PM 表記

0 : AM または 24 時間形式

1 : PM

ビット 21:20 **HT[1:0]** : BCD 形式での時の十の位

ビット 19:16 **HU[3:0]** : BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]** : BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]** : BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]** : BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]** : BCD 形式での秒の一の位

32.6.12 RTC タイムスタンプ日付レジスタ (RTC_TSDR)

このレジスタの内容は、RTC_SR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。

アドレス・オフセット : 0x34

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
r	r	r	r	r	r	r	r			r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **WDU[2:0]** : 曜日

ビット 12 **MT** : BCD 形式での月の十の位

ビット 11:8 **MU[3:0]** : BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **DT[1:0]** : BCD 形式での日の十の位

ビット 3:0 **DU[3:0]** : BCD 形式での日の一の位

32.6.13 RTC タイムスタンプサブセカンドレジスタ (RTC_TSSSR)

このレジスタの内容は、RTC_SR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。

アドレス・オフセット : 0x38

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SS[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **SS[31:0]** : サブセカンド値/同期バイナリカウンタ値

SS[31:0] は、タイムスタンプイベントが発生したときの同期プリスケーラのカウンタの値です。

32.6.14 RTC アラーム A レジスタ (RTC_ALRMAR)

このレジスタは、RTC_CR レジスタの ALRAIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

アドレス・オフセット : 0x40

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **MSK4** : アラーム A 日付マスク

0 : 日付/曜日が一致すると、アラーム A がセットされます。

1 : アラーム A の比較では日付/曜日を無視します。

ビット 30 **WDSEL** : 曜日選択

0 : DU[3:0] は日付の一の位を表します。

1 : DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]** : BCD 形式での日の十の位

ビット 27:24 **DU[3:0]** : BCD 形式での日の一の位または曜日

ビット 23 **MSK3** : アラーム A 時マスク

- 0 : 時が一致すると、アラーム A がセットされます。
- 1 : アラーム A の比較では時を無視します。

ビット 22 **PM** : AM/PM 表記

- 0 : AM または 24 時間形式
- 1 : PM

ビット 21:20 **HT[1:0]** : BCD 形式での時の十の位

ビット 19:16 **HU[3:0]** : BCD 形式での時の一の位

ビット 15 **MSK2** : アラーム A 分マスク

- 0 : 分が一致すると、アラーム A がセットされます。
- 1 : アラーム A の比較では分を無視します。

ビット 14:12 **MNT[2:0]** : BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]** : BCD 形式での分の一の位

ビット 7 **MSK1** : アラーム A 秒マスク

- 0 : 秒が一致すると、アラーム A がセットされます。
- 1 : アラーム A の比較では秒を無視します。

ビット 6:4 **ST[2:0]** : BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]** : BCD 形式での秒の一の位

32.6.15 RTC アラーム A サブセカンドレジスタ (RTC_ALRMASR)

このレジスタは、RTC_CR レジスタの ALRAIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

アドレス・オフセット : 0x44

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
SSCLR	Res.	MASKSS[5:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw		rw	rw	rw	rw	rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	SS[14:0]															
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw	

ビット 31 **SSCLR** : アラームでの同期カウンタのクリア (バイナリモードのみ)

0 : 同期バイナリカウンタ (RTC_SSR の SS[31:0]) はフリーランニングです。

1 : 同期バイナリカウンタ (RTC_SSR の SS[31:0]) は、0xFFFF FFFF から RTC_ALRMABINR → SS[31:0] まで動作し、RTC_ALRMABINR → SS[31:0] に達すると自動的に 0xFFFF FFFF で再ロードされます。

注 : BCD または混合モードが使用されている場合 (BIN = 00、10、11 のいずれか)、SSCLR は 0 のままにしておく必要があります。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29:24 **MASKSS[5:0]** : このビットから始まる最上位ビットのマスク

0 : アラーム A に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます (他の項目が一致していることを前提として)。

1 : アラーム A の比較では SS[31:1] を無視します。SS[0] のみ比較されます。

2 : アラーム A の比較では SS[31:2] を無視します。SS[1:0] のみ比較されます。

.....

31 : アラーム A の比較では SS[31] を無視します。SS[30:0] のみ比較されます。

32~63 : アラームをアクティブにするには、32 の全ての SS ビットを比較し一致する必要があります。

注 : BCD モード (BIN=00) では、同期カウンタのオーバーフロービット (ビット 31:15) が比較されることはありません。これらのビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **SS[14:0]** : サブセカンド値

この値が同期プリスケアラのカウンタの内容と比較され、アラーム A をアクティブ化するかどうかを決定します。0~MASKSS-1 のビットだけが比較されます。

このフィールドは、RTC_ALRMABINR の SS[14:0] のミラーであり、RTC_ALRMABINR でも読みまたは書き込みできます。

32.6.16 RTC アラーム B レジスタ (RTC_ALRMBR)

このレジスタは、RTC_CR レジスタの ALRBE がリセットされた場合、または初期化モードの場合にのみ書き込みます。

アドレス・オフセット : 0x48

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WD SEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **MSK4** : アラーム B 日付マスク

0 : 日付/曜日が一致すると、アラーム B がセットされます。

1 : アラーム B の比較では日付/曜日を無視します。

ビット 30 **WSEL** : 曜日選択

0 : DU[3:0] は日付の一の位を表します。

1 : DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]** : BCD 形式での日の十の位

ビット 27:24 **DU[3:0]** : BCD 形式での日の一の位または曜日

ビット 23 **MSK3** : アラーム B 時マスク

0 : 時が一致すると、アラーム B がセットされます。

1 : アラーム B の比較では時を無視します。

ビット 22 **PM** : AM/PM 表記

0 : AM または 24 時間形式

1 : PM

ビット 21:20 **HT[1:0]** : BCD 形式での時の十の位

ビット 19:16 **HU[3:0]** : BCD 形式での時の一の位

ビット 15 **MSK2** : アラーム B 分マスク

- 0 : 分が一致すると、アラーム B がセットされます。
- 1 : アラーム B の比較では分を無視します。

ビット 14:12 **MNT[2:0]** : BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]** : BCD 形式での分の一の位

ビット 7 **MSK1** : アラーム 秒マスク

- 0 : 秒が一致すると、アラーム B がセットされます。
- 1 : アラーム B の比較では秒を無視します。

ビット 6:4 **ST[2:0]** : BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]** : BCD 形式での秒の一の位

32.6.17 RTC アラーム B サブセカンドレジスタ (RTC_ALRMBSSR)

このレジスタは、RTC_CR レジスタの ALRBE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

アドレス・オフセット : 0x4C

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
SSCLR	Res	MASKSS[5:4]		MASKSS[3:0]				Res	Res	Res	Res	Res	Res	Res	Res	Res
rw		rw	rw	rw	rw	rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res	SS[14:0]															
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw	

ビット 31 **SSCLR** : アラームでの同期カウンタのクリア (バイナリモードのみ)

0 : 同期バイナリカウンタ (RTC_SSR の SS[31:0]) はフリーランニングです。

1 : 同期バイナリカウンタ (RTC_SSR の SS[31:0]) は、0xFFFF FFFF から RTC_ALRMBBINR → SS[31:0] 値まで動作し、RTC_ALRMBBINR → SS[31:0] に達すると自動的に 0xFFFF FFFF で再ロードされます。

注 : BCD または混合モードが使用されている場合 (BIN = 00、10、11 のいずれか)、SSCLR は 0 のままにしておく必要があります。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29:24 **MASKSS[5:0]** : このビットから始まる最上位ビットのマスク

0 : アラーム B に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます (他の項目が一致していることを前提として)。

1 : アラーム B の比較では SS[31:1] を無視します。SS[0] のみ比較されます。

2 : アラーム B の比較では SS[31:2] を無視します。SS[1:0] のみ比較されます。

.....

31 : アラーム B の比較では SS[31] を無視します。SS[30:0] のみ比較されます。

32~63 : アラームをアクティブにするには、32 の全ての SS ビットを比較し一致する必要があります。

注 : BCD モード (BIN=00) では、同期カウンタのオーバーフロービット (ビット 15) が比較されることはありません。このビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **SS[14:0]** : サブセカンド値

この値が同期プリスケアラのカウンタの内容と比較され、アラーム B をアクティブ化するかどうかを決定します。0~MASKSS-1 のビットだけが比較されます。

このフィールドは、RTC_ALRMBBINR の SS[14:0] のミラーであり、RTC_ALRMBBINR でも読出しまたは書込みできます。

32.6.18 RTC ステータスレジスタ (RTC_SR)

アドレス・オフセット : 0x50

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SSR UF	ITSF	TSOVF	TSF	WUTF	ALRBF	ALRAF
									r	r	r	r	r	r	r

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SSRUF** : SSR アンダーフローフラグ

このフラグは、SSR が 0 を下回る場合にハードウェアによってセットされます。SSCLR=1 の場合、SSRUF はセットされません。

ビット 5 **ITSF** : 内部タイムスタンプフラグ

このフラグは、内部イベントでタイムスタンプが発生したときに、ハードウェアによってセットされます。

ビット 4 **TSOVF** : タイムスタンプオーバーフローフラグ

このフラグは、TSF が既にセットされている間にタイムスタンプイベントが発生したときに、ハードウェアによってセットされます。

TSOVF は、TSF ビットをクリアした後、チェックしてからクリアすることが推奨されます。さもないと、TSF ビットがクリアされる直前にタイムスタンプイベントが発生した場合、オーバーフローを見逃す可能性があります。

ビット 3 **TSF** : タイムスタンプフラグ

このフラグは、タイムスタンプイベントが発生したときに、ハードウェアによってセットされます。ITSF フラグがセットされている場合、ITSF とともに TSF をクリアする必要があります。

ビット 2 **WUTF** : ウェイクアップタイムフラグ

このフラグは、ウェイクアップ自動再ロードカウンタが 0 に到達したときに、ハードウェアによってセットされます。

WUTOCLR[15:0] が 0x0000 ではない場合、WUTF はウェイクアップ自動再ロードカウンタが WUTOCLR の値に達するとハードウェアによってクリアされます。

WUTOCLR[15:0] が 0x0000 である場合、WUTF はソフトウェアでクリアする必要があります。

このフラグは、WUTF が再び 1 にセットされる前、RTCCLK 1.5 周期以上前にソフトウェアでクリアする必要があります。

ビット 1 **ALRBF** : アラーム B フラグ

このフラグは、時刻/日付レジスタ (RTC_TR および RTC_DR) がアラーム B レジスタ (RTC_ALRMBR) と一致したときにハードウェアによってセットされます。

ビット 0 **ALRAF** : アラーム A フラグ

このフラグは、時刻/日付レジスタ (RTC_TR および RTC_DR) がアラーム A レジスタ (RTC_ALRMAR) と一致したときにハードウェアによってセットされます。

注 : このレジスタのビットは、RTC_SCR レジスタで対応するクリアビットをセットしてから 2 APB クロックサイクル後にクリアされます。

32.6.19 RTC マスク済み割込みステータスレジスタ (RTC_MISR)

アドレス・オフセット : 0x54

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SSR UMF	ITS MF	TSOVM F	TS MF	WUT MF	ALRB MF	ALRA MF
										r	r	r	r	r	r	r

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SSRUMF** : SSR アンダーフローマスク済みフラグ

このフラグは、SSR アンダーフロー割込みが発生したときにハードウェアによってセットされます。

ビット 5 **ITSMF** : 内部タイムスタンプマスク済みフラグ

このフラグは、内部イベントでタイムスタンプが発生しかつタイムスタンプ割込みが生じたとき、ハードウェアによってセットされます。

ビット 4 **TSOVMF** : タイムスタンプオーバーフローマスク済みフラグ

このフラグは、TSMF がすでにセットされている間にタイムスタンプ割込みが発生した場合に、ハードウェアによってセットされます。

TSOVF は、TSF ビットをクリアした後、チェックしてからクリアすることが推奨されます。さもないと、TSF ビットがクリアされる直前にタイムスタンプイベントが発生した場合、オーバーフローを見逃す可能性があります。

ビット 3 **TSMF** : タイムスタンプマスク済みフラグ

このフラグは、タイムスタンプ割込みが発生したときに、ハードウェアによってセットされます。

ITSF フラグがセットされている場合、ITSF とともに TSF をクリアする必要があります。

ビット 2 **WUTMF** : ウェイクアップタイママスク済みフラグ

このフラグは、ウェイクアップタイマ割込みが発生したときに、ハードウェアによってセットされます。このフラグは、WUTF が再び 1 にセットされる前、RTCCLK 1.5 周期以上にソフトウェアでクリアする必要があります。

ビット 1 **ALRBMF** : アラーム B マスク済みフラグ

このフラグは、アラーム B 割込みが発生したときに、ハードウェアによってセットされます。

ビット 0 **ALRAMF** : アラーム A マスク済みフラグ

このフラグは、アラーム A 割込みが発生したときに、ハードウェアによってセットされます。

32.6.20 RTC ステータスクリアレジスタ (RTC_SCR)

アドレス・オフセット : 0x5C

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSSR UF	CITSF F	CTSOV F	CTS F	CWUT F	CALRB F	CALRA F
									w	w	w	w	w	w	w

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CSSRUF** : SSR アンダーフローフラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの SSRUF がクリアされます。

ビット 5 **CITSF** : 内部タイムスタンプフラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの ITSF ビットがクリアされます。

ビット 4 **CTSOVF** : タイムスタンプオーバーフローフラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの TSOVF ビットがクリアされます。

TSOVF は、TSF ビットをクリアした後、チェックしてからクリアすることが推奨されます。さもないと、TSF ビットがクリアされる直前にタイムスタンプイベントが発生した場合、オーバーフローを見逃す可能性があります。

ビット 3 **CTS F** : タイムスタンプフラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの TSOVF ビットがクリアされます。

ITSF フラグがセットされている場合、CRSF と CITSF をセットして、ITSF とともに TSF をクリアする必要があります。

ビット 2 **CWUTF** : ウェイクアップタイマフラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの WUTF ビットがクリアされます。

ビット 1 **CALRBF** : アラーム B フラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの ALRBF ビットがクリアされます。

ビット 0 **CALRAF** : アラーム A フラグのクリア

このビットに 1 を書き込むと、RTC_SR レジスタの ALRAF ビットがクリアされます。

32.6.21 RTC アラーム A バイナリモードレジスタ (RTC_ALRABINR)

このレジスタは、RTC_CR レジスタの ALRAIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

アドレス・オフセット : 0x70

バックアップドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SS[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **SS[31:0]** : バイナリモードの同期カウンタアラーム値

この値が同期カウンタの内容と比較され、アラーム A をアクティブ化するかどうかを決定します。0～MASKSS-1 のビットだけが比較されます。

SS[14:0] は、RTC_ALRMSSRR の SS[14:0] のミラーであり、RTC_ALRMSSR でも読出しまたは書込みできます。

32.6.22 RTC アラーム B バイナリモードレジスタ (RTC_ALRBBINR)

このレジスタは、RTC_CR レジスタの ALRBE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

アドレス・オフセット : 0x74

バックアップドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SS[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **SS[31:0]** : バイナリモードの同期カウンタアラーム値

この値が同期カウンタの内容と比較され、アラーム B をアクティブ化するかどうかを決定します。0～MASKSS-1 のビットだけが比較されます。

SS[14:0] は、RTC_ALRMBSSRR の SS[14:0] のミラーであり、RTC_ALRMBSSR でも読出しまたは書込みできます。

32.6.23 RTC レジスタマップ

表 215. RTC レジスタマップとリセット値

オフ セット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x00	RTC_TR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT [1:0]	HU[3:0]			Res.	MNT[2:0]		MNU[3:0]			Res.	ST[2:0]			SU[3:0]											
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x04	RTC_DR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]			YU[3:0]			WDU[2:0]		MT	MU[3:0]			Res.	Res.	DT [1:0]		DU[3:0]										
	リセット値											0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1		0	0	0	0	0	1			
0x08	RTC_SSR	SS[31:16]															SS[15:0]																				
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x0C	RTC_ICSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RECALPF	Res.	Res.	Res.	Res.	BCDU [2:0]		BIN [1:0]		INIT	INITF	RSF	INITS	SHPF	WJTF	Res.	Res.				
	リセット値																0						0	0	0	0	0	0	0	0	0	0	1				
0x10	RTC_PRER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]						PREDIV_S[14:0]																				
	リセット値											1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x14	RTC_WUTR	WUTOCLR[15:0]															WUT[15:0]																				
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		
0x18	RTC_CR	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	Res.	Res.	TAMPOE	TAMPTS	ITSE	COE	SEL [1:0]	POL	COSEL	BKP	SUBIH	ADTH	TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	SSRUIE	FMT	BYPHAD	REFCKON	TSEDEG	WUCK SEL[2:0]							
	リセット値	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x24	RTC_WPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]											
	リセット値																									0	0	0	0	0	0	0	0	0			
0x28	RTC_CALR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALP	CALW8	CALW16	LPCAL	Res.	Res.	Res.	CALM[8:0]												
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x2C	RTC_SHIFTR	ADDIS	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBFS[14:0]															
	リセット値	0																																			
0x30	RTC_TSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT [1:0]	HU[3:0]			Res.	MNT[2:0]		MNU[3:0]			Res.	ST[2:0]			SU[3:0]											
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x34	RTC_TSDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDU[2:0]		MT	MU[3:0]			Res.	Res.	DT [1:0]		DU[3:0]									
	リセット値																	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0				
0x38	RTC_TSSSR	SS[31:0]																																			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x40	RTC_ALRMAR	MSK4	WSEL	DT [1:0]	DU[3:0]			MSK3	PM	HT [1:0]	HU[3:0]			MSK2	MNT[2:0]		MNU[3:0]			MSK1	ST[2:0]			SU[3:0]													
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			



表 215. RTC レジスタマップとリセット値 (続き)

オフ セット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x44	RTC_ALRMASR	SSCLR	Res.	MASKSS [5:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]													
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	RTC_ALRMBR	MSK4	WSEL	DT [1:0]	DU[3:0]			MSK3	PM	HT [1:0]	HU[3:0]			MSK2	MNT[2:0]		MNU[3:0]		MSK1	ST[2:0]		SU[3:0]											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x4C	RTC_ALRMBSSR	SSCLR	Res.	MASKSS [5:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]													
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x50	RTC_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x54	RTC_MISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	RTC_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70	RTC_ALRABINR	SS[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x74	RTC_ALRBBINR	SS[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

33 タンパおよびバックアップレジスタ (TAMP)

33.1 概要

20 個の 32 ビットバックアップレジスタは、すべての低電力モードと V_{BAT} モードで保持されます。これらのレジスタは、内容がタンパ検出回路によって保護されるため、機密データの格納に使用できません。タンパ対策検出には、3 個のタンパピンと 4 個の内部タンパが使用できます。外部タンパピンは、フィルタの有無にかかわらず、エッジ検出またはレベル検出のどちらにも設定できます。

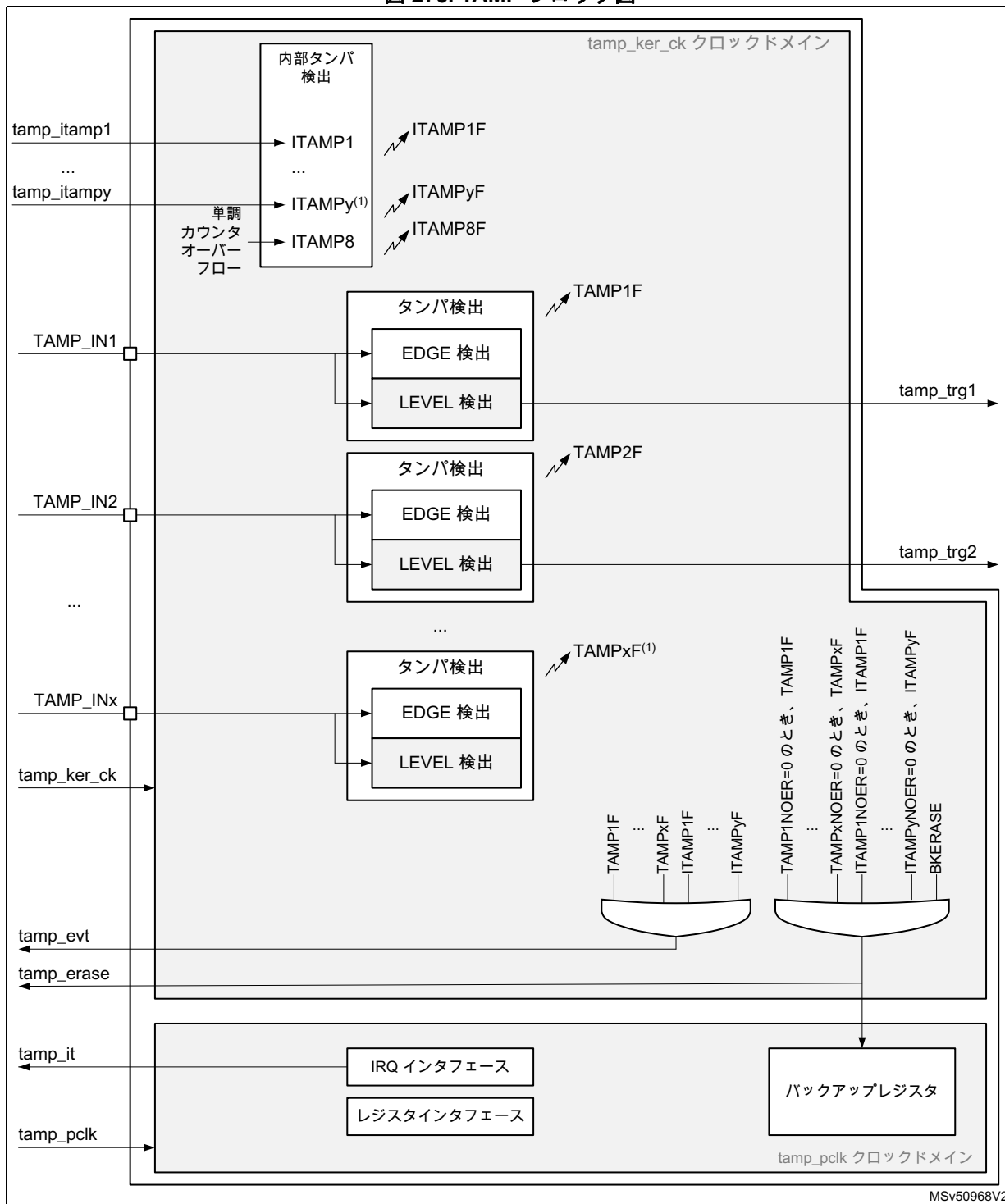
33.2 TAMP の主な機能

- 20 個のバックアップレジスタ：
 - バックアップレジスタ (TAMP_BKPxR) は、 V_{DD} 電源がオフに切り替わったときに V_{BAT} による電源がオンの状態になる RTC ドメインに実装されます。
- 3 個の外部タンパ検出イベント
 - 外部のパッシブタンパは、フィルタおよび内部プルアップが設定可能です。
- 4 個の内部タンパイベント
- あらゆるタンパ検出によって RTC タイムスタンプイベントを生成可能
- あらゆるタンパ検出によって backup registers, SRAM2 and PKA SRAM を消去可能
- 単調カウンタ

33.3 TAMP の機能詳細

33.3.1 TAMP ブロック図

図 275. TAMP ブロック図



MSv50968V2

1. 外部タンパおよび内部タンパの数は製品によります。

33.3.2 TAMP ピンおよび内部信号

表 216. TAMP の入出力ピン

ピン名	信号タイプ	説明
TAMP_INx (x = ピンインデックス)	入力	タンパ入力ピン

表 217. TAMP 内部入力/出力信号

内部信号名	信号タイプ	説明
tamp_ker_ck	入力	TAMP カーネルクロック (rtc_ker_ck に接続、本書では RTCCLK とも言います)
tamp_pclk	入力	TAMP APB クロック (rtc_pclk に接続)
tamp_itamp[y] (y = 信号インデックス)	入力	内部タンパイベントソース
tamp_evt	出力	タンパイベント検出 (内部または外部) tamp_evt は RTC タイムスタンプイベントを生成するために使用されます。
tamp_erase	出力	デバイスの機密情報消去リクエストは以下のうちの何れか。タンパイベント検出 (内部または外部)、または BKERASE に 1 を書き込むことによるソフトウェア消去リクエスト。
tamp_it	出力	TAMP 割込み (詳細については、 セクション 33.5: TAMP 割込み を参照してください)
tamp_trg[x] (x = 信号インデックス)	出力	タンパ検出トリガ

通常、TAMP カーネルクロックは、RCC で他のクロックソースを選択できますが、32.768 kHz での LSE です (詳細は RCC を参照してください)。選択したクロックが LSE ではない場合、一部の低電力モードや V_{BAT} で使用できない検出モードがあります (詳細は、[セクション 33.4: TAMP 低電力モード](#)を参照してください)。

表 218. TAMP 相互接続

信号名	転送元/転送先
tamp_evt	タイムスタンプイベントの生成に使用される rtc_tamp_evt
tamp_erase	tamp_erase 信号は、次にリストされているデバイス機密情報を消去するために使用されます。backup registers, SRAM2 and PKA SRAM
tamp_itamp3	LSE 監視
tamp_itamp5	RTC カレンダーオーバーフロー (rtc_calovf)
tamp_itamp6	JTAG access in RDP level 1
tamp_itamp8 ⁽¹⁾	単調カウンタオーバーフロー

1. この信号は TAMP ペリフェラルで生成されます。

33.3.3 TAMP レジスタ書き込み保護

システムリセット後、電源制御ペリフェラルの DBP ビットによって、TAMP レジスタ (バックアップレジスタを含む) は不要な書き込みアクセスから保護されます (PWR 電源制御のセクションを参照)。TAMP レジスタ書き込みアクセスを可能にするには、DBP ビットをセットする必要があります。

33.3.4 タンパ検出

タンパ検出は次の目的で設定できます。

- バックアップレジスタおよび表 218: TAMP 相互接続にある SRAM (デフォルト設定) を消去する。
- STOP および STANDBY モードからウェイクアップするための割込みを生成する。
- 低電力タイマのためのハードウェアトリガを生成する。

TAMP バックアップレジスタ

バックアップレジスタ (TAMP_BKPxR) は、システムリセットや STANDBY モードからのウェイクアップではリセットされません。

バックアップレジスタは、タンパ検出イベント発生時にリセットされますが、TAMPxNOER ビットがセットされている場合や TAMP_CR2 レジスタの TAMPxMSK がセットされている場合、または TAMP_CR3 の ITAMPxNOER ビットがセットされている場合は例外です。

バックアップレジスタおよび tamp_erase 信号で消去されたデバイス機密情報 (表 218: TAMP 相互接続を参照) は、ソフトウェアで TAMP_CR2 レジスタの BKERASE ビットをセットすることによってリセットできます。

注 : バックアップレジスタは、Flash の読出し保護がレベル 1 からレベル 0 に変わったときにも消去されます。

タンパ検出の初期化

各入力は、TAMP_CR レジスタにおいて該当する TAMPxE ビットを 1 にセットすることにより有効にできます。

各 TAMP_INx タンパ検出入力は、TAMP_SR レジスタのフラグ TAMPxF に関連付けられています。

TAMPxMSK がクリアされている場合 :

TAMPxF フラグは、ピン上でタンパイベントが発生した後にアサートされます。その際の遅延時間を以下に示します。

- TAMPFLT が 0x0 (フィルタありのレベル検出) ではない場合は 3 ck_apre サイクル
- TAMPTS = 1 (タンパイベントのタイムスタンプ) の場合は 3 ck_apre サイクル
- TAMPFLT = 0x0 (エッジ検出) および TAMPTS = 0 の場合は遅延なし

TAMPxF がセットされている場合に、この周期中に同一ピンで発生した新たなタンパイベントを検出することはできません。

TAMPxMSK がセットされている場合 :

同一ピンで発生した新たなタンパイベントは、上述した遅延の間とさらに ck_rtc 2.5 サイクルの間は検出できません。

TAMP_IER レジスタの TAMPxIE ビットをセットすることにより、タンパ検出イベント発生時に割込みが生成されます (TAMPxF がセットされている場合)。該当する TAMPxMSK がセットされている場合、TAMPxIE をセットすることはできません。

タンパイベント時のトリガ出力生成

タンパイベント検出は、低電力タイマによるトリガ入力として使用できます。

TAMP_CR レジスタで TAMPxMSK ビットがセットされている場合、TAMPxF フラグはソフトウェアによってクリアされ、同じピンで新しいタンパ検出ができるようになります。

TAMPxMSK ビットがセットされている場合、TAMPxF フラグはマスクされ、TAMP_SR レジスタでクリアされたままとなります。この設定により、TAMPxF をクリアするためにシステムをウェイクアップする必要もなく、STOP モードのまま低電力タイマを自動的にトリガすることができます。この場合、バックアップレジスタはクリアされません。

この機能は、タンパが **タンパ入力でのフィルタを使ったレベル検出 (パッシブモード)** モードに設定されているときのみ使用できます。

タンパイベント時のタイムスタンプ

RTC_CR で TAMPTS を 1 にセットすると、すべてのタンパイベントがタイムスタンプを発生させるようになります。この場合、通常のタイムスタンプイベント発生時と同様に TSF ビットまたは TSOVF ビットが RTC_SR でセットされます。TSF または TSOVF が RTC_SR でセットされると同時に、影響を受けるタンパフラグレジスタ TAMPxF が TAMP_SR でセットされます。

タンパ入力でのエッジ検出 (パッシブモード)

TAMPFLT ビットが 00 の場合、該当する TAMPxTRG ビットに応じて、立ち上がりエッジ/ハイレベルまたは立ち下がりエッジ/ローレベルが観測されると TAMP_INx ピンがタンパ検出イベントを生成します。エッジ検出を選択すると、TAMP_INx 入力の内部プルアップ抵抗が無効になります。

注意 : エッジ検出を使用する場合は、タンパ検出の有効化直後のタンパピンのレベルをソフトウェアでチェックすることをお勧めします (GPIO レジスタを読み出す)。また、タンパイベントの検出を有効化する前にアクティブエッジが発生していないかどうかを確認するため、影響を受ける値をバックアップレジスタに書き込む前にソフトウェアでチェックすることをお勧めします。
TAMPFLT = 00 および TAMPxTRG = 0 (立ち上がりエッジ検出) のとき、タンパ入力がタンパ検出を有効にする前にすでにハイレベルになっている場合、タンパイベントがハードウェアによって検出される場合があります。

タンパイベントが検出されクリアされた後に、バックアップレジスタ (TAMP_BKPxR) を再プログラムする場合には、事前に、TAMP_INx を無効にしてから再度有効にする (TAMPxE を 1 にセット) 必要があります。これによって、TAMP_INx の入力値がタンパ検出を示している期間中に、アプリケーションがバックアップレジスタにデータを書き込むのを防ぎます。これは、TAMP_INx の入力でのレベル検出に相当します。

注 : タンパ検出は、V_{DD} 電源がオフのときでも有効です。バックアップレジスタの不必要なリセットを避けるには、TAMPx が設定されているピンを外部で適切な信号レベルに接続しておく必要があります。

タンパ入力でのフィルタを使ったレベル検出 (パッシブモード)

フィルタを使ったレベル検出は、TAMPFLT を 0 以外の値にセットすることにより行われます。タンパ検出イベントは、(TAMPFLT に応じて) 2、4 または 8 回のいずれかの連続したサンプルが TAMPxTRG ビットで指定するレベルで観測されたときに生成されます。

TAMP_INx 入力は、TAMPPUDIS が 1 にセットされて無効な状態になっていない限り、その状態がサンプリングされる前に I/O の内部プルアップ抵抗でプリチャージされています。プリチャージの継続時間は TAMPPRCH ビットによって決定され、TAMP_INx 入力により大きな容量を持たせることができます。

タンパ検出の遅延時間と、プルアップによる電力消費との間のトレードオフは、TAMPFREQ を使用してレベル検出のサンプリング周波数を決定することにより、最適化できます。

注 : プルアップ抵抗の電気的特性については、マイクロコントローラデータシートを参照してください。

33.4 TAMP 低電力モード

表 219. 低消費電力モードが TAMP に与える影響

モード	説明
SLEEP	影響はありません。 TAMP 割込みによって、デバイスは SLEEP モードから復帰します。
STOP	クロックソースが LSE または LSI のときに限り有効なフィルタモードによるレベル検出の場合を除き、すべての機能に影響はありません。 タンパイベントによって、デバイスは STOP モードを終了します。
STANDBY	クロックソースが LSE または LSI のときに限り有効なフィルタモードによるレベル検出の場合を除き、すべての機能に影響はありません。タンパイベントによって、デバイスは STANDBY モードから復帰します。
SHUTDOWN	クロックソースが LSE のときに限り有効なフィルタモードによるレベル検出の場合を除き、すべての機能に影響はありません。タンパイベントによって、デバイスは SHUTDOWN モードを終了します。

33.5 TAMP 割込み

割込みチャネルは割込みステータスレジスタにセットされます。また、割込み出力も有効化されます。

表 220. 割込みリクエスト

項目 (割込みの略称)	割込みイベント	イベントフラグ ⁽¹⁾	有効制御ビット ⁽²⁾	割込みのクリア方法	SLEEP モードの終了	STOP および STANDBY モードの終了	SHUTDOWN モードの終了
TAMP	タンパ x ⁽³⁾	TAMPxF	TAMPxIE	CTAMPxF に 1 を書き込む	可能	はい ⁽⁴⁾	可能 ⁽⁵⁾
TAMP	内部タンパ y ⁽³⁾	ITAMPyF	ITAMPyIE	CITAMPxF に 1 を書き込む	可能	可能 ⁽⁴⁾	可能 ⁽⁵⁾

1. イベントフラグは、TAMP_SR レジスタ内です。
2. 割込みマスク済みフラグ (イベントフラグおよびイネーブル制御ビットからの結果) は、TAMP_MISR レジスタ内です。
3. タンパおよび内部タンパイベントの数は製品によります。
4. フィルタパッシブタンパモードによるレベル検出の場合、STOP モードおよび STANDBY モードからのウェイクアップは、TAMP クロックソースが LSE または LSI のときのみ可能です。
5. フィルタパッシブタンパモードによるレベル検出の場合、SHUTDOWN モードからのウェイクアップは、TAMP クロックソースが LSE のときのみ可能です。

33.6 TAMP レジスタ

レジスタの説明で使用されている略語のリストについては、リファレンスマニュアルの [59 ページのセクション 1.2](#) を参照してください。ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスすることができます。

33.6.1 TAMP 制御レジスタ 1 (TAMP_CR1)

アドレス・オフセット : 0x00

Backup ドメインリセット値 : 0xFFFF 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8 E	Res.	ITAMP6 E	ITAMP5 E	Res.	ITAMP3 E	Res.	Res.
								rw		rw	rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3 E	TAMP2 E	TAMP1 E
													rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **ITAMP8E** : 内部タンパ 8 イネーブル

0 : 内部タンパ 8 は無効です。

1 : 内部タンパ 8 は有効です。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **ITAMP6E** : 内部タンパ 6 イネーブル

0 : 内部タンパ 6 は無効です。

1 : 内部タンパ 6 は有効です。

ビット 20 **ITAMP5E** : 内部タンパ 5 イネーブル

0 : 内部タンパ 5 は無効です。

1 : 内部タンパ 5 は有効です。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **ITAMP3E** : 内部タンパ 3 イネーブル

0 : 内部タンパ 3 は無効です。

1 : 内部タンパ 3 は有効です。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **TAMP3E** : TAMP_IN3 のタンパ検出イネーブル⁽¹⁾

0 : TAMP_IN3 のタンパ検出は無効です。

1 : TAMP_IN3 のタンパ検出は有効です。

ビット 1 **TAMP2E** : TAMP_IN2 のタンパ検出イネーブル⁽¹⁾

0 : TAMP_IN2 のタンパ検出は無効です。

1 : TAMP_IN2 のタンパ検出は有効です。

ビット 0 **TAMP1E** : TAMP_IN1 のタンパ検出イネーブル⁽¹⁾

0 : TAMP_IN1 のタンパ検出は無効です。

1 : TAMP_IN1 のタンパ検出は有効です。

1. タンパ検出モード (TAMP_FLTCR レジスタと TAMP_CR2 の TAMPxTRG ビットで選択) は、タンパー検出を有効にする前に設定する必要があります。

33.6.2 TAMP 制御レジスタ 2 (TAMP_CR2)

アドレス・オフセット : 0x04

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	TAMP3 TRG	TAMP2 TRG	TAMP1 TRG	BK ERASE	Res.	Res.	Res.	Res.	TAMP3 MSK	TAMP2 MSK	TAMP1 MSK
					rw	rw	rw	w					rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3 NOER	TAMP2 NOER	TAMP1 NOER
													rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **TAMP3TRG** : タンパ 3 の入力のアクティブレベル

0 : TAMPFLT ≠ 00 の場合、タンパ 3 の入力がローのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 3 の入力が立ち上がりエッジおよびハイレベルのとき、タンパ検出イベントがトリガされます。

1 : TAMPFLT ≠ 00 の場合、タンパ 3 の入力がハイのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 3 の入力が立ち下がりエッジおよびローレベルのとき、タンパ検出イベントがトリガされます。

ビット 25 **TAMP2TRG** : タンパ 2 の入力のアクティブレベル

0 : TAMPFLT ≠ 00 の場合、タンパ 2 の入力がローのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 2 の入力が立ち上がりエッジおよびハイレベルのとき、タンパ検出イベントがトリガされます。

1 : TAMPFLT ≠ 00 の場合、タンパ 2 の入力がハイのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 2 の入力が立ち下がりエッジおよびローレベルのとき、タンパ検出イベントがトリガされます。

ビット 24 **TAMP1TRG** : タンパ 1 の入力のアクティブレベル

0 : TAMPFLT ≠ 00 の場合、タンパ 1 の入力がローのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 1 の入力が立ち上がりエッジおよびハイレベルのとき、タンパ検出イベントがトリガされます。

1 : TAMPFLT ≠ 00 の場合、タンパ 1 の入力がハイのままのとき、タンパ検出イベントがトリガされます。TAMPFLT = 00 の場合、タンパ 1 の入力が立ち下がりエッジおよびローレベルのとき、タンパ検出イベントがトリガされます。

ビット 23 **BKERASE** : バックアップレジスタ⁽¹⁾ の消去

このビットに「1」を書き込むと、バックアップレジスタ⁽¹⁾ がリセットされます。0 を書き込んで、ビットの値は変化しません。このビットは常に 0 として読み出されます。

ビット 22:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TAMP3MSK** : タンパ 3 マスク

0: タンパ 3 イベントでトリガイイベントが生成され、次のタンパイイベント検出を許可するために TAMP3F をソフトウェアでクリアする必要があります。

1: タンパ 3 イベントによってトリガイイベントが生成されます。TAMP3F はマスクされ、ハードウェアで内部的にクリアされます。バックアップレジスタ⁽¹⁾ は消去されません。

TAMP3MSK がセットされている場合、タンパ 3 割込みを有効にできません。

ビット 17 **TAMP2MSK** : タンパ 2 マスク

0: タンパ 2 イベントでトリガイイベントが生成され、次のタンパイイベント検出を許可するために TAMP2F をソフトウェアでクリアする必要があります。

1: タンパ 2 イベントによってトリガイイベントが生成されます。TAMP2F はマスクされ、ハードウェアで内部的にクリアされます。バックアップレジスタ⁽¹⁾ は消去されません。

TAMP2MSK がセットされている場合、タンパ 2 割込みを有効にできません。

ビット 16 **TAMP1MSK** : タンパ 1 マスク

0: タンパ 1 イベントでトリガイイベントが生成され、次のタンパイイベント検出を許可するために TAMP1F をソフトウェアでクリアする必要があります。

1: タンパ 1 イベントによってトリガイイベントが生成されます。TAMP1F はマスクされ、ハードウェアで内部的にクリアされます。バックアップレジスタ⁽¹⁾ は消去されません。

TAMP1MSK がセットされている場合、タンパ 1 割込みを有効にできません。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **TAMP3NOER** : タンパ 3 消去なし

0: タンパ 3 イベントでバックアップレジスタは消去されます。

1: タンパ 3 イベントでバックアップレジスタ⁽¹⁾ は消去されません。

ビット 1 **TAMP2NOER** : タンパ 2 消去なし

0: タンパ 2 イベントでバックアップレジスタは消去されます。

1: タンパ 2 イベントでバックアップレジスタ⁽¹⁾ は消去されません。

ビット 0 **TAMP1NOER** : タンパ 1 消去なし

0: タンパ 1 イベントでバックアップレジスタは消去されます。

1: タンパ 1 イベントでバックアップレジスタ⁽¹⁾ は消去されません。

1. デバイス機密情報は、tamp_erase 信号によって消去されます (表 218: TAMP 相互接続を参照してください)。

33.6.3 TAMP 制御レジスタ 3 (TAMP_CR3)

アドレス・オフセット : 0x08

バックアップドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8 NOER	Res.	ITAMP6 NOER	ITAMP5 NOER	Res.	ITAMP3 NOER	Res.	Res.
								rw		rw	rw		rw		

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **ITAMP8NOER** : 内部タンパ 8 消去なし

0 : 内部タンパ 8 イベントでバックアップレジスタは消去されます。

1 : 内部タンパ 8 イベントでバックアップレジスタ⁽¹⁾は消去されません。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **ITAMP6NOER** : 内部タンパ 6 消去なし

0 : 内部タンパ 6 イベントでバックアップレジスタは消去されます。

1 : 内部タンパ 6 イベントでバックアップレジスタ⁽¹⁾は消去されません。

ビット 4 **ITAMP5NOER** : 内部タンパ 5 消去なし

0 : 内部タンパ 5 イベントでバックアップレジスタは消去されます。

1 : 内部タンパ 5 イベントでバックアップレジスタ⁽¹⁾は消去されません。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **ITAMP3NOER** : 内部タンパ 3 消去なし

0 : 内部タンパ 3 イベントでバックアップレジスタは消去されます。

1 : 内部タンパ 3 イベントでバックアップレジスタ⁽¹⁾は消去されません。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 予約済みであり、リセット値に保持する必要があります。

1. およびデバイス機密情報は、tamp_erase 信号によって消去されます (表 218: TAMP 相互接続を参照してください)。

33.6.4 TAMP フィルタ制御レジスタ (TAMP_FLTCR)

アドレス・オフセット : 0x0C

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP PUDIS	TAMPPRCH [1:0]		TAMPFLT [1:0]		TAMPFREQ [2:0]		
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TAMPPUDIS** : TAMP_INx プルアップディスエーブル

このビットにより、毎回のサンプリング前に各 TAMPx ピンをプリチャージするかどうか決定します。

0 : サンプリング前に TAMP_INx ピンをプリチャージします (内部プルアップを有効化)。

1 : TAMP_INx のプリチャージを無効化します。

ビット 6:5 **TAMPPRCH[1:0]** : TAMP_INx プリチャージ持続時間

これらのビットにより、各サンプリングの前にプルアップを有効化している時間を決定します。TAMPPRCH は、各 TAMP_INx 入力に対して有効です。

0x0 : 1 RTCCLK サイクル

0x1 : 2 RTCCLK サイクル

0x2 : 4 RTCCLK サイクル

0x3 : 8 RTCCLK サイクル

ビット 4:3 **TAMPFLT[1:0]** : TAMP_INx フィルタカウント

これらのビットにより、タンパイベントをアクティブにするのに必要な指定のレベル (TAMP*TRG) での連続サンプリングの数を決定します。TAMPFLT は、各 TAMP_INx 入力に対して有効です。

0x0 : TAMP_INx 入力 that アクティブレベル (TAMP_INx 入力における内部プルアップなし) に変化するときのエッジで、タンパイベントがアクティブになります。

0x1 : アクティブレベルでの連続した 2 回のサンプリングの後、タンパイベントがアクティブになります。

0x2 : アクティブレベルでの連続した 4 回のサンプリングの後、タンパイベントがアクティブになります。

0x3 : アクティブレベルでの連続した 8 回のサンプリングの後、タンパイベントがアクティブになります。

ビット 2:0 **TAMPFREQ[2:0]** : タンパサンプリング周波数

これらのビットにより、各 TAMP_INx 入力 that サンプリングされる周波数を決定します。

0x0 : RTCCLK / 32768 (RTCCLK = 32768 Hz の場合 1 Hz)

0x1 : RTCCLK / 16384 (RTCCLK = 32768 Hz の場合 2 Hz)

0x2 : RTCCLK / 8192 (RTCCLK = 32768 Hz の場合 4 Hz)

0x3 : RTCCLK / 4096 (RTCCLK = 32768 Hz の場合 8 Hz)

0x4 : RTCCLK / 2048 (RTCCLK = 32768 Hz の場合 16 Hz)

0x5 : RTCCLK / 1024 (RTCCLK = 32768 Hz の場合 32 Hz)

0x6 : RTCCLK / 512 (RTCCLK = 32768 Hz の場合 64 Hz)

0x7 : RTCCLK / 256 (RTCCLK = 32768 Hz の場合 128 Hz)

注 : このレジスタは、パッシブモードでのタンパ入力のみ関係します。

33.6.5 TAMP 割込み有効レジスタ (TAMP_IER)

アドレス・オフセット : 0x2C

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8 IE	Res.	ITAMP6 IE	ITAMP5 IE	Res.	ITAMP3 IE	Res.	Res.
								rw		rw	rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP 3IE	TAMP 2IE	TAMP 1IE
													rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **ITAMP8IE** : 内部タンパ 8 割込みイネーブル

0 : 内部タンパ 8 割込みは無効です。

1 : 内部タンパ 8 割込みは有効です。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **ITAMP6IE** : 内部タンパ 6 割込みイネーブル

0 : 内部タンパ 6 割込みは無効です。

1 : 内部タンパ 6 割込みは有効です。

ビット 20 **ITAMP5IE** : 内部タンパ 5 割込みイネーブル

0 : 内部タンパ 5 割込みは無効です。

1 : 内部タンパ 5 割込みは有効です。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **ITAMP3IE** : 内部タンパ 3 割込みイネーブル

0 : 内部タンパ 3 割込みは無効です。

1 : 内部タンパ 3 割込みは有効です。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **TAMP3IE** : タンパ 3 割込みイネーブル

0 : タンパ 3 割込みは無効です。

1 : タンパ 3 割込みは有効です。

ビット 1 **TAMP2IE** : タンパ 2 割込みイネーブル

0 : タンパ 2 割込みは無効です。

1 : タンパ 2 割込みは有効です。

ビット 0 **TAMP1IE** : タンパ 1 割込みイネーブル

0 : タンパ 1 割込みは無効です。

1 : タンパ 1 割込みは有効です。

33.6.6 TAMP ステータスレジスタ (TAMP_SR)

アドレス・オフセット : 0x30

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8 F	Res.	ITAMP6 F	ITAMP5 F	Res.	ITAMP3 F	Res.	Res.
								r		r	r		r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP 3F	TAMP 2F	TAMP 1F
													r	r	r

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **ITAMP8F** : 内部タンパ 8 フラグ

このフラグは、内部タンパ 8 にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **ITAMP6F** : 内部タンパ 6 フラグ

このフラグは、内部タンパ 6 にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 20 **ITAMP5F** : 内部タンパ 5 フラグ

このフラグは、内部タンパ 5 にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **ITAMP3F** : 内部タンパ 3 フラグ

このフラグは、内部タンパ 3 にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **TAMP3F** : TAMP3 検出フラグ

このフラグは、TAMP3 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 1 **TAMP2F** : TAMP2 検出フラグ

このフラグは、TAMP2 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ビット 0 **TAMP1F** : TAMP1 検出フラグ

このフラグは、TAMP1 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

33.6.7 TAMP マスク済み割込みステータスレジスタ (TAMP_MISR)

アドレス・オフセット : 0x34

Backup ドメインリセット値 : 0x0000 0000

システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8 MF	Res.	ITAMP6 MF	ITAMP5 MF	Res.	ITAMP3 MF	Res.	Res.
								r		r	r		r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP 3MF	TAMP 2MF	TAMP 1MF
													r	r	r

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **ITAMP8MF** : 内部タンパ 8 割込みマスク済みフラグ

このフラグは、内部タンパ 8 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **ITAMP6MF** : 内部タンパ 6 割込みマスク済みフラグ

このフラグは、内部タンパ 6 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 20 **ITAMP5MF** : 内部タンパ 5 割込みマスク済みフラグ

このフラグは、内部タンパ 5 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **ITAMP3MF** : 内部タンパ 3 割込みマスク済みフラグ

このフラグは、内部タンパ 3 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **TAMP3MF** : TAMP3 割込みマスク済みフラグ

このフラグは、タンパ 3 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 1 **TAMP2MF** : TAMP2 割込みマスク済みフラグ

このフラグは、タンパ 2 に割込みが行われたときに、ハードウェアによってセットされます。

ビット 0 **TAMP1MF** : TAMP1 割込みマスク済みフラグ

このフラグは、タンパ 1 に割込みが行われたときに、ハードウェアによってセットされます。

33.6.8 TAMP ステータスクリアレジスタ (TAMP_SCR)

アドレス・オフセット : 0x3C

システムリセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C ITAMP 8F	Res.	C ITAMP 6F	C ITAMP 5F	Res.	C ITAMP 3F	Res.	Res.
								w		w	w		w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTAMP 3F	CTAMP 2F	CTAMP 1F
													w	w	w

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **CITAMP8F** : ITAMP8 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの ITAMP8F ビットがクリアされます。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **CITAMP6F** : ITAMP6 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの ITAMP6F ビットがクリアされます。

ビット 20 **CITAMP5F** : ITAMP5 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの ITAMP5F ビットがクリアされます。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **CITAMP3F** : ITAMP3 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの ITAMP3F ビットがクリアされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CTAMP3F** : TAMP3 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの TAMP3F ビットがクリアされます。

ビット 1 **CTAMP2F** : TAMP2 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの TAMP2F ビットがクリアされます。

ビット 0 **CTAMP1F** : TAMP1 検出フラグのクリア

このビットに 1 を書き込むと、TAMP_SR レジスタの TAMP1F ビットがクリアされます。

33.6.9 TAMP 単調カウンタレジスタ (TAMP_COUNTR)

アドレス・オフセット : 0x040
 バックアップドメインリセット値 : 0x0000 0000
 システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
COUNT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **COUNT[31:0]** :

このレジスタは読出し専用で、このレジスタに対して書込みアクセスがあると、1 ずつインクリメントされます。このレジスタは、最大値に達するとロールオーバーせずに停止します。

33.6.10 TAMP バックアップ x レジスタ (TAMP_BKPxR)

アドレス・オフセット : 0x100 + 0x04 * x、(x = 0 から 19)
 バックアップドメインリセット値 : 0x0000 0000
 システムリセット : 影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	w	r/w	r/w

ビット 31:0 **BKP[31:0]** :

アプリケーションはこれらのレジスタに対してデータの読み書きをすることができます。
 これらのレジスタは、V_{DD} がオフになった場合、V_{BAT} によって電源が供給されるため、システムリセットによりリセットされず、デバイスが低電力モードで動作する場合、レジスタの内容は有効なまま保持されます。
 デフォルト設定で、このレジスタはタンパ検出イベントでリセットされます。最低 1 つの内部または外部タンパフラグがセットされている限り、強制的にリセット値となります。このレジスタは、読出し保護 (RDP) が無効である場合もリセットされます。

33.6.11 TAMP レジスタマップ

表 221. TAMP レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TAMP_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8E	Res.	ITAMP6E	ITAMP5E	Res.	ITAMP3E	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値									1		1	1		1																	0	0
0x04	TAMP_CR2	Res.	Res.	Res.	Res.	Res.	TAMP3TRG	TAMP2TRG	TAMP1TRG	BKERASE	Res.	Res.	Res.	Res.	TAMP3MSK	TAMP2MSK	TAMP1MSK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3NOER	TAMP2NOER	TAMP1NOER
	リセット値						0	0	0	0					0	0	0														0	0	0
0x08	TAMP_CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8NOER	Res.	ITAMP6NOER	ITAMP5NOER	Res.	ITAMP3NOER	Res.	Res.
	リセット値																									0		0	0	0	0	0	0
0x0C	TAMP_FLTCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMPJUDIS	TAMPPRCH[1:0]	Res.	Res.	Res.	Res.	TAMPFREQ[2:0]	
	リセット値																									0	0	0	0	0	0	0	0
0x2C	TAMP_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8IE	Res.	ITAMP6IE	ITAMP5IE	Res.	ITAMP3IE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3IE	TAMP2IE	TAMP1IE
	リセット値									0		0	0	0	0	0											0	0	0	0	0	0	0
0x30	TAMP_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8F	Res.	ITAMP6F	ITAMP5F	Res.	ITAMP3F	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3F	TAMP2F	TAMP1F
	リセット値									0		0	0	0	0																0	0	0
0x34	TAMP_MISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP8MF	Res.	ITAMP6MF	ITAMP5MF	Res.	ITAMP3MF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3MF	TAMP2MF	TAMP1MF
	リセット値									0		0	0	0	0																0	0	0
0x3C	TAMP_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITAMP8F	Res.	CITAMP6F	CITAMP5F	Res.	CITAMP3F	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITAMP3F	CITAMP2F	CITAMP1F
	リセット値									0		0	0	0	0																0	0	0
0x40	TAMP_COUNTER	COUNT[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x100 + 0x04*x, (x = 0~19)	TAMP_BKPxR	BKP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、[セクション 2.6](#) を参照してください。



34 I²C (Inter-integrated circuit) インタフェース

34.1 概要

I²C (Inter-integrated circuit) バスインタフェースは、マイクロコントローラとシリアル I²C バス間の通信を処理します。マルチマスタ機能を備え、すべての I²C バス固有のシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。標準モード (Sm)、高速モード (Fm)、および高速モードプラス (Fm+) をサポートします。

また、SMBus (System Management Bus) および PMBus[®] (Power Management Bus) と互換性があります。

DMA を使用して、CPU の負荷を軽減できます。

34.2 I²C の主な機能

- I²C バス仕様 rev03 との互換性：
 - スレーブおよびマスタモード
 - マルチマスタ機能
 - 標準モード (最大 100 kHz)
 - 高速モード (最大 400 kHz)
 - 高速モードプラス (最大 1 MHz)
 - 7 ビットおよび 10 ビットアドレッシングモード
 - 複数の 7 ビットスレーブアドレス (2 つのアドレス、1 つは設定可能なマスク付き)
 - すべての 7 ビットアドレス確認応答モード
 - 同報 (General call) コール
 - プログラム可能なセットアップおよびホールド時間
 - 使いやすいイベント管理
 - クロックストレッチオプション
 - ソフトウェアリセット
- DMA 機能付きの 1 バイトバッファ
- プログラム可能なアナログおよびデジタルノイズフィルタ

製品の実装によっては、次の追加機能も使用できます ([セクション 34.3: I2C の実装](#)を参照) :

- SMBus 仕様 rev 3.0 との互換性：
 - ハードウェア PEC (Packet Error Checking) の生成と ACK 制御による確認
 - コマンドおよびデータ確認応答制御
 - アドレス解決プロトコル (ARP) サポート
 - ホストおよびデバイスのサポート
 - SMBus アラート
 - タイムアウトおよびアイドル条件の検出
- PMBus rev 1.3 標準との互換性
- 独立したクロック : 独立したクロックソースの選択により、I²C の通信速度は PCLK の再プログラミングから独立
- アドレス一致時に STOP モードからウェイクアップ

34.3 I²C の実装

このデバイスは、I2C1、I2C2、および I2C3 の最大 3 つの I²C バスコントローラを内蔵しており、次の表に示すように、完全な機能セットまたは制限された機能セットを備えています。

表 222. STM32WL5xI2C の実装

I ² C の機能 ⁽¹⁾	I2C1 ⁽²⁾	I2C2 ⁽²⁾	I2C3
7 ビットアドレスモード	X	X	X
10 ビットアドレスモード	X	X	X
標準モード (最大 100 kbit/s)	X	X	X
高速モード (最大 400 kbit/s)	X	X	X
20mA 出力駆動 I/O 搭載高速モードプラス (最大 1 Mbit/s)	X	X	X
独立クロック	X	X	X
STOP モードからのウェイクアップ	X ⁽³⁾	X ⁽³⁾	X ⁽⁴⁾
SMBus/PMBus	X	X	X

1. X: サポートされています。
2. STOP 2 モードではレジスタの内容が失われます。
3. STOP 0 および STOP 1 モードからのウェイクアップをサポート。
4. STOP 0、STOP 1 および STOP 2 モードからのウェイクアップをサポート。

34.4 I²C の機能詳細

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン (SDA) とクロックピン (SCL) によって I²C バスに接続されます。標準 (最大 100 kHz)、高速モード (最大 400 kHz)、または高速モードプラス (最大 1 MHz) の I²C バスで接続できます。

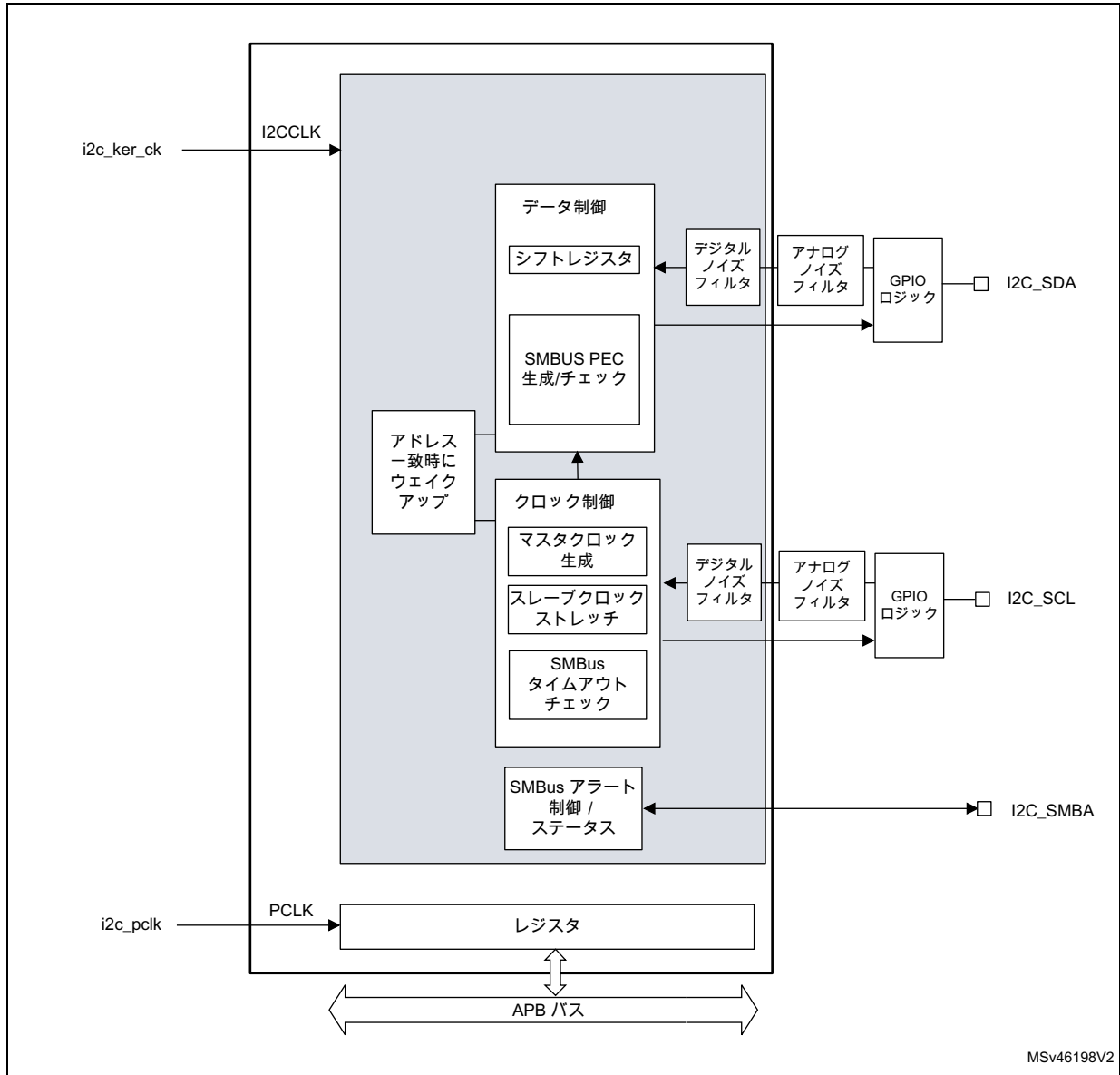
このインタフェースは、データピン (SDA) とクロックピン (SCL) によって SMBus に接続することもできます。

SMBus 機能がサポートされる場合、追加の SMBus アラートピン (SMBA) オプションも使用できます。

34.4.1 I²C ブロック図

I²C インタフェースのブロック図を図 276 に示します。

図 276. I²C ブロック図



I²C は、独立したクロックソースによってクロック供給されるため、I²C は PCLK 周波数から独立して動作できます。

高速モードプラス動作のための 20 mA 出力電流駆動をサポートする I²C I/O では、駆動能力をシステム設定コントローラ (SYSCFG) の制御ビットで有効にします。セクション 34.3: I²C の実装を参照してください。

34.4.2 I²C ピンおよび内部信号

表 223. I²C の入出力ピン

ピン名	信号タイプ	説明
I2C_SDA	双方向	I ² C データ
I2C_SCL	双方向	I ² C クロック
I2C_SMBA	双方向	SMBus アラート

表 224. I²C 内部入力/出力信号

内部信号名	信号タイプ	説明
i2c_ker_ck	入力	I ² C カーネルクロック (本書では I2CCLK とも言います)
i2c_pclk	入力	I ² C APB クロック
i2c_it	出力	I ² C 割込み。割込みソースの全リストは、表 237 を参照してください。
i2c_rx_dma	出力	I ² C 受信データ DMA リクエスト (I2C_RX)
i2c_tx_dma	出力	I ² C 送信データ DMA リクエスト (I2C_TX)

34.4.3 I²C クロックの要件

I²C カーネルは I2CCLKによってクロック供給されます。

I2CCLK の周期 t_{I2CCLK} は、次の条件を満たす必要があります。

$$t_{I2CCLK} < (t_{LOW} - t_{filters}) / 4 \text{ および } t_{I2CCLK} < t_{HIGH}$$

ここで：

t_{LOW} : SCL ロー時間、および t_{HIGH} : SCL ハイ時間

$t_{filters}$: 有効なときには、アナログフィルタとデジタルフィルタによる遅延の合計。

アナログフィルタの遅延は、最大 260 ns です。デジタルフィルタの遅延は、 $DNF \times t_{I2CCLK}$ です。

PCLK のクロック周期 t_{PCLK} は、次の条件を満たす必要があります。

$$t_{PCLK} < 4/3 t_{SCL}$$

ここで、 t_{SCL} : SCL 周期

注意 : I²C カーネルが PCLKによってクロック供給されるとき、このクロックは t_{I2CCLK} の条件を満たす必要があります。

34.4.4 モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます：

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成したときにはスレーブからマスタへ、アービトレーションの喪失または STOP 生成が発生したときにはマスタからスレーブへ自動的に切り替わるため、マルチマスタ機能を使用できます。

通信の流れ

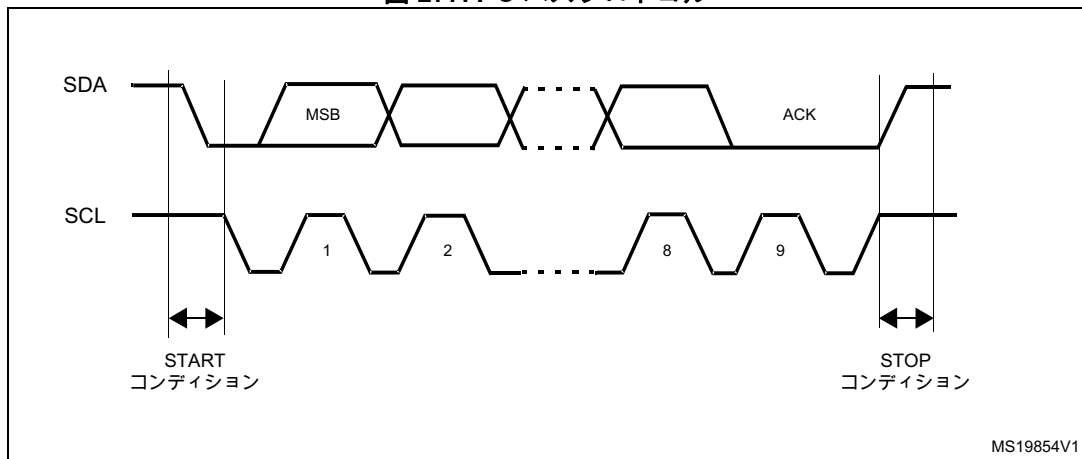
マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。START および STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス (7 または 10 ビット) と同報アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効または無効にできます。予約済みの SMBus アドレスもソフトウェアによって有効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト (7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト) にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 つのクロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります (図 277 を参照)。

図 277. I²C バスプロトコル



確認応答 (Acknowledge) は、ソフトウェアによって有効または無効にできます。I²C インタフェースのアドレスは、ソフトウェアによって選択できます。

34.4.5 I²C の初期化

ペリフェラルの有効化と無効化

I²C ペリフェラルクロックは、クロックコントローラで設定して有効にする必要があります。そして、I2C_CR1 レジスタの PE ビットをセットすることによって、I²C を有効にできます。

I²C が無効なときには (PE = 0)、I²C はソフトウェアリセットを実行します。詳細については、[セクション 34.4.6](#) を参照してください。

ノイズフィルタ

I2C_CR1 レジスタの PE ビットをセットすることによって I²C ペリフェラルを有効にする前に、必要な場合は、ノイズフィルタを設定する必要があります。デフォルトでは、SDA および SCL 入力にアナログノイズフィルタがあります。このアナログフィルタは I²C 仕様に準拠しており、高速モードおよび高速モードプラスで最大 50 ns のパルス幅を持つスパイクを抑制します。ANFOFF ビットをセットすることによって、このアナログフィルタを無効にし、I2C_CR1 レジスタの DNF[3:0] ビットを設定することによってデジタルフィルタを選択することができます。

デジタルフィルタが有効なときには、SCL または SDA ラインのレベルは、DNF x I2CCLK 周期より長く安定していた場合のみ、内部で変更されます。これにより、プログラム可能な I2CCLK の 1~15 周期の長さを持つスパイクを抑制できます。

表 225. アナログフィルタとデジタルフィルタの比較

-	アナログフィルタ	デジタルフィルタ
抑制されるスパイクのパルス幅	≥ 50 ns	長さを 1 ~ 15 I ² C ペリフェラルクロックにプログラム可能
利点	STOP モードで使用可能	<ul style="list-style-type: none"> - プログラム可能な長さ : 追加のフィルタリング機能対標準要件 - 安定した長さ
欠点	温度、電圧、プロセスのばらつき	デジタルフィルタが有効なときには、アドレス一致時の STOP モードからのウェイクアップは使用できない

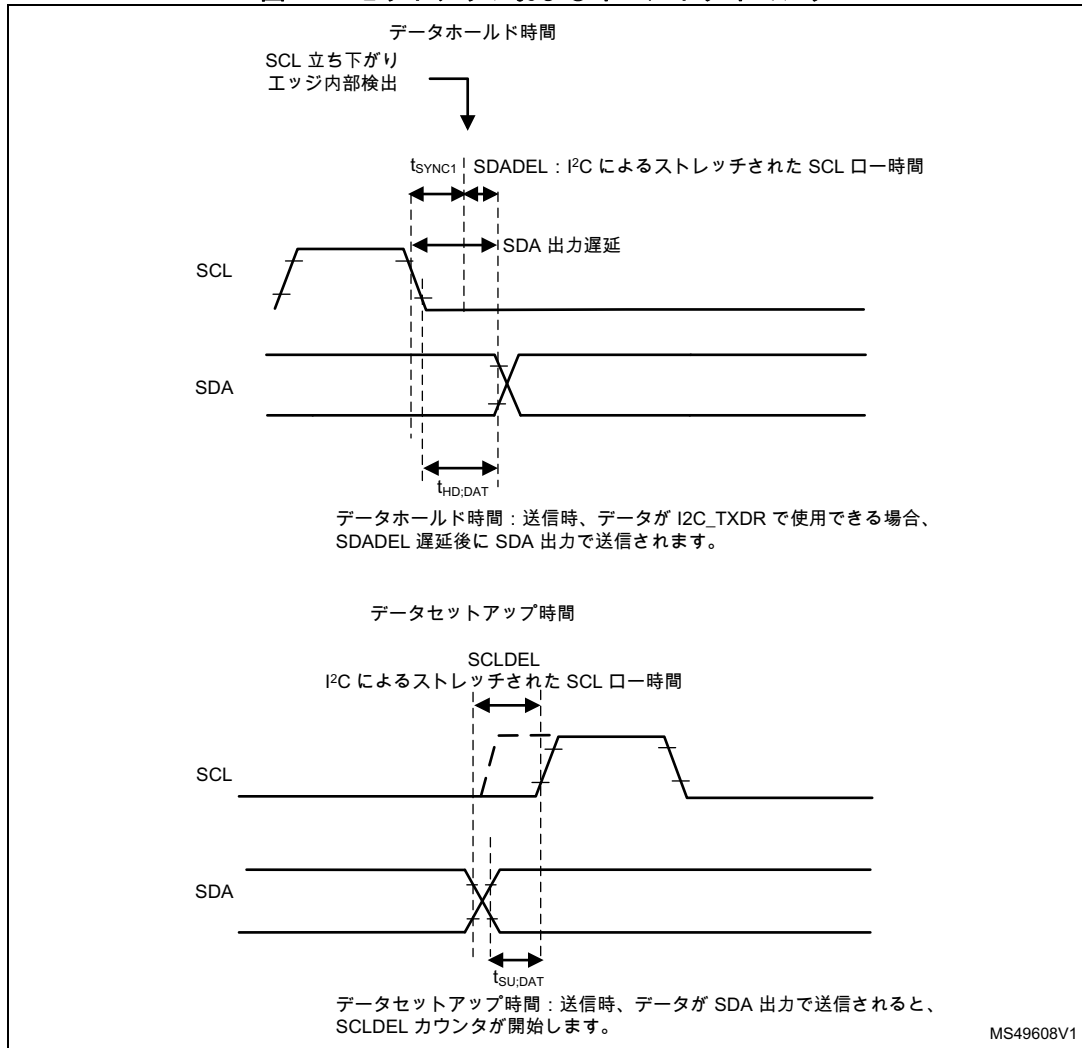
注意 : I²C が有効なときには、フィルタ構成の変更はできません。

I²C のタイミング

マスタおよびスレーブモードで正しいデータホールドおよびセットアップ時間が使用されるのを保証するためには、タイミングを設定する必要があります。これを行うには、I2C_TIMINGR レジスタの PRESC[3:0]、SCLDEL[3:0]、および SDADEL[3:0] ビットをプログラムします。

STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

図 278. セットアップおよびホールドタイミング



- SCL 立ち下がりエッジが内部で検出されると、SDA 出力を送信する前に遅延が挿入されます。この遅延は、 $t_{SDADEL} = SDADEL \times t_{PRESC} + t_{I2CCLK}$ (ここで、 $t_{PRESC} = (PRESC+1) \times t_{I2CCLK}$) です。

t_{SDADEL} はホールド時間 $t_{HD;DAT}$ に影響を与えます。

SDA 出力遅延の合計は、次のとおりです :

$$t_{SYNC1} + \{[SDADEL \times (PRESC+1) + 1] \times t_{I2CCLK}\}$$

t_{SYNC1} の長さは、次のパラメータに依存します。

- SCL 立ち下がり傾斜
- アナログフィルタが有効なときの入力遅延 : $t_{AF(min)} < t_{AF} < t_{AF(max)}$
- デジタルフィルタが有効なときの入力遅延 : $t_{DNF} = DNF \times t_{I2CCLK}$
- SCL と I2CCLK クロックの同期による遅延 (2 ~ 3 I2CCLK 周期)

SCL 立ち下がりエッジの未定義の領域をブリッジするためには、SDADEL を次のようにプログラムする必要があります :

$$\{t_{r(max)} + t_{HD;DAT(min)} - t_{AF(min)} - [(DNF+3) \times t_{I2CCLK}]\} / \{(PRESC+1) \times t_{I2CCLK}\} \leq SDADEL$$

$$SDADEL \leq \{t_{HD;DAT(max)} - t_{AF(max)} - [(DNF+4) \times t_{I2CCLK}]\} / \{(PRESC+1) \times t_{I2CCLK}\}$$

注 : $t_{AF(min)} / t_{AF(max)}$ は、アナログフィルタが有効なときのみ、等式に含まれます。 t_{AF} の値については、デバイスのデータシートを参照してください。

最大 $t_{HD;DAT}$ は、標準モード、高速モード、および高速モードプラスで 3.45 μ s、0.9 μ s、および 0.45 μ s ですが、遷移時間による $t_{VD;DAT}$ の最大値より短い必要があります。この最大値を満たす必要があるのは、デバイスが SCL 信号の LOW 周期 (t_{LOW}) をストレッチしない場合だけです。クロックが SCL をストレッチする場合、クロックをリリースする前に、データがセットアップ時間まで有効である必要があります。

SDA 立ち上がりエッジは、通常、最悪ケースであり、この場合、前の等式は次のようになります :

$$SDADEL \leq \{t_{VD;DAT(max)} - t_r(max) - 260 \text{ ns} - [(DNF+4) \times t_{I2CCLK}]\} / \{(PRESC+1) \times t_{I2CCLK}\}$$

注 : **NOSTRETCH = 0** のときには、SCLDEL の値に従って、デバイスはセットアップ時間を保証するために SCL ローをストレッチするので、この条件に違反することがあります。

t_r 、 t_r 、 $t_{HD;DAT}$ 、および $t_{VD;DAT}$ の標準値については、表 226 を参照してください。

- t_{SDADEL} 遅延の後や、データが I2C_TXDR レジスタにまだ書き込まれていないためスレーブがクロックをストレッチしなければならなかった場合の SDA 出力送信後、SCL ラインはセットアップ時間中、ローレベルで保持されます。このセットアップ時間は、 $t_{SCLDEL} = (SCLDEL+1) \times t_{PRESC}$ (ここで、 $t_{PRESC} = (PRESC+1) \times t_{I2CCLK}$) です。

t_{SCLDEL} は、セットアップ時間 $t_{SU;DAT}$ に影響を与えます。

SDA 遷移 (立ち上がりエッジは通常、最悪のケース) の未定義の領域をブリッジするためには、SCLDEL を次のようにプログラムする必要があります :

$$\{[t_r(max) + t_{SU;DAT(min)}] / [(PRESC+1) \times t_{I2CCLK}]\} - 1 \leq SCLDEL$$

t_r および $t_{SU;DAT}$ の標準値については、表 226 を参照してください。

使用される SDA および SCL 遷移時間の値は、アプリケーションの値です。標準から最大値を使用すると、SDADEL と SCLDEL の計算の制約が増えますが、アプリケーションにかかわらず、この機能を使用できます。

注 : 各クロックパルスで、SCL 立ち下がりエッジの検出後、I²C マスタまたはスレーブは、最低 $[(SDADEL + SCLDEL + 1) \times (PRESC + 1) + 1] \times t_{I2CCLK}$ の間、送信および受信の両モードで SCL ローをストレッチします。送信モードで、SDADEL カウンタ終了時にデータがまだ I2C_TXDR に書き込まれて

いない場合、I²C は次のデータが書き込まれるまで SCL ローをストレッチし続けます。その時、新しいデータ MSB が SDA 出力で送信され、SCLDEL カウンタが開始し、SCL ローのストレッチを継続して、データセットアップ時間を保証します。

スレーブモードで NOSTRETCH = 1 の場合、SCL はストレッチされません。そのため、十分なセットアップ時間を保証するためにも、SDADEL はこのようにプログラムされる必要があります。

表 226. I²C-SMBus 仕様のデータのセットアップおよびホールド時間

記号	パラメータ	標準モード (Sm)		高速モード (Fm)		高速モードプラス (Fm+)		SMBus		単位
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t _{HD;DAT}	データホールド時間	0	-	0	-	0	-	0.3	-	μs
t _{VD;DAT}	データ有効時間	-	3.45	-	0.9	-	0.45	-	-	
t _{SU;DAT}	データセットアップ時間	250	-	100	-	50	-	250	-	ns
t _r	SDA および SCL 信号の立ち上がり時間	-	1000	-	300	-	120	-	1000	
t _f	SDA および SCL 信号の立ち下がり時間	-	300	-	300	-	120	-	300	

また、マスタモードでは、I2C_TIMINGR レジスタの PRESC[3:0]、SCLH[7:0]、および SCLL[7:0] ビットをプログラムすることによって、SCL クロックのハイおよびローレベルを設定する必要があります。

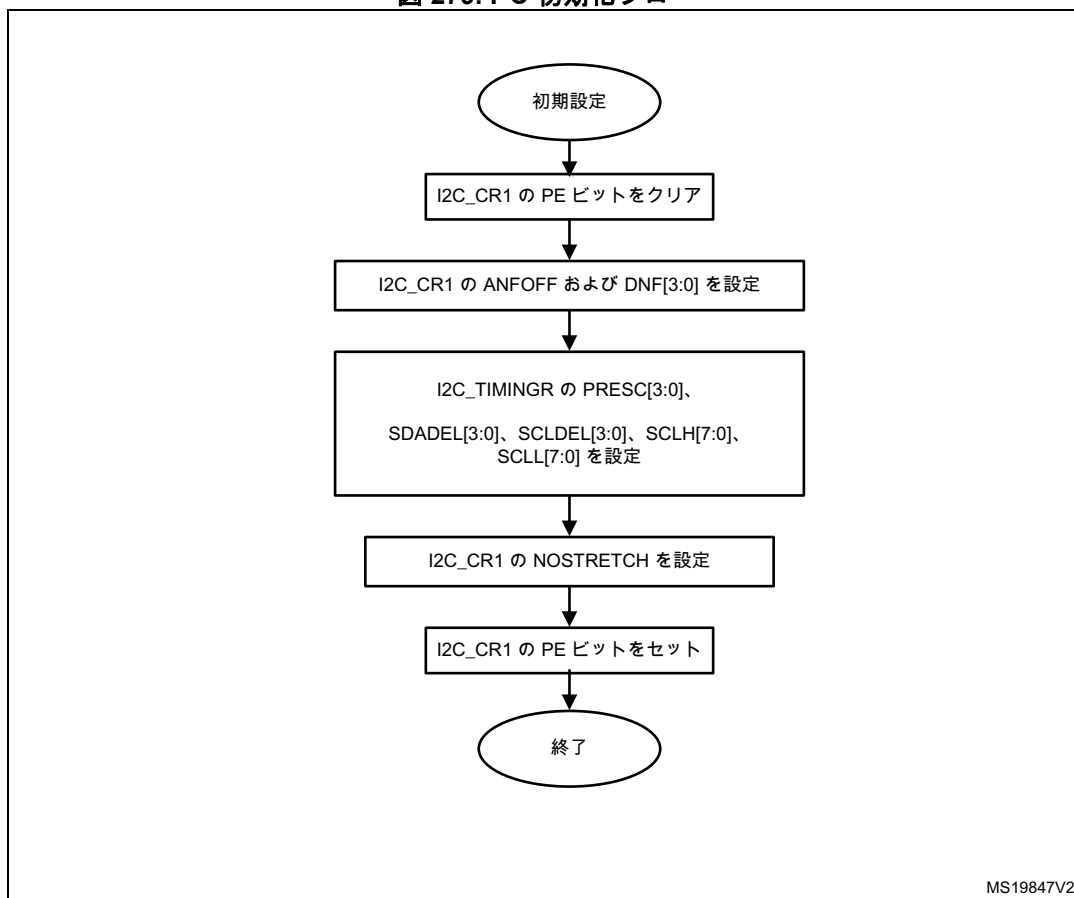
- SCL 立ち下がりエッジが内部で検出されると、SCL 出力をリリースする前に遅延が挿入されます。
この遅延は、 $t_{SCLL} = (SCLL + 1) \times t_{PRESC}$ (ここで、 $t_{PRESC} = (PRESC + 1) \times t_{2CCLK}$) です。
 t_{SCLL} は、SCL ロー時間 t_{LOW} に影響を与えます。
- SCL 立ち上がりエッジが内部で検出されると、SCL 出力を強制的にローレベルにする前に遅延が挿入されます。この遅延は、 $t_{SCLH} = (SCLH + 1) \times t_{PRESC}$ (ここで、 $t_{PRESC} = (PRESC + 1) \times t_{2CCLK}$) です。
 t_{SCLH} は、SCL ハイ時間 t_{HIGH} に影響を与えます。

詳細については、[I2C マスタ初期化](#)を参照してください。

注意 : I²C が有効なときには、タイミング構成の設定はできません。

ペリフェラルを有効にする前に、I²C スレーブ NOSTRETCH モードも設定する必要があります。詳細については、[I2C スレーブ初期化](#)を参照してください。

注意 : I²C が有効なときには、NOSTRETCH 構成の変更はできません。

図 279. I²C 初期化フロー

34.4.6 ソフトウェアリセット

ソフトウェアリセットを行うには、I2C_CR1 レジスタの PE ビットをクリアします。その場合、I²C のライン SCL および SDA がリリースされます。内部状態マシンがリセットされ、通信制御ビットとステータスビットがリセット値に戻ります。構成レジスタは影響を受けません。

影響を受けるレジスタのビットは、以下のとおりです：

1. I2C_CR2 レジスタ：START、STOP、NACK
2. I2C_ISR レジスタ：BUSY、TXE、TXIS、RXNE、ADDR、NACKF、TCR、TC、STOPF、BERR、ARLO、OVR

SMBus 機能がサポートされるときには、以下も影響を受けます：

1. I2C_CR2 レジスタ：PECBYTE
2. I2C_ISR レジスタ：PECERR、TIMEOUT、ALERT

ソフトウェアリセットを実行するためには、PE は少なくとも 3 APB クロックサイクルの間、ローに保たなければならない。このためには、次のソフトウェアシーケンスを書き込みます：

1. PE = 0 を書き込む。
2. PE = 0 であることを確認する。
3. PE = 1 を書き込む。

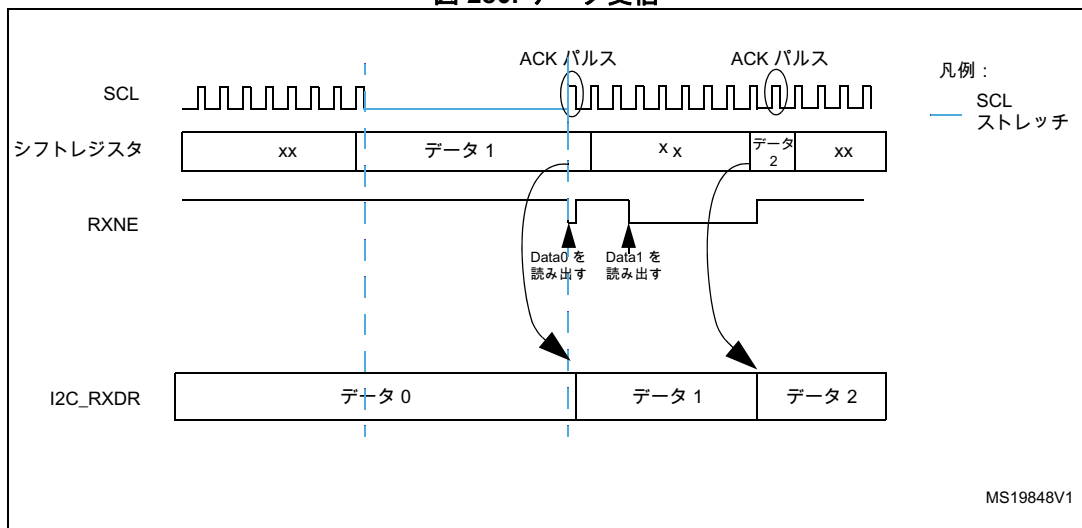
34.4.7 データ転送

データ転送は、送受信データレジスタとシフトレジスタを通じて管理されます。

受信

SDA 入力はシフトレジスタに送られます。8 番目の SCL パルスの後 (完全なデータバイトの受信後)、シフトレジスタは、I2C_RXDR レジスタが空の場合 (RXNE=0)、このレジスタにコピーされます。RXNE = 1 の場合、すなわち、前に受信されたデータバイトがまだ読み出されていなかった場合、SCL ラインは I2C_RXDR が読み出されるまでストレッチされます。ストレッチは、8 番目と 9 番目の SCL パルスの間 (確認応答パルスの前) に挿入されます。

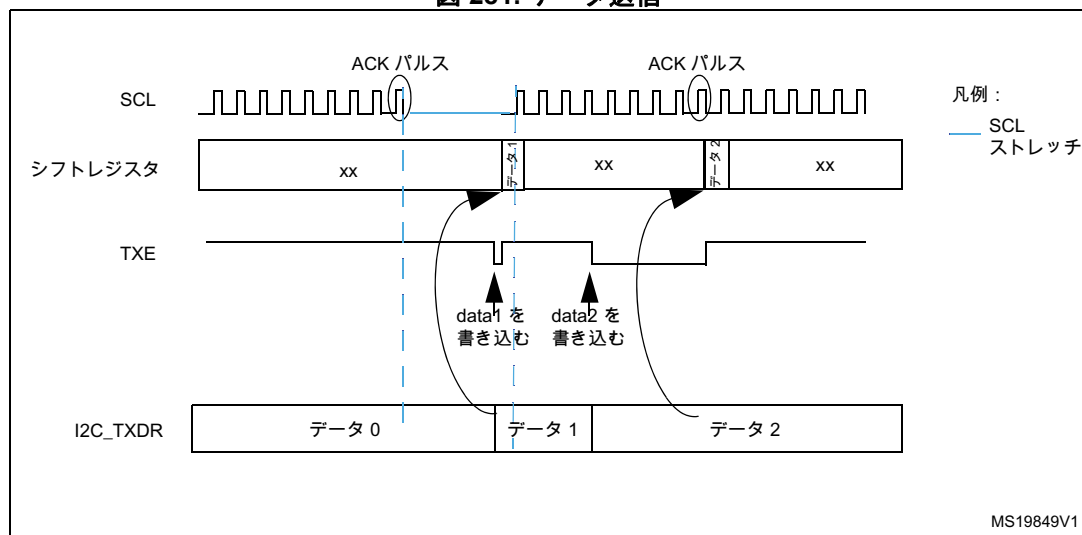
図 280. データ受信



送信

I2C_TXDR レジスタが空 (TXE=0) でない場合、その内容が 9 番目の SCL パルス (確認応答パルス) の後、シフトレジスタにコピーされます。次に、シフトレジスタの内容が SDA ラインにシフトアウトされます。TXE = 1 の場合、すなわち、I2C_TXDR にデータがまだ書き込まれていない場合、SCL ラインは I2C_TXDR に書き込まれるまでストレッチされます。ストレッチは、9 番目の SCL パルスの後で行われます。

図 281. データ送信



ハードウェア転送管理

次のようにさまざまなモードでバイト転送を管理し、通信をクローズするために、I²C にはハードウェアにバイトカウンタが組み込まれています。

- マスタモードでの NACK、STOP、および ReSTART 生成
- スレーブレシーバモードでの ACK 制御
- SMBus 機能がサポートされているときの PEC 生成/確認

バイトカウンタは、マスタモードでは常に使用されます。デフォルトでは、スレーブモードでは無効ですが、I2C_CR1 レジスタの SBC (スレーブバイト制御) ビットをセットすることによって、ソフトウェアにより有効にできます。

転送されるバイト数は、I2C_CR2 レジスタの NBYTES[7:0] ビットフィールドでプログラムされます。転送バイト数 (NBYTES) が 255 より大きい場合、またはレシーバが受信データバイトの確認応答値を制御したい場合には、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。このモードでは、NBYTES でプログラムされたバイト数が転送されると、TCR フラグがセットされ、TCIE がセットされている場合は割込みが生成されます。SCL は、TCR フラグがセットされている間、ストレッチされます。TCR は、NBYTES にゼロ以外の値が書き込まれたときにソフトウェアによってクリアされます。

NBYTES カウンタに最後のバイト数が再ロードされたときには、RELOAD ビットがクリアされる必要があります。

マスタモードで RELOAD=0 のときには、カウンタは 2 つのモードで使用できます：

- **自動終了モード** (I2C_CR2 レジスタの AUTOEND = "1")。このモードでは、NBYTES[7:0] ビットフィールドでプログラムされたバイト数が転送されると、マスタは STOP コンディションを自動的に送信します。
- **ソフトウェア終了モード** (I2C_CR2 レジスタの AUTOEND = 0)。このモードでは、NBYTES[7:0] ビットフィールドでプログラムされたバイト数が転送されると、ソフトウェアアクションが求められます。TC フラグがセットされ、TCIE ビットがセットされている場合は割込みが生成されます。SCL 信号は、TC フラグがセットされている間、ストレッチされます。TC フラグは、I2C_CR2 レジスタの START または STOP ビットがセットされたときに、ソフトウェアによってクリアされます。マスタが RESTART コンディションを送信したいときには、このモードを使用する必要があります。

注意： AUTOEND ビットは、RELOAD ビットがセットされているときには効果がありません。

表 227. I²C 設定

機能	SBC ビット	RELOAD ビット	AUTOEND ビット
マスタ Tx/Rx NBYTES + STOP	x	0	1
マスタ Tx/Rx + NBYTES + RESTART	x	0	0
スレーブ Tx/Rx すべての受信バイトに ACK	0	x	x
スレーブ Rx および ACK 制御	1	1	x

34.4.8 I²C スレーブモード

I²C スレーブ初期化

スレーブモードで動作するには、少なくとも 1 つのスレーブアドレスを有効にする必要があります。2 つのレジスタ I2C_OAR1 と I2C_OAR2 を使用して、スレーブ専用アドレス OA1 および OA2 をプログラムできます。

- OA1 は、I2C_OAR1 レジスタの OA1MODE ビットをセットすることによって、7 ビットモード (デフォルト) または 10 ビットアドレッシングモードに設定できます。

OA1 を有効にするには、I2C_OAR1 レジスタの OA1EN ビットをセットします。

- 追加のスレーブアドレスが必要な場合は、2 番目のスレーブアドレス OA2 を設定できます。I2C_OAR2 レジスタの OA2MSK[2:0] ビットを設定することによって、最大 7 つの OA2 LSB をマスクできます。したがって、OA2MSK が 1 から 6 まで設定された場合、OA2[7:2]、OA2[7:3]、OA2[7:4]、OA2[7:5]、OA2[7:6]、または OA2[7] のみが受信アドレスと比較されます。OA2MSK が 0 に等しくなくなるとすぐに、OA2 のアドレスコンパレータは、確認応答されない I²C 予約済みアドレス (0000 XXX および 1111 XXX) を除外します。OA2MSK=7 の場合、受信されたすべてのアドレスが確認応答されます (予約済みアドレスを除く)。OA2 は常に 7 ビットアドレスです。

これらの予約済みアドレスは、特定のイネーブルビットによって有効化された場合、I2C_OAR1 または I2C_OAR2 レジスタが OA2MSK=0 でプログラムされた場合、確認応答できます。

OA2 を有効にするには、I2C_OAR2 レジスタの OA2EN ビットをセットします。

- 同報アドレスは、I2C_CR1 レジスタの GCEN ビットをセットすることで有効になります。

I²C が有効アドレスの 1 つによって選択されると、ADDR 割込みステータスフラグがセットされ、ADDRIE ビットがセットされている場合は割込みが生成されます。

デフォルトでは、スレーブはクロックストレッチ機能を使用し、必要ときには、ソフトウェアアクションを実行するために、SCL 信号をローレベルでストレッチすることを意味します。マスタがクロックストレッチをサポートしない場合、I2C_CR1 レジスタの NOSTRETCH = 1 で I²C を設定する必要があります。

ADDR 割込みの受信後、いくつかのアドレスが有効な場合は、I2C_ISR レジスタの ADDCODE[6:0] ビットを読み出して、一致するアドレスを確認する必要があります。転送方向を知るために、DIR フラグも確認する必要があります。

スレーブクロックストレッチ (NOSTRETCH = 0)

デフォルトモードでは、I²C スレーブは次の状況で SCL クロックをストレッチします：

- ADDR フラグがセットされると：受信アドレスは有効なスレーブアドレスの 1 つと一致します。このストレッチは、ADDRCF ビットをセットすることによりソフトウェアによって ADDR フラグがクリアされたときにリリースされます。
- 送信時、前のデータ送信が完了し、新しいデータが I2C_TXDR レジスタに書き込まれなかった場合、または ADDR フラグがクリアされたときに (TXE = 1)、最初のデータバイトが書き込まれていなかった場合。このストレッチは、データが I2C_TXDR レジスタに書き込まれたときにリリースされます。
- 受信時、I2C_RXDR レジスタがまだ読み出されておらず、新しいデータ受信が完了したとき。このストレッチは、I2C_RXDR が読み出されたときにリリースされます。
- スレーブバイト制御モードおよび再ロードモード (SBC=1 および RELOAD=1) で TCR = 1 のとき、すなわち、最後データバイトが転送されたとき。このストレッチは、NBYTES[7:0] フィールドにゼロ以外の値を書き込むことによって TCR がクリアされたときにリリースされます。
- SCL 立ち下がリエッジの検出後、I²C は、 $[(SDADEL+SCLDEL+1) \times (PRESC+1) + 1] \times t_{2CCLK}$ の間、SCL ローをストレッチします。

クロックストレッチなしのスレーブ (NOSTRETCH = 1)

I2C_CR1 レジスタの NOSTRETCH = 1 のとき、I²C スレーブは SCL 信号をストレッチしません。

- ADDR フラグがセットされている間、SCL クロックはストレッチされません。
- 送信時、転送に対応する最初の SCL パルスが発生する前に、I2C_TXDR レジスタにデータが書き込まれる必要があります。そうでない場合、アンダーランが発生し、I2C_ISR レジスタで OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。OVR フラグは、最初のデータ送信が開始し、STOPF ビットがまだセットされている (クリアされていない) ときにもセットされます。したがって、次の転送で送信される最初のデータを書き込んだ後でのみ、前に転送の STOPF フラグをクリアすることによって、送信される最初のデータについても、OVR ステータスが提供されることを確実にできます。
- 受信時、次のデータバイトの 9 番目の SCL パルス (ACK パルス) が発生する前に、I2C_RXDR レジスタからデータが読み出される必要があります。そうでない場合、オーバーランが発生し、I2C_ISR レジスタの OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

スレーブバイト制御モード

スレーブ受信モードでバイト ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。これは、SMBus 標準に準拠する必要があります。

スレーブ受信モードでバイト ACK 制御を可能にするためには、再ロードモードを選択する必要があります (RELOAD = 1)。各バイトの制御を得るには、ADDR 割込みサブルーチンで NBYTES を 0x1 に初期化し、各受信バイト後に 0x1 に再ロードする必要があります。バイトが受信されると、TCR ビットがセットされ、8 番目と 9 番目の SCL パルスの中で、SCL 信号ローをストレッチします。I2C_RXDR レジスタからデータを読み出すことができ、その後、I2C_CR2 レジスタの ACK ビットを設定することによって、確認応答するかどうかを決定できます。SCL ストレッチは、NBYTES をゼロ以外の値にプログラムすることによってリリースされ、確認応答または非確認応答が送信され、次のバイトを受信できます。

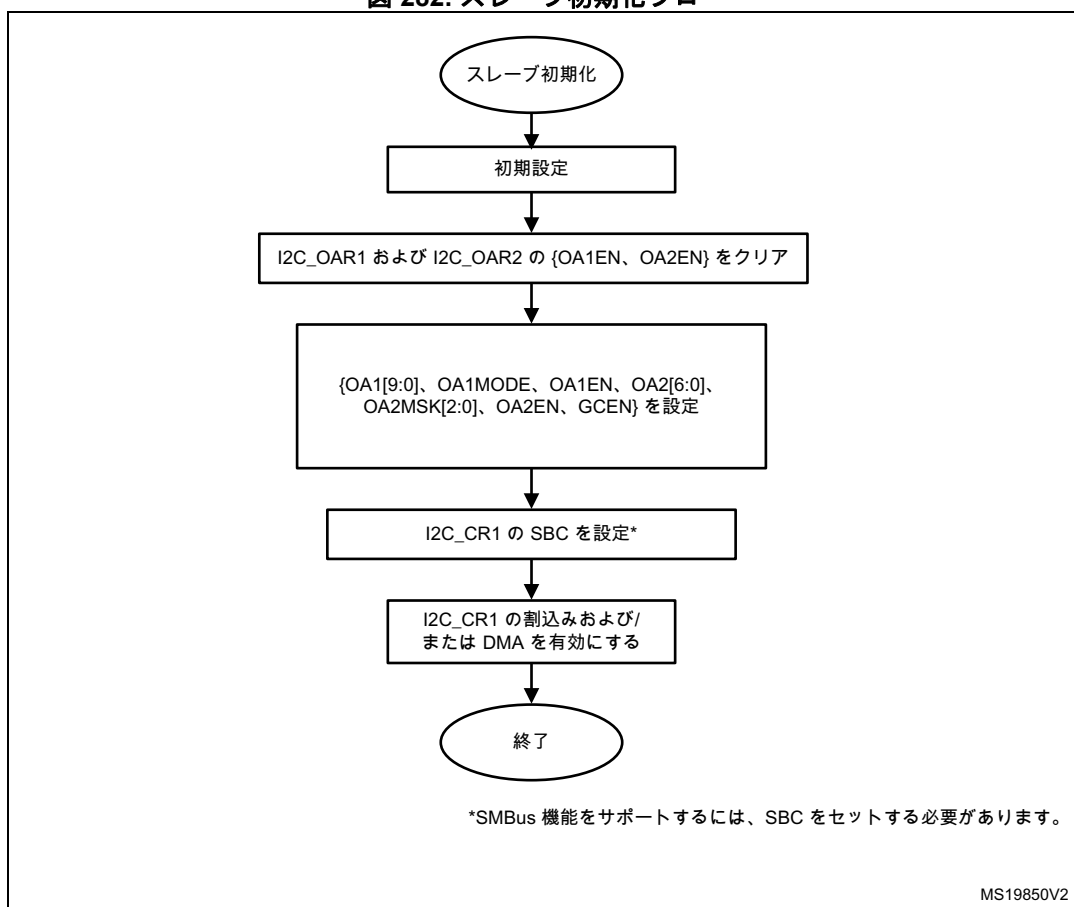
NBYTES に 0x1 より大きい値をロードでき、この場合、受信フローは NBYTES データ受信で、継続します。

注： SBC ビットは、I²C が無効なとき、またはスレーブがアドレス指定されていないとき、または ADDR = 1 のときに設定する必要があります。

RELOAD ビットの値は、ADDR = 1 のとき、または TCR = 1 のときに変更できます。

注意： スレーブバイト制御モードは、NOSTRETCH モードと互換性がありません。NOSTRETCH = 1 のときに SBC をセットすることはできません。

図 282. スレーブ初期化フロー



スレーブトランスミッタ

I2C_TXDR レジスタが空になると、送信割込みステータス (TXIS) が生成されます。I2C_CR1 レジスタの TXIE ビットがセットされている場合は、割込みが生成されます。

TXIS ビットは、I2C_TXDR レジスタに次に送信されるデータバイトが書き込まれると、クリアされます。

NACK が受信されると、I2C_ISR レジスタの NACKF ビットがセットされ、I2C_CR1 レジスタの NACKIE ビットがセットされていた場合は割込みが生成されます。マスタが STOP または RESTART コンディションを実行できるように、スレーブは SCL および SDA ラインを自動的にリリースします。TXIS ビットは、NACK 受信時にはセットされません。

STOP が受信され、I2C_CR1 レジスタの STOPIE ビットがセットされると、I2C_ISR レジスタの STOPF フラグがセットされ、割込みが生成されます。ほとんどのアプリケーションでは、SBC は通常、0 にプログラムされます。この場合、スレーブアドレスが受信されたときに (ADDR=1)、TXE = 0 であった場合、I2C_TXDR レジスタの内容を最初のデータバイトとして送信するか、新しいデータバイトをプログラムするために TXE ビットをセットすることによって I2C_TXDR レジスタを一掃するかを選択できます。

スレーブバイト制御モード (SBC = 1) では、送信バイト数をアドレス一致割込みサブルーチンの NBYTES でプログラムする必要があります (ADDR = 1)。この場合、転送中の TXIS イベントの数は、NBYTES でプログラムされた値に対応します。

注意 : NOSTRETCH = 1 のとき、SCL クロックは ADDR フラグがセットされている間はストレッチされないので、最初のデータバイトをプログラムするために ADDR サブルーチンで I2C_TXDR レジスタの内容を一掃することはできません。最初に送信されるデータバイトは、I2C_TXDR レジスタで前もってプログラムされている必要があります。

- このデータは、前の送信メッセージの最後の TXIS イベントで書き込まれたデータでもかまいません。
- このデータバイトが送信データバイトでない場合、新しいデータバイトをプログラムするために TXE ビットをセットすることによって I2C_TXDR レジスタをFlashできます。アドレスの確認応答に続いて、最初のデータ送信が開始する前にこれらが実行されることを保証するためには、STOPF ビットのクリアは、これらのアクションの後でのみ行う必要があります。

最初のデータ送信が開始したときに STOPF がまだセットされていた場合、アンダーランエラーが生成されます (OVR フラグがセットされます)。

TXIS イベントが必要な場合 (送信割込みまたは送信 DMA リクエスト)、TXIS イベントを生成するためには、TXE ビットに加えて TXIS ビットもセットする必要があります。

図 283. I²C スレーブトランスミッタの転送シーケンスフロー (NOSTRETCH = 0)

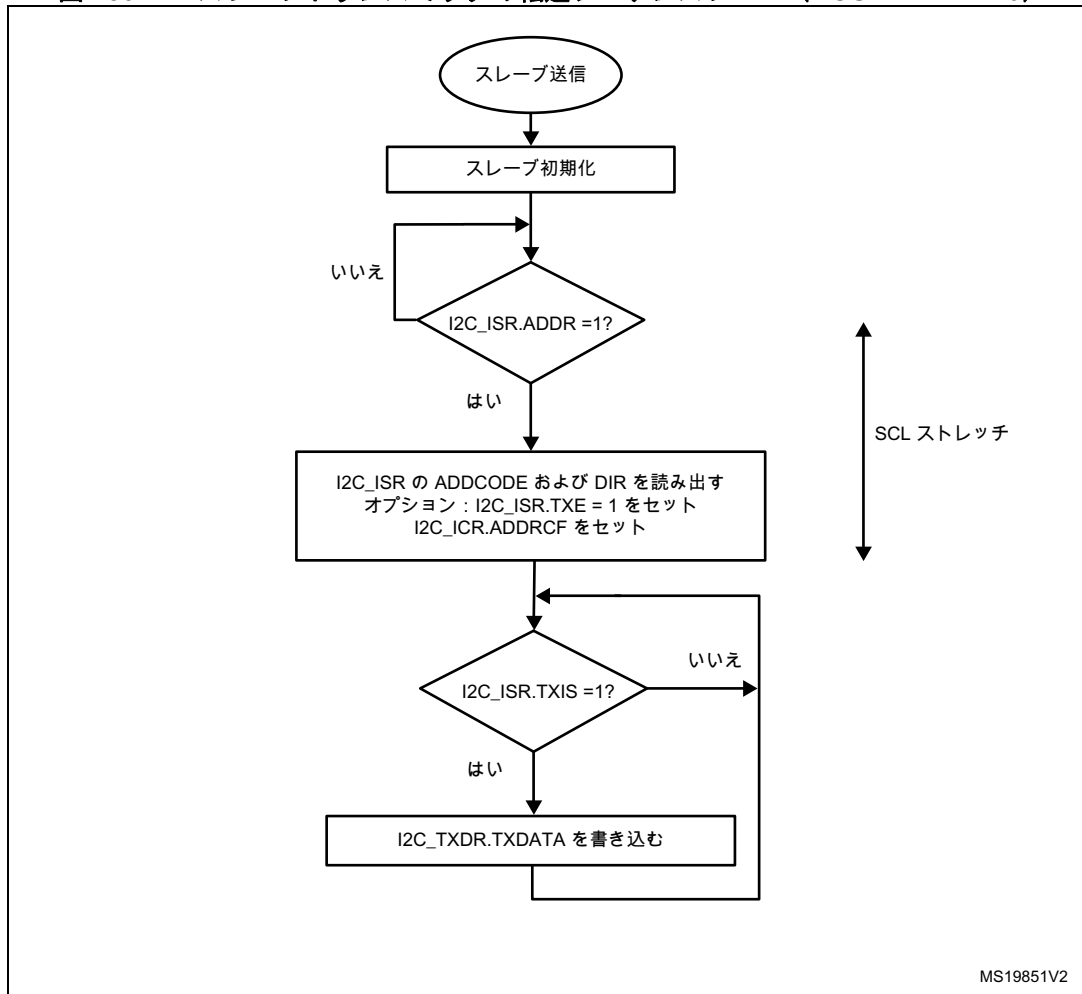


図 284. I²C スレーブトランスミッタの転送シーケンスフロー (NOSTRETCH = 1)

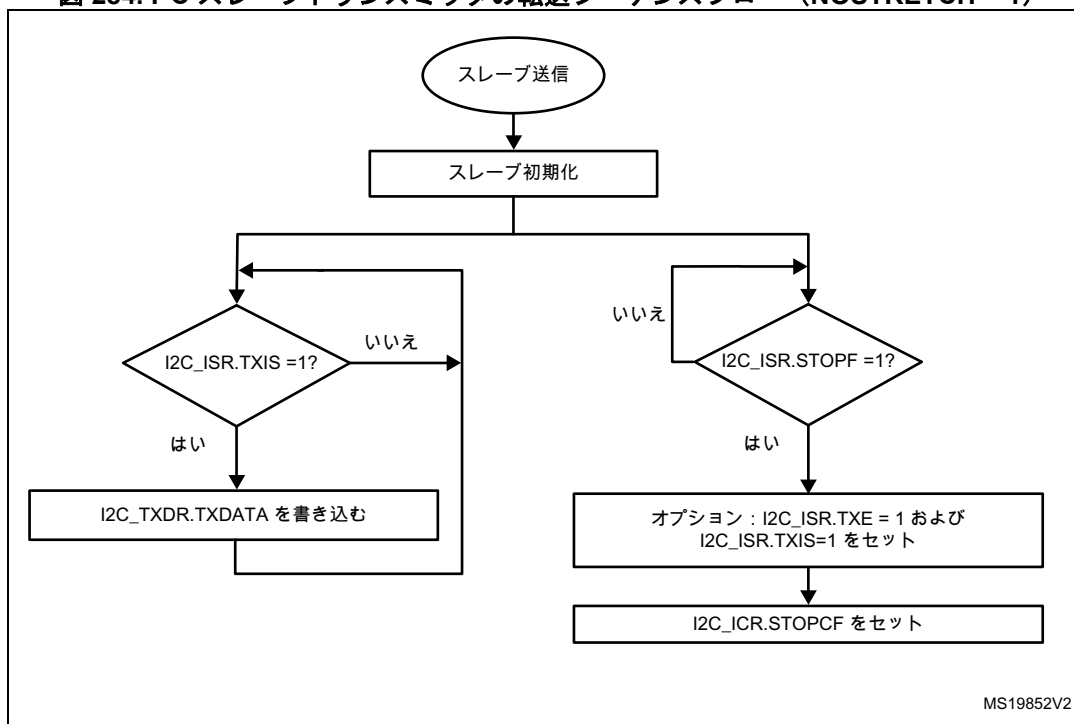
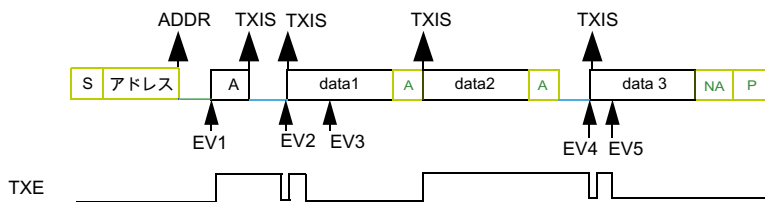


図 285. I²C スレーブトランスミッタの転送バス図

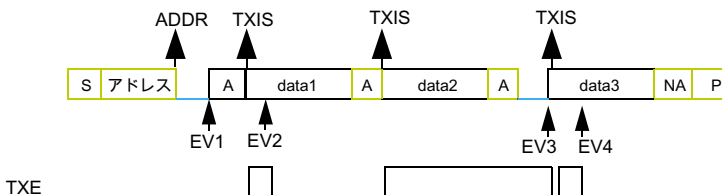
最初のデータをFlashする I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=0 の例 :



凡例 :
 □ 送信
 □ 受信
 — SCL ストレッチ

EV1 : ADDR ISR : ADDCODE および DIR をチェック、TXE をセット、ADDRCF をセット
 EV2 : TXIS ISR : data1 を書き込む
 EV3 : TXIS ISR : data2 を書き込む
 EV4 : TXIS ISR : data3 を書き込む
 EV5 : TXIS ISR : data4 を書き込む (送信されない)

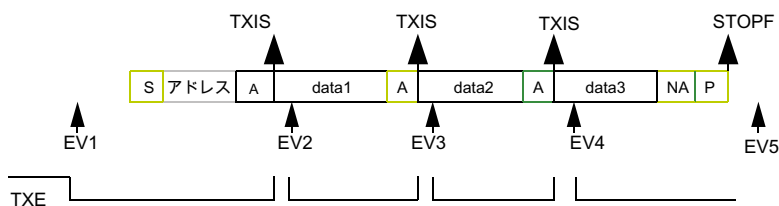
最初のデータをFlashしない I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=0 の例 :



凡例 :
 □ 送信
 □ 受信
 — SCL ストレッチ

EV1 : ADDR ISR : ADDCODE および DIR をチェック、ADDRCF をセット
 EV2 : TXIS ISR : data2 を書き込む
 EV3 : TXIS ISR : data3 を書き込む
 EV4 : TXIS ISR : data4 を書き込む (送信されない)

I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=1 の例 :



凡例 :
 □ 送信
 □ 受信
 — SCL ストレッチ

EV1 : data1 を書き込む
 EV2 : TXIS ISR : data2 を書き込む
 EV3 : TXIS ISR : data3 を書き込む
 EV4 : TXIS ISR : data4 を書き込む (送信されない)
 EV5 : STOPF ISR : (オプション : TXE および TXIS をセット)、STOPCF をセット

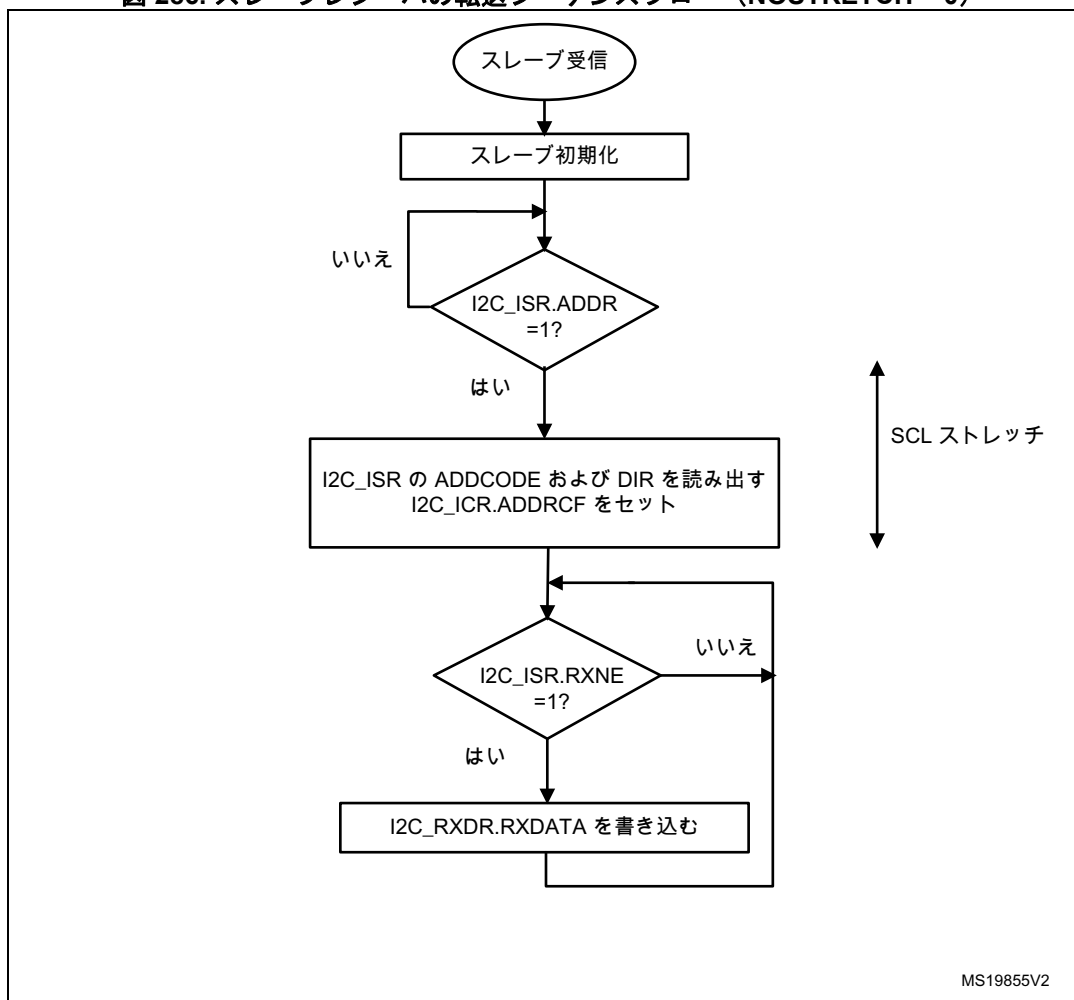
MS19853V2

スレーブレシーバ

I2C_RXDR がフルのときには、I2C_ISR の RXNE がセットされ、I2C_CR1 の RXIE がセットされている場合は割り込みが生成されます。RXNE は、I2C_RXDR が読み出されたときにクリアされます。

STOP が受信され、I2C_CR1 レジスタの STOPIE ビットがセットされると、I2C_ISR の STOPF がセットされ、割り込みが生成されます。

図 286. スレーブレシーバの転送シーケンスフロー (NOSTRETCH = 0)



MS19855V2

図 287. スレーブレシーバの転送シーケンスフロー (NOSTRETCH = 1)

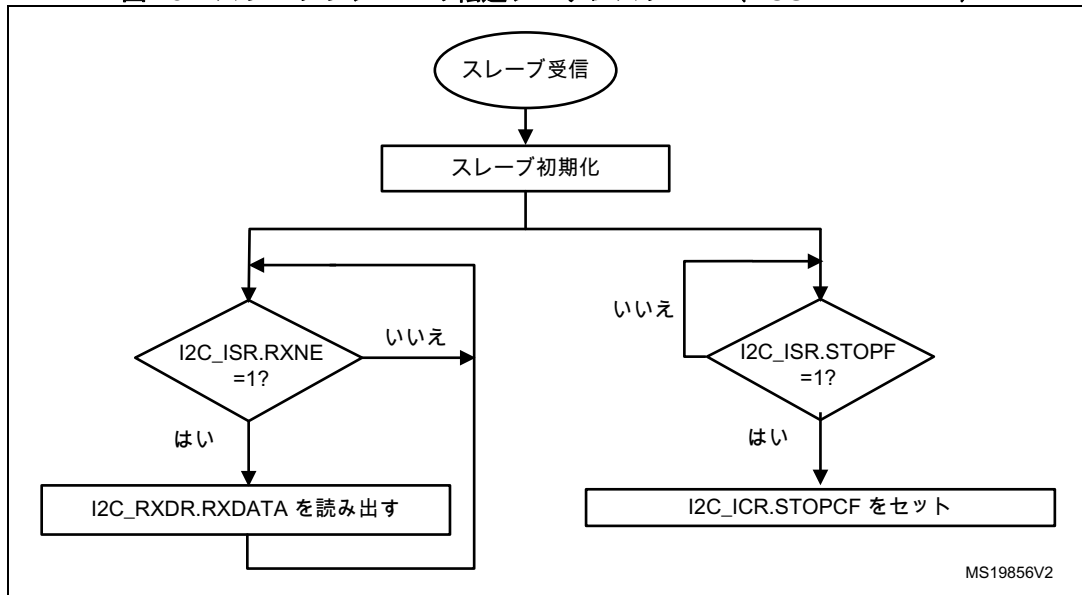
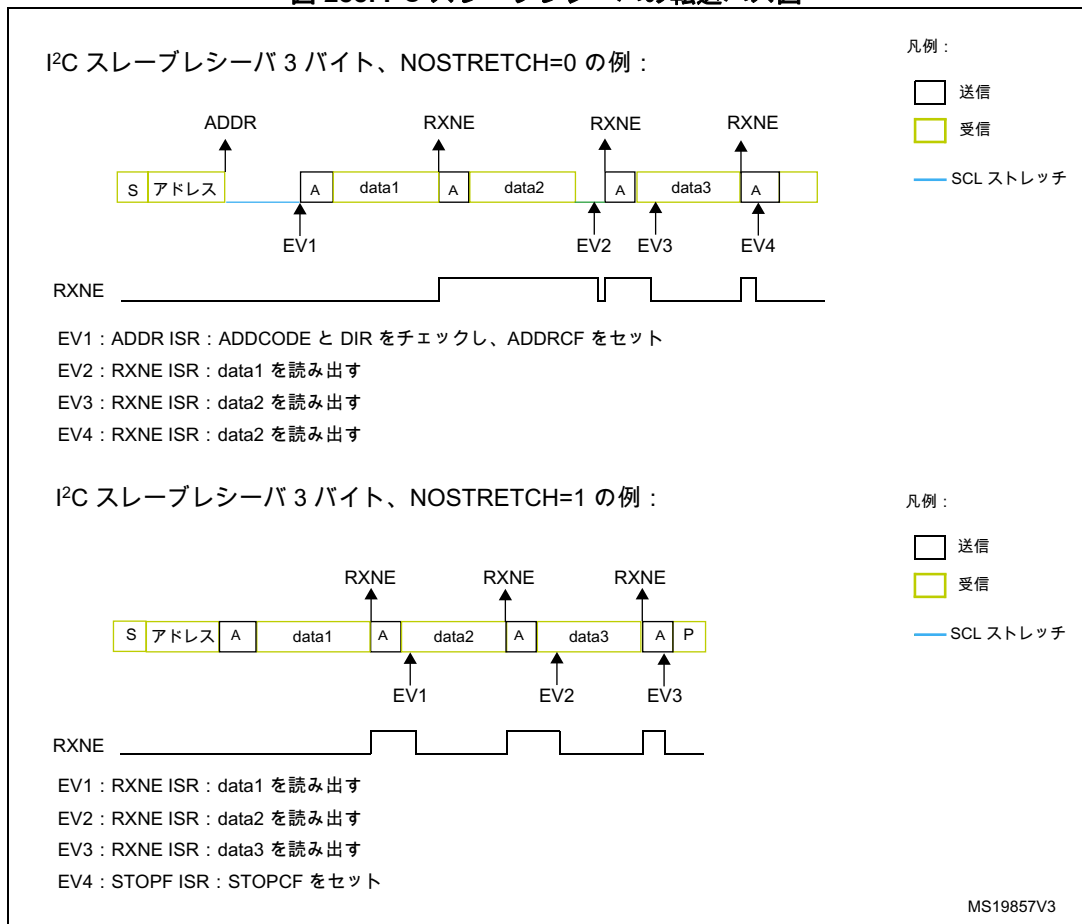


図 288. I²C スレーブレシーバの転送バス図



34.4.9 I²C マスタモード

I²C マスタ初期化

ペリフェラルを有効にする前に、I2C_TIMINGR レジスタの SCLH および SCLL ビットをセットすることによって、I²C マスタクロックを設定する必要があります。

STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

マルチマスタ環境とスレーブクロックストレッチをサポートするために、クロック同期メカニズムが実装されています。

クロック同期を可能にするために：

- クロックのローレベルは SCLL カウンタを使用してカウントされ、SCL ローレベル内部検出から開始されます。
- クロックのハイレベルは SCLH カウンタを使用してカウントされ、SCL ハイレベル内部検出から開始されます。

I²C は、SCL 立ち下がりエッジ、SCL 入力ノイズフィルタ（アナログ + デジタル）、および I2CxCLK クロックとの SCL 同期に応じた遅延 t_{SYNC1} の後に SCL ローレベルを検出します。SCLL カウンタが I2C_TIMINGR レジスタの SCLL[7:0] ビットでプログラムされた値に達すると、I²C は SCL をハイレベルにリリースします。

I²C は、SCL 立ち上がりエッジ、SCL 入力ノイズフィルタ（アナログ + デジタル）、および I2CxCLK クロックとの SCL 同期に応じた遅延 t_{SYNC2} の後に SCL ハイレベルを検出します。SCLH カウンタが I2C_TIMINGR レジスタの SCLH[7:0] ビットでプログラムされた値に達すると、I²C は SCL をローレベルにします。

結果として、マスタクロック周期は次のとおりです：

$$t_{\text{SCL}} = t_{\text{SYNC1}} + t_{\text{SYNC2}} + \{[(\text{SCLH}+1) + (\text{SCLL}+1)] \times (\text{PRESC}+1) \times t_{\text{I2CCLK}}\}$$

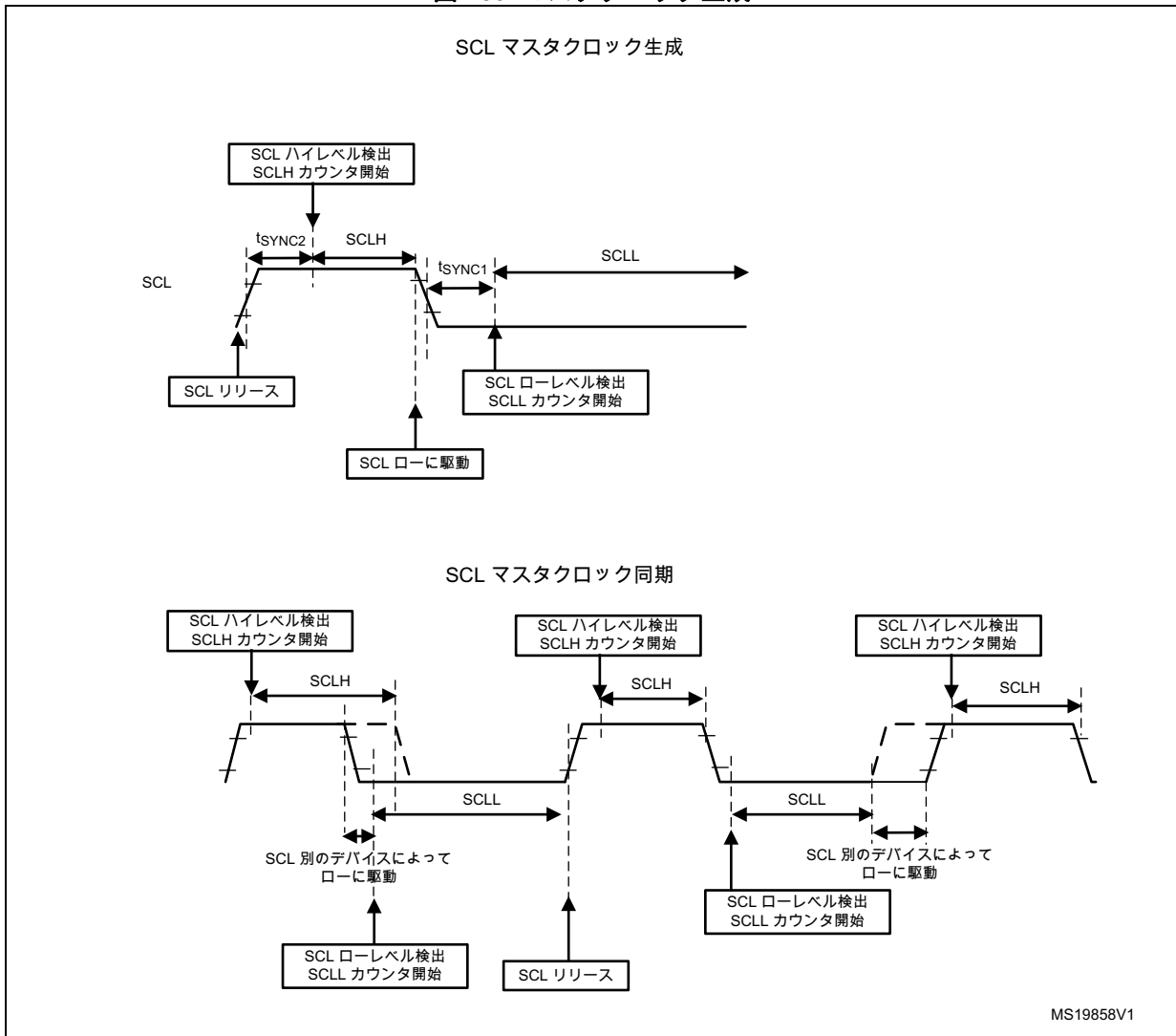
t_{SYNC1} の長さは、次のパラメータに依存します：

- SCL 立ち下がり傾斜
- 有効な場合、アナログフィルタによる入力遅延。
- 有効な場合、デジタルフィルタによる入力遅延： $\text{DNF} \times t_{\text{I2CCLK}}$
- I2CCLK クロックとの SCL 同期による遅延（2 ~ 3 I2CCLK 周期）

t_{SYNC2} の長さは、次のパラメータに依存します：

- SCL 立ち上がり傾斜
- 有効な場合、アナログフィルタによる入力遅延。
- 有効な場合、デジタルフィルタによる入力遅延： $\text{DNF} \times t_{\text{I2CCLK}}$
- I2CCLK クロックとの SCL 同期による遅延（2 ~ 3 I2CCLK 周期）

図 289. マスタクロック生成



注意： I²C または SMBus 準拠のためには、マスタクロックは下表のタイミングを満たす必要があります。

表 228. I²C-SMBus 仕様のクロックタイミング

記号	パラメータ	標準モード (Sm)		高速モード (Fm)		高速モードプラス (Fm+)		SMBus		単位
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
f _{SCL}	SCL クロック周波数	-	100	-	400	-	1000	-	100	kHz
t _{HD:STA}	(反復) START コンディションのホールド時間	4.0	-	0.6	-	0.26	-	4.0	-	μs
t _{SU:STA}	反復 START コンディションのセットアップ時間	4.7	-	0.6	-	0.26	-	4.7	-	
t _{SU:STO}	STOP コンディションのセットアップ時間	4.0	-	0.6	-	0.26	-	4.0	-	
t _{BUF}	STOP コンディションと START コンディションの間のバスフリー時間	4.7	-	1.3	-	0.5	-	4.7	-	
t _{LOW}	SCL クロックのロー周期	4.7	-	1.3	-	0.5	-	4.7	-	
t _{HIGH}	SCL クロックの周期	4.0	-	0.6	-	0.26	-	4.0	50	
t _r	SDA および SCL 信号の立ち上がり時間	-	1000	-	300	-	120	-	1000	ns
t _f	SDA および SCL 信号の立ち下がり時間	-	300	-	300	-	120	-	300	

注： SCLL は、t_{BUF} および t_{SU:STA} タイミングの生成にも使用されます。

SCLH は、t_{HD:STA} および t_{SU:STO} タイミングの生成にも使用されます。

I2C_TIMINGR 設定と I2CCLK 周波数の例については、[セクション 34.4.10: I2C_TIMINGR レジスタの設定例](#)を参照してください。

マスタ通信の初期化 (アドレスフェーズ)

通信を初期化するためには、I2C_CR2 レジスタでアドレス指定されたスレーブについて次のパラメータをプログラムする必要があります。

- アドレッシングモード (7 ビットまたは 10 ビット) : ADD10
- 送信されるスレーブアドレス : SADD[9:0]
- 転送方向 : RD_WRN
- 10 ビットアドレスが読み出される場合 : HEAD10R ビット。HEAD10R を設定して、完全なアドレスシーケンスが送信されなければならないか、ヘッダのみ (方向の変更の場合) かを示す必要があります。
- 転送されるバイト数 : NBYTES[7:0] バイト数が 255 バイト以上の場合、NBYTES[7:0] に 0xFF を書き込む必要があります。

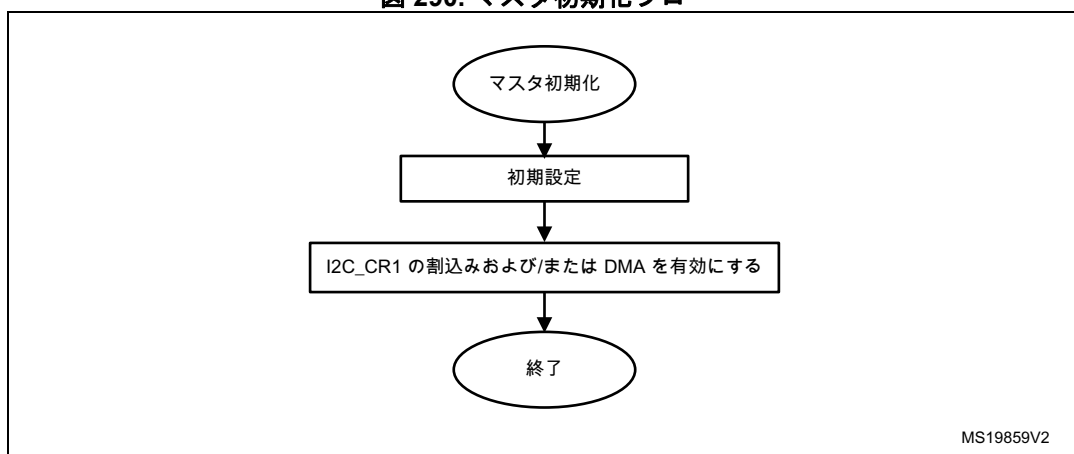
次に、I2C_CR2 レジスタの START ビットをセットする必要があります。START ビットがセットされているとき、上記のすべてのビットを変更することはできません。

その場合、マスタは、バスがフリーである (BUSY = 0) ことを検出すると、t_{BUF} の遅延後に、自動的に START コンディションとスレーブアドレスを送信します。

アービトラージ喪失の場合、マスタはスレーブモードに自動的に切り替えて、スレーブとしてアドレス指定された場合は専用アドレスを確認応答できます。

- 注： START ビットは、スレーブアドレスがバスに送信されたとき、受信した確認応答値にかかわらず、ハードウェアによってリセットされます。START ビットは、アービトレーション喪失が発生した場合にも、ハードウェアによってリセットされます。
- 10 ビットアドレッシングモードでは、スレーブアドレスの最初の 7 ビットがスレーブによって NACK されている場合、マスタは ACK が受信されるまで自動的にスレーブアドレスの送信を再開します。この場合、NACK をスレーブから受信するかどうか、ADDRCF をセットしてスレーブアドレスの送信を停止する必要があります。
- START ビットがセットされているときに、I²C がスレーブとしてアドレス指定された場合 (ADDR=1)、I²C はスレーブモードに切り替わり、START ビットがクリアされます。
- 注： 回復スタートコンディションにも同じ手順が適用されます。この場合、BUSY = 1 です。

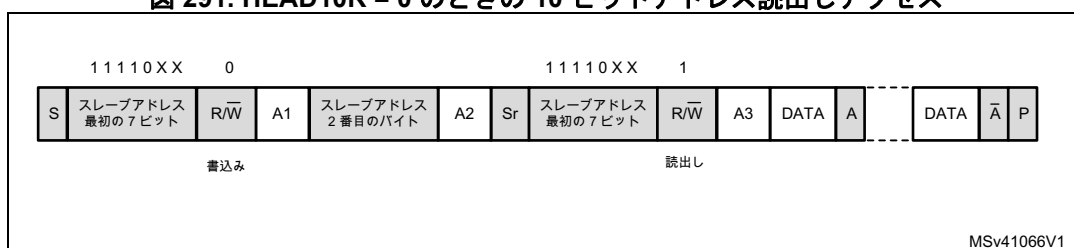
図 290. マスタ初期化フロー



10 ビットアドレススレーブをアドレス指定するマスタレシーバの初期化

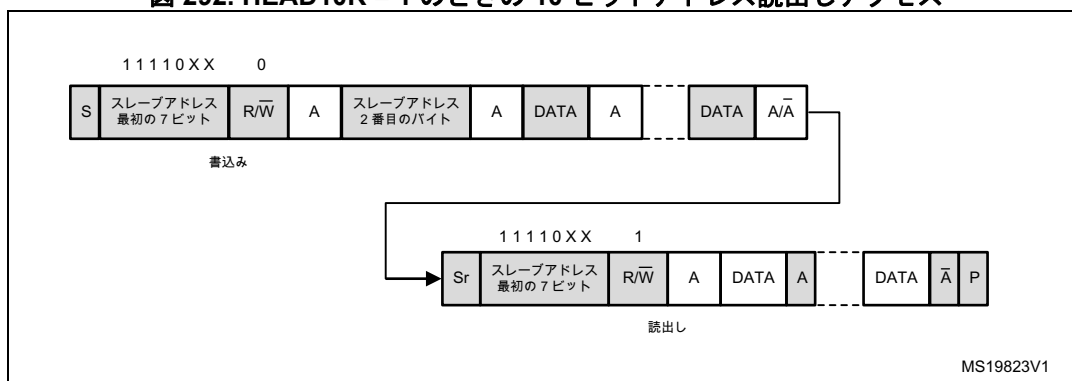
- スレーブアドレスが 10 ビット形式の場合、I2C_CR2 レジスタの HEAD10R ビットをクリアすることによって、完全な読出しシーケンスを送信することができます。この場合、マスタは、START ビットがセットされた後、次のような完全なシーケンスを自動的に送信します：(Re) START + スレーブアドレス 10 ビットヘッダ書込み + スレーブアドレスの 2 番目のバイト + REStart + スレーブアドレス 10 ビットヘッダ読出し

図 291. HEAD10R = 0 のときの 10 ビットアドレス読出しアクセス



- マスタが 10 ビットアドレススレーブをアドレス指定して、このスレーブアドレスにデータを送信した後、同じスレーブからデータを読み出す場合には、まず、マスタ送信フローが行われる必要があります。その場合、反復スタートが、HEAD10R = 1 で設定された 10 ビットスレーブアドレスでセットされます。この場合、マスタは次のシーケンスを送信します：ReStart + スレーブアドレス 10 ビットヘッダ読出し。

図 292. HEAD10R = 1 のときの 10 ビットアドレス読出しアクセス



マスタトランスマッタ

書き込み転送の場合、ACK が受信されたときの 9 番目の SCL パルス後、各バイトの送信後に TXIS フラグがセットされます。

I2C_CR1 レジスタの TXIE ビットがセットされている場合、TXIS イベント時に割込みが生成されます。このフラグは、I2C_TXDR レジスタに次に送信されるデータバイトが書き込まれると、クリアされます。

転送中の TXIS イベントの数は、NBYTES[7:0] でプログラムされた値に対応します。送信されるデータバイト数の合計が 255 より大きい場合、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。この場合、NBYTES データが転送されると、TCR フラグがセットされ、NBYTES[7:0] にゼロ以外の値が書き込まれるまで、SCL ラインはローでストレッチされます。

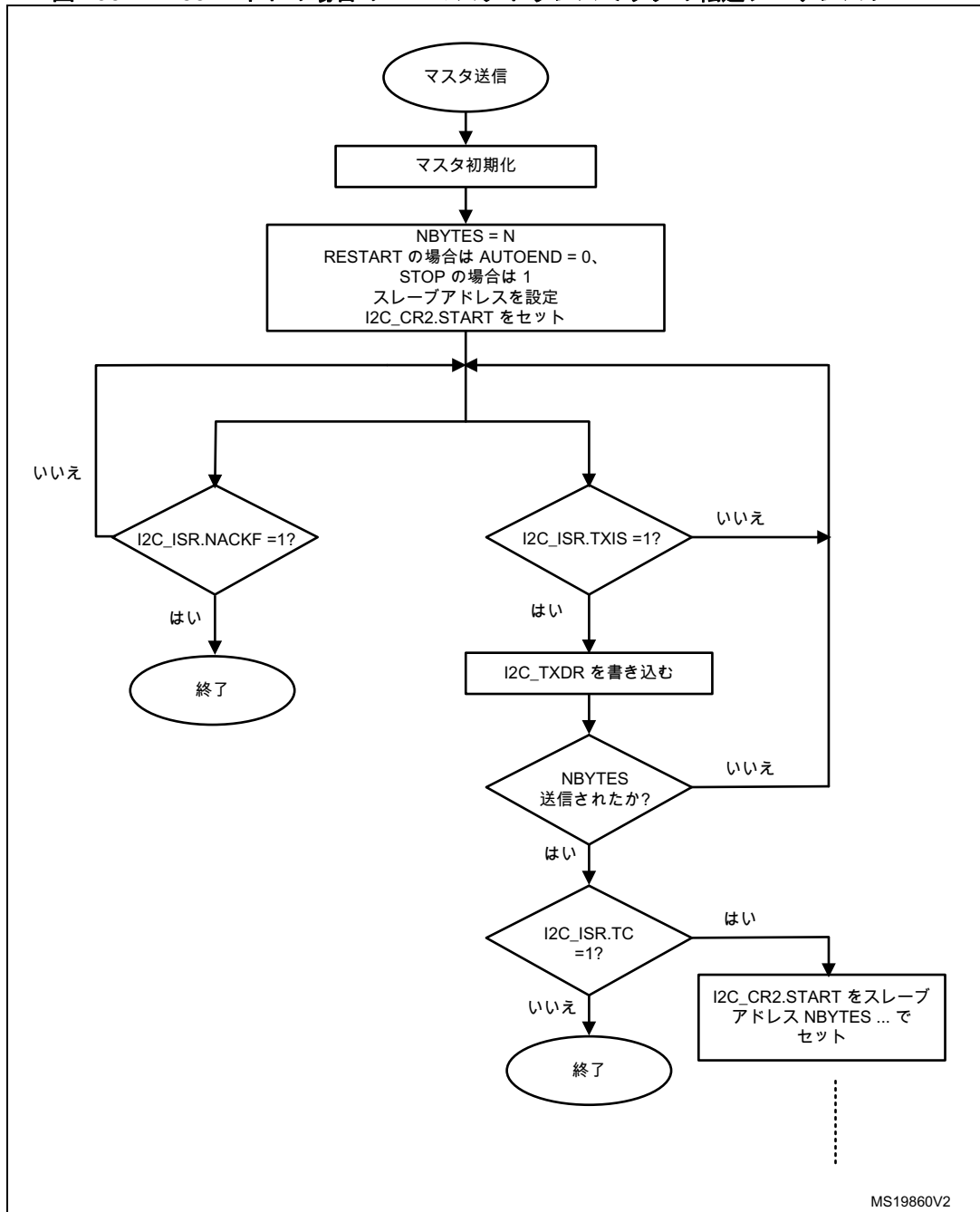
TXIS フラグは、NACK 受信時にはセットされません。

- RELOAD=0 で NBYTES データが転送されたとき：
 - 自動終了モード (AUTOEND=1) では、STOP が自動的に送信されます。
 - ソフトウェア終了モード (AUTOEND=0) では、TC フラグがセットされ、ソフトウェアアクションを実行するために SCL ラインがローでストレッチされます：

正しいスレーブアドレス設定と転送バイト数で I2C_CR2 レジスタの START ビットをセットすることによって、RESTART コンディションをリクエストできます。START ビットをセットすると、TC フラグがクリアされ、START コンディションがバスに送信されます。

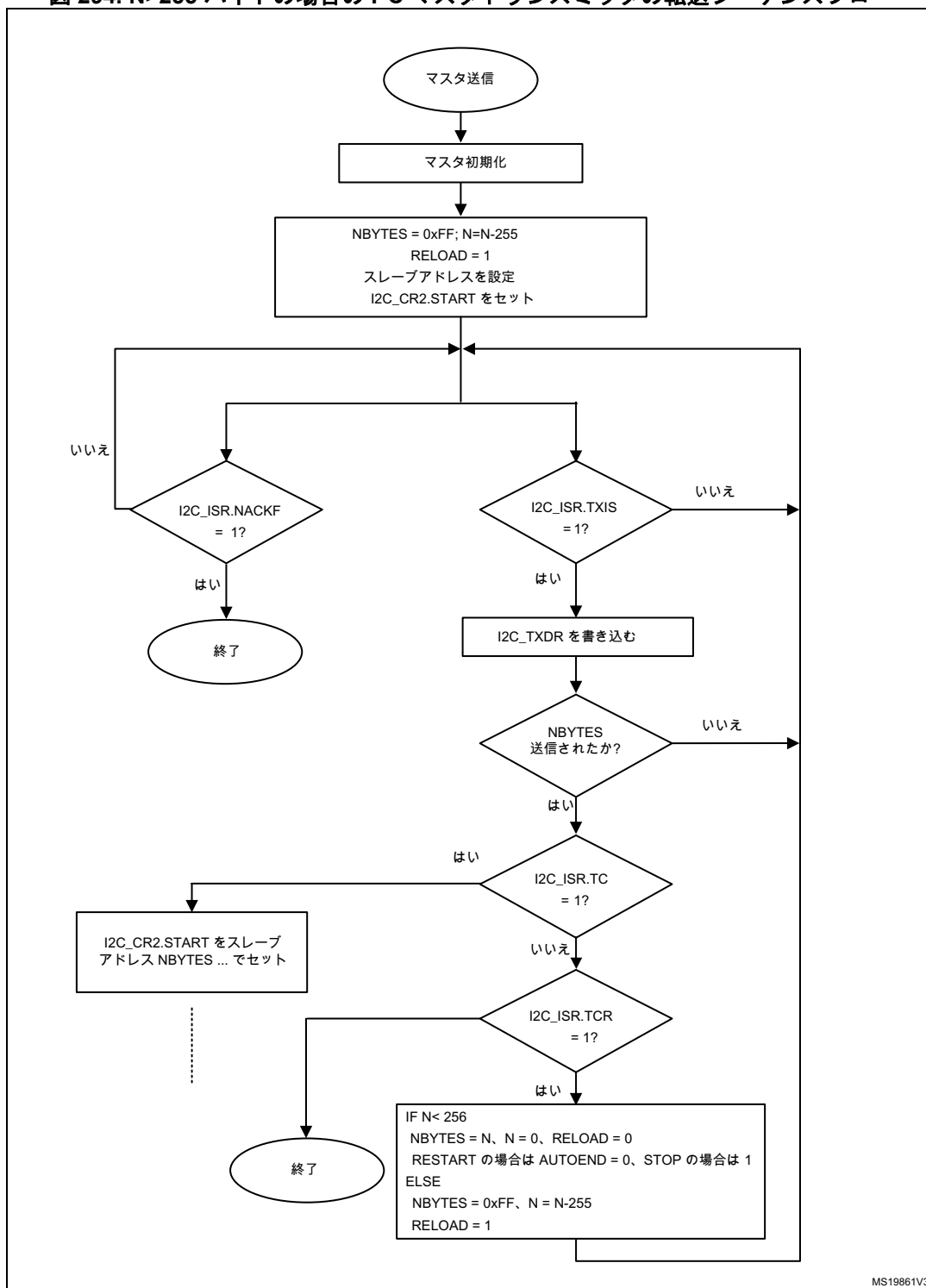
I2C_CR2 レジスタの STOP ビットをセットすることによって、STOP コンディションをリクエストできます。STOP ビットをセットすると、TC フラグがクリアされ、STOP コンディションがバスに送信されます。
- NACK が受信された場合：TXIS フラグはセットされず、NACK 受信後、自動的に STOP コンディションが送信されます。I2C_ISR レジスタの NACKF フラグがセットされ、NACKIE ビットがセットされていた場合は割込みが生成されます。

図 293. N ≤ 255 バイトの場合の I²C マスタトランスマッタの転送シーケンスフロー



MS19860V2

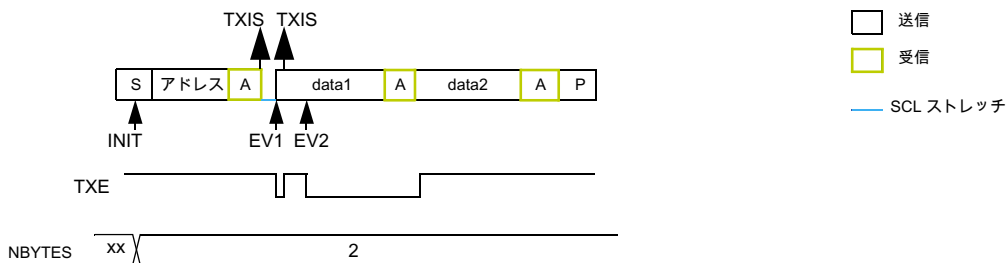
図 294. N>255 バイトの場合の I²C マスタトランスミッタの転送シーケンスフロー



MS19861V3

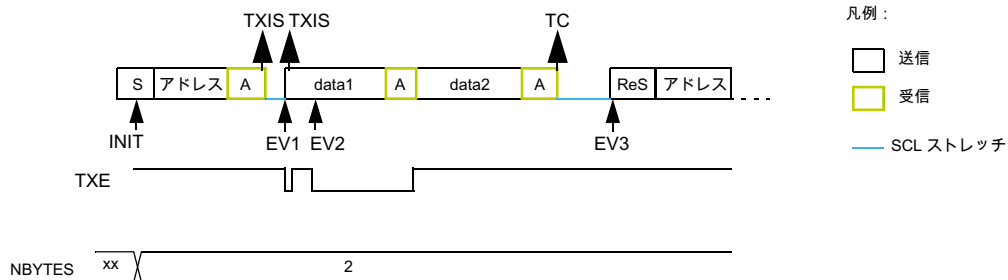
図 295. I²C マスタトランスミッタの転送バス図

I²C マスタトランスミッタ 2 バイト、自動終了モード (STOP) の例



INIT : スレーブアドレスをプログラム、NBYTES=2、AUTOEND=1 にプログラム、START をセット
 EV1 : TXIS ISR : data1 を書き込む
 EV2 : TXIS ISR : data2 を書き込む

I²C マスタトランスミッタ 2 バイト、ソフトウェア終了モード (RESTART) の例



INIT : スレーブアドレスをプログラム、NBYTES=2、AUTOEND=0 にプログラム、START をセット
 EV1 : TXIS ISR : data1 を書き込む
 EV2 : TXIS ISR : data2 を書き込む
 EV3 : TC ISR : スレーブアドレスをプログラム、NBYTES = N にプログラム、START をセット

MS19862V2

マスタレシーバ

読出し転送の場合、各バイトの受信後や 8 番目の SCL パルス後に RXNE フラグがセットされます。I2C_CR1 レジスタの RXIE ビットがセットされている場合、RXNE イベント時に割込みが生成されません。このフラグは、I2C_RXDR が読み出されたときにクリアされます。

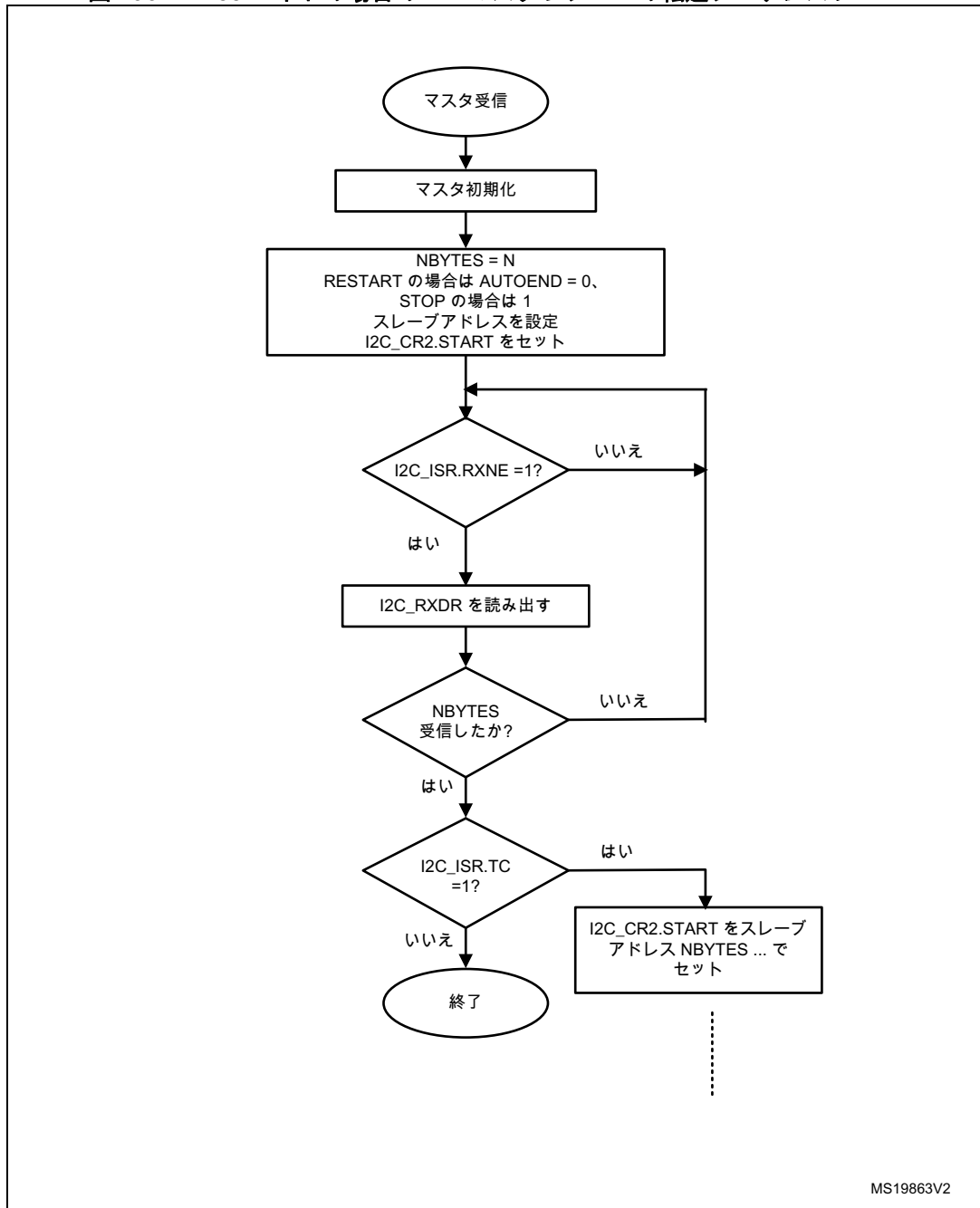
受信されるデータバイト数の合計が 255 より大きい場合、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。この場合、NBYTES[7:0] データが転送されると、TCR フラグがセットされ、NBYTES[7:0] にゼロ以外の値が書き込まれるまで、SCL ラインはローでストレッチされます。

- RELOAD=0 で NBYTES[7:0] データが転送されたとき：
 - 自動終了モード (AUTOEND=1) では、最後の受信バイト後に NACK および STOP が自動的に送信されます。
 - ソフトウェア終了モード (AUTOEND=0) では、最後の受信バイト後に NACK が自動的に送信され、TC フラグがセットされ、ソフトウェアアクションを実行できるように、SCL ラインがローでストレッチされます。

正しいスレーブアドレス設定と転送バイト数で I2C_CR2 レジスタの START ビットをセットすることによって、RESTART コンディションをリクエストできます。START ビットをセットすると、TC フラグがクリアされ、START コンディションとスレーブアドレスがバスに送信されます。

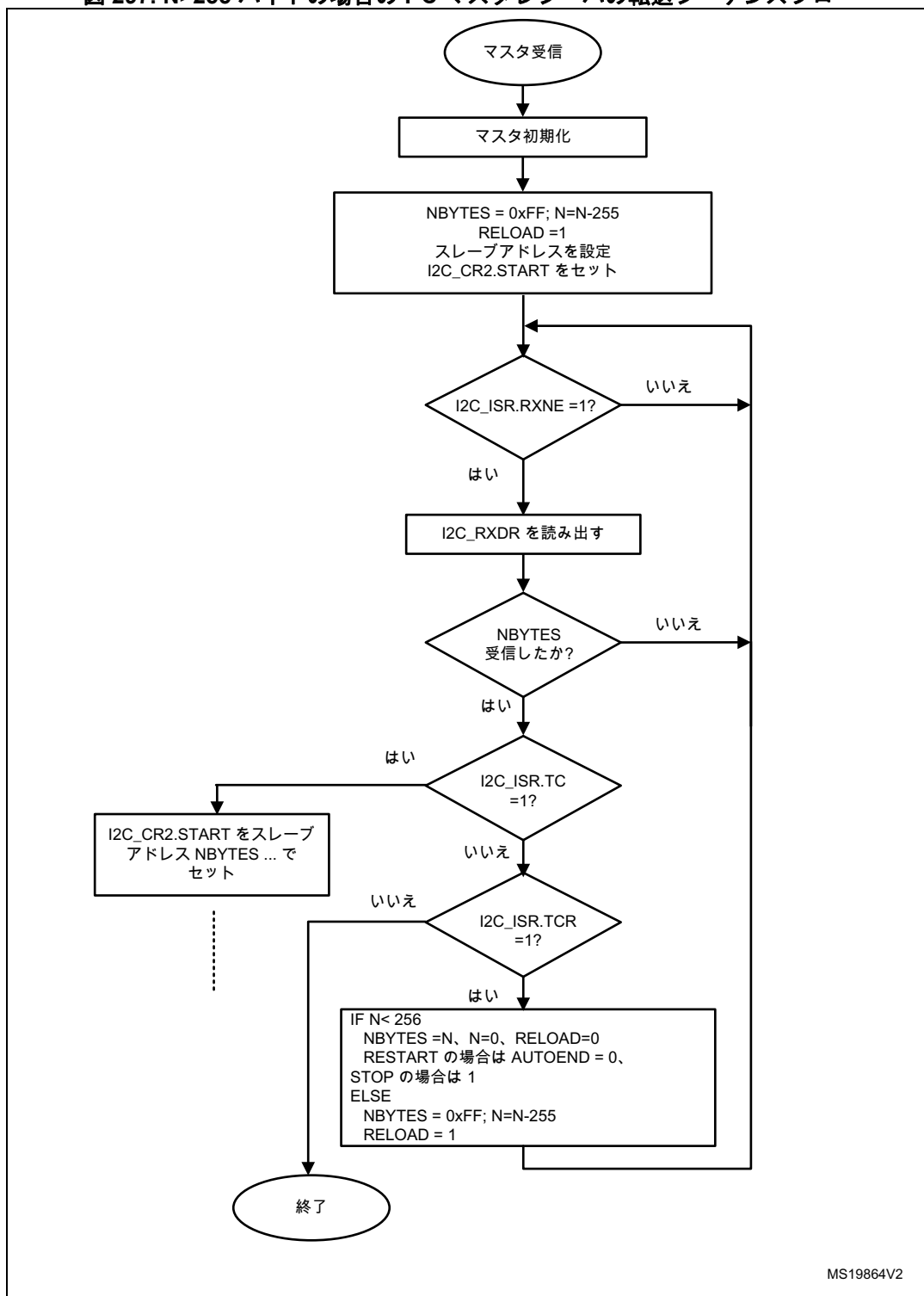
I2C_CR2 レジスタの STOP ビットをセットすることによって、STOP コンディションをリクエストできます。STOP ビットをセットすると、TC フラグがクリアされ、STOP コンディションがバスに送信されます。

図 296. N ≤ 255 バイトの場合の I²C マスタレシーバの転送シーケンスフロー



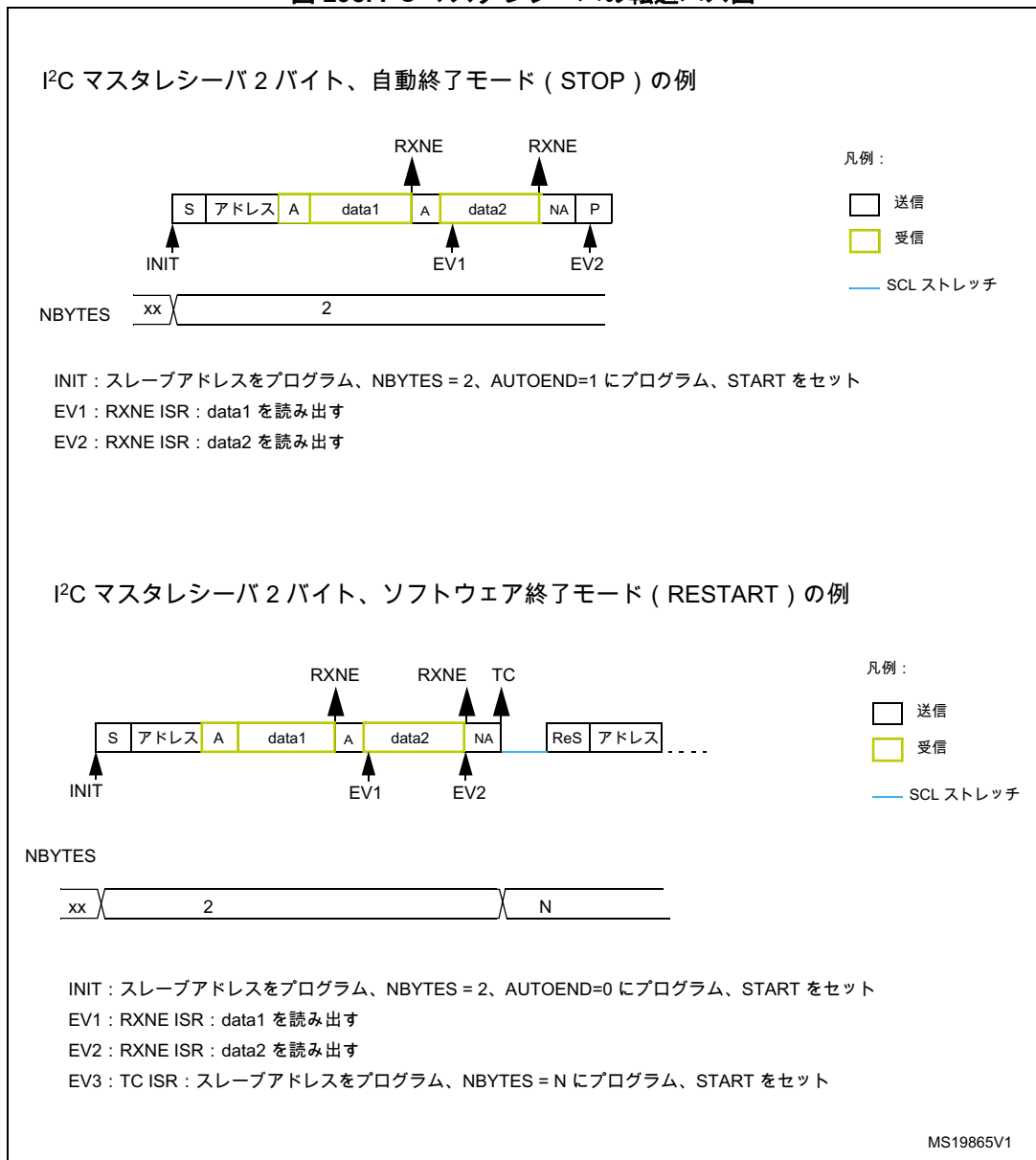
MS19863V2

図 297. N>255 バイトの場合の I²C マスタレシーバの転送シーケンスフロー



MS19864V2

図 298. I²C マスタレシーバの転送バス図



34.4.10 I2C_TIMINGR レジスタの設定例

下の表に、I²C 仕様に準拠したタイミングを得るための I2C_TIMINGR をプログラムする方法の例を示します。より正確な設定値を得るには、STM32CubeMX ツール (I²C 設定ウィンドウ) を使用する必要があります。

表 229. $f_{I2CCCLK} = 8 \text{ MHz}$ でのタイミング設定の例

パラメータ	標準モード (Sm)		高速モード (Fm)	高速モードプラス (Fm+)
	10 kHz	100 kHz	400 kHz	500 kHz
PRESC	1	1	0	0
SCLL	0xC7	0x13	0x9	0x6
t_{SCLL}	200 x 250 ns = 50 μ s	20 x 250 ns = 5.0 μ s	10 x 125 ns = 1250 ns	7 x 125 ns = 875 ns
SCLH	0xC3	0xF	0x3	0x3
t_{SCLH}	196 x 250 ns = 49 μ s	16 x 250 ns = 4.0 μ s	4 x 125 ns = 500 ns	4 x 125 ns = 500 ns
$t_{SCL}^{(1)}$	~100 μ s ⁽²⁾	~10 μ s ⁽²⁾	~2500 ns ⁽³⁾	~2000 ns ⁽⁴⁾
SDADEL	0x2	0x2	0x1	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	1 x 125 ns = 125 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	2 x 125 ns = 250 ns

1. SCL 周期 t_{SCL} は、SCL 内部検出遅延のため、 $t_{SCLL} + t_{SCLH}$ より大きくなります。 t_{SCL} として示されている値は例にすぎません。
2. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 500 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 1000 \text{ ns}$
3. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 500 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 750 \text{ ns}$
4. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 500 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 655 \text{ ns}$

表 230. $f_{I2CCCLK} = 16 \text{ MHz}$ でのタイミング設定の例

パラメータ	標準モード (Sm)		高速モード (Fm)	高速モードプラス (Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	3	3	1	0
SCLL	0xC7	0x13	0x9	0x4
t_{SCLL}	200 x 250 ns = 50 μ s	20 x 250 ns = 5.0 μ s	10 x 125 ns = 1250 ns	5 x 62.5 ns = 312.5 ns
SCLH	0xC3	0xF	0x3	0x2
t_{SCLH}	196 x 250 ns = 49 μ s	16 x 250 ns = 4.0 μ s	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns
$t_{SCL}^{(1)}$	~100 μ s ⁽²⁾	~10 μ s ⁽²⁾	~2500 ns ⁽³⁾	~1000 ns ⁽⁴⁾
SDADEL	0x2	0x2	0x2	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	2 x 125 ns = 250 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x2
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns

1. SCL 周期 t_{SCL} は、SCL 内部検出遅延のため、 $t_{SCLL} + t_{SCLH}$ より大きくなります。 t_{SCL} として示されている値は例にすぎません。
2. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 250 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 1000 \text{ ns}$
3. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 250 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 750 \text{ ns}$
4. $t_{SYNC1} + t_{SYNC2}$ 最小値は、 $4 \times t_{I2CCCLK} = 250 \text{ ns}$ です。例: $t_{SYNC1} + t_{SYNC2} = 500 \text{ ns}$

34.4.11 SMBus 固有の機能

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

概要

システム管理バス (SMBus) は、さまざまなデバイスが互いに通信したり、残りのシステム部分と通信したりできる 2 線インタフェースです。I²C の動作原理に基づきます。SMBus により、システムおよびパワーマネージメント関連のタスク向けの制御バスが実現できます。

このペリフェラルは、SMBus 仕様 (<http://smbus.org>) と互換性があります。

システム管理バス仕様では、3 種類のデバイスを規定しています。

- スレーブとは、コマンドを受信したり、コマンドに応答したりするデバイスです。
- マスタとは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。
- ホストとは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ/スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

このペリフェラルは、マスタまたはスレーブデバイスとして、また、ホストとしても設定できます。

バスプロトコル

特定のデバイスについて、11 の可能なコマンドプロトコルがあります。デバイスは、11 のプロトコルの一部または全部を使用して通信できます。プロトコルは、Quick Command、Send Byte、Receive Byte、Write Byte、Write Word、Read Byte、Read Word、Process Call、Block Read、Block Write、および Block Write-Block Read Process Call です。これらのプロトコルは、ユーザのソフトウェアによって実装してください。

これらのプロトコルの詳細については、SMBus 仕様 (<http://smbus.org>) を参照してください。

アドレス解決プロトコル (ARP)

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス割り当てを目的とする各デバイスを分離する仕組みを提供するために、各デバイスは一意デバイス識別子 (UDID) を実装する必要があります。128 ビットの番号がソフトウェアによって実装されます。

このペリフェラルは、アドレス解決プロトコル (ARP) をサポートします。SMBus デバイスのデフォルトアドレス (0b1100 001) は、I2C_CR1 レジスタの SMBDEN ビットをセットすることによって有効になります。ARP コマンドは、ユーザのソフトウェアによって実装してください。

ARP サポートのために、スレーブモードでアービトレーションも行われます。

SMBus アドレス解決プロトコルの詳細については、SMBus 仕様 (<http://smbus.org>) を参照してください。

受信コマンドおよびデータ確認応答制御

SMBus レシーバは、受信した各コマンドまたはデータを NACK できなければなりません。スレーブモードで ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。詳細については、[スレーブバイト制御モード](#)を参照してください。

Host Notify プロトコル

このペリフェラルは、I2C_CR1 レジスタの SMBHEN ビットをセットすることによって、Host Notify (ホスト通知) プロトコルをサポートします。この場合、ホストは SMBus ホストアドレス (0b0001 000) を確認応答します。

このプロトコルが使用されると、デバイスはマスタとして動作し、ホストはスレーブとして動作します。

SMBus アラート

SMBus ALERT オプション信号がサポートされます。スレーブ専用デバイスは、通信したいホストの SMBALERT# ピンを通じてホストに信号を送信します。ホストは、割込みを処理し、アラート応答アドレス (0b0001 100) を通じて全 SMBALERT# デバイスに同時にアクセスします。SMBALERT# をローに引き下げたデバイスのみが、アラート応答アドレスを確認応答します。

スレーブデバイスとして設定されたとき (SMBHEN=0)、I2C_CR1 レジスタの ALERTEN ビットをセットすることによって、SMBA ピンはローに引き下げられます。同時に、アラート応答アドレスが有効になります。

ホストとして設定されたとき (SMBHEN=1)、SMBA ピンで立ち下がりエッジが検出され、ALERTEN=1 のとき、I2C_ISR レジスタの ALERT フラグがセットされます。I2C_CR1 レジスタの ERRIE ビットがセットされている場合は、割込みが生成されます。ALERTEN=0 のときには、外部 SMBA ピンがローの場合でも、ALERT ラインはハイとみなされます。

SMBus ALERT ピンが不要な場合には、ALERTEN=0 の場合、SMBA ピンを標準 GPIO として使用できます。

パケットエラーチェック

信頼性と通信の堅牢性を向上させるために、SMBus 仕様にパケットエラーチェックメカニズムが導入されました。パケットエラーチェックは、各メッセージ転送の終わりにパケットエラーコード (PEC) を付加することによって実装されます。PEC は、すべてのメッセージバイト (アドレスと読出し/書込みビットを含む) に対して $C(x) = x_8 + x^2 + x + 1$ CRC-8 多項式を使用して計算されます。

ペリフェラルはハードウェア PEC 計算機が組み込まれ、受信バイトがハードウェアによって計算された PEC に一致しないときには自動的に非確認応答を送信できます。

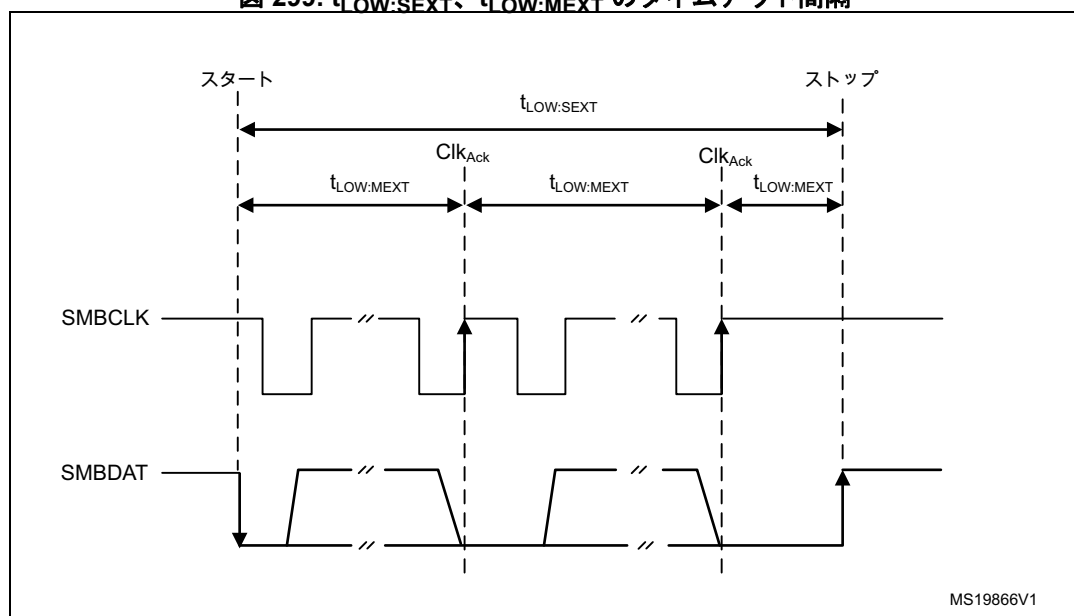
タイムアウト

このペリフェラルは、SMBus 仕様で定義された 3 つのタイムアウトに準拠するために、ハードウェアタイマーが組み込まれています。

表 231. SMBus タイムアウト仕様

記号	パラメータ	リミット		単位
		最小値	最大値	
t_{TIMEOUT}	クロックロータイムアウト検出	25	35	ms
$t_{\text{LOW:SEXT}}^{(1)}$	累積クロックロー延長時間 (スレーブデバイス)	-	25	
$t_{\text{LOW:MEXT}}^{(2)}$	累積クロックロー延長時間 (マスタデバイス)	-	10	

- $t_{\text{LOW:SEXT}}$ は、特定のスレーブデバイスが初めての START から STOP までの 1 つのメッセージのクロックサイクルを延長できる累積時間です。別のスレーブデバイスまたはマスタもクロックを延長して、合計のクロックロー延長時間が $t_{\text{LOW:SEXT}}$ より大きくなる場合があります。したがって、このパラメータは、スレーブデバイスをフルスピードのマスタの単独のターゲットとして測定されます。
- $t_{\text{LOW:MEXT}}$ は、マスタがメッセージの各バイト内のクロックサイクルを START-to-ACK、ACK-to-ACK、または ACK-to-STOP から定義に従って延長できる累積時間です。スレーブデバイスまたは別のマスタもクロックを延長して、合計のクロックロー時間が $t_{\text{LOW:MEXT}}$ より大きくなる場合があります。したがって、このパラメータは、フルスピードスレーブデバイスをマスタの単独のターゲットとして測定されます。

図 299. $t_{LOW:SEXT}$ 、 $t_{LOW:MEXT}$ のタイムアウト間隔

MS19866V1

バスアイドル検出

マスタは、クロックおよびデータ信号が $t_{HIGH,MAX}$ より大きい t_{IDLE} の間ハイであった場合、バスはフリーであるとみなすことができます。(表 226 を参照してください)。

このタイミングパラメータは、マスタがバスに動的に追加し、SMBCLK または SMBDAT ラインで状態遷移を検出しなかった可能性のあるコンディションをカバーします。この場合、マスタは十分に長い時間待って、転送が進行中でないことを確認する必要があります。このペリフェラルは、ハードウェアバスアイドル検出をサポートします。

34.4.12 SMBus 初期化

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

SMBus 通信を行うためには、I²C 初期化に加えて、他にも特定の初期化を行う必要があります。

受信コマンドおよびデータ確認応答制御 (スレーブモード)

SMBus レシーバは、受信した各コマンドまたはデータを NACK できなければなりません。スレーブモードで ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。詳細については、[1064 ページのスレーブバイト制御モード](#)を参照してください。

特定アドレス (スレーブモード)

必要な場合は、特定の SMBus アドレスを有効にしてください。詳細については、[1086 ページのバスアイドル検出](#)を参照してください。

- SMBus デバイスのデフォルトアドレス (0b1100 001) は、I2C_CR1 レジスタの SMBDEN ビットをセットすることによって有効になります。
- SMBus ホストアドレス (0b0001 000) は、I2C_CR1 レジスタの SMBHEN ビットをセットすることによって有効になります。
- アラート応答アドレス (0b0001100) は、I2C_CR1 レジスタの ALERTEN ビットをセットすることで有効になります。

パケットエラーチェック

PEC 計算を有効にするには、I2C_CR1 レジスタの PECEN ビットをセットします。その場合、PEC 転送はハードウェアバイトカウンタ (I2C_CR2 レジスタの NBYTES[7:0]) を使用して管理されます。PECEN ビットは、I²C を有効にする前に設定する必要があります。

PEC 転送はハードウェアバイトカウンタによって管理されるので、スレーブモードで SMBus とインタフェースするときには SBC ビットをセットする必要があります。PEC は、PECBYTE ビットがセットされ、RELOAD ビットがクリアされたとき、NBYTES - 1 データの転送後に転送されます。RELOAD がセットされた場合、PECBYTE は効果がありません。

注意 : I²C が有効なときには、PECEN 設定の変更はできません。

表 232. SMBus の PEC 設定

モード	SBC ビット	RELOAD ビット	AUTOEND ビット	PECBYTE ビット
マスタ Tx/Rx NBYTES + PEC+ STOP	x	0	1	1
マスタ Tx/Rx NBYTES + PEC + ReSTART	x	0	0	1
スレーブ Tx/Rx と PEC	1	0	x	1

タイムアウト検出

タイムアウト検出は、I2C_TIMEOUTR レジスタの TIMOUTEN および TEXTEN ビットをセットすることによって有効になります。SMBus 仕様で指定された最大時間の前にタイムアウトを検出するようにタイマをプログラムする必要があります。

- t_{TIMEOUT} チェック
 t_{TIMEOUT} チェックを有効にするためには、12 ビットの TIMEOUTA[11:0] ビットを t_{TIMEOUT} パラメータをチェックするためにタイマ再ロード値でプログラムする必要があります。SCL ローレベルタイムアウトを検出するためには、TIDLE ビットを 0 に設定する必要があります。
 その場合、タイマは、I2C_TIMEOUTR レジスタの TIMOUTEN をセットすることによって有効になります。
 SCL が $(\text{TIMEOUTA}+1) \times 2048 \times t_{\text{I2CCCLK}}$ より長い時間、ローに設定された場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。
[表 233](#) を参照してください。

注意 : TIMEOUTN ビットがセットされているときには、TIMEOUTA[11:0] ビットおよび TIDLE ビットの設定変更はできません。

- $t_{\text{LOW:SEXT}}$ および $t_{\text{LOW:MEXT}}$ チェック
ペリフェラルがマスタとして設定されているか、スレーブとして設定されているかに応じて、12 ビットの TIMEOUTB タイマは、スレーブの場合は $t_{\text{LOW:SEXT}}$ をチェックするために、マスタの場合は $t_{\text{LOW:MEXT}}$ をチェックするために、設定する必要があります。標準では最大値のみが規定されているので、両方について同じ値を選ぶことができます。

その場合、タイマは、I2C_TIMEOUTR レジスタの TEXTEN ビットをセットすることによって有効になります。

SMBus ペリフェラルが、 $(\text{TIMEOUTB}+1) \times 2048 \times t_{\text{I2CCLK}}$ より長い時間および [バスアイドル検出](#) セクションで述べられているタイムアウト間隔で、累積 SCL ストレッチを実行した場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。

[表 234](#)を参照してください。

注意 : TEXTEN ビットがセットされているときには、TIMEOUTB 設定変更はできません。

バスアイドル検出

t_{IDLE} チェックを有効にするためには、12 ビットの TIMEOUTA[11:0] フィールドを t_{IDLE} パラメータを得るためにタイマ再ロード値でプログラムする必要があります。SCL および SDA ハイレベルタイムアウトを検出するためには、TIDLE ビットを 1 に設定する必要があります。

その場合、タイマは、I2C_TIMEOUTR レジスタの TIMEOUTN ビットをセットすることによって有効になります。

SCL および SDA の両方のラインが $(\text{TIMEOUTA}+1) \times 4 \times t_{\text{I2CCLK}}$ より長い間ハイのままであった場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。

[表 235](#)を参照してください。

注意 : TIMEOUTN がセットされているときに、TIMEOUTA および TIDLE 設定を変更することはできません。

34.4.13 SMBus : I2C_TIMEOUTR レジスタの設定例

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

- t_{TIMEOUT} の最大時間を 25 ms に設定 :

**表 233. さまざまな I2CCLK周波数での TIMEOUTA の設定例
(最大値 $t_{\text{TIMEOUT}} = 25$ ms)**

f_{I2CCLK}	TIMEOUTA[11:0] ビット	TIDLE ビット	TIMEOUTN ビット	t_{TIMEOUT}
8 MHz	0x61	0	1	$98 \times 2048 \times 125 \text{ ns} = 25 \text{ ms}$
16 MHz	0xC3	0	1	$196 \times 2048 \times 62.5 \text{ ns} = 25 \text{ ms}$

- $t_{\text{LOW:SEXT}}$ および $t_{\text{LOW:MEXT}}$ の最大時間を 8 ms に設定 :

表 234. さまざまな I2CCLK 周波数での TIMEOUTB の設定例

f _{I2CCLK}	TIMEOUTB[11:0] ビット	TEXTEN ビット	t _{LOW:EXT}
8 MHz	0x1F	1	32 x 2048 x 125 ns = 8 ms
16 MHz	0x3F	1	64 x 2048 x 62.5 ns = 8 ms

- t_{IDLE} の最大時間を 50 μs に設定

表 235. さまざまな I2CCLK 周波数での TIMEOUTA の設定例
(最大値 t_{IDLE} = 50 μs)

f _{I2CCLK}	TIMEOUTA[11:0] ビット	TIDLE ビット	TIMEOUTEN ビット	t _{TIDLE}
8 MHz	0x63	1	1	100 x 4 x 125 ns = 50 μs
16 MHz	0xC7	1	1	200 x 4 x 62.5 ns = 50 μs

34.4.14 SMBus スレーブモード

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

I²C スレーブ転送管理 ([セクション 34.4.8: I2C スレーブモード](#)を参照)に加えて、SMBus をサポートするために、いくつか追加のソフトウェアフローが用意されています。

SMBus スレーブトランスミッタ

IP が SMBus で使用されるときには、SBC は、プログラムされたデータバイト数の終わりの PEC 送信を可能にするため、1 にプログラムする必要があります。PECBYTE ビットがセットされているときには、NBYTES[7:0] でプログラムされたバイト数には PEC 送信が含まれます。その場合、TXIS 割込みの合計数は NBYTES - 1 であり、NBYTES - 1 データ転送後にマスタが追加のバイトをリクエストした場合、I2C_PECR レジスタの内容が自動的に送信されます。

注意 : PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。

図 300. N バイト + PEC の場合の SMBus スレーブトランスミッタの転送シーケンスフロー

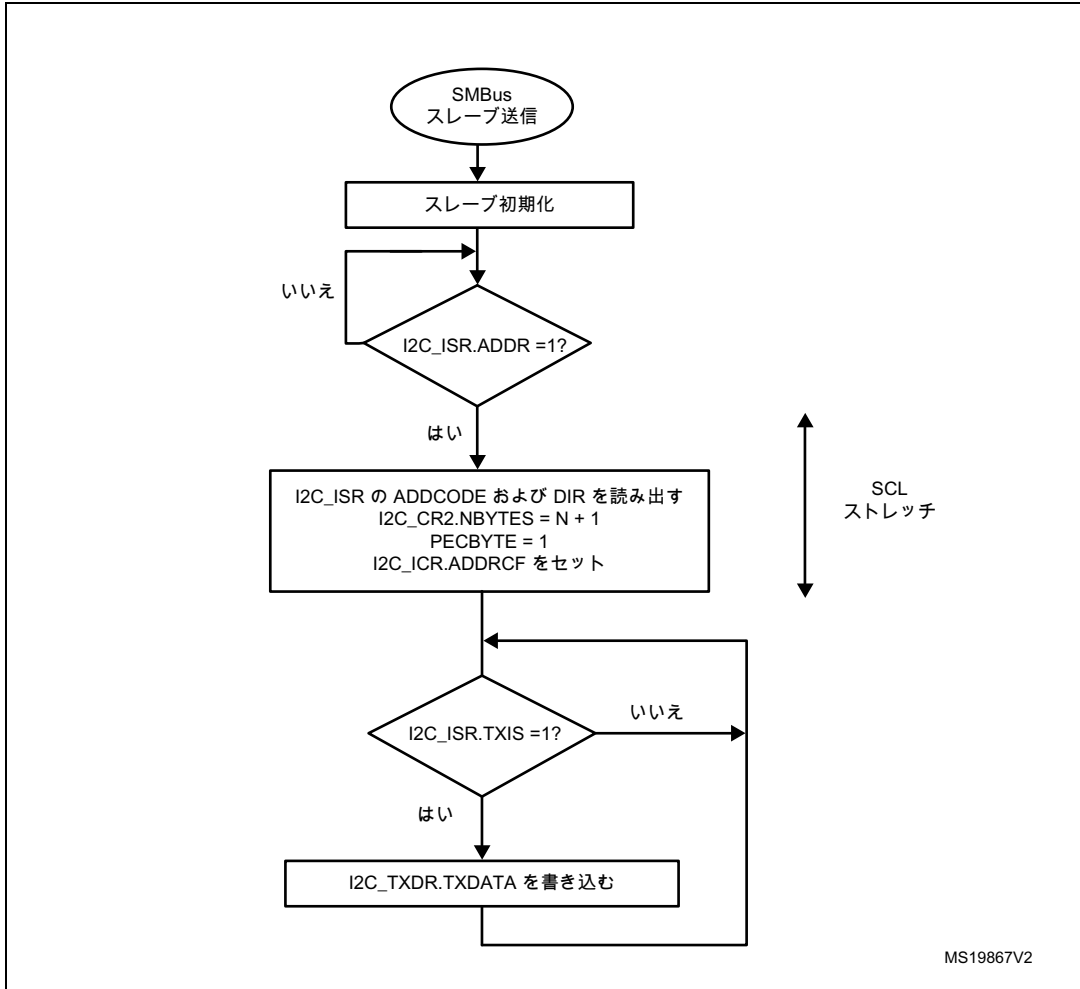
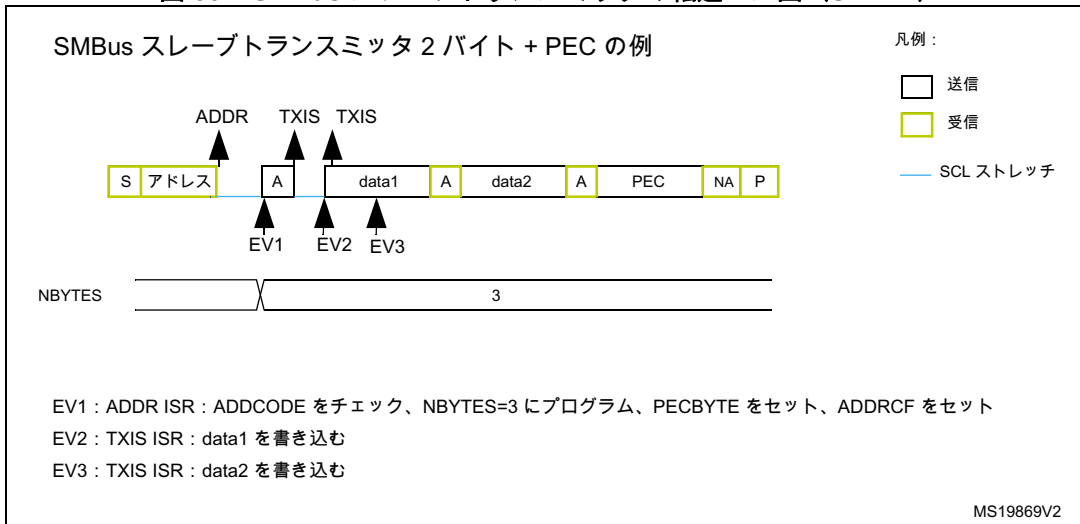


図 301. SMBus スレーブトランスミッタの転送バス図 (SBC=1)



SMBus スレーブレシーバ

I²C が SMBus モードで使用される際には、SBC は、プログラムされたデータバイト数の終わりの PEC チェックを可能にするため、1 にプログラムする必要があります。各バイトの ACK 制御を可能にするためには、再ロードモードを選択する必要があります (RELOAD=1)。詳細については、[スレーブバイト制御モード](#)を参照してください。

PEC バイトをチェックするためには、RELOAD ビットをクリアして、PECBYTE ビットをセットする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが内部 I2C_PECR レジスタの内容と比較されます。ACK ビットの値にかかわらず、比較が一致しなかった場合は NACK が自動的に生成され、比較が一致した場合は ACK が自動的に生成されます。PEC バイトが受信されると、他のデータと同様に I2C_RXDR レジスタにコピーされ、RXNE フラグがセットされます。

PEC 不一致の場合、PECERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

ACK ソフトウェア制御が不要な場合は、PECBYTE=1 をプログラムし、同じ書込み操作で NBYTES を連続フローで受信するバイト数にプログラムします。NBYTES - 1 が受信された後、次の受信バイトが PEC であるかどうかチェックされます。

注意 : PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。

図 302. N バイト + PEC の場合の SMBus スレーブレシーバの転送シーケンスフロー

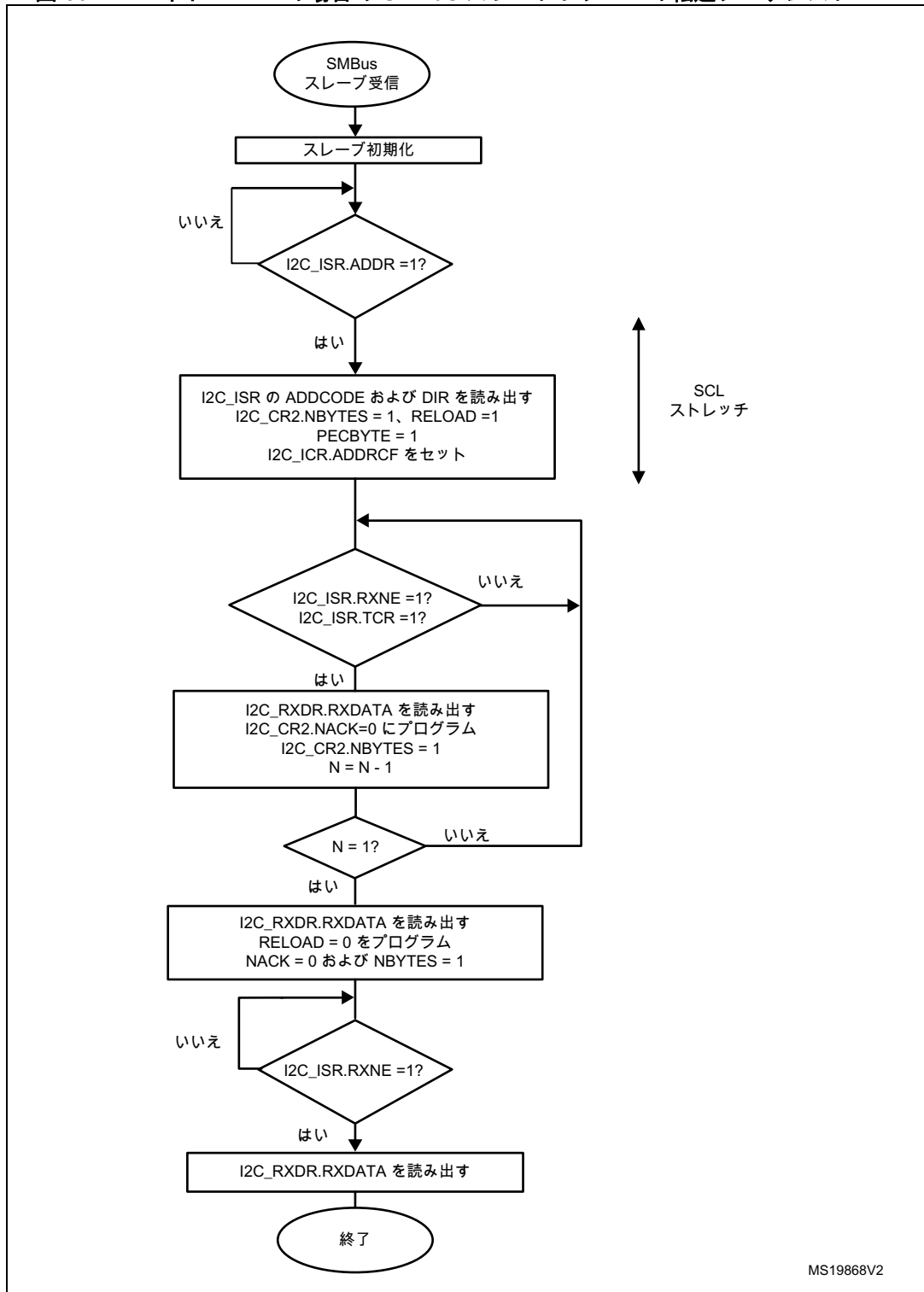
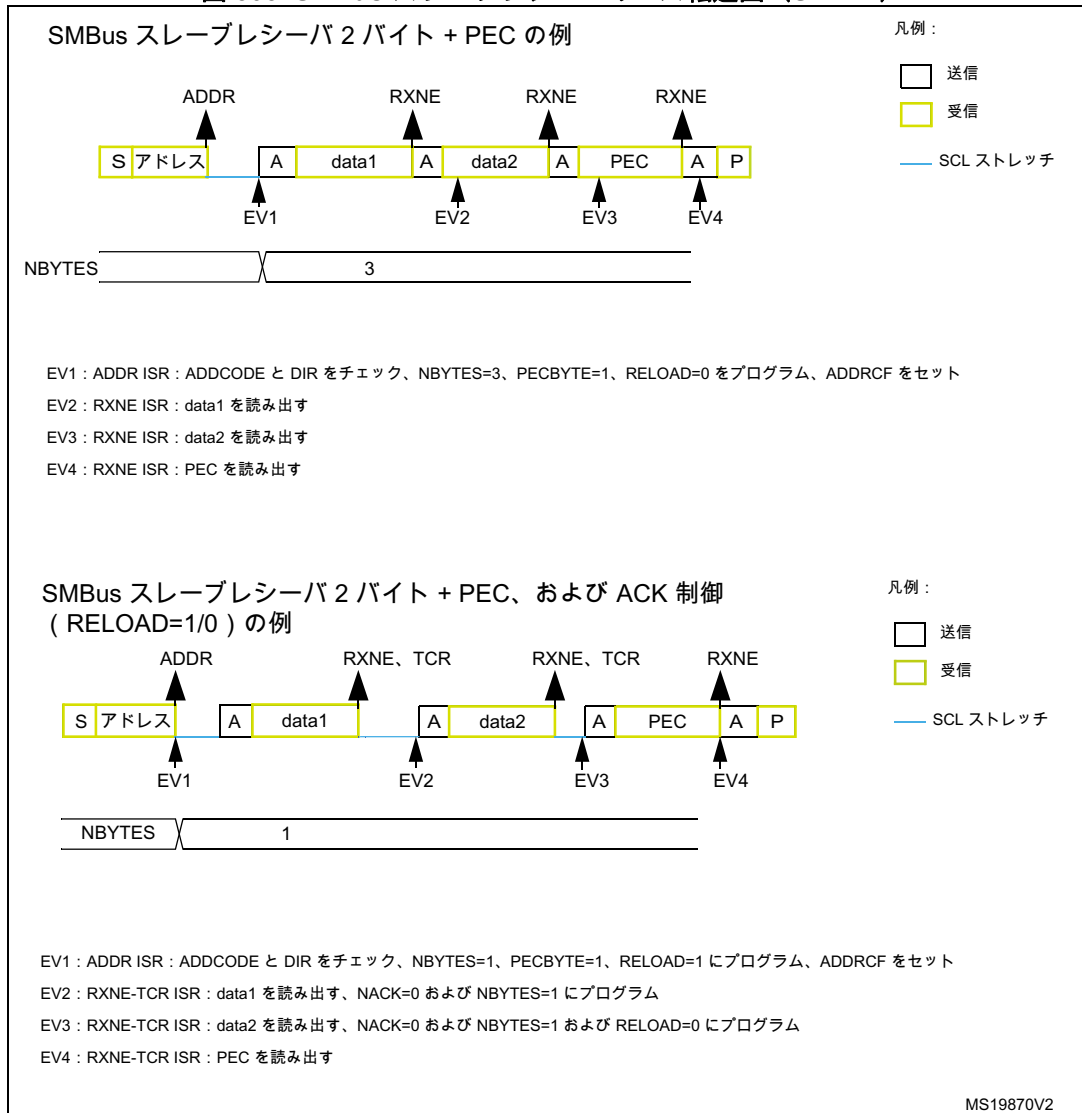


図 303. SMBus スレーブレシーバのバス転送図 (SBC=1)



このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

I²C マスタ転送管理 ([セクション 34.4.9: I2C マスタモード](#)を参照)に加えて、SMBus をサポートするために、いくつか追加のソフトウェアフローが用意されています。

SMBus マスタトランスミッタ

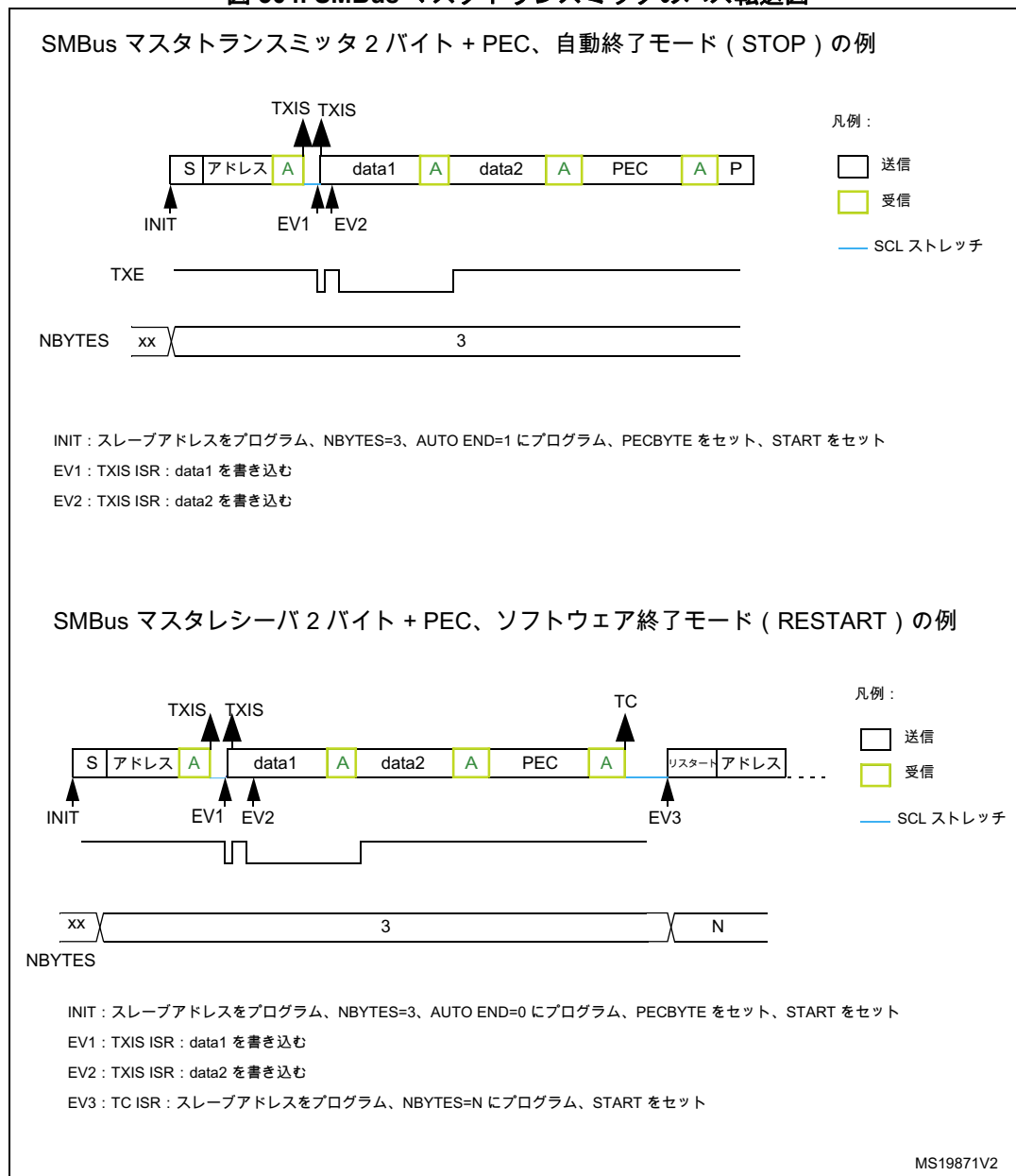
SMBus マスタが PEC を送信したいときには、START ビットをセットする前に、PECBYTE ビットをセットする必要があり、バイト数を NBYTES[7:0] フィールドでプログラムする必要があります。この場合、TXIS 割込みの合計数は NBYTES - 1 になります。したがって、NBYTES = 0x1 のときに PECBYTE ビットがセットされた場合、I2C_PECR レジスタの内容が自動的に送信されます。

SMBus マスタが PEC 後に STOP コンディションを送信したい場合は、自動終了モードを選択してください (AUTOEND = 1)。この場合、PEC 送信に続いて、STOP コンディションが自動的に送信されます。

SMBus マスタが PEC 後に RESTART コンディションを送信したい場合は、ソフトウェアモードを選択してください (AUTOEND=0)。この場合、NBYTES - 1 が送信されると、PEC 送信後に I2C_PECR レジスタの内容が送信され、TC フラグがセットされ、SCL ラインローをストレッチします。RESTART コンディションを TC 割込みサブルーチンでプログラムする必要があります。

注意 : PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。

図 304. SMBus マスタトランスミッタのバス転送図



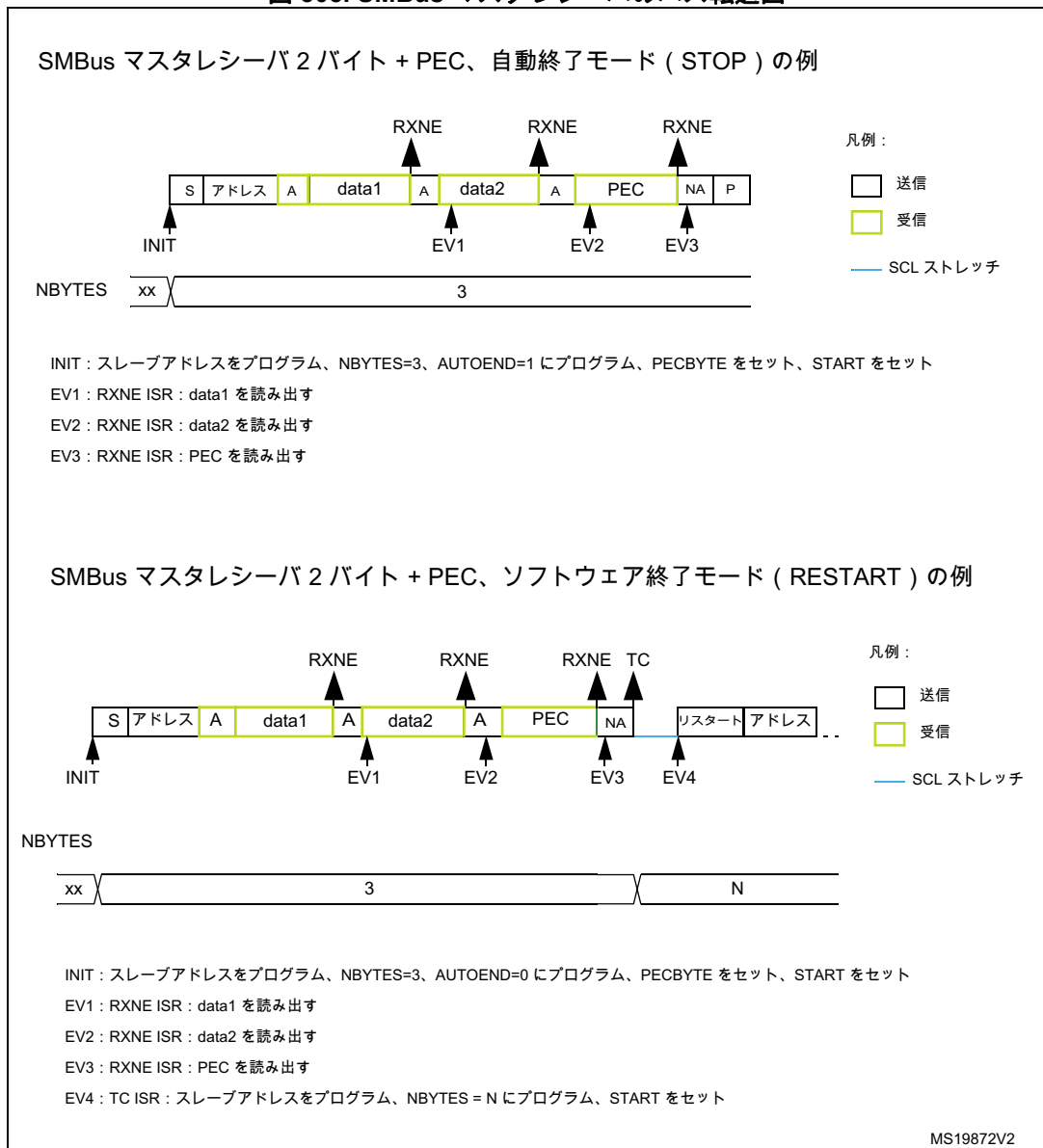
SMBus マスタレシーバ

SMBus マスタが転送終了時に PEC を受信してから STOP を受信したいときには、自動終了モードを選択できます (AUTOEND = 1)。START ビットをセットする前に、PECBYTE ビットをセットする必要があります。スレーブアドレスをプログラムする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが I2C_PECR レジスタの内容と自動的に照合されます。PEC バイトに対して NACK 応答が与えられた後、STOP コンディションが送信されます。

SMBus マスタが転送終了時に PEC バイトを受信してから RESTART を受信したいときには、ソフトウェアモードを選択する必要があります (AUTOEND=0)。START ビットをセットする前に、PECBYTE ビットをセットする必要があります。スレーブアドレスをプログラムする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが I2C_PECR レジスタの内容と自動的に照合されます。PEC バイト受信後に TC フラグがセットされ、SCL ラインローをストレッチします。RESTART コンディションは、TC 割込みサブルーチンでプログラムできます。

注意： PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。

図 305. SMBus マスタレシーバのバス転送図



34.4.15 アドレス一致時に STOP モードからウェイクアップ

このセクションは、STOP モードからのウェイクアップ機能がサポートされるときにのみ適用されません。セクション 34.3: I2C の実装を参照してください。

I²C は、アドレス指定されたとき、MCU を STOP モードからウェイクアップできます (APB クロックはオフ)。すべてのアドレッシングモードがサポートされます。

STOP モードからのウェイクアップを有効にするには、I2C_CR1 レジスタの WUPEN ビットをセットします。STOP モードからのウェイクアップを可能にするには、HSI16 オシレータを I2CCLK のクロックソースとして選択する必要があります。

STOP モード中、HSI16 はオフです。START が検出されると、I²C インタフェースは HSI16 をオンに切り替えて、HSI16 がウェイクアップするまで SCL ローをストレッチします。

HSI16 は、アドレス受信に使用されます。

アドレス一致の場合、I²C は、MCU のウェイクアップ時間の間、SCL ローをストレッチします。ストレッチは、ADDR フラグがソフトウェアによってクリアされたときにリリースされ、転送は通常通りに続行されます。

アドレスが一致しなかった場合、HSI16 は再びオフになり、MCU はウェイクアップしません。

注： I²C クロックがシステムクロックの場合、または WUPEN = 0 の場合、START 受信後も HSI16 はオンになりません。

ADDR 割込みによってのみ、MCU をウェイクアップできます。したがって、I²C がマスタとして、または ADDR フラグのセット後にアドレス指定されたスレーブとして転送を行っているときには、STOP モードに入らないでください。これを管理するには、ADDR 割込みルーチンで SLEEPDEEP ビットをクリアして、STOPF フラグのセット後にのみ再びオンにセットします。

注意： デジタルフィルタは、STOP モードからのウェイクアップ機能と互換性がありません。DNF ビットが 0 でない場合、WUPEN ビットをセットしても効果はありません。

注意： この機能は、I²C クロックソースが HSI16 オシレータのときのみ使用できます。

注意： STOP モードからのウェイクアップ機能の正しい動作を保証するには、クロックストレッチを有効にする必要があります (NOSTRETCH = 0)。

注意： STOP モードからのウェイクアップが無効な場合 (WUPEN = 0)、STOP モードに入る前に、I²C ペリフェラルが無効にする必要があります (PE = 0)。

34.4.16 エラー条件

以下のエラーは、通信エラーを引き起こす可能性のあるエラー条件です。

バスエラー (BERR)

バスエラーは、START または STOP コンディションが検出され、複数の 9 SCL クロックパルス後になかったときに検出されます。START または STOP コンディションは、SCL がハイとのときに SDA エッジが発生した場合に検出されます。

バスエラーフラグは、I²C がマスタまたはアドレス指定されたスレーブとして転送に関与する場合にのみ (すなわち、スレーブモードのアドレスフェーズでないとき)、セットされます。

スレーブモードで START または RESTART の誤配置が検出された場合、I²C は、正しい START コンディションの場合と同様に、アドレス認識状態に入ります。

バスエラーが検出されると、I2C_ISR レジスタの BERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

アービトレーション喪失 (ARLO)

アービトレーション喪失は、SDA ラインでハイレベルが送信されたが、SCL 立ち上がりエッジでローレベルがサンプリングされたときに検出されます。

- マスタモードでは、アービトレーション喪失は、アドレスフェーズ、データフェーズ、およびデータ確認応答フェーズで検出されます。この場合、SDA および SCL ラインはリリースされ、START 制御ビットがハードウェアによってクリアされ、マスタは自動的にスレーブモードに切り替わります。
- スレーブモードでは、アービトレーション喪失は、データフェーズとデータ確認応答フェーズで検出されます。この場合、転送は中止され、SCL および SDA ラインがリリースされます。

アービトレーション喪失が検出されると、I2C_ISR レジスタの ARLO フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

オーバーラン/アンダーランエラー (OVR)

オーバーランまたはアンダーランエラーは、スレーブモードで NOSTRETCH = 1 のとき、および次のときに検出されます：

- 受信時、新しいバイトが受信され、RXDR レジスタがまだ読み出されていないとき。新しい受信バイトは失われ、新しいバイトへの応答として NACK が自動的に送信されます。
- 送信時：
 - STOPF=1 のときには、最初のデータバイトが送信されなければなりません。TXE=0、0xFF の場合、I2C_TXDR レジスタの内容が送信され、そうでない場合は送信されません。
 - 新しいバイトが送信されるべきときに、I2C_TXDR レジスタがまだ書き込まれていなかった場合、0xFF が送信されます。

オーバーランまたはアンダーランエラーが検出されると、I2C_ISR レジスタの OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

パケットエラーチェックエラー (PECERR)

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

PEC エラーは、受信した PEC バイトが I2C_PECR レジスタの内容と一致しなかったときに検出されます。正しくない PEC の受信後、NACK が自動的に送信されます。

PEC エラーが検出されると、I2C_ISR レジスタの PECERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

タイムアウトエラー (TIMEOUT)

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

タイムアウトエラーは、次のような条件で発生します：

- TIDLE=0 であり、SCL が TIMEOUTA[11:0] ビットで定義された時間だけローのままであった場合：これは SMBus タイムアウトの検出に使用されます。
- TIDLE=1 であり、SDA および SCL が TIMEOUTA[11:0] ビットで定義された時間だけハイのままであった場合：これはバスアイドル状態の検出に使用されます。
- マスタ累積クロックロー延長時間が TIMEOUTB[11:0] ビットで定義された時間に達した場合 (SMBus $t_{LOW:MEXT}$ パラメータ)。
- スレーブ累積クロックロー延長時間が TIMEOUTB[11:0] ビットで定義された時間に達した場合 (SMBus $t_{LOW:SEXT}$ パラメータ)。

マスタモードでタイムアウト違反が検出されると、STOP コンディションが自動的に送信されます。
スレーブモードでタイムアウト違反が検出されると、SDA および SCL ラインが自動的にリリースされます。

タイムアウトエラーが検出されると、I2C_ISR レジスタの TIMEOUT フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

アラート (ALERT)

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。[セクション 34.3: I2C の実装](#)を参照してください。

ALERT フラグは、I²C インタフェースがホストとして設定され (SMBHEN=1)、アラートピン検出が有効であり (ALERTEN=1)、SMBA ピンで立ち下がリエッジが検出されたときにセットされます。I2C_CR1 レジスタの ERRIE ビットがセットされている場合は、割込みが生成されます。

34.4.17 DMA リクエスト

DMA を使用した送信

送信について DMA (Direct Memory Access) を有効にするには、I2C_CR1 レジスタの TXDMAEN ビットをセットします。TXIS ビットがセットされるたびに、データは、DMA ペリフェラル ([セクション 13: ダイレクトメモリアクセスコントローラ \(DMA\)](#) を参照) を使用して設定された SRAM 領域から I2C_TXDR レジスタにロードされます。

データのみが DMA で転送されます。

- マスタモード：初期化、スレーブアドレス、方向、バイト数、および START ビットはソフトウェアによってプログラムされます (送信されたスレーブアドレスを DMA で転送することはできません)。すべてのデータが DMA を使用して転送されるときには、START ビットをセットする前に、DMA を初期化する必要があります。転送の終了は、NBYTES カウンタによって管理されます。[マスタトランスミッタ](#)を参照してください。
- スレーブモードでは：
 - NOSTRETCH = 0 では、すべてのデータが DMA を使用して転送されるときには、アドレス一致イベントの前、または ADDR 割込みサブルーチンで、ADDR をクリアする前に DMA を初期化する必要があります。
 - NOSTRETCH = 1 では、アドレス一致イベントの前に DMA を初期化する必要があります。
- SMBus をサポートする場合：PEC 転送は NBYTES カウンタによって管理されます。[SMBus スレーブトランスミッタ](#)および [SMBus マスタトランスミッタ](#)を参照してください。

注： DMA が送信に使用される場合、TXIE ビットが有効である必要はありません。

DMA を使用した受信

受信について DMA (Direct Memory Access) を有効にするには、I2C_CR1 レジスタの RXDMAEN ビットをセットします。RXNE ビットがセットされているときには、データは、I2C_RXDR レジスタから DMA ペリフェラル (を参照) を使用して設定された SRAM 領域にロードされます。データのみ (PEC を含む) が DMA で転送されます。

- マスタモード、初期化、スレーブアドレス、方向、バイト数、および START ビットはソフトウェアによってプログラムされます。すべてのデータが DMA を使用して転送されるときには、START ビットをセットする前に、DMA を初期化する必要があります。転送の終了は、NBYTES カウンタによって管理されます。

- NOSTRETCH = 0 のスレーブモードでは、すべてのデータが DMA を使用して転送される時には、アドレス一致イベントの前、または ADDR 割込みサブルーチンで、ADDR をクリアする前に DMA を初期化する必要があります。
- SMBus がサポートされる場合（[セクション 34.3: I2C の実装](#)を参照）：PEC 転送は NBYTES カウンタによって管理されます。[SMBus スレーブレシーバ](#)および[SMBus マスタレシーバ](#)を参照してください。

注： DMA が受信に使用される場合、RXIE ビットが有効である必要はありません。

34.4.18 デバッグモード

マイクロコントローラがデバッグモードに入ると（コア停止）、DBG モジュールの DBG_I2Cx_ 設定ビットに応じて、SMBus タイムアウトは、通常の動作を続行するか、あるいは停止します。

34.5 I²C 低電力モード

表 236. 低電力モードが I²C に与える影響

モード	説明
SLEEP	影響はありません。I ² C 割込みによって、デバイスは SLEEP モードから復帰します。
STOP ⁽¹⁾	I ² C レジスタの内容は保たれます。 ⁽²⁾ WUPEN=1 かつ I ² C が内部オシレータ (HSI16) によってクロック供給されている場合：アドレス認識が機能します。I ² C アドレス一致条件によって、デバイスは STOP モードから復帰します。WUPEN = 0 の場合：STOP モードに入る前に I ² C を無効にする必要があります。
STANDBY	I ² C ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

1. 各インスタンスでサポートされる STOP モードについては、[セクション 34.3](#)を参照してください。特定の STOP モードからのウェイクアップがサポートされていない場合、この STOP モードに入る前に、インスタンスを無効にする必要があります。
2. STOP 2 モードでは、I2C3 レジスタの内容のみが保持されます。I2C1 および I2C2 インスタンスはパワーダウンされるので、STOP 2 モードの終了後に再初期化する必要があります。

34.6 I²C 割り込み

次の表に、I²C 割り込みリクエストの一覧を示します。

表 237. I²C 割り込みリクエスト

項目 (割り込みの略称)	割り込みイベント	イベント フラグ	有効制御 ビット	割り込みの クリア方法	SLEEP モードの 終了	Stop 0, Stop 1, Stop 2 モードの 終了	Standby, Shutdown モードの 終了		
I ² C	I2C_EV	受信バッファノット エンプティ	RXNE	RXIE	I2C_RXDR レジスタを 読み出す	可	不可	不可	
		送信バッファ割り込み ステータス	TXIS	TXIE	I2C_TXDR レジスタに 書き込む				
		STOP 検出割り込み フラグ	STOPF	STOPIE	STOPCF=1 を 書き込む				
		転送完了再ロード	TCR	TCIE	I2C_CR2 の NBYTES[7:0] に 0 以外 を書き込む				
		転送完了	TC		START=1 または STOP=1 を書き込む				
		アドレス一致	ADDR	ADDRIE	ADDRCF=1 を 書き込む				可 ⁽¹⁾
		NACK 受信	NACKF	NACKIE	NACKCF=1 を 書き込む				不可
	I2C_ER	バスエラー	BERR	ERRIE	BERRCF=1 を 書き込む	可	不可	不可	
		アービトレーション 喪失	ARLO		ARLOCF=1 を 書き込む				
		オーバーラン/ アンダーラン	OVR		OVRCF=1 を書き込む				
		PEC エラー	PECERR		PECERRCF=1 を 書き込む				
		タイムアウト/ t _{LOW} エラー	TIMEOUT		TIMEOUTCF=1 を 書き込む				
SMBus アラート		ALERT	ALERTCF=1 を 書き込む						

1. ADDR 一致イベントは、I²C インスタンスが STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。セクション 34.3: I2C の実装を参照してください。

34.7 I²C レジスタ

レジスタの説明で使用されている略語のリストについては、59 ページのセクション 1.2 を参照してください。

ペリフェラルレジスタは、ワード（32 ビット）単位でアクセスされます。

34.7.1 I²C 制御レジスタ 1 (I2C_CR1)

アドレス・オフセット：0x00

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]				ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE
rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **PECEN** : PEC 有効化

0 : PEC 計算は無効です。

1 : PEC 計算は有効です。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 22 **ALERTEN** : SMBus アラート有効

0 : SMBus アラートピン (SMBA) はホストモード (SMBHEN=1) でサポートされません。デバイスモード (SMBHEN=0) では、SMBA ピンが解放され、アラート応答アドレスヘッダが無効になります (0001100x の後には NACK が続きます)。

1 : SMBus アラートピンはホストモード (SMBHEN=1) でサポートされます。デバイスモード (SMBHEN=0) では、SMBA ピンがローに駆動され、アラート応答アドレスヘッダが有効になります (0001100x の後には ACK が続きます)。

注： ALERTEN=0 のときには、SMBA ピンを標準 GPIO として使用できます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 21 **SMBDEN** : SMBus デバイスデフォルトアドレス有効

0 : デバイスデフォルトアドレス無効。アドレス 0b1100001x は NACK されます。

1 : デバイスデフォルトアドレス有効。アドレス 0b1100001x は ACK されます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 20 **SMBHEN** : SMBus ホストアドレス有効

0 : ホストアドレス無効。アドレス 0b0001000x は NACK されます。

1 : ホストアドレス有効。アドレス 0b0001000x は ACK されます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 19 **GCEN** : 同報イネーブル

0 : 同報は無効です。アドレス 0b00000000 は NACK されます。

1 : 同報は有効です。アドレス 0b00000000 は ACK されます。

ビット 18 **WUPEN** : STOP モードからのウェイクアップ有効

0 : STOP モードからのウェイクアップ無効。

1 : STOP モードからのウェイクアップ有効。

注 : STOP モードからのウェイクアップ機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。[セクション 34.3: I²C の実装](#)を参照してください。

注 : WUPEN は、DNF = 0000 のときのみセットできます。

ビット 17 **NOSTRETCH** : クロックストレッチ無効

このビットは、スレーブモードでのクロックストレッチを無効にするために使用されます。マスタモードではクリアされたままでなければなりません。

0 : クロックストレッチ有効

1 : クロックストレッチ無効

注 : このビットは、I²C が無効 (PE = 0) のときのみプログラムできます。

ビット 16 **SBC** : スレーブバイト制御

このビットは、スレーブモードでのハードウェアバイト制御を有効にするために使用されます。

0 : スレーブバイト制御無効

1 : スレーブバイト制御有効

ビット 15 **RXDMAEN** : DMA 受信リクエスト有効

0 : DMA モードは受信に無効

1 : DMA モードは受信に有効

ビット 14 **TXDMAEN** : DMA 送信リクエスト有効

0 : DMA モードは送信に無効

1 : DMA モードは送信に有効

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **ANFOFF** : アナログノイズフィルタ OFF

0 : アナログノイズフィルタ有効

1 : アナログノイズフィルタ無効

注 : このビットは、I²C が無効 (PE = 0) のときのみプログラムできます。

ビット 11:8 **DNF[3:0]** : デジタルノイズフィルタ

これらのビットは、SDA および SCL 入力のデジタルノイズフィルタを設定するために使用されます。デジタルフィルタは、最大 DNF[3:0] * t_{12CCLK} の長さのスパイクを除去します。

0000 : デジタルフィルタ無効

0001 : デジタルフィルタは有効であり、最大 1 t_{12CCLK} の除去能力を持ちます。

.....

1111 : デジタルフィルタは有効であり、最大 15 t_{12CCLK} の除去能力を持ちます。

注 : アナログフィルタも有効化した場合、デジタルフィルタがアナログフィルタに追加されます。

このフィルタは、I²C が無効 (PE = 0) のときのみプログラムできます。

ビット7 **ERRIE** : エラー割込み有効

0 : エラー検出割込み無効

1 : エラー検出割込み有効

注 : 次のようなエラーが発生すると、割込みが生成されます :

アービトレーション喪失 (ARLO)

バスエラー検出 (BERR)

オーバーラン/アンダーラン (OVR)

タイムアウト検出 (TIMEOUT)

PEC エラー検出 (PECERR)

アラートピンイベント検出 (ALERT)

ビット6 **TCIE** : 転送完了割込み有効

0 : 転送完了割込み無効

1 : 転送完了割込み有効

注 : 次のようなイベントが発生すると、割込みが生成されます :

転送完了 (TC)

転送完了再ロード (TCR)

ビット5 **STOPIE** : STOP 検出割込み有効

0 : STOP 検出 (STOPF) 割込み無効

1 : STOP 検出 (STOPF) 割込み有効

ビット4 **NACKIE** : 非確認応答受信割込み有効

0 : 非確認応答 (NACKF) 受信割込み無効

1 : 非確認応答 (NACKF) 受信割込み有効

ビット3 **ADDRIE** : アドレス一致割込み有効 (スレーブのみ)

0 : アドレス一致 (ADDR) 割込み無効

1 : アドレス一致 (ADDR) 割込み有効

ビット2 **RXIE** : RX 割込み有効

0 : 受信 (RXNE) 割込み無効

1 : 受信 (RXNE) 割込み有効

ビット1 **TXIE** : TX 割込み有効

0 : 送信 (TXIS) 割込み無効

1 : 送信 (TXIS) 割込み有効

ビット0 **PE** : ペリフェラルは有効です。

0 : ペリフェラルは無効です。

1 : ペリフェラルは有効です。

注 : PE=0 のとき、I²C SCL および SDA ラインはリリースされます。内部ステートマシンおよびステータスビットはリセット値に戻されます。クリアされたときには、PE は少なくとも 3 APB クロックサイクルの間、ローに保たれる必要があります。

34.7.2 I²C 制御レジスタ 2 (I2C_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

アクセス : このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	PEC BYTE	AUTO END	RE LOAD	NBYTES[7:0]							
					rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NACK	STOP	START	HEAD10 R	ADD10	RD_ WRN	SADD[9:0]									
rs	rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **PECBYTE** : パケットエラーチェックバイト

このビットはソフトウェアによってセットされ、PEC が転送されたとき、または STOP コンディションあるいはアドレス一致を受信したとき、また、PE = 0 のとき、ハードウェアによってクリアされます。

0 : PEC 転送なし。

1 : PEC 送信/受信がリクエストされます。

注 : このビットに 0 を書き込んでも、効果はありません。

このビットは、RELOAD がセットされているときには効果がありません。

このビットは、SBC=0 のとき、スレーブモードでは効果がありません。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。[セクション 34.3: I2C の実装](#)を参照してください。

ビット 25 **AUTOEND** : 自動終了モード (マスタモード)

このビットは、ソフトウェアによってセット/クリアされます。

0 : ソフトウェア終了モード : NBYTES データが転送されると TC フラグがセットされ、SCL ローをストレッチします。

1 : 自動終了モード : NBYTES データが転送されると、STOP コンディションが自動的に送信されます。

注 : このビットは、スレーブモードまたは RELOAD ビットがセットされているときには効果がありません。

ビット 24 **RELOAD** : NBYTES 再ロードモード

このビットは、ソフトウェアによってセット/クリアされます。

0 : 転送は、NBYTES データの転送後、完了します (STOP または RESTART が続きます)。

1 : 転送は、NBYTES データの転送後に完了しません (NBYTES が再ロードされます)。NBYTES データが転送されると TCR フラグがセットされ、SCL ローをストレッチします。

ビット 23:16 **NBYTES[7:0]** : バイト数

送受信されるバイト数は、ここでプログラムされます。このフィールドは、SBC=0 のスレーブモードでは効果がありません。

注 : START ビットがセットされているときに、これらのビットを変更することはできません。

ビット 15 **NACK** : NACK 生成 (スレーブモード)

このビットはソフトウェアによってセットされ、NACK が送信されたとき、または STOP コンディションあるいはアドレス一致を受信したとき、または PE = 0 のとき、ハードウェアによってクリアされます。

0 : 現在の受信バイト後に ACK が送信されます。

1 : 現在の受信バイト後に NACK が送信されます。

注 : このビットに 0 を書き込んでも、効果はありません。

このビットは、スレーブモードでのみ使用されます : マスタレシーバモードでは、NACK ビットの値にかかわらず、STOP または RESTART コンディション前の最後のバイト後に NACK が自動的に生成されます。

スレーブレシーバ NOSTRETCH モードでオーバーランが発生すると、NACK ビットの値にかかわらず、NACK が自動的に生成されます。

ハードウェア PEC チェックが有効なとき (PECBYTE=1)、PEC 確認応答値は NACK 値に依存しません。

ビット 14 **STOP** : STOP 生成 (マスタモード)

このビットはソフトウェアによってセットされ、STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。

マスタモードの場合 :

0 : STOP 生成なし。

1 : 現在のバイト転送後の STOP 生成。

注 : このビットに 0 を書き込んでも、効果はありません。

ビット 13 **START** : START 生成

このビットはソフトウェアによってセットされ、START とアドレスシーケンスが送信された後、アービトラージ喪失によって、スレーブモードでのアドレス一致によって、タイムアウトエラー検出によって、または PE = 0 のときに、ハードウェアによってクリアされます。

0 : START 生成なし。

1 : RESTART/START 生成 :

I²C がすでにマスタモードであり、AUTOEND = 0 の場合、このビットをセットすると、RELOAD=0 のとき、NBYTES 転送の終了後に REPEATED START コンディションが生成されます。

そうでない場合、バスがフリーになると、このビットをセットすることで START コンディションが生成されます。

注 : このビットに 0 を書き込んでも、効果はありません。

バスが BUSY の場合、または I²C がスレーブモードの場合でも、START ビットをセットできます。

このビットは、RELOAD がセットされているときには効果がありません。

ビット 12 **HEAD10R** : 読出し方向のみの 10 ビットアドレスヘッダ (マスタレシーバモード)

0 : マスタは完全な 10 ビットスレーブアドレス読出しシーケンスを送信します : START + 2 バイトの書込み方向の 10 ビットアドレス + RESTART + 読出し方向の 10 ビットアドレスの最初の 7 ビット。

1 : マスタは 10 ビットアドレスの最初の 7 ビットのみを送信し、その後に読出し方向を送信します。

注 : START ビットがセットされているときに、このビットを変更することはできません。

ビット 11 **ADD10** : 10 ビットアドレッシングモード (マスタモード)

0 : マスタは 7 ビットアドレッシングモードで動作します。

1 : マスタは 10 ビットアドレッシングモードで動作します。

注 : START ビットがセットされているときに、このビットを変更することはできません。

ビット 10 **RD_WRN** : 転送方向 (マスタモード)

0 : マスタは書込み転送をリクエストします。

1 : マスタは読出し転送をリクエストします。

注 : START ビットがセットされているときに、このビットを変更することはできません。

ビット 9:0 **SADD[9:0]** : スレーブアドレス (マスタモード)

7 ビットアドレッシングモード (ADD10=0) :

SADD[7:1] には、送信される 7 ビットのスレーブアドレスを書き込みます。SADD[9]、SADD[8]、および SADD[0] ビットは無視されます。

10 ビットアドレッシングモード (ADD10=1) :

SADD[9:0] には、送信される 10 ビットのスレーブアドレスを書き込みます。

注 : START ビットがセットされているときに、これらのビットを変更することはできません。

34.7.3 I²C Own Address 1 レジスタ (I2C_OAR1)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

アクセス : このレジスタへの書き込みアクセスが進行中のときに書き込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書き込みアクセスが完了するまで、2 番目の書き込みアクセスにウェイト状態が挿入されます。2 番目の書き込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA1EN	Res.	Res.	Res.	Res.	OA1 MODE	OA1 [9:0]									
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OA1EN** : Own Address 1 有効

0 : Own Address 1 は無効です。受信されたスレーブアドレス OA1 は NACK されます。

1 : Own Address 1 は有効です。受信されたスレーブアドレス OA1 は ACK されます。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **OA1MODE** : Own Address 1 10 ビットモード

0 : Own Address 1 は 7 ビットアドレスです。

1 : Own Address 1 は 10 ビットアドレスです。

注 : このビットは、OA1EN=0 のときのみ書き込むことができます。

ビット 9:0 **OA1[9:0]** : インタフェース専用スレーブアドレス

7 ビットアドレスモード : OA1[7:1] には 7 ビットの専用スレーブアドレスが含まれます。OA1[9]、OA1[8]、および OA1[0] ビットは無視されます。

10 ビットアドレスモード : OA1[9:0] には 10 ビットの専用スレーブアドレスが含まれます。

注 : これらのビットは、OA1EN=0 のときのみ書き込むことができます。

34.7.4 I²C Own Address 2 レジスタ (I2C_OAR2)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

アクセス : このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA2EN	Res.	Res.	Res.	Res.	OA2MSK [2:0]			OA2 [7:1]							Res.
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OA2EN** : Own Address 2 有効

0 : Own Address 2 は無効です。受信されたスレーブアドレス OA2 は NACK されます。

1 : Own Address 2 は有効です。受信されたスレーブアドレス OA2 は ACK されます。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **OA2MSK[2:0]** : Own Address 2 マスク

000 : マスクなし。

001 : OA2[1] はマスクされ、無視されます。OA2[7:2] のみ比較されます。

010 : OA2[2:1] はマスクされ、無視されます。OA2[7:3] のみ比較されます。

011 : OA2[3:1] はマスクされ、無視されます。OA2[7:4] のみ比較されます。

100 : OA2[4:1] はマスクされ、無視されます。OA2[7:5] のみ比較されます。

101 : OA2[5:1] はマスクされ、無視されます。OA2[7:6] のみ比較されます。

110 : OA2[6:1] はマスクされ、無視されます。OA2[7] のみ比較されます。

111 : OA2[7:1] はマスクされ、無視されます。比較は行われず、すべての（予約済みを除く）7 ビット受信アドレスが確認応答されます。

注 : これらのビットは、OA2EN=0 のときのみ書き込むことができます。

OA2MSK が 0 でなくなると、予約済み I²C アドレス (0b0000xxx および 0b1111xxx) は、比較が一致した場合でも確認応答されません。

ビット 7:1 **OA2[7:1]** : インタフェースアドレス

7 ビットアドレスモード : 7 ビットアドレス

注 : これらのビットは、OA2EN=0 のときのみ書き込むことができます。

ビット 0 予約済みであり、リセット値に保持する必要があります。

34.7.5 I²C タイミングレジスタ (I2C_TIMINGR)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRESC[3:0]				Res.	Res.	Res.	Res.	SCLDEL[3:0]				SDADEL[3:0]			
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLH[7:0]								SCLL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **PRESC[3:0]** : タイミングプリスケアラ

このフィールドは、データのセットアップおよびホールドカウンタ（[1056 ページのI2C のタイミング](#)を参照）と SCL ハイおよびローレベルカウンタ（[1071 ページのI2C マスタ初期化](#)を参照）に使用されるクロック周期 t_{PRESC} を生成して、I2CCLK をプリスケールするために使用されます。

$$t_{PRESC} = (PRESC+1) \times t_{I2CCLK}$$

ビット 27:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **SCLDEL[3:0]** : データセットアップ時間

このフィールドは、SDA エッジと SCL 立ち上がりエッジの間に遅延 t_{SCLDEL} を生成するために使用されます。NOSTRETCH = 0 でのマスタモードおよびスレーブモードでは、SCL ラインは、 t_{SCLDEL} の間ローにストレッチされます。

$$t_{SCLDEL} = (SCLDEL+1) \times t_{PRESC}$$

注 : t_{SCLDEL} は、 $t_{SU:DAT}$ タイミングを生成するために使用されます。

ビット 19:16 **SDADEL[3:0]** : データホールド時間

このフィールドは、SCL 立ち下がりエッジと SDA エッジの間に遅延 t_{SDADEL} を生成するために使用されます。NOSTRETCH = 0 でのマスタモードおよびスレーブモードでは、SCL ラインは、 t_{SDADEL} の間ローにストレッチされます。

$$t_{SDADEL} = SDADEL \times t_{PRESC}$$

注 : t_{SDADEL} は、 $t_{HD:DAT}$ タイミングを生成するために使用されます。

ビット 15:8 **SCLH[7:0]** : SCL ハイ周期（マスタモード）

このフィールドは、マスタモードで SCL ハイ周期を生成するために使用されます。

$$t_{SCLH} = (SCLH+1) \times t_{PRESC}$$

注 : t_{SCLH} は、 $t_{SU:STO}$ および $t_{HD:STA}$ タイミングを生成するためにも使用されます。

ビット 7:0 **SCLL[7:0]** : SCL ロー周期（マスタモード）

このフィールドは、マスタモードで SCL ロー周期を生成するために使用されます。

$$t_{SCLL} = (SCLL+1) \times t_{PRESC}$$

注 : t_{SCLL} は、 t_{BUF} および $t_{SU:STA}$ タイミングを生成するためにも使用されます。

注 : このレジスタは、I²C が無効 (PE=0) のときに設定する必要があります。

注 : STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

34.7.6 I²C タイムアウトレジスタ (I2C_TIMEOUTR)

アドレス・オフセット : 0x14

リセット値 : 0x0000 0000

アクセス : このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 $2 \times PCLK1 + 6 \times I2CCLK$ です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TEXTEN	Res.	Res.	Res.	TIMEOUTB[11:0]											
r/w				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMOUTEN	Res.	Res.	TIDLE	TIMEOUTA[11:0]											
r/w			r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **TEXTEN** : 拡張クロックタイムアウト有効

0 : 拡張クロックタイムアウト検出は無効です。

1 : 拡張クロックタイムアウト検出は有効です。 $t_{LOW:EXT}$ を超える累積 SCL ストレッチが I²C インタフェースによって行われると、タイムアウトエラーが検出されます (TIMEOUT=1)。

ビット 30:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **TIMEOUTB[11:0]** : バスタイムアウト B

このフィールドは、累積クロック拡張タイムアウトを設定するために使用されます :

マスタモードでは、マスタ累積クロックロー拡張時間 ($t_{LOW:MEXT}$) が検出されます。

スレーブモードでは、スレーブ累積クロックロー拡張時間 ($t_{LOW:SEXT}$) が検出されます。

$$t_{LOW:EXT} = (TIMEOUTB+1) \times 2048 \times t_{I2CCLK}$$

注 : これらのビットは、**TEXTEN=0** のときのみ書き込むことができます。

ビット 15 **TIMOUTEN** : クロックタイムアウト有効

0 : SCL タイムアウト検出は無効です。

1 : SCL タイムアウト検出は有効です。SCL が $t_{TIMEOUT}$ (TIDLE=0) を超えてローであるか、 t_{IDLE} (TIDLE=1) を超えてハイであった場合、タイムアウトエラーが検出されます (TIMEOUT=1)。

ビット 14:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **TIDLE** : アイドルクロックタイムアウト検出

0 : TIMEOUTA は、SCL ロータイムアウトの検出に使用されます。

1 : TIMEOUTA は、SCL と SDA の両方のハイタイムアウト (バスアイドル条件) の検出に使用されます。

注 : このビットは、**TIMOUTEN=0** のときのみ書き込むことができます。

ビット 11:0 **TIMEOUTA[11:0]** : バスタイムアウト A

このフィールドは、以下を設定するために使用されます :

TIDLE=0 のときの SCL ロータイムアウト条件 $t_{TIMEOUT}$

$$t_{TIMEOUT} = (TIMEOUTA+1) \times 2048 \times t_{I2CCLK}$$

TIDLE=1 のときのバスアイドル条件 (SCL と SDA の両方のハイ)

$$t_{IDLE} = (TIMEOUTA+1) \times 4 \times t_{I2CCLK}$$

注 : これらのビットは、**TIMOUTEN=0** のときのみ書き込むことができます。

注 : SMBus 機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって強制的に 0x00000000 に設定されます。 [セクション 34.3: I2C の実装](#) を参照してください。

34.7.7 I²C 割込みおよびステータスレジスタ (I2C_ISR)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0001

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDCODE[6:0]						DIR	
								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	Res.	ALERT	TIME OUT	PEC ERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE
r		r	r	r	r	r	r	r	r	r	r	r	r	rs	rs

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 **ADDCODE[6:0]** : アドレス一致コード (スレーブモード)

これらのビットは、アドレス一致イベントが発生したときに (ADDR = 1)、受信したアドレスで更新されます。

10 ビットアドレスの場合、ADDCODE は 10 ビットのヘッダとその後のアドレスの 2 つの MSB を示します。

ビット 16 **DIR** : 転送方向 (スレーブモード)

このフラグは、アドレス一致イベントが発生したときに (ADDR = 1)、更新されます。

0 : 書込み転送、スレーブはレシーバモードになります。

1 : 読出し転送、スレーブはトランスミッタモードになります。

ビット 15 **BUSY** : バスビジー

このフラグは、バスで通信が進行中であることを示します。START コンディションが検出されたときに、ハードウェアによってセットされます。STOP コンディションが検出されたとき、または PE = 0 のときにハードウェアによってクリアされます。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ALERT** : SMBus アラート

このフラグは、SMBHEN=1 (SMBus ホスト設定)、ALERTEN=1、および SMBALERT イベント (立ち下がりエッジ) が SMBA ピンで検出されたときに、ハードウェアによってセットされます。ALERTCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注 : このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 12 **TIMEOUT** : タイムアウトまたは t_{LOW} 検出フラグ

このフラグは、タイムアウトまたは拡張クロックタイムアウトが発生したときに、ハードウェアによってセットされます。TIMEOUTCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注 : このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 11 **PECERR** : 受信時の PEC エラー

このフラグは、受信した PEC が PEC レジスタの内容に一致しないときに、ハードウェアによってセットされます。正しくない PEC の受信後、NACK が自動的に送信されます。PECCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 10 **OVR** : オーバーラン/アンダーラン (スレーブモード)

このフラグは、NOSTRETCH = 1 のスレーブモードで、オーバーラン/アンダーランエラーが発生したときに、ハードウェアによってセットされます。OVRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 9 **ARLO** : アービトレーション喪失

このフラグは、アービトレーション喪失の場合に、ハードウェアによってセットされます。ARLOCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 8 **BERR** : バスエラー

このフラグは、ペリフェラルが転送に関与しているため、START または STOP コンディションの誤配置が検出されたときに、ハードウェアによってセットされます。このフラグは、スレーブモードのアドレスフェーズではセットされません。BERRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 7 **TCR** : 転送完了再ロード

このフラグは、RELOAD=1 および NBYTES データが転送されたときに、ハードウェアによってセットされます。NBYTES にゼロ以外の値が書き込まれたときにソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

このフラグは、マスタモード、または SBC ビットがセットされているときのスレーブモードでのみ使用されます。

ビット 6 **TC** : 転送完了 (マスタモード)

このフラグは、RELOAD=0、AUTOEND=0、および NBYTES データが転送されたときに、ハードウェアによってセットされます。START ビットまたは STOP ビットがセットされたときに、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 5 **STOPF** : STOP 検出フラグ

このフラグは、バス上で STOP コンディションが検出され、ペリフェラルがこの転送に関与しているときに、ハードウェアによってセットされます：

- マスタとして。ただし、STOP コンディションがペリフェラルによって生成される場合。
- または、スレーブとして。ただし、ペリフェラルがこの転送中にアドレス指定されていた場合。

STOPCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 4 **NACKF** : 非確認応答受信フラグ

このフラグは、バイト送信後に NACK を受信したときに、ハードウェアによってセットされます。NACKCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 3 **ADDR** : アドレス一致 (スレーブモード)

このビットは、受信したスレーブアドレスが有効なスレーブアドレスの 1 つに一致したときに、ハードウェアによってセットされます。ADDRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 2 **RXNE** : 受信データレジスタノットエンプティ (レシーバ)

このビットは、受信データが I2C_RXDR レジスタにコピーされ、読み出す準備ができたときに、ハードウェアによってセットされます。I2C_RXDR が読み出されたときにクリアされます。

注 : このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 1 **TXIS** : 送信割込みステータス (トランスミッタ)

このビットは、I2C_TXDR レジスタが空であり、送信データを I2C_TXDR レジスタに書き込む必要があるときに、ハードウェアによってセットされます。次の送信データが I2C_TXDR レジスタに書き込まれたときにクリアされます。

このビットは、NOSTRETCH = 1 のときのみ、ソフトウェアによって 1 を書き込んで、TXIS イベントを生成することができます (TXIE=1 の場合に割込み、または TXDMAEN = 1 の場合に DMA リクエスト)。

注 : このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 0 **TXE** : 送信データレジスタエンプティ (トランスミッタ)

このビットは、I2C_TXDR レジスタが空のときに、ハードウェアによってセットされます。次の送信データが I2C_TXDR レジスタに書き込まれたときにクリアされます。

このビットは、ソフトウェアによって 1 を書き込んで、送信データレジスタ I2C_TXDR を Flash できます。

注 : このビットは、PE = 0 のとき、ハードウェアによってセットされます。

34.7.8 I²C 割込みクリアレジスタ (I2C_ICR)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 0000

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ALERTCF	TIMOUTCF	PECCF	OVRDCF	ARLOCF	BERRCF	Res.	Res.	STOPCF	NACKCF	ADDRCF	Res.	Res.	Res.
		w	w	w	w	w	w			w	w	w			

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ALERTCF** : アラートフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの ALERT フラグがクリアされます。

注 : SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 12 **TIMOUTCF** : タイムアウト検出フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの TIMEOUT フラグがクリアされます。

注 : SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 11 **PECCF** : PEC エラーフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの PECERR フラグがクリアされます。

注 : SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 34.3: I2C の実装を参照してください。

ビット 10 **OVRDCF** : オーバーラン/アンダーランフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの OVR フラグがクリアされます。

ビット 9 **ARLOCF** : アービトレーション喪失フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの ARLO フラグがクリアされます。

ビット 8 **BERRCF** : バスエラーフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの BERRF フラグがクリアされます。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **STOPCF** : STOP 検出フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの STOPF フラグがクリアされます。

ビット 4 **NACKCF** : 非確認応答フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの NACKF フラグがクリアされます。

ビット 3 **ADDRCF** : アドレス一致フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの ADDR フラグがクリアされます。このビットに 1 を書き込むと、I2C_CR2 レジスタの START ビットもクリアされます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

34.7.9 I²C PEC レジスタ (I2C_PECR)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PEC[7:0]** : パケットエラーチェックレジスタ

PECEN=1 のとき、このフィールドは内部 PEC を含みます。

PEC は、PE = 0 のとき、ハードウェアによってクリアされます。

注 : **SMBus 機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって強制的に 0x00000000 に設定されます。セクション 34.3: I2C の実装を参照してください。**

34.7.10 I²C 受信データレジスタ (I2C_RXDR)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **RXDATA[7:0]** : 8 ビットの受信データ
I²C バスから受信したデータバイト。

34.7.11 I²C 送信データレジスタ (I2C_TXDR)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

アクセス : ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TXDATA[7:0]** : 8 ビットの送信データ
I²C バスに送信されるデータバイト。

注 : これらのビットは、TXE = 1 のときのみ書き込むことができます。

34.7.12 I²C レジスタマップ

次の表に、I²C のレジスタマップとリセット値を示します。

表 238. I²C レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x0	I2C_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]			ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE		
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x4	I2C_CR2	Res.	Res.	Res.	Res.	Res.	PECBYTE	AUTOEND	RELOAD	NBYTES[7:0]							NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]											
	リセット値						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x8	I2C_OAR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA1EN	Res.	Res.	Res.	Res.	Res.	OA1MODE	OA1 [9:0]										
	リセット値																0						0	0	0	0	0	0	0	0	0	0		
0xC	I2C_OAR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA2EN	Res.	Res.	Res.	Res.	Res.	OA2MSK [2:0]	OA2 [7:1]					Res.					
	リセット値																0						0	0	0	0	0	0	0	0	0	0		
0x10	I2C_TIMINGR	PRESC[3:0]			Res.	Res.	Res.	Res.	Res.	SCLDEL [3:0]	SDADEL [3:0]	SCLH[7:0]					SCLL[7:0]																	
	リセット値	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x14	I2C_TIMEOUTR	TEXTEN	Res.	Res.	Res.	Res.	TIMEOUTB[11:0]										TIMOUTEN	Res.	Res.	TITLE	TIMEOUTA[11:0]													
	リセット値	0					0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0		
0x18	I2C_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDPCODE[6:0]						DIR	BUSY	Res.	ALERT	TIMEOUT	PECERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE		
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
0x1C	I2C_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ALERTCF	TIMOUTCF	PECCF	OVRCF	ARLOCF	BERRCF	Res.	Res.	STOPCF	NACKCF	ADDRCF	Res.	Res.	Res.
	リセット値																				0	0	0	0	0	0			0	0	0			
0x20	I2C_PECR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]								
	リセット値																									0	0	0	0	0	0	0	0	
0x24	I2C_RXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]								
	リセット値																									0	0	0	0	0	0	0	0	
0x28	I2C_TXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]								
	リセット値																									0	0	0	0	0	0	0	0	

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

35 ユニバーサル同期／非同期レシーバトランスミッタ (USART/UART)

このセクションでは、ユニバーサル同期非同期レシーバトランスミッタ (USART) について説明します。

35.1 USART の概要

USART を使用すると、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟性の高い全二重データ交換を行うことができます。フラクショナルボーレートジェネレータによって、非常に広範囲のボーレートが達成できます。

USART は同期式単方向通信と半二重単線通信の両方のほか、LIN (Local Interconnection Network)、スマートカードプロトコル、IrDA (infrared data association) SIR ENDEC 仕様、およびモデム動作 (CTS/RTS) もサポートします。マルチプロセッサ通信もサポートされています。

マルチバッファ設定で DMA (直接メモリアクセス) を使用することによって、ハイスピードデータ通信が可能です。

35.2 USART の主な機能

- 全二重非同期通信
- NRZ 標準フォーマット (マーク／スペース)
- 16 倍または 8 倍に設定可能なオーバーサンプリング方式によって、速度とクロック誤差の間の最適な調整を達成
- ボーレートジェネレータシステム
- データ送信および受信用の 2 つの内部 FIFO
各 FIFO はソフトウェアで有効／無効にすることができ、ステータスフラグを装備
- 共通にプログラム可能な送信および受信ボーレート
- PCLK から独立したペリフェラル専用のカーネルクロックによるデュアルクロックドメイン
- 自動ボーレート検出
- プログラム可能なデータワード長 (7 または 8 または 9 ビット)
- データ順序をプログラム可能 (MSB ファースト／LSB ファーストのシフト)
- 設定可能なストップビット (1 または 2 個のストップビット)
- 同期通信のための同期マスタ／スレーブモードとクロック出力／入力
- SPI スレーブ送信アンダーランエラーフラグ
- 単線半二重通信
- DMA を使用した連続通信
- 送受信バイトは集中型 DMA を使用して予約済み SRAM にバッファ
- トランスミッタとレシーバ用に個別の有効ビット
- 送信と受信の信号極性を個別に制御
- スワップ可能な Tx/Rx ピン設定
- モデムと RS-485 トランシーバのハードウェアフロー制御
- 通信制御／エラー検出フラグ
- パリティ制御：
 - パリティビットの送信
 - 受信したデータバイトのパリティ検査
- フラグ付き割込みソース
- マルチプロセッサ通信: アイドルライン検出またはアドレスマーク検出によるミュートモードからのウェイクアップ
- STOP モードからのウェイクアップ

35.3 USART の拡張機能

- LIN マスタの同期ブ레이크送信機能と LIN スレーブのブ레이크検出機能
 - USART が LIN 用にハードウェア設定されている場合、13 ビットのブ레이크生成と 10/11 ビットのブ레이크検出
- 通常モードで 3/16 ビット期間をサポートする IrDA SIR エンコーダデコーダ
- スマートカードモード
 - ISO/IEC 7816-3 規格で定義されているスマートカードの T=0 および T=1 非同期プロトコルをサポート
 - スマートカード動作用に 0.5 個および 1.5 個のストップビット
- Modbus 通信のサポート
 - タイムアウト機能
 - CR/LF キャラクタ認識

35.4 USART の実装

次の表に、STM32WL5x デバイスでの USART 実装を示します。比較のため、表には LPUART も含めています。

表 239. USART/LPUART の機能

USART/LPUART のモード/機能 ⁽¹⁾	USART1/2	LPUART1
モデムのハードウェアフロー制御	X	X
DMA を使用した連続通信	X	X
マルチプロセッサ通信	X	X
同期モード (マスタ/スレーブ)	X	-
スマートカードモード	X	-
単線半二重通信	X	X
Ir SIR ENDEC ブロック	X	-
LIN モード	X	-
デュアルクロックドメインと低消費電力モードからのウェイクアップ	X	X
レシーバタイムアウト割込み	X	-
Modbus 通信	X	-
自動ボーレート検出	X	-
ドライバイネーブル	X	X
USART データ長	7、8、および 9 ビット	
Tx/Rx FIFO	X	X
Tx/Rx FIFO サイズ	8	
STOP モードからのウェイクアップ	X ⁽²⁾	X ⁽³⁾

1. X : サポートされています。
2. STOP 0 および STOP 1 モードからのウェイクアップをサポート。
3. STOP 0、STOP 1 および STOP 2 モードからのウェイクアップをサポート。

35.5 USART の機能説明

35.5.1 USART ブロック図

図 306. USART ブロック図

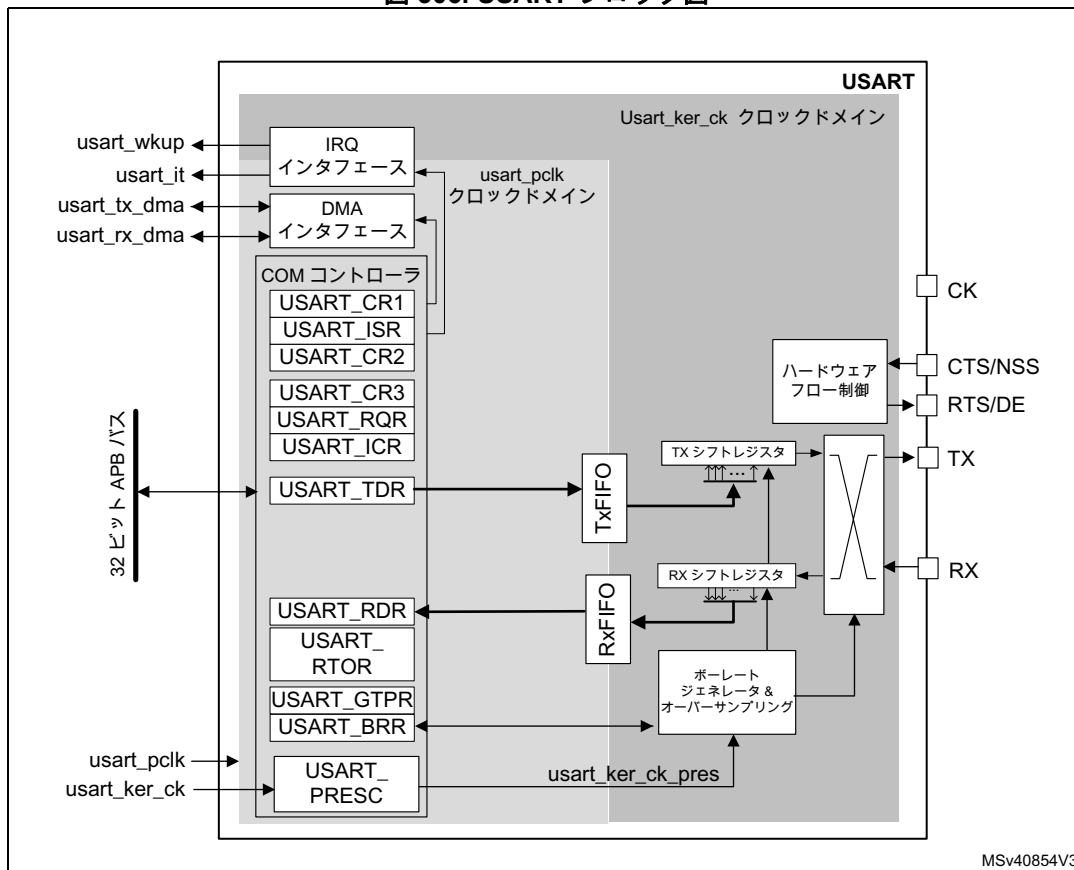


図 306 に示した簡易ブロック図には、以下の完全に独立した2つのクロックドメインが示されています。

- usart_pclk クロックドメイン**
usart_pclk クロック信号はペリフェラルバスインタフェースにクロック供給します。USART レジスタへアクセスが必要なとき、アクティブになっていなければなりません。
- usart_ker_ck カーネルクロックドメイン**
usart_ker_ck は USART クロックソースです。usart_pclk とは独立で、RCC によって供給されます。したがって、usart_ker_ck クロックが停止しているときでも、USART レジスタは読み書きできます。
 デュアルクロックドメイン機能が無効になっているときは、usart_ker_ck クロックは usart_pclk クロックと同じになります。

usart_pclk と usart_ker_ck の間には何の制約もありません。usart_ker_ck は usart_pclk より速くすることも遅くすることもできます。唯一の限界は、十分に速く通信を管理できるソフトウェアの能力です。

USART が SPI スレーブモードで動作するときは、USART は、外部マスタ SPI デバイスによって提供される外部 CK 信号から導き出されるシリアルインタフェースクロックを使用してデータフローを処理します。usart_ker_ck クロックは CK 入力のクロックより少なくとも 3 倍は速くなければなりません。

35.5.2 USART 信号

USART 双方向通信

USART の双方向通信には、少なくとも 2 本のピンが必要です。すなわち、受信データ入力 (RX) と送信データ出力 (TX) です。

- **RX** (受信データ入力)
RX はシリアルデータ入力です。データ復旧にはオーバーサンプリング技術が使用されています。それによって、有効な入力データとノイズを区別しています。
- **TX** (送信データ出力)
トランスミッタが無効なときは、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効で、データを送信する必要がないとき、TX ピンはハイになります。単線およびスマートカードモードでは、この I/O はデータの送受信に使用されます。

RS232 ハードウェアフロー制御モード

RS232 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **CTS** (Clear To Send)
ハイレベルのとき、この信号は現在の転送の終わりにデータ送信をブロックします。
- **RTS** (Request To Send)
ローレベルのとき、この信号は USART がデータを受信する準備ができたことを示します。

RS485 ハードウェア制御モード

RS485 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **DE** (Driver Enable)
この信号は、外部トランシーバの送信モードを有効にします。

注： DE と RTS は同じピンを共有します。

同期マスタ／スレーブモードおよびスマートカードモード

同期マスタ／スレーブモードおよびスマートカードモードでは、以下のピンが必要です。

- **CK**
このピンは同期マスタモードおよびスマートカードモードで、クロック出力として機能します。同期スレーブモードでは、クロック入力として機能します。
同期マスタモードでは、このピンは、SPI マスタモードに対応する同期送信用のトランスミッタデータクロックを出力します (スタートビットとストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します)。これと並行して、RX ピンでデータを同期受信できます。このメカニズムを使用して、シフトレジスタを持つペリフェラル (例：LCD ドライバ) を制御できます。クロックの位相と極性は、ソフトウェアでプログラム可能です。
スマートカードモードでは、CK 出力はスマートカードにクロックを供給します。
- **NSS**
このピンは、同期スレーブモードでスレーブ選択入力として機能します。

注： NSS と CTS は同じピンを共有します。

35.5.3 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビット (M0 : ビット 12 および M1 : ビット 28) をプログラムすることによって、7、8、または 9 ビットに設定できます (図 307 を参照)。

- 7 ビットのキャラクタ長 : M[1:0] = "10"
- 8 ビットのキャラクタ長 : M[1:0] = "00"
- 9 ビットのキャラクタ長 : M[1:0] = "01"

注 : 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート (0x7F および 0x55 フレーム検出) はサポートされません。

デフォルトでは、信号 (TX または RX) はスタートビットの処理中ではロー状態です。また、ストップビットの処理中にはハイ状態です。

これらの値は、極性設定制御により、各信号について個別に反転できます。

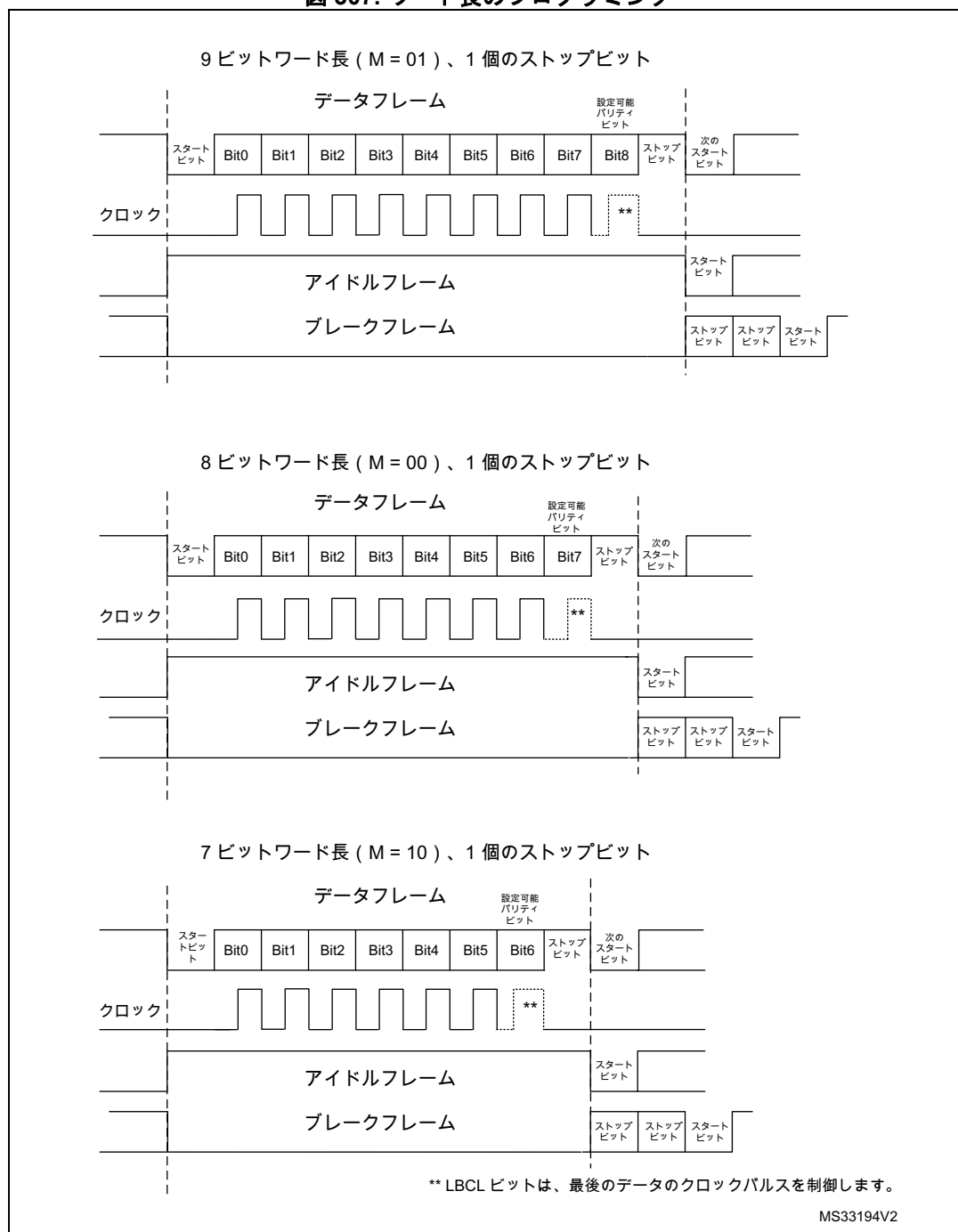
アイドルキャラクタは、すべてが「1」のフレームとして解釈されます (「1」の数にはストップビットの数が含まれます)。

ブ레이크キャラクタは、フレーム周期中に「0」を受信することと解釈されます。ブ레이크フレームの終了時、トランスミッタは 2 個のストップビットを挿入します。

送信と受信は共通ボーレートジェネレータによって駆動されます。送信および受信クロックは、トランスミッタとレシーバの有効ビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 307. ワード長のプログラミング



35.5.4 USART の FIFO と閾値

USART は FIFO モードで動作できます。

USART は送信 FIFO (TXFIFO) と受信 FIFO (RXFIFO) を備えています。FIFO モードは、USART_CR1 レジスタの FIFOEN (ビット 29) をセットすることによって有効になります。このモードは、UART、SPI、およびスマートカードモードでのみ、サポートされます。

最大のデータワード長が 9 ビットなので、TXFIFO は 9 ビット幅です。しかし、RXFIFO のデフォルト幅は 12 ビットです。この理由は、レシーバは FIFO にデータを格納するだけでなく、各キャラクタに伴うエラーフラグ (パリティエラー、ノイズエラー、およびフレーミングエラーフラグ) も格納するためです。

注： 受信データは、対応するフラグとともに RXFIFO に格納されます。ただし、RDR を読み出すときは、データのみが読み出されます。

ステータスフラグは、USART_ISR レジスタで入手可能です。

Tx および Rx 割込みがトリガされる TXFIFO および RXFIFO のレベルを設定することができます。これらの閾値は、USART_CR3 制御レジスタの RXFTCFG および TXFTCFG ビットフィールドによってプログラムされます。

このとき、

- RXFIFO に受信したデータの数 \geq RXFTCFG ビットフィールドでプログラムされた閾値に達すると、USART_ISR レジスタの RXFT フラグがセットされ、対応する割込みが (有効になっている場合) 生成されます。

これは、RXFIFO 内のデータ数が、プログラムされた閾値と等しくなるまで RXFIFO が満たされることを意味します。

RXFTCFG 分のデータが受信されると、1 データが USART_RDR にあり、(RXFTCFG - 1) データが RXFIFO に入っています。例として、RXFTCFG が "101" にプログラムされている場合、FIFO サイズに相当する量のデータが受信された (FIFO サイズ - 1 のデータが RXFIFO に入り、1 データが USART_RDR に入った) 時に、RXFT フラグがセットされます。その結果、次に受信されるデータによってオーバーランフラグがセットされることはありません。

- TXFIFO の空き場所の数 \geq TXFTCFG ビットフィールドでプログラムされた閾値に達すると、USART_ISR レジスタの TXFT フラグがセットされ、対応する割込みが (有効になっている場合) 生成されます。

これは、TXFIFO の空き場所の数が、プログラムされた閾値と等しくなるまで TXFIFO が空にされることを意味します。

35.5.5 USART トランスミッタ

トランスミッタは、M ビットのステータスに応じて、7 または 8 または 9 ビットのデータワードを送信できます。トランスミッタ機能を有効にするには、送信イネーブルビット (TE) をセットする必要があります。送信シフトレジスタ内のデータは TX ピンで出力され、対応するクロックパルスは CK ピンで出力されます。

キャラクタ送信

USART 送信時、データは LSB ファースト (デフォルト設定) で TX ピンにシフトアウトされます。このモードでは、USART_TDR レジスタは、内部バスと送信シフトレジスタの間のバッファ (TDR) で構成されます。

FIFO モードが有効なとき、送信データレジスタ (USART_TDR) に書き込まれたデータは TXFIFO のキューに入ります。

各キャラクタの前には、スタートビット（1ビット周期、ロー論理レベル）があります。キャラクタは、設定可能な数のストップビットで終端されます。

ストップビットの数は 0.5、1、1.5、または 2 に設定できます。

注： 送信データを USART_TDR に書き込む前に、TE ビットをセットする必要があります。
データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ポーレートカウンタが停止されるため、TX ピンのデータが破壊されます。送信中の現在のデータは失われます。

TE ビットが有効になると、アイドルフレームが送信されます。

設定可能なストップビット

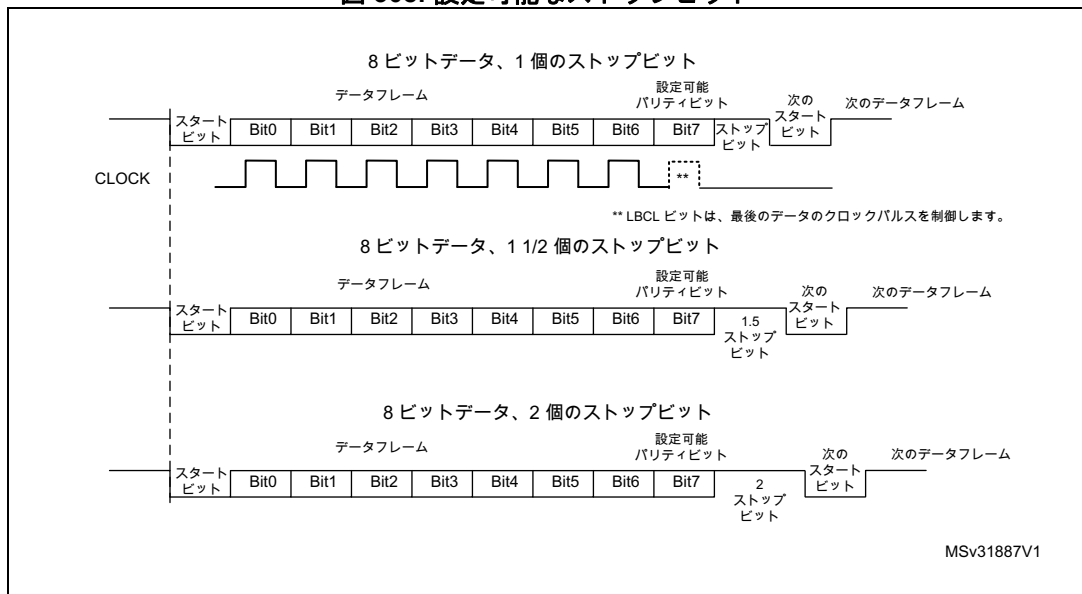
各キャラクタとともに送信されるストップビットの数は、USART_CR2 のビット 13、12 でプログラミングできます。

- **1 個のストップビット：**ストップビット数のデフォルト値です。
- **2 個のストップビット：**通常の USART モード、単線モード、およびモデムモードでサポートされます。
- **1.5 個のストップビット：**スマートカードモードで使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブ레이크送信は、10 個のロービット（M[1:0] = “00” のとき）、11 個のロービット（M[1:0] = “01” のとき）、または 9 個のロービット（M[1:0] = “10” のとき）の後に 2 個のストップビットが続きます（[図 308](#) を参照）。長いブ레이크（9/10/11 個のロービットを超える長さのブ레이크）を送信することはできません。

図 308. 設定可能なストップビット



キャラクタ送信手順

キャラクタを送信するには、次の手順に従います。

1. USART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. USART_BRR レジスタを使用して、希望するボーレートを選択します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. USART_CR1 レジスタの UE ビットに 1 を書き込んで、USART を有効にします。
5. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA 有効 (DMAT) を選択します。 [セクション 35.5.10: USART マルチプロセッサ通信](#)の説明に基づいて、DMA レジスタを設定します。
6. USART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを USART_TDR レジスタに書き込みます。シングルバッファの場合、送信される各データにこれを繰り返します。
 - FIFO モードが無効になっている場合は、USART_TDR に 1 つのデータを書き込むと、TXE フラグがクリアされます。
 - FIFO モードが有効になっている場合は、USART_TDR に 1 つのデータを書き込むと、1 つのデータが TXFIFO に追加されます。TXFNF フラグがセットされたとき、USART_TDR への書込み動作が行われます。このフラグは TXFIFO がフルになるまでセットされたままになります。
8. USART_TDR レジスタに最後のデータを書き込んだら、TC = 1 になるまで待ちます。
 - FIFO モードが無効になっている場合、これは、最後のフレームの送信が完了したことを示します。
 - FIFO モードが有効になっている場合、これは、TXFIFO とシフトレジスタの両方が空になっていることを示します。

このチェックは、USART が無効になったり、停止モードに入ったりするときに、最後の送信が壊れないようにするために必要です。

1 バイト通信

- FIFO モードが無効の場合
送信データレジスタに書き込むと、必ず TXE ビットがクリアされます。TXE フラグがハードウェアによってセットされます。同フラグは以下を示します。
 - データは USART_TDR レジスタからシフトレジスタへ移動され、データ送信が開始しています。
 - USART_TDR レジスタは空です。
 - 次のデータを、前のデータに上書きせずに、USART_TDR レジスタに書き込みます。TXEIE ビットがセットされている場合、このフラグは割込みを生成します。
送信が行われているとき、USART_TDR レジスタへの書込み命令によってデータが TDR バッファに格納されます。そして、データは現在の送信の最後にシフトレジスタにコピーされます。送信が行われていないときには、USART_TDR レジスタへの書込み命令によってデータがシフトレジスタに格納され、データ送信が開始され、TXE ビットがセットされます。
- FIFO モードが有効になっている場合は、以下を示すためにハードウェアによって TXFNF (TXFIFO はフルではない) フラグがセットされます。
 - TXFIFO はフルではありません。
 - USART_TDR レジスタは空です。

- 次のデータを、前のデータに上書きせずに、USART_TDR レジスタに書き込みます。送信が行われているとき、USART_TDR レジスタへの書き込み命令によってデータが TXFIFO に格納されます。現在の送信の最後にデータが TXFIFO からシフトレジスタにコピーされます。

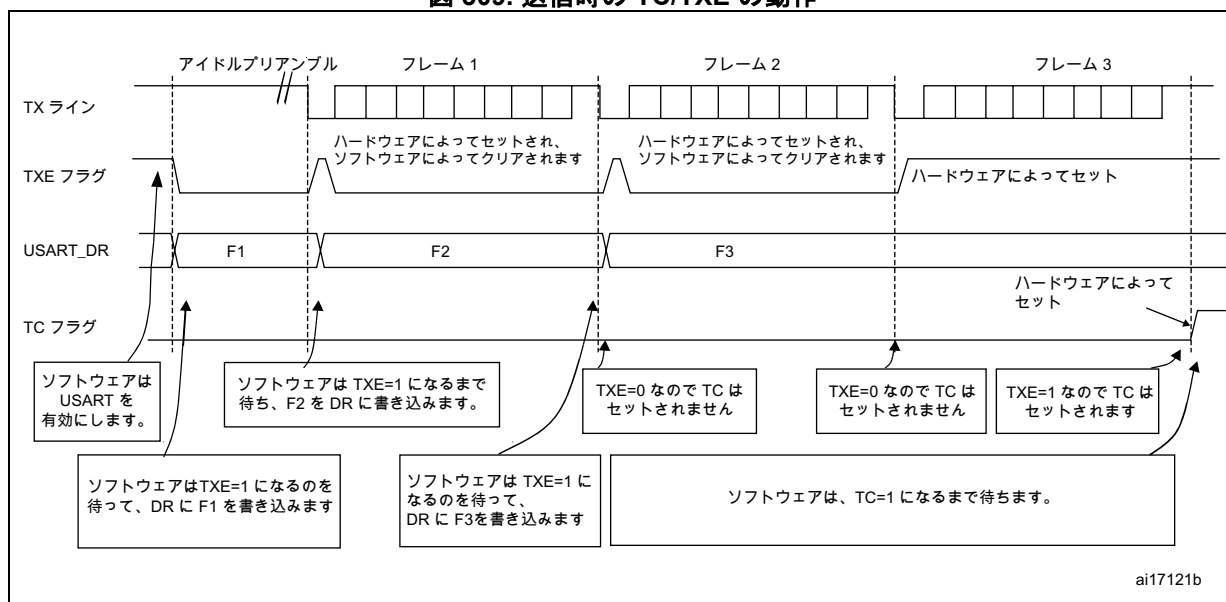
TXFIFO がフルではない場合、USART_TDR レジスタへの書き込み動作が終わった後も、TXFNF フラグは“1”のままに留まります。TXFIFO がフルになると、クリアされます。TXFNFIE ビットがセットされている場合、このフラグは割り込みを生成します。

あるいは、TXFIFO 閾値に達した時、割り込みが生成され、データを FIFO に書き込むことができます。この場合、CPU は、プログラムされたトリガレベルによって定義されたデータのブロックを書き込むことができます。

フレームが送信され (ストップビットの後)、TXE フラグ (FIFO モードの場合は TXFE) がセットされると、TC フラグはハイレベルになります。USART_CR1 レジスタの TCIE ビットがセットされると、割り込みが生成されます。

USART_TDR レジスタに最後のデータを書き込んだ後は、USART を無効にしたり、デバイスを低消費電力モードにする前に TC がセットされるまで待つ必要があります (図 309: 送信時の TC/TXE の動作を参照)。

図 309. 送信時の TC/TXE の動作



注: FIFO 管理が有効になっているときは、TXFNF フラグがデータ送信のために使用されます。

ブ레이크キャラクタ

SBKRQ ビットをセットすると、ブ레이크キャラクタが送信されます。ブ레이크フレーム長は、M ビットに依存します (図 307 を参照)。

SBKRQ ビットに 1 が書き込まれた場合、現在のキャラクタ送信の完了後、TX ラインにブ레이크キャラクタが送信されます。SBKF ビットは書き込み操作によってセットされ、ブ레이크キャラクタが完了すると (ブ레이크キャラクタの後のストップビット時に) ハードウェアによってリセットされます。USART は、次のフレームのスタートビットの認識を保証するために、ブ레이크フレームの終わりに 2 ビットの長さの間、ロジック 1 信号 (ストップ) を挿入します。

SBKRQ ビットがセットされると、現在のキャラクタ送信の最後に、ブ레이크キャラクタが送信されます。

FIFO モードが有効になっている場合、TXFIFO がフルになっていても、ブ레이크キャラクタの送信はデータ送信より優先されます。

アイドルキャラクタ

TE ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

35.5.6 USART レシーバ

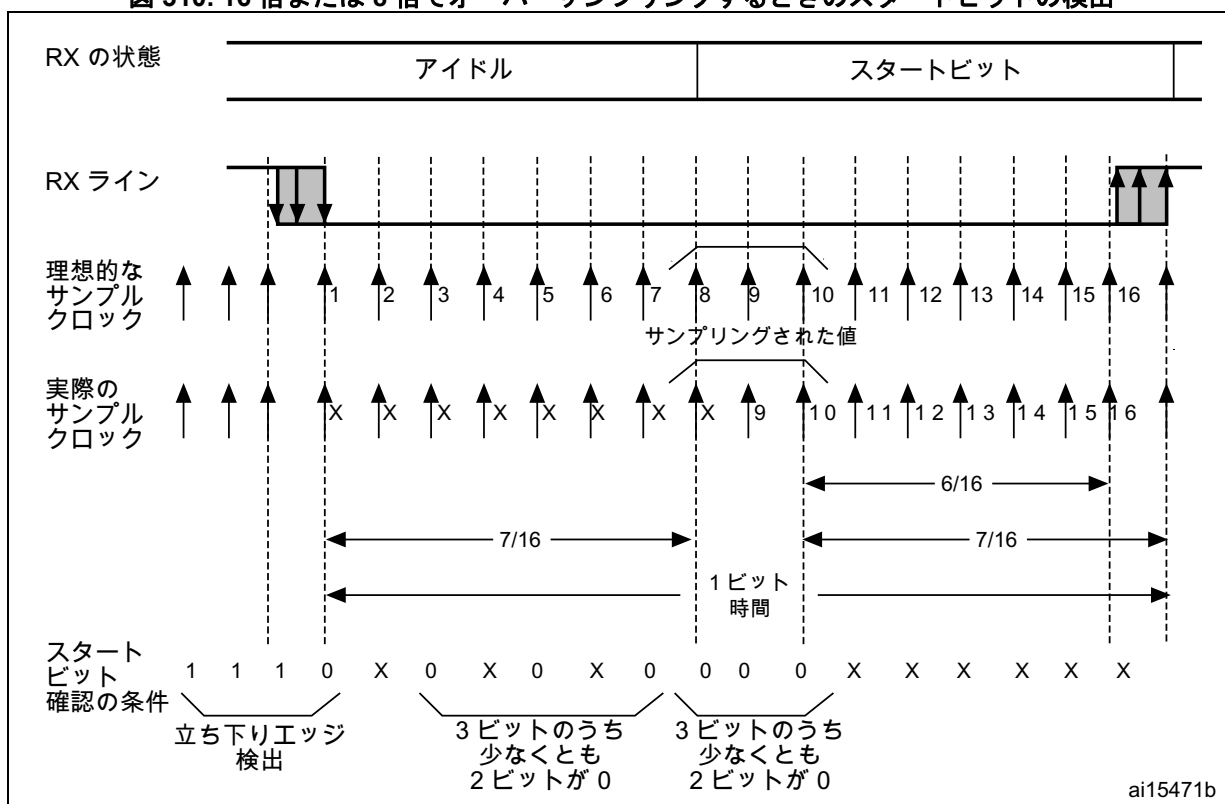
USART は、USART_CR1 レジスタの M ビットに応じて、7 または 8 または 9 ビットのデータワードを受信できます。

スタートビット検出

スタートビット検出シーケンスは、16 倍または 8 倍でオーバーサンプリングするときと同じです。

USART では、サンプルの特定シーケンスが認識されると、スタートビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0 X 0 X 0 X 0 です。

図 310. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出



注： シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりがエッジを待ちます。

サンプリングされた3つのビットが“0”の場合（第3、第5、および第7ビットでの最初のサンプリングで3つのビットが“0”であり、第8、第9、および第10ビットでの2回目のサンプリングでも3つのビットが“0”）、スタートビットが確認されます（RXNE フラグがセットされ、RXNEIE = 1 の場合は割り込みが生成されるか、または FIFO モードが有効な場合は、RXFNE フラグがセットされ、RXFNEIE = 1 の場合は割り込みが生成されます）。

次の場合、スタートビットは確認されますが、NE ノイズフラグがセットされます。

- a) 両方のサンプリングについて、サンプリングされた 3 ビットのうちの 2 ビットが“0”の場合 (第 3、第 5、および第 7 ビットのサンプリングと、第 8、第 9、および第 10 ビットのサンプリング)。

または

- b) いずれか一方のサンプリングで (第 3、第 5、および第 7 ビットでのサンプリングまたは第 8、第 9、および第 10 ビットでのサンプリング)、3 つのビットのうち 2 つが“0”の場合。

上記のいずれの条件も満たされない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻ります (フラグはセットされません)。

キャラクタの受信

USART の受信時には、データは RX ピンを通じて LSB ファースト (デフォルトの設定) でシフトアウトされます。

キャラクタ受信手順

キャラクタを受信するには、次の手順に従います。

1. USART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. ボーレートレジスタ USART_BRR を使用して、希望するボーレートを選択します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. USART_CR1 レジスタの UE ビットに“1”を書き込んで、USART を有効にします。
5. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA 有効 (DMAR) を選択します。セクション 35.5.10: USART マルチプロセッサ通信の説明に基づいて、DMA レジスタを設定します。
6. USART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- FIFO モードが無効の場合、RXNE ビットは、シフトレジスタの内容が RDR レジスタに転送されたことを示すためにセットされます。言い換えると、データは受信され、読出し可能です (関連するエラーフラグも同様です)。
- FIFO モードが有効な場合、RXFIFO が空ではないことを示すために RXFNE ビットがセットされます。USART_RDR を読み出すと、RXFIFO に入力された最も古いデータが返されます。データが受信されると、対応するエラービットとともに RXFIFO に格納されます。
- RXNEIE (FIFO モードが有効な場合は RXFNEIE) ビットがセットされていた場合、割込みが生成されます。
- 受信中にフレームエラー、ノイズ、パリティ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファ通信モードでは、
 - FIFO モードが無効な場合は、RXNE フラグはバイトを受信するたびにセットされます。DMA が受信データレジスタを読み出すと、同フラグはクリアされます。
 - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。DMA リクエストのたびに、RXFIFO から 1 データが取り出されます。DMA リクエストは、RXFIFO が空ではないとき、すなわち、RXFIFO から読み出されるべきデータがあるときに、トリガされます。

- シングルバッファモードでは、
 - FIFO モードが無効の場合、RXNE フラグのクリアは、ソフトウェアによる USART_RDR レジスタからの読出しによって行われます。RXNE フラグは、USART_RQR レジスタの RXFRQ ビットに“1”をプログラムすることによってクリアすることもできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE フラグをクリアする必要があります。
 - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE がセットされます。USART_RDR からの読出し動作のたびに、RXFIFO から 1 つのデータが取り出されます。RXFIFO が空になると、RXFNE フラグがクリアされます。RXFNE フラグは、USART_RQR の RXFRQ ビットに“1”をプログラムすることによってクリアすることもできます。RXFIFO がフルのとき、オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXFIFO 内の最初のエントリを読み出す必要があります。RXFNEIE ビットがセットされている場合、RXFNE フラグは割込みを生成します。あるいは、RXFIFO 閾値に達した時、割込みが生成され、データを RXFIFO から読み出すことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを読み出すことができます。

ブレークキャラクタ

ブレークキャラクタを受信すると、USART はブレークキャラクタをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データキャラクタ受信と同じように処理されますが、違いは、IDLEIE ビットがセットされている場合に割込みが生成されることです。

オーバーランエラー

- FIFO モードが無効の場合
 - RXNE ビットがリセットされていない限り、キャラクタを受信すると、オーバーランエラーが発生します。
 - RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。RXNE フラグは、バイトを受信するたびにセットされます。
 - 次のデータを受信したときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、
 - ORE ビットがセットされます。
 - RDR の内容は失われません。前回のデータは USART_RDR レジスタを読み出すことによって、入手可能です。
 - シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
 - RXNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。
- FIFO モードが有効な場合
 - シフトレジスタが転送される準備ができていて、受信 FIFO がフルのとき、オーバーランエラーが発生します。
 - RXFIFO に 1 つの空き場所ができるまで、データをシフトレジスタから USART_RDR レジスタに転送することはできません。RXFIFO が空でないとき、RXFNE フラグがセットされます。
 - RXFIFO がフルで、シフトレジスタが転送される準備ができている場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RXFIFO の最初のエンタリは失われません。それは、USART_RDR レジスタを読み出すことによって入手可能です。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXFNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

ORE ビットは、USART_ICR レジスタの ORECF ビットをセットすることによってリセットされます。

注： ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。

FIFO モードが無効になっているとき、2 つの可能性があります。

- RXNE = 1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読出しが可能です。
- RXNE = 0 の場合、最後の有効なデータはすでに読み出されたので、RDR レジスタには読み出すべきものが残っていないことを意味します。このケースは、有効な最後のデータが RDR レジスタで読み出されると同時に新しい（そして失われた）データが受信されると発生します。

クロックソースと適切なオーバーサンプリング方式の選択

クロックソースの選択は、クロック制御システムを通じて行われます（リセットおよびクロック制御 (RCC) のセクションを参照）。クロックソースは、UE ビットのセットによって USART を有効にする前に選ぶ必要があります。

クロックソースは、次の 2 つの基準に従って選択する必要があります。

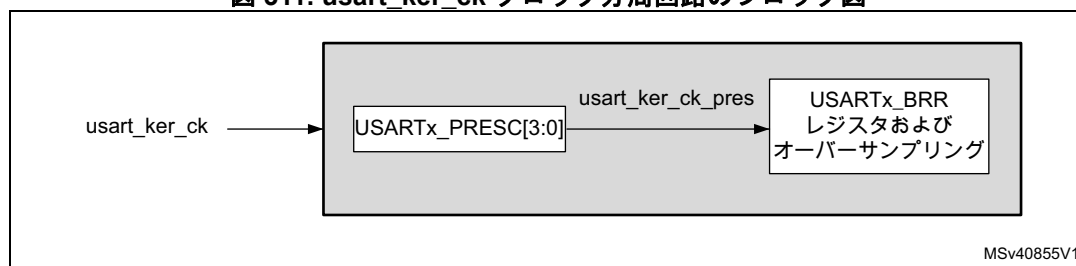
- USART を低消費電力モードで使用できること
- 通信速度

クロックソース周波数は、usart_ker_ck です。

デュアルクロックドメインと低消費電力モードからのウェイクアップ機能がサポートされる場合には、usart_ker_ck クロックソースは RCC で設定できます（リセットおよびクロック制御 (RCC) のセクションを参照）。そうしない場合、usart_ker_ck クロックは usart_pclk と同じになります。

usart_ker_ck クロックは、USART_PRESC レジスタで定義されたプログラム可能な係数によって分周できます。

図 311. usart_ker_ck クロック分周回路のブロック図



usart_ker_ck ソースによっては、USART は MCU が低消費電力モードのときにデータを受信することができます。受信データと選択されたウェイクアップモードに応じて、USART より必要なときに MCU をウェイクアップし、ソフトウェアによる USART_RDR レジスタの読出しによって、または DMA によって受信データを転送できます。

他のクロックソースの場合、USART 通信を可能にするためには、システムをアクティブにする必要があります。

通信速度の範囲（特に最大通信速度）もクロックソースによって決まります。

レシーバは有効な入力データとノイズを区別して、データを復旧するユーザ設定可能なさまざまなオーバーサンプリング技術を実装しています（同期モードの場合を除く）。これにより、最大通信速度とノイズ/クロック精度の耐性との間の最適なトレードオフが図られます。

オーバーサンプリング方式は、USART_CR1 レジスタの OVER8 ビットをボーレートクロックの 16 倍または 8 倍にプログラムすることによって選択できます（図 312 および 図 313 を参照）。

アプリケーションに応じて、

- 高速（最大 $\text{usart_ker_ck_pres}/8$ ）を達成するには 8 倍（OVER8 = 1）のオーバーサンプリングを選択します。この場合、クロック偏差に対するレシーバの最大許容誤差は軽減されます（1136 ページのセクション 35.5.8: クロック偏差に対する USART レシーバの許容誤差を参照）。
- クロック偏差に対するレシーバの許容誤差を増やすには、16 倍（OVER8 = 0）のオーバーサンプリングを選択します。この場合、最大速度は $\text{最大 usart_ker_ck_pres}/16$ に制限されます（ここで、 usart_ker_ck_pres は USART 入力クロックをプリスケールで分周したものです）。

論理レベルの評価方法を選択するには、USART_CR3 レジスタの ONEBIT ビットをプログラミングします。次の 2 つのオプションが利用できます。

- 受信されたビットの中央にある 3 つのサンプルの多数決。この場合、多数決に使用された 3 つのサンプルが等しくないとき、NE ビットがセットされます。
- 受信されたビットの中央にある 1 つのサンプル。

アプリケーションに応じて、

- ノイズの多い環境で操作するときは 3 つのサンプルの多数決方式（ONEBIT = 0）を選択します。そしてノイズが検出された場合（図 240 を参照）は、サンプリング中にグリッチが発生していることとなりますので、そのデータを除去します。
- ラインがノイズフリーであるときは、1 つのサンプルによる方式（ONEBIT = 1）を選択し、クロック偏差に対するレシーバの許容誤差を増やします（1136 ページのセクション 35.5.8: クロック偏差に対する USART レシーバの許容誤差を参照）。この場合、NE ビットはセットされません。

フレーム内でノイズが検出された場合：

- RXNE ビット（FIFO モードが有効な場合は RXFNE ビット）の立ち上がりエッジで、NE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_RDR レジスタへ転送されます。
- シングルバイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビット（FIFO モードが有効な場合は RXFNE ビット）と同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

NE ビットは、USART_ICR レジスタの NECF ビットをセットすることによってリセットされます。

注： ノイズエラーは SPI モードではサポートされていません。

8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。これらのモードでは、OVER8 ビットはハードウェアによって“0”に固定されています。

図 312. データサンプリング (16 倍のオーバーサンプリング)



MSv31152V1

図 313. データサンプリング (8 倍のオーバーサンプリング)



MSv31153V1

表 240. サンプリングされたデータからのノイズ検出

サンプリングされた値	NE ステータス	受信ビットの値
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

フレーミングエラー

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合、フレーミングエラーが検出されます。

フレーミングエラーが検出された場合：

- FE ビットがハードウェアによってセットされます。
- 無効なデータがシフトレジスタから USART_RDR レジスタ (FIFO モードが有効な場合は RXFIFO) へ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビット (FIFO モードが有効な場合は RXFNE ビット) と同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

USART_ICR レジスタの FECF に“1”を書き込むことによって、FE ビットがリセットされます。

注： フレーミングエラーは SPI モードではサポートされていません。

受信時の設定可能なストップビット

受信するストップビット数は、USART_CR の制御ビットを通じて設定でき、通常モードでは 1 または 2、スマートカードモードでは 0.5 または 1.5 にできます。

- **0.5 個のストップビット (スマートカードモードでの受信)：**0.5 個のストップビットでは、サンプリングは行われません。したがって、0.5 個のストップビットが選択されている場合、フレーミングエラーやブレイクフレームは検出されません。
- **1 個のストップビット：**ストップビット 1 個のサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
- **1.5 個のストップビット (スマートカードモード)**

スマートカードモードでの送信時は、デバイスは、データが正しく送信されたことをチェックする必要があります。したがって、レシーバブロックを有効にし (USART_CR1 の RE = 1)、ストップビットをチェックして、スマートカードがパリティエラーを検出したかどうかをテストする必要があります。

パリティエラーが発生した場合、スマートカードはサンプリング時のデータ信号を強制的にローレベルにします (これは、フレーミングエラーとしてフラグされる NACK 信号です)。その後、1.5 個のストップビットの最後に、RXNE フラグ (FIFO モードが有効な場合は RXFNE フラグ) を通して FE フラグがセットされます。ストップビット 1.5 個のサンプリングは、16 番目、17 番目、および 18 番目のサンプルで (ストップビットの開始から 1 ボークロック周期後に) 行われます。1.5 個のストップビットは、2 つの部分に分解できます。すなわち、何も起こらない 0.5 ボークロック周期と、途中でサンプリングが行われる通常の 1 ストップビット周期です (詳細は [1148 ページのセクション 35.5.16: USART レシーバタイムアウト](#) を参照)。

- **2 個のストップビット**
ストップビット 2 個のサンプリングは、最初のストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。
最初のストップビット中にフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。
2 番目のストップビットでは、フレーミングエラーの検査は行われません。最初のストップビットの最後に、RXNE フラグ (FIFO モードが有効な場合は RXFNE フラグ) がセットされます。

35.5.7 USART ボーレート生成

レシーバとトランスミッタ (Rx と Tx) のボーレートは、USART_BRR レジスタでプログラムされた値に設定されます。

式 1 : 標準 USART のボーレート (SPI モードを含む) (OVER8 = "0" または "1")

16 倍のオーバーサンプリングの場合、ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{\text{usart_ker_ckpres}}{\text{USARTDIV}}$$

8 倍のオーバーサンプリングの場合、ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{2 \times \text{usart_ker_ckpres}}{\text{USARTDIV}}$$

式 2 : スマートカード、LIN、および IrDA モードのボーレート (OVER8 = 0)

ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{\text{usart_ker_ckpres}}{\text{USARTDIV}}$$

USARTDIV は、符号なしの固定小数点数であり、USART_BRR レジスタでコード化されます。

- OVER8 = 0 のとき、BRR = USARTDIV です。
- OVER8 = 1 のとき、
 - BRR[2:0] = USARTDIV[3:0] であり、右に 1 ビットシフトされます。
 - BRR[3] は、クリアされたままにする必要があります。
 - BRR[15:4] = USARTDIV[15:4]

注 : ボーカウンタは、USART_BRR への書き込み後、ボーレジスタの新しい値によって更新されます。したがって、通信中はボーレートレジスタの値を変更しないでください。

16 倍および 8 倍のオーバーサンプリングの場合、USARTDIV は 16 以上である必要があります。

USART_BRR レジスタの値から USARTDIV を得る方法

例 1

usart_ker_ck_pres = 8 MHz で 9600 ボーを得るには、

- 16 倍のオーバーサンプリングの場合 :
 - USARTDIV = 8 000 000/9600
 - BRR = USARTDIV = 0d833 = 0x0341
- 8 倍のオーバーサンプリングの場合 :
 - USARTDIV = 2 * 8 000 000/9600
 - USARTDIV = 1666,66 (0d1667 = 0x683)
 - BRR[3:0] = 0x3 >> 1 = 0x1
 - BRR = 0x681

例 2

usart_ker_ck_pres = 48 MHz で 921.6 キロボーを得るには、

- 16 倍のオーバーサンプリングの場合 :
USARTDIV = 48 000 000/921 600
BRR = USARTDIV = 0d52 = 0x34
- 8 倍のオーバーサンプリングの場合 :
USARTDIV = 2 * 48 000 000/921 600
USARTDIV = 104 (0d104 = 0x68)
BRR[3:0] = USARTDIV[3:0] >> 1 = 0x8 >> 1 = 0x4
BRR = 0x64

35.5.8 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバは、クロックシステムの合計偏差が USART レシーバの許容誤差未満の場合のみ、正しく動作します。

合計偏差の要因は、次のとおりです。

- DTRA : トランスミッタの誤差に起因する偏差 (トランスミッタのローカルオシレータの偏差も含みます)
- DQUANT : レシーバのボーレート量子化に起因する誤差
- DREC : レシーバローカルオシレータの偏差
- DTCL : 送信ラインに起因する偏差 (一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらす可能性のあるトランシーバに起因)

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{USART receiver 許容誤差}$$

ここで、

DWU は、低消費電力モードからのウェイクアップが使用されたときのサンプリングポイントの偏差によるエラーです。

M[1:0] = 01 の場合 :

$$DWU = \frac{t_{WUUSART}}{11 \times T_{bit}}$$

M[1:0] = 00 の場合 :

$$DWU = \frac{t_{WUUSART}}{10 \times T_{bit}}$$

M[1:0] = 10 の場合 :

$$DWU = \frac{t_{WUUSART}}{9 \times T_{bit}}$$

$t_{WUUSART}$ は、スタートビットの立ち下がリエッジが検出され、クロック (ペリフェラルによるリクエスト) が動作可能状態になってペリフェラルに達し、レギュレータが動作可能状態になるまでの時間です。

USART レシーバは、次の設定に応じて、表 241 および 表 242 で指定された最大許容偏差まで、データを正しく受信できます。

- USART_CR1 レジスタの M ビットによって定義された 9、10 または 11 ビットのキャラクタ長
- USART_CR1 レジスタの OVER8 ビットによって定義された 8 倍または 16 倍のオーバーサンプリング
- USART_BRR レジスタのビット BRR[3:0] が 0000 に等しいかどうか。
- データのサンプリングに 1 ビットを使用するか 3 ビットを使用するか (USART_CR3 レジスタの ONEBIT ビットの値に依存)。

表 241. BRR [3:0] = 0000 のときの USART レシーバの許容誤差

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT = 0	ONEBIT = 1	ONEBIT = 0	ONEBIT = 1
00	3.75%	4.375%	2.50%	3.75%
01	3.41%	3.97%	2.27%	3.41%
10	4.16%	4.86%	2.77%	4.16%

表 242. BRR[3:0] が 0000 でないときの USART レシーバの許容誤差

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT = 0	ONEBIT = 1	ONEBIT = 0	ONEBIT = 1
00	3.33%	3.88%	2%	3%
01	3.03%	3.53%	1.82%	2.73%
10	3.7%	4.31%	2.22%	3.33%

注： 表 241 および 表 242 で指定されたデータは、M ビット = 00 のとき、受信フレームに正確に 10 ビット時間 (M = 01 のときには 11 ビット時間、または M = 10 のときには 9 ビット時間) のアイドルフレームが含まれる特殊なケースで、若干異なることがあります。

35.5.9 USART 自動ボーレート検出

USART は、1 キャラクタの受信に基づいて、USART_BRR レジスタ値を検出し、自動的にセットすることができます。自動ボーレート検出は、2 つの状況で便利です。

- システムの通信速度が事前に分かっていないとき。
- システムが比較的低い精度のクロックソースを使用している場合、このメカニズムによって、クロック偏差を測定しなくても、正しいボーレートを求めることができます。

クロックソース周波数は、予期される通信速度と互換性がなければなりません。

- 16 倍のオーバーサンプリングのとき、ボーレートは $\text{usart_ker_ck_pres}/65535$ から $\text{usart_ker_ck_pres}/16$ までの範囲内です。
- 8 倍のオーバーサンプリングのとき、ボーレートは $\text{usart_ker_ck_pres}/65535$ から $\text{usart_ker_ck_pres}/8$ までの範囲内です。

自動ボーレート検出を有効にする前に、USART_CR2 レジスタの ABRMOD[1:0] フィールドによって自動ボーレート検出モードを選択する必要があります。キャラクタパターンに基づいて、4 つのモードがあります。これらの自動ボーレートモードでは、同期データ受信中にボーレートが数回測定され、各測定値が前回の測定値と比較されます。

これらのモードは以下のとおりです。

- **モード 0** : “1”のビットで始まるキャラクタ。
この場合、USART はスタートビットの時間を測定します (立ち下がりエッジから立ち上がりエッジまで)。
- **モード 1** : 10xx ビットパターンで始まるキャラクタ。
この場合、USART はスタートと最初のデータビットの時間を測定します。低速な信号スロープの場合の精度を高めるために、測定は立ち下がりエッジから立ち下がりエッジまでで行われます。
- **モード 2** : 0x7F キャラクタフレーム (LSB ファーストモードでは 0x7F キャラクタ、または MSB ファーストモードでは 0xFE)。
この場合、ボーレートは、最初はスタートビット (BRs) の終了時に更新され、次にビット 6 の終了時に更新されます (立ち下がりエッジから立ち下がりエッジまで行われた測定に基づいて、BR6)。ビット 0 からビット 6 までが BRs でサンプリングされ、キャラクタの残りのビットは BR6 でサンプリングされます。
- **モード 3** : 0x55 キャラクタフレーム。
この場合、ボーレートは、最初はスタートビット (BRs) の終了時に更新され、次にビット 0 の終了時に更新されます (立ち下がりエッジから立ち下がりエッジまで行われた測定に基づいて、BR0)、最後にビット 6 (BR6) の終了時に更新されます。ビット 0 は BRs でサンプリングされ、ビット 1 からビット 6 までは BR0 でサンプリングされ、キャラクタの残りのビットは BR6 でサンプリングされます。並行して、RX ラインの中間遷移ごとに別のチェックが行われます。RX の遷移がレシーバと十分に同期していない場合はエラーが生成されます (レシーバは、ビット 0 で計算されたボーレートに基づきます)。

自動ボーレート検出を有効にする前に、ゼロ以外のボーレート値を書き込むことによって、USART_BRR レジスタを初期化する必要があります。

自動ボーレート検出を有効にするには、USART_CR2 レジスタの ABREN ビットをセットします。USART は、RX ラインの最初のキャラクタを待ちます。自動ボーレート動作の完了は、USART_ISR レジスタの ABRF フラグのセットによって示されます。ラインにノイズが多い場合、正しいボーレート検出を保証できません。この場合、BRR 値が破損して、ABRE エラーフラグがセットされることがあります。また、通信速度が自動ボーレート検出の範囲と互換性がない場合にも発生します (ビット時間が 16 から 65536 までのクロック周期でなく (16 倍のオーバーサンプリング)、8 から 65536 までのクロック周期でない (8 倍のオーバーサンプリング))。

その後、ABRF フラグをリセットすることによって (“0”を書き込むことによって)、自動ボーレート検出を再開できます。

FIFO マネージメントが無効になっていて、自動ボーレートエラーが発生した場合、RXNE および FE ビットを通して ABRE フラグがセットされます。

FIFO マネージメントが有効になっていて、自動ボーレートエラーが発生した場合、RXFNE および FE ビットを通して ABRE フラグがセットされます。

FIFO モードが有効な場合、自動ボーレート検出は、RXFIFO の最初の場所のデータを使用して行うべきです。したがって、自動ボーレート検出を開始する前に、USART_ISR レジスタの RXFNE フラグをチェックして RXFIFO が空であることを確認してください。

注 : 自動ボーレート操作中に USART が無効化された場合 (UE = 0)、BRR 値が破損することがあります。

35.5.10 USART マルチプロセッサ通信

USART のマルチプロセッサ通信が可能です (ネットワーク内で複数の USART を接続して)。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。一方、他の USART は、それぞれの TX 出力の論理和をとってマスタの RX 入力に接続して、スレーブとなります。

マルチプロセッサ設定では、多くの場合、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましく、これによって対象外の受信者に対する USART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードにできます。ミュートモード機能を使用するためには、USART_CR1 レジスタの MME ビットをセットする必要があります。

注： FIFO マネージメントが有効になっていて MME がすでにセットされている場合は、MME ビットはクリアしてはなりません。クリアした場合はすぐに (2 usart_ker_ck サイクル以内に) 再セットしてください。そうしないとミュートモードはアクティブのままになることがあります。

ミュートモードが有効な場合、

- 受信ステータスビットはセットできません。
- 受信割り込みはすべて禁止されます。
- USART_ISR レジスタの RWU ビットは“1”にセットされます。特定の条件下では、USART_RQR レジスタの MMRQ ビットを通じて、RWU をハードウェアまたはソフトウェアによって自動的に制御できます。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードに入ったり終了したりできます。

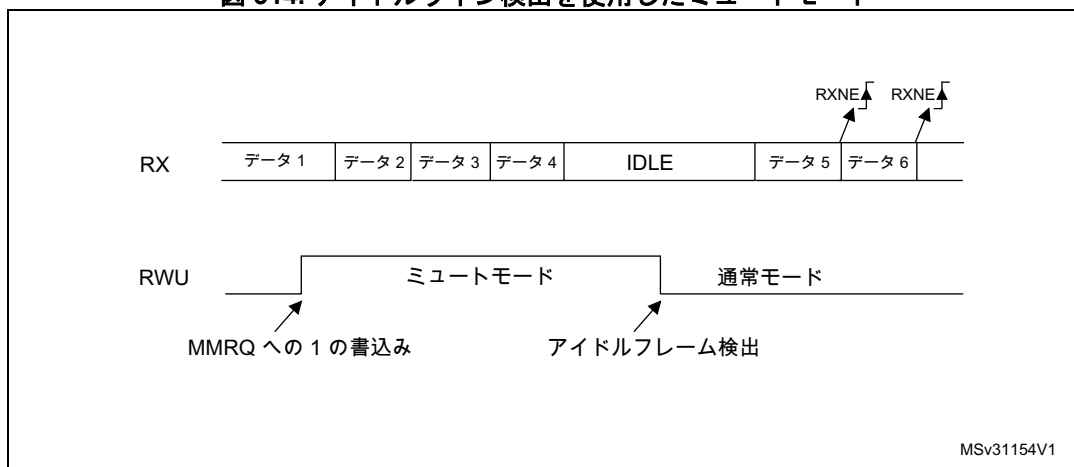
- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出 (WAKE = 0)

MMRQ ビットに“1”が書き込まれ、RWU が自動的にセットされたときには、USART はミュートモードに入ります。

USART は、アイドルフレームを検出するとウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_ISR レジスタの IDLE ビットはセットされません。アイドルライン検出を使用したミュートモードの動作例を [図 314](#) に示します。

図 314. アイドルライン検出を使用したミュートモード



注： IDLE キャラクタがすでに経過しているときに MMRQ がセットされた場合は、ミュートモードに入りません (RWU はセットされません)。
 ラインが IDLE のときに USART が有効にされた場合、1 IDLE フレーム後にアイドル状態が検出されます (1 キャラクタフレームの受信後だけでなく)。

4 ビット/7 ビットアドレスマーク検出 (WAKE = 1)

このモードでは、MSB が“1”の場合、バイトはアドレスとして認識され、そうでない場合はデータとみなされます。アドレスバイトのうち、ターゲットレシーバのアドレスは 4 または 7 LSB です。7 または 4 ビットアドレス検出の選択は、ADDM7 ビットを使用して行われます。この 4 ビット/7 ビットワードは、レシーバによって、USART_CR2 レジスタの ADD ビットでプログラムされたレシーバの自己アドレスと比較されます。

注： 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス (ADD[5:0] および ADD[7:0]) で行われます。

プログラミングされたアドレスと一致しないアドレスキャラクタを受信すると、USART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。USART がミュートモードに入ったときには、このアドレスバイトに対して RXNE フラグはセットされず、割込みも DMA リクエストも発行されません。FIFO 管理が有効になっている場合、ミュートモードに入る前に、RXFIFO に少なくとも 1 つの空き場所があることをソフトウェアによって確認する必要があります。

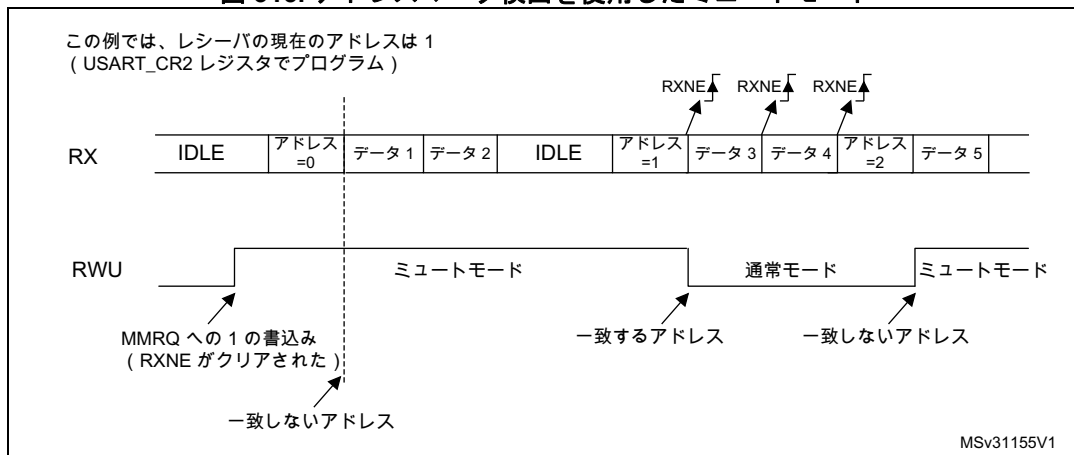
MMRQ ビットに 1 が書き込まれたときにも、USART はミュートモードに入ります。この場合、RWU ビットも自動的にセットされます。

プログラムされたアドレスに一致するアドレスキャラクタを受信すると、USART はミュートモードを終了します。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE/RXFNE ビットがセットされます。

注： FIFO 管理が有効になっている場合、レシーバがデータの最後のビットをサンプリングしている間に MMRQ がセットされると、ミュートモードに実際に移行する前にこのデータが受信されることがあります。

アドレスマーク検出を使用したミュートモードの動作例を 図 315 に示します。

図 315. アドレスマーク検出を使用したミュートモード



35.5.11 USART Modbus 通信

USART は、Modbus/RTU および Modbus/ASCII プロトコルの実装に対する基本的サポートを備えています。Modbus/RTU は、半二重のブロック転送プロトコルです。プロトコルの制御部分（アドレス認識、ブロック整合性制御、およびコマンド解釈）は、ソフトウェアで実装する必要があります。

USART は、ソフトウェアに負荷をかけず、他のリソースを使用せずに、ブロック検出の終了に対する基本的サポートを提供します。

Modbus/RTU

このモードでは、1つのブロックの終了は2キャラクタ時間を超える「サイレンス」（アイドルライン）によって認識されます。この機能は、プログラム可能なタイムアウト機能を通じて実装されます。

タイムアウト機能と割込みは、USART_CR2 レジスタの RTOEN ビットと、USART_CR1 レジスタの RTOIE を通じて有効にする必要があります。2キャラクタ時間に対応する値（たとえば、22 x ビット時間）を RTO レジスタでプログラムする必要があります。最後のストップビットの受信後、この時間にわたって受信ラインがアイドルのときには、割込みが生成されて、現在のブロック受信が完了したことをソフトウェアに知らせます。

Modbus/ASCII

このモードでは、ブロックの終了は特定の（CR/LF）キャラクタシーケンスによって認識されます。USART は、キャラクタ一致機能を使用して、このメカニズムを管理します。

ADD[7:0] フィールドで LF ASCII コードをプログラムし、キャラクタ一致割込みを有効にすることによって（CMIE = 1）、LF が受信されたときにソフトウェアに通知し、ソフトウェアは DMA バッファの CR/LF をチェックできます。

35.5.12 USART パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティチェック）を有効にするには、USART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されたフレーム長に応じて、可能な USART フレームフォーマットを表 243 に示します。

表 243. USART フレームのフォーマット

M ビット	PCE ビット	USART フレーム ⁽¹⁾
00	0	SB 8 ビットデータ STB
00	1	SB 7 ビットデータ PB STB
01	0	SB 9 ビットデータ STB
01	1	SB 8 ビットデータ PB STB
10	0	SB 7 ビットデータ STB
10	1	SB 6 ビットデータ PB STB

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット。データレジスタでは、PB は常に MSB 位置を取ります（M ビットの値に応じて、8 または 7 番目）。

偶数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットから構成されるフレーム内で「1」の数が偶数になるように計算されます。

たとえば、データ = 00110101 であり、4bit がセットされた場合、偶数パリティが選択された場合（USART_CR1 の PS ビット = 0）、パリティビットは 0 になります。

奇数パリティ

パリティビットは、6、7、または 8 LSB ビット (M ビットの値に応じて) とパリティビットで構成されるフレーム内で「1」の数が奇数になるように計算されます。

たとえば、データ = 00110101 であり、4bit がセットされた場合、奇数パリティが選択された場合 (USART_CR1 の PS ビット = 1)、パリティビットは 1 になります。

受信中のパリティチェック

パリティチェックに失敗した場合、USART_ISR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PEIE ビットがセットされている場合は割込みが生成されます。PE フラグは、USART_ICR レジスタの PECF に 1 を書き込むことによってクリアされます。

送信中のパリティ生成

USART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます (偶数パリティが選択された場合 (PS = 0) は偶数個の「1」、奇数パリティが選択された場合 (PS=1) は奇数個の「1」)。

35.5.13 USART LIN (Local Interconnection Network) モード

このセクションは、LIN モードがサポートされるときにのみ適用されます。1119 ページのセクション 35.4: USART の実装を参照してください。

LIN モードを選択するには、USART_CR2 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの CLKEN
- USART_CR3 レジスタの STOP[1:0]、SCEN、HDSEL、および IREN

LIN 送信

LIN マスタ送信の場合、セクション 35.5.4 に記述されている手順を適用する必要があります。通常の USART 送信と同じですが、次のような違いがあります。

- 8 ビットのワード長を設定するには M ビットをクリアします。
- LIN モードに入るには、LINEN ビットをセットします。この場合、SBKRQ ビットをセットすると、13 個の“0”ビットがブレイクキャラクタとして送信されます。その後、値“1”の 2bit が送信され、次の START 検出が可能になります。

LIN 受信

LIN モードが有効になると、ブレイク検出回路が有効になります。この検出は、通常の USART レシーバとは完全に独立しています。アイドル状態時やフレームの処理中には、発生たびにブレイクが検出できます。

レシーバが有効になると (USART_CR1 レジスタの RE = 1)、RX 入力の START 信号を探します。スタートビットの検出方法は、ブレイクキャラクタやデータの検索方法と同じです。スタートビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます (8、9、および 10 番目のサンプル)。10 個 (USART_CR2 レジスタの LBDL = 0) または 11 個 (USART_CR2 レジスタの LBDL = 1) の連続したビットが“0”として検出され、その後、デリミタが続く場合、USART_ISR レジスタの LBDF フラグがセットされます。LBDIE ビットが 1 の場合、割込みが生成されます。ブレイクを確認する前に、RX ラインがハイレベルに戻ったことを知らせるデリミタが検査されます。

この 10 または 11 が発生する前に“1”がサンプリングされた場合、ブレイク検出回路は現在の検出をキャンセルし、再びスタートビットを検索します。

LIN モードが無効にされた場合 (LINEN = 0)、レシーバは、ブレーク検出を考慮することなく、通常の USART として機能し続けます。

LIN モードが有効にされた場合 (LINEN = 1)、フレーミングエラーが発生 (つまり、ブレークフレームの場合と同様に、“0” の位置でストップビットを検出) すると、レシーバは停止し、ブレーク検出回路が “1” (ブレークワードが完全でなかった場合) またはデリミタ (ブレークが検出された場合) を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを 1143 ページの図 316: LIN モードでのブレーク検出 (11 ビットブレーク長、LBDL=1) に示します。

ブレークフレームの例を 1144 ページの図 317: LIN モードでのブレーク検出とフレーミングエラー検出に示します。

図 316. LIN モードでのブレーク検出 (11 ビットブレーク長、LBDL=1)

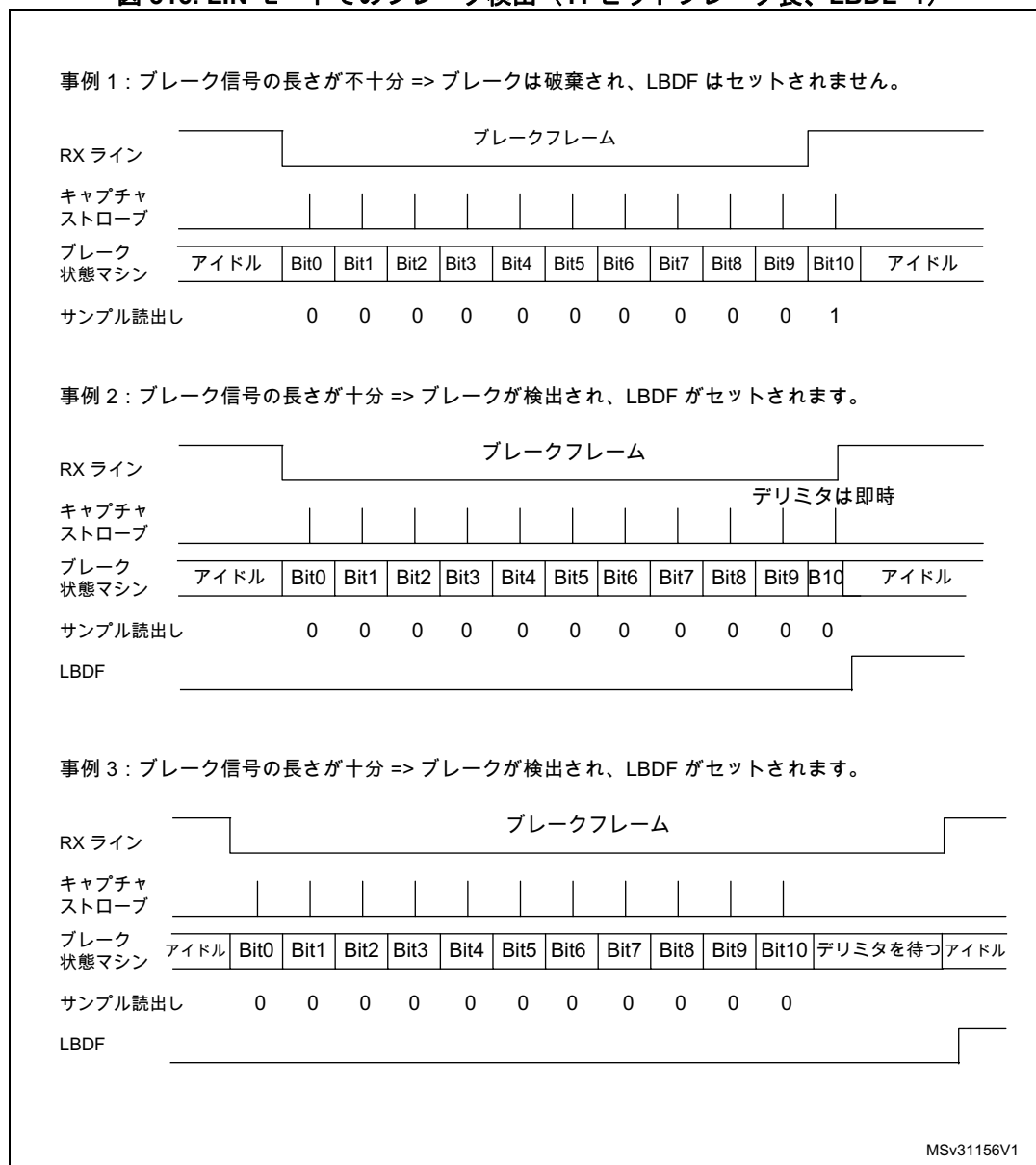
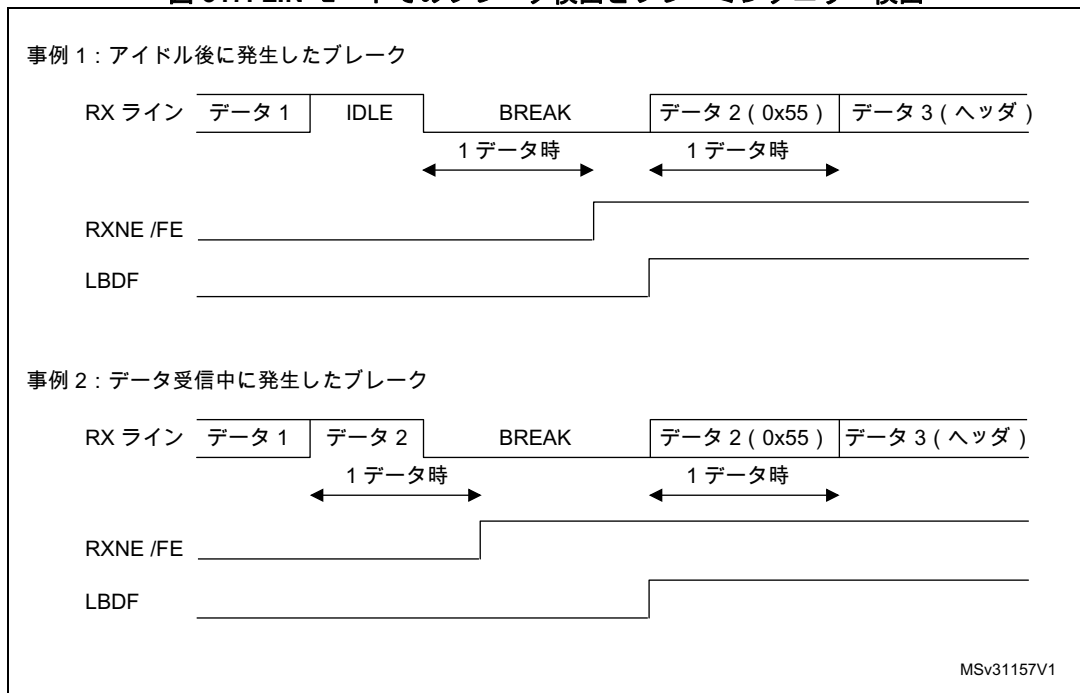


図 317. LIN モードでのブ레이크検出とフレーミングエラー検出



35.5.14 USART 同期モード

マスタモード

同期マスタモードを選択するには、USART_CR2 レジスタの CLKEN ビットを“1”にプログラムします。同期モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

このモードでは、USART を使用して、双方向同期シリアル通信をマスタモードで制御できます。CK ピンは USART トランスミッタクロックの出力です。スタートビットとストップビットの処理中には、CK ピンにクロックパルスは送信されません。USART_CR2 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR2 レジスタの CPOL ビットは、クロック極性を選択するために使用され、USART_CR2 レジスタの CPHA ビットは、外部クロックの位相を選択するために使用されます（図 318、図 319、および図 320 を参照）。

アイドル時、プリアンブル処理時、およびブ레이크送信時には、外部 CK クロックは起動されません。

同期マスタモードでは、USART トランスミッタは非同期モードの場合とまったく同じように動作します。しかし、CPOL と CPHA に基づいて CK が TX と同期するので、TX 上のデータが同期します。

同期マスタモードでは、USART レシーバは非同期モードの場合とは異なる動作をします。RE が 1 にセットされた場合、データはオーバーサンプリングなしで、CK (CPOL と CPHA に応じて立ち上がりまたは立ち下がりがエッジ) でサンプリングされます。ポーレート (1/16 ビット時間) に応じたセットアップ時間とホールド時間に従う必要があります。

注： マスタモードでは、CK ピンは TX ピンと連携して動作します。したがって、クロックが供給されるのは、トランスミッタが有効であり (TE = 1)、データが送信中 (USART_TDR データレジスタへの書込み) の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。

図 318. USART の同期マスタ送信の例

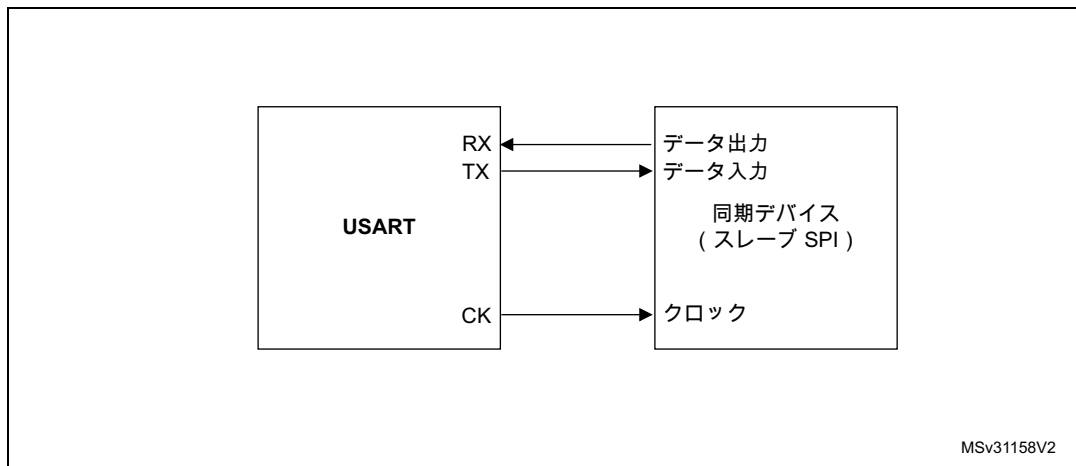


図 319. 同期マスタモードでの USART データクロックタイミング図 (M ビット = 00)

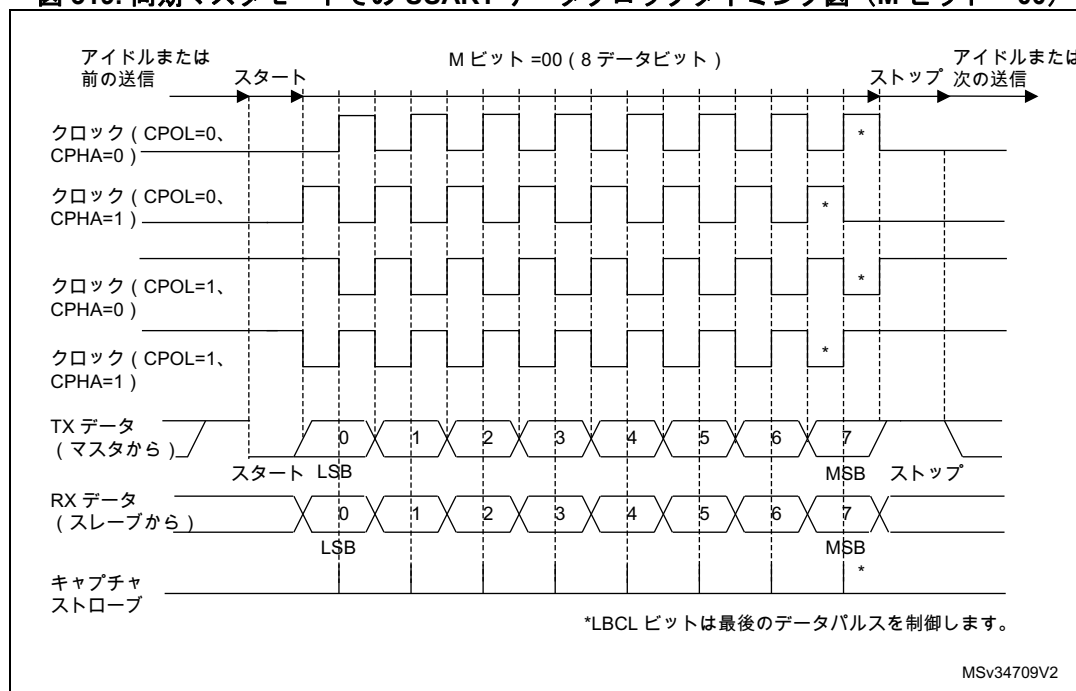
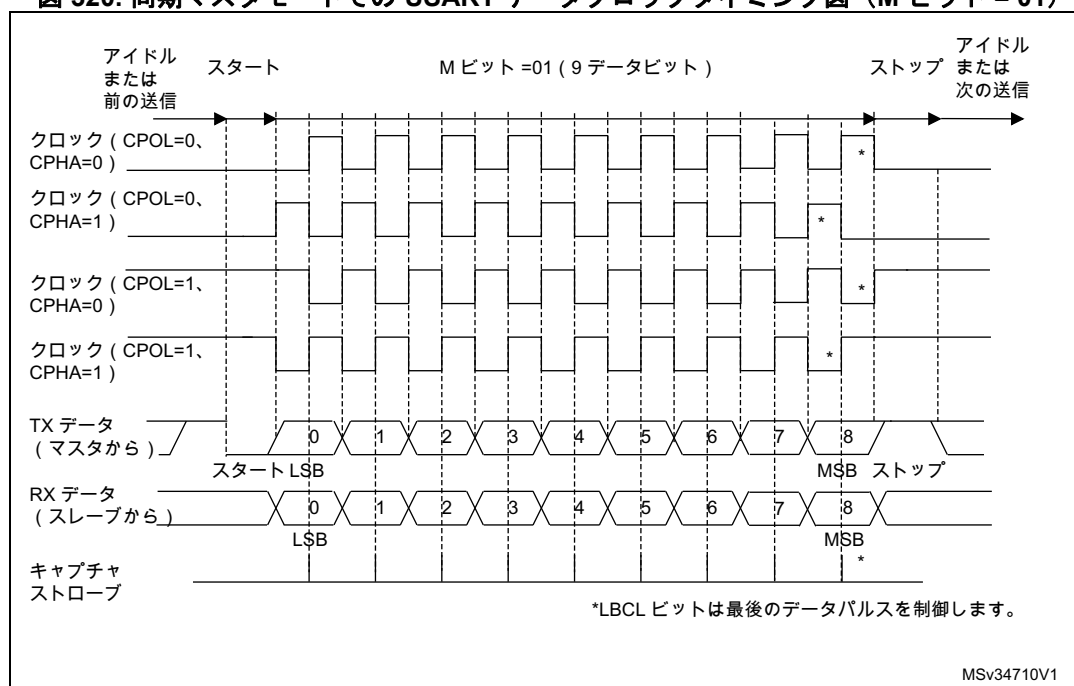


図 320. 同期マスターモードでの USART データクロックタイミング図 (M ビット = 01)



スレーブモード

同期スレーブモードを選択するには、USART_CR2 レジスタの SLVEN ビットを“1”にプログラムします。同期スレーブモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

このモードでは、USART を使用して、双方向同期シリアル通信をスレーブモードで制御できます。CK ピンは、スレーブモードの USART の入力です。

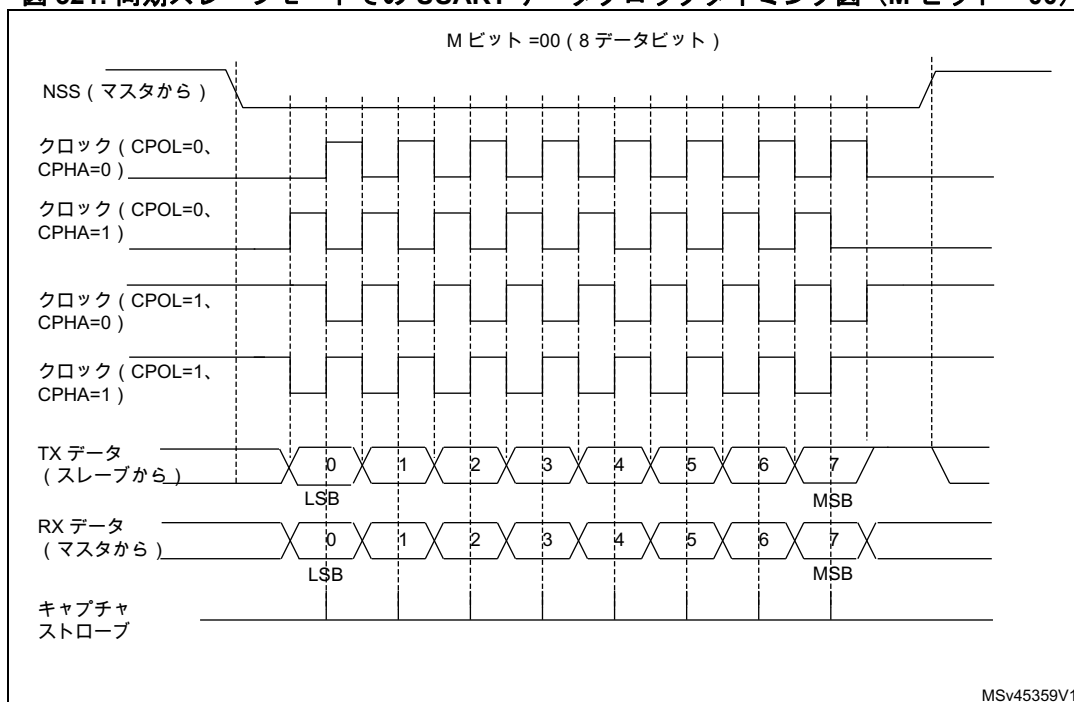
注： ペリフェラルが SPI のスレーブモードで使用されるとき、ペリフェラルのクロックソースの周波数 (usart_ker_ck_pres) は CK 入力周波数の 3 倍より大きくなければなりません。

USART_CR2 レジスタの CPOL ビットと CPHA ビットは、それぞれクロック極性と外部クロックの位相を選択するために使用されます (図 321 を参照)。

アンダーランエラーフラグはスレーブ送信モードで使用できます。ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現れると、このフラグがセットされます。

スレーブはハードウェアおよびソフトウェアの NSS 管理をサポートしています。

図 321. 同期スレーブモードでの USART データクロックタイミング図 (M ビット = 00)



スレーブ選択 (NSS) ピンの管理

ハードウェアまたはソフトウェアのスレーブ選択管理は、USART_CR2 レジスタの DIS_NSS ビットを使用して設定することができます。

- ソフトウェア NSS 管理 (DIS_NSS = 1)
 - SPI スレーブが常に選択され、NSS 入力ピンは無視されます。
 - 外部NSS ピンは他のアプリケーションで使用できます。
- ハードウェア NSS 管理 (DIS_NSS = 0)
 - SPI スレーブ選択は NSS 入力ピンに依存します。NSS がローレベルのときにスレーブが選択され、NSS がハイレベルのときには選択されません。

注： USART が無効にされたときには (UE = 0)、クロックパルスが正常に機能するように、LBCL (SPI マスタモードでのみ使用)、CPOL、および CPHA ビットを選択する必要があります。

SPI スレーブモードでは、マスタ通信を開始する前に (またはクロックが安定しているときのフレーム間で)、USART を有効にする必要があります。そうしないと、マスタがフレームの中央に位置しているときに USART スレーブが有効化されると、スレーブはマスタとの同期がとれなくなります。スレーブのデータレジスタは、通信クロックの最初のエッジまたは現在の通信の終了より前に、準備ができていない必要があります。そうしないと、SPI スレーブはゼロを送信します。

SPI スレーブのアンダーランエラー

アンダーランエラーが起きると、USART_ISR レジスタの UDR フラグがセットされ、ソフトウェアによってアンダーランエラーフラグがクリアされるまで SPI スレーブは最後のデータを送信し続けます。

アンダーランフラグはフレームの開始時にセットされます。USART_CR3 レジスタの EIE ビットがセットされている場合、アンダーランエラー割込みがトリガされます。

アンダーランエラーフラグは、USART_ICR レジスタのビット UDRCF をセットすることによってクリアされます。

アンダーランエラーの場合、TDR レジスタに書き込むことは可能です。アンダーランエラーをクリアすると、新しいデータを送信できます。

アンダーランエラーが起きて、TDR に書き込まれる新しいデータがない場合は、フレームの終りに TC フラグがセットされます。

注： データが USART_TDR に書き込まれた時点が CK の最初の送信エッジに近すぎると、アンダーランエラーが起きることがあります。このアンダーランエラーを避けるために、USART_TDR への書き込みは、最初の CK エッジより usart_ker_ck の 3 サイクル前に行うべきです。

35.5.15 USART 単線半二重通信

単線半二重モードを選択するには、USART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN および IREN ビット

USART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部接続されます。半二重通信と全二重通信の選択は、USART_CR3 レジスタの制御ビット HDSEL で行います。

HDSEL ビットに“1”が書き込まれると、

- TX ラインと RX ラインが内部接続されます。
- RX ピンは使用されなくなります。
- データが送信されないときには、TX ピンは常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が外部プルアップ付きの代替機能オープンドレインとして設定されるように、I/O を設定する必要があります。

この点を除くと、通信プロトコルは通常の USART モードと同じです。ラインの競合はソフトウェアによって管理する必要があります (たとえば、集中型アービタを使用して)。特に、送信がハードウェアによってブロックされることはなく、TE ビットがセットされている間は、データレジスタにデータが書き込まれるとすぐに、送信が続行されます。

35.5.16 USART レシーバタイムアウト

レシーバタイムアウト機能を有効にするには、USART_CR2 制御レジスタの RTOEN ビットをセットします。

タイムアウト経過時間は USART_RTOR レジスタの RTO ビットフィールドを使用してプログラムします。

レシーバタイムアウトカウンタは次の時点からカウントを開始します。

- STOP = “00” または STOP = “11” の場合、ストップビットの最後から
- STOP = “10” の場合、2 番目のストップビットの最後から。
- STOP = “01” の場合、ストップビットの最初から。

タイムアウト経過時間が過ぎると、USART_ISR レジスタの RTOF フラグがセットされます。USART_CR1 レジスタの RTOIE ビットがセットされている場合、タイムアウトが生成されます。

35.5.17 USART スマートカードモード

このセクションは、スマートカードモードがサポートされるときにのみ適用されます。1119 ページの [セクション 35.4: USART の実装](#) を参照してください。

スマートカードモードを選択するには、USART_CR3 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの HDSEL および IREN ビット

スマートカードにクロックを供給するために CLKEN ビットもセットすることができます。

スマートカードインタフェースは、ISO 7816-3 標準で定義された非同期スマートカードプロトコルをサポートするように設計されています。T=0 (キャラクタモード) と T=1 (ブロックモード) の両方がサポートされます。

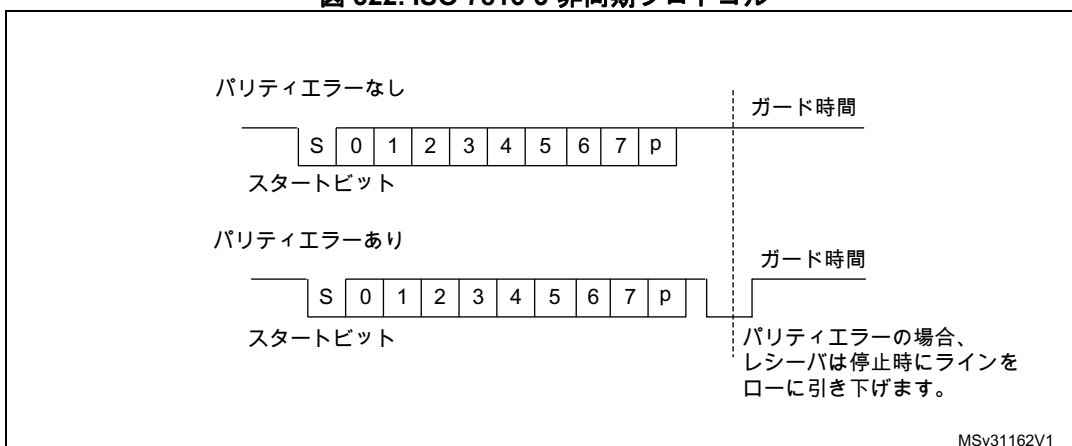
USART は次のように設定してください。

- 8 ビット+パリティ : USART_CR1 レジスタの M = 1 および PCE = 1
- データ送受信ではストップビット 1.5 個 : USART_CR2 レジスタの STOP = "11"。受信にはストップビット 0.5 個を選択することも可能です。

T=0 (キャラクタ) モードでは、パリティエラーはガードタイム中の各キャラクタの終わりに示されます。

[図 322](#) に、パリティエラーの有無によるデータラインの状況の変化の例を示します。

図 322. ISO 7816-3 非同期プロトコル



スマートカードと接続されると、USART の TX 出力は、やはりスマートカードによって駆動される双方向ラインを駆動します。TX ピンは、オープンドレインとして設定される必要があります。

スマートカードモードは、単線半二重通信プロトコルを実装します。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されません。通常動作では、フルの送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 送信時、スマートカードがパリティエラーを検出した場合には、ラインをローに駆動することによって (NACK)、この条件を USART に知らせます。この NACK 信号 (1 ボークロックの間、送信ラインをローに引き下げ) は、1.5 個のストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。USART は、プロトコルに従って、データの自動再送信を処理できます。再試行回数は、SCARCNT ビットフィールドでプログラムされます。プログ

- ラムされた再試行回数後も USART が NACK を受信し続けた場合は、送信を停止して、エラーをフレーミングエラーとして通知します。TXE ビット (FIFO モードが有効な場合は TXFNF ビット) は、USART_RQR レジスタの TXFRQ ビットを使用してセットできます。
- 送信時のスマートカード自動再試行: USART による NACK の検出と反復キャラクタのスタートビットの間に 2.5 ボー周期の遅延が挿入されます。最後の反復キャラクタの受信終了時、ただちに TC ビットがセットされます (ガードタイムはありません)。ソフトウェアで再び繰り返したい場合は、規格によって指定されている 2 ボー周期以上を確保する必要があります。
 - 1.5 個のストップビット周期でプログラムされたフレームの受信時にパリティエラーが検出された場合、受信フレームの完了後 1 ボークロック周期間、送信ラインがローに引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって "NACK" され、そうでない場合、NACK は送信されません (T = 1 モードで使用されます)。受信したキャラクタにエラーがあった場合、RXNE (FIFO モードが有効な場合は RXFNE) / 受信 DMA リクエストは有効になりません。プロトコルの仕様に従って、スマートカードは同じキャラクタを再送信する必要があります。SCARCNT ビットフィールドで指定された最大試行回数後も、受信したキャラクタにエラーがあった場合、USART は NACK の送信を停止して、エラーをパリティエラーとして通知します。
 - 受信時のスマートカード自動再試行: USART がカードを NACK したが、カードがキャラクタを繰り返さなかった場合、BUSY フラグはセットされたままです。
 - 送信時、USART は 2 つの連続するキャラクタの間にガードタイム (ガードタイムレジスタでプログラム) を挿入します。ガードタイムは前のキャラクタのストップビット後に測定されるので、GT[7:0] レジスタを目的の CGT (7816-3 仕様で定義されている Character Guard Time) から 12 (1 キャラクタの時間) を引いた値にプログラムする必要があります。
 - TC フラグのアサーションは、ガードタイムレジスタをプログラムすることによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。TCBGT フラグは、ガード時間完了を待たずにデータ転送の終わりを検出するために使用できます。このフラグは、フレーム送信終了後およびカードから NACK を受信しなかった場合にのみセットされます。
 - TC フラグのネゲートは、スマートカードモードの影響を受けません。
 - レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK をスタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期です。
 - レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK をスタートビットとして検出しません。

注 : スマートカードモードでは、ブレイクキャラクタは意味を持ちません。フレーミングエラー発生時のデータ 0x00 は、ブレイクではなくデータとして処理されます。

TE ビットをトグルするとき、アイドルフレームは送信されません。アイドルフレームは、他の設定では定義されますが、ISO プロトコルでは定義されていません。

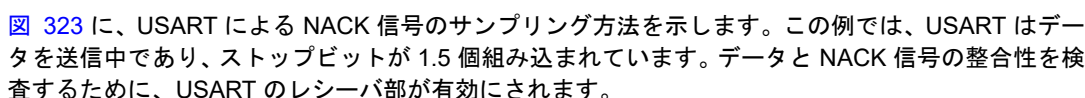
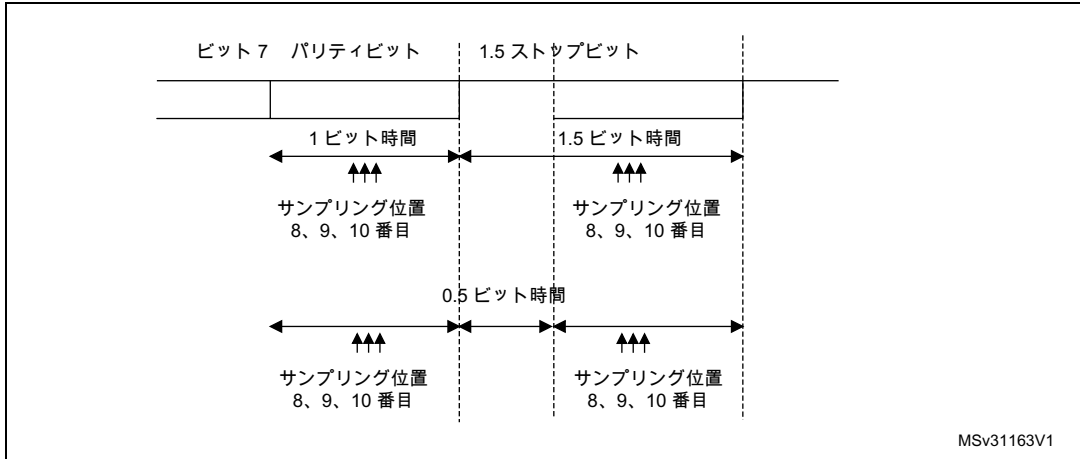
 図 323 に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、ストップビットが 1.5 個組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図 323. ストップビット 1.5 個を使用したパリティエラー検出



USART は、CK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、CK は通信に関係せず、5 ビットのプリスケアラを通じて単に内部のペリフェラル入力クロックから取得されます。この分周比は、USART_GTPR レジスタで設定されます。CK の周波数は $usart_ker_ck_pres/2$ から $usart_ker_ck_pres/62$ の間でプログラミングできます。ここで、 $usart_ker_ck_pres$ は、プログラムされたプリスケアラで分周されたペリフェラル入力クロックです。

ブロックモード (T=1)

T = 1 (ブロック) モードでは、パリティエラー送信は、USART_CR3 レジスタの NACK ビットをクリアすることによって無効化されます。

ブロックモードでスマートカードからの読み出しをリクエストするときには、ソフトウェアは RTOR レジスタを BWT (ブロックウェイトタイム) - 11 の値にプログラムする必要があります。この期間が終了する前にカードからの応答が受信されなかった場合、タイムアウト割込みが生成されます。この期間が終了する前に最初のキャラクタが受信された場合は、RXNE/RXFNE 割込みによって通知されます。

注 : ブロックモードのスマートカードからの読み出しに USART を DMA モードで使用するときでも、RXNE/RXFNE 割込みを有効にする必要があります。並行して、DMA は最初の受信バイトの後でのみ有効にする必要があります。

2つの連続するキャラクタの間で最大ウェイトタイムの自動チェックを行うには、最初のキャラクタの受信後 (RXNE/RXFNE 割込み)、RTO レジスタを CWT (キャラクタウェイトタイム - 11) の値にプログラムする必要があります。この時間は、ポータイム単位で表されます。スマートカードが前のキャラクタの終了後、CWT 未満の時間内に新しいキャラクタを送信しなかった場合、USART は RTOF フラグと割込み (RTOIE ビットがセットされているとき) によって、これをソフトウェアに通知します。

注 : スマートカードプロトコルの定義にあるように、BWT/CWT 値は最後のキャラクタの開始 (スタートビット) から定義されるべきです。RTO レジスタは、最後のキャラクタ自体の長さを考慮して、それぞれ BWT - 11 または CWT - 11 にプログラムする必要があります。

ブロック長カウンタは、USART が受信するすべてのキャラクタをカウントするために使用されます。このカウンタは、USART の送信時にリセットされます。ブロックの長さは、スマートカードによってブロックの 3 番目のバイト (プロローグフィールド) で伝えられます。この値を USART_RTOR レジスタの BLEN フィールドでプログラムする必要があります。DMA モードを使用するときには、ブロックの開始前に、このレジスタフィールドを最小値 (0x0) にプログラムする必要があります。この値では、4 番目の受信キャラクタの後に割込みが生成されます。ソフトウェアは LEN フィールド (3 番目のバイト) を読み出す必要があり、その値は受信バッファから読み出される必要があります。

割り込み駆動受信モードでは、ブロックの長さはソフトウェアによって、または BLEN 値をプログラムすることによってチェックできます。ただし、ブロックの開始前に、BLEN の最大値 (0xFF) をプログラムすることができます。実際の値は、3番目のキャラクタの受信後にプログラムされます。

ブロックが LRC 水平冗長検査 (1 エピローグバイト) を使用している場合は、BLEN = LEN です。ブロックが CRC メカニズム (2 エピローグバイト) を使用している場合は、BLEN = LEN+1 をプログラムする必要があります。合計ブロック長 (プロローグ、エピローグ、および情報フィールドを含む) は、BLEN+4 に等しくなります。ブロックの終わりは EOBFF フラグと割り込み (EOBIE ビットがセットされているとき) によってソフトウェアに通知されます。

ブロック長エラーの場合、ブロックの終わりは RTO 割り込みによって通知されます (キャラクタウェイトタイムオーバーフロー)。

注： エラーチェックコード (LRC/CRC) は、ソフトウェアによって計算/確認されなければなりません。

ダイレクトおよびインバースコンベンション

スマートカードプロトコルは、ダイレクトとインバースの 2 つコンベンションを定義しています。

ダイレクトコンベンションは、LSB ファースト、論理ビットの値 1 がラインの H 状態に対応、および偶数パリティとして定義されています。このコンベンションを使用するためには、制御ビット MSBFIRST = 0、DATAINV = 0 (デフォルト値) をプログラムする必要があります。

インバースコンベンションは、MSB ファースト、論理ビットの値 1 が単線の L 状態に対応、および偶数パリティとして定義されています。このコンベンションを使用するためには、制御ビット MSBFIRST = 1、DATAINV = 1 をプログラムする必要があります。

注： 論理データ値が反転されると (0 = H、1 = L)、パリティビットも同じように反転されます。

カードのコンベンションを認識するために、カードは最初のキャラクタ TS を ATR (Answer To Reset) フレームの最初のキャラクタとして送信します。TS には、LHHL LLL LLH と LHHL HHH LLH の 2 つのパターンが使えます。

- (H) LHHL LLL LLH は、インバースコンベンションをセットアップします。状態 L が値 1 にエンコードされ、モーメント 2 は最上位ビットを含みます (MSB ファースト)。インバースコンベンションによってデコードされると、送受信されたバイトは 3F に等しくなります。
- (H) LHHL HHH LLH は、ダイレクトコンベンションをセットアップします。状態 H が値 1 にエンコードされ、モーメント 2 は最下位ビットを含みます (LSB ファースト)。ダイレクトコンベンションによってデコードされると、送受信されたバイトは 3B に等しくなります。

キャラクタパリティは、2 から 10 までの 9 個のモーメントに 1 にセットされた偶数個のビットがあったときに正しいとみなされます。

USART はカードが使用するコンベンションを知らないなので、いずれのパターンであるかを認識して、それに応じて動作する必要があります。パターン認識はハードウェアでは行われず、ソフトウェアシーケンスによって行われます。さらに、USART がダイレクトコンベンション (デフォルト) で設定され、カードがインバースコンベンションで応答した場合、TS = LHHL LLL LLH は、USART の受信キャラクタ 03 と奇数パリティになります。

したがって、TS パターン認識には 2 つの方式を使用できます。

方式 1

USART は、標準スマートカードモード/ダイレクトコンベンションでプログラムされます。この場合、TS パターンの受信によってパリティエラー割込みと、カードに対するエラー信号が生成されます。

- パリティエラー割込みは、カードがダイレクトコンベンションで正しく応答しなかったことをソフトウェアに知らせます。ソフトウェアは、USART をインバースコンベンションで再プログラムします。
- エラー信号に対して、カードは同じ TS キャラクタを再試行し、再プログラムされた USART によって今度は正しく受信されます。

または、パリティエラー割込みに応答して、ソフトウェアは USART を再プログラムし、カードに対して新しいリセットコマンドを生成してから、TS を再び待つこともできます。

方式 2

USART は 9 ビット/パリティなしモード、ビット反転なしでプログラムされます。このモードでは、次のように 2 つの TS パターンのいずれかを受信します。

- (H) LHHH LLL LLH = 0x103 : インバースコンベンションを選択
- (H) LHHH HHH LLH = 0x13B : ダイレクトコンベンションを選択

ソフトウェアは受信されたキャラクタをこの 2 つのパターンと照合して、いずれかに一致した場合は、それに応じて、次のキャラクタ受信に備えて USART をプログラムします。

2 つのうちのどちらも認識されなかった場合、ネゴシエーションを再開するためにカードリセットが生成されます。

35.5.18 USART IrDA SIR ENDEC ブロック

このセクションは、IrDA モードがサポートされるときにのみ適用されます。1119 ページのセクション 35.4: USART の実装を参照してください。

IrDA モードを選択するには、USART_CR3 レジスタの IREN ビットをセットします。IrDA モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN、STOP、および CLKEN ビット
- USART_CR3 レジスタの SCEN および HDSEL ビット

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI (Return to Zero, Inverted) 変調方式の使用を指定します (図 324 を参照)。

SIR 送信エンコーダは、USART からの NRZ (Non Return to Zero) 送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 Kbaud のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ (Return to Zero) ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出します。デコーダの入力は、アイドル状態のノーマルハイレベル (マーク状態) です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである場合 (USART が IrDA エンコーダにデータを送信しているとき)、IrDA デコーダは IrDA 受信ライン上にあるすべてのデータを無視します。レシーバがビジーである (USART がデコードされたデータを受信している) 場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中は、送信データの破壊を防ぐために、送信を避けてください。

- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます (図 325 を参照)。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 us より大きなパルスを受け入れる必要があります。受け入れられるパルス幅は、プログラム可能です。レシーバ側のグリッチ検出回路は、PSC 2 周期 (PSC は USART_GTPR でプログラムされたプリスケール値) より小さな幅のパルスをフィルタします。PSC 1周期より小さな幅のパルスは常に拒否されますが、1周期以上 2周期未満の幅のパルスは受け入れられることも、拒否されることもあります。2周期より大きな幅のパルスは、パルスとして受け入れられます。PSC = 0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低消費電力トランスミッタと通信できます。
- IrDA モードでは、USART_CR2 レジスタのストップビットを“1 ストップビット”に設定する必要があります。

IrDA 低消費電力モード

- トランスミッタ
低消費電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低消費電力ボーレート (最小で 1.42 MHz) の 3 倍となります。一般に、この値は 1.8432 MHz (1.42 MHz < PSC < 2.12 MHz) です。低消費電力モードのプログラム可能な分周器は、この値を得るためにシステムクロックを分周します。
- レシーバ
低消費電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低消費電力ボーレート (USART_GTPR の PSC 値) の 2 周期分を超える場合にのみ受け入れられます。

注 : PSC 2 周期未満 1 周期以上の幅のパルスは、拒否されることも、拒否されないこともあります。レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています (IrDA は半二重プロトコルです)。

図 324. IrDA SIR ENDEC ブロック図

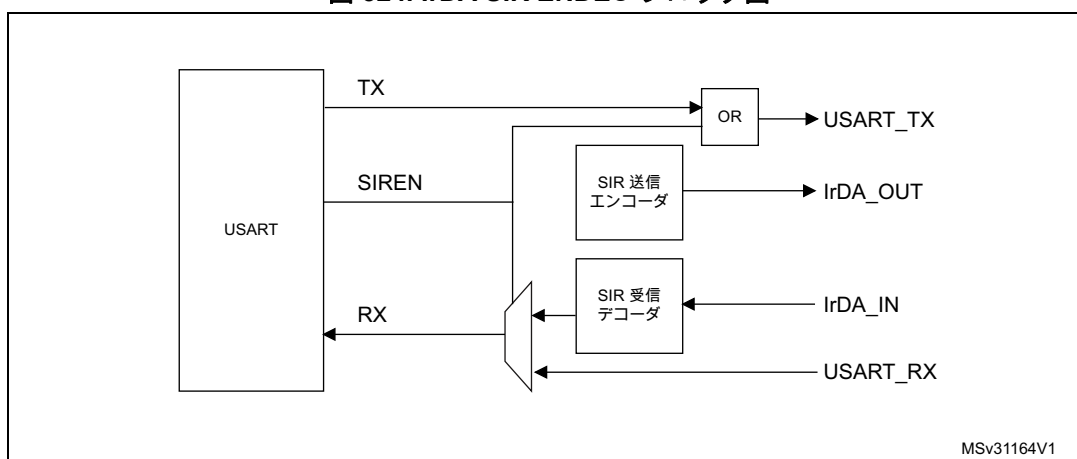
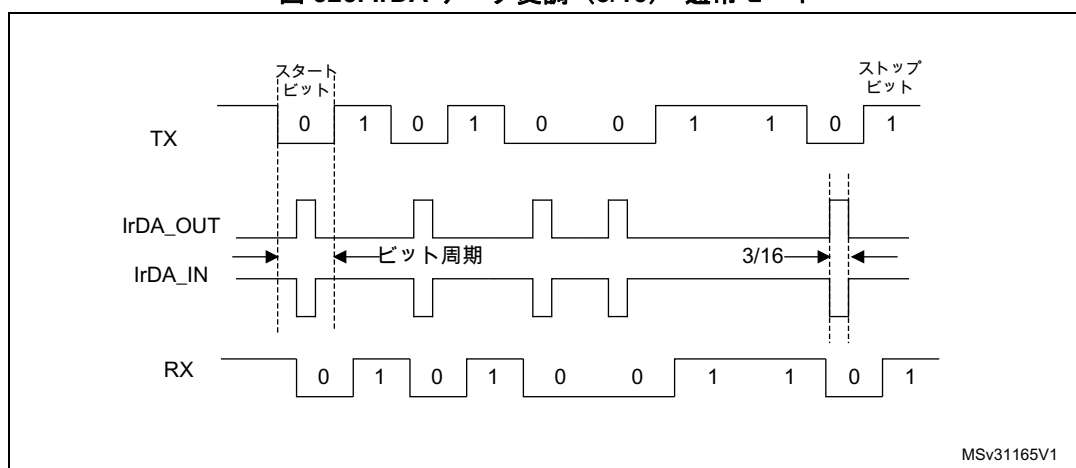


図 325. IrDA データ変調 (3/16) - 通常モード



35.5.19 USART および DMA を使用した連続通信

USART は、DMA を使用して連続通信を行うことができます。Rx バッファと Tx バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： DMA モードがサポートされるかどうかについては、[1119 ページのセクション 35.4: USART の実装](#)を参照してください。DMA がサポートされない場合は、[セクション 35.5.6](#)の説明に従って USART を使用してください。FIFO が無効の場合、連続通信を行うには、USART_ISR レジスタの TXE/ RXNE フラグをクリアします。

DMA を使用した送信

DMA モードでの送信を有効にするには、USART_CR3 レジスタの DMAT ビットをセットします。TXE フラグ (FIFO モードが有効な場合は TXFNF フラグ) がセットされるたびに、データは、DMA ペリフェラル (対応するダイレクトメモリアクセスコントローラのセクションを参照) を使用して設定された SRAM 領域から USART_TDR レジスタにロードされます。DMA チャンネルを USART 送信用に割り付けるには、次の手順を実行します (x はチャンネル番号を示します)

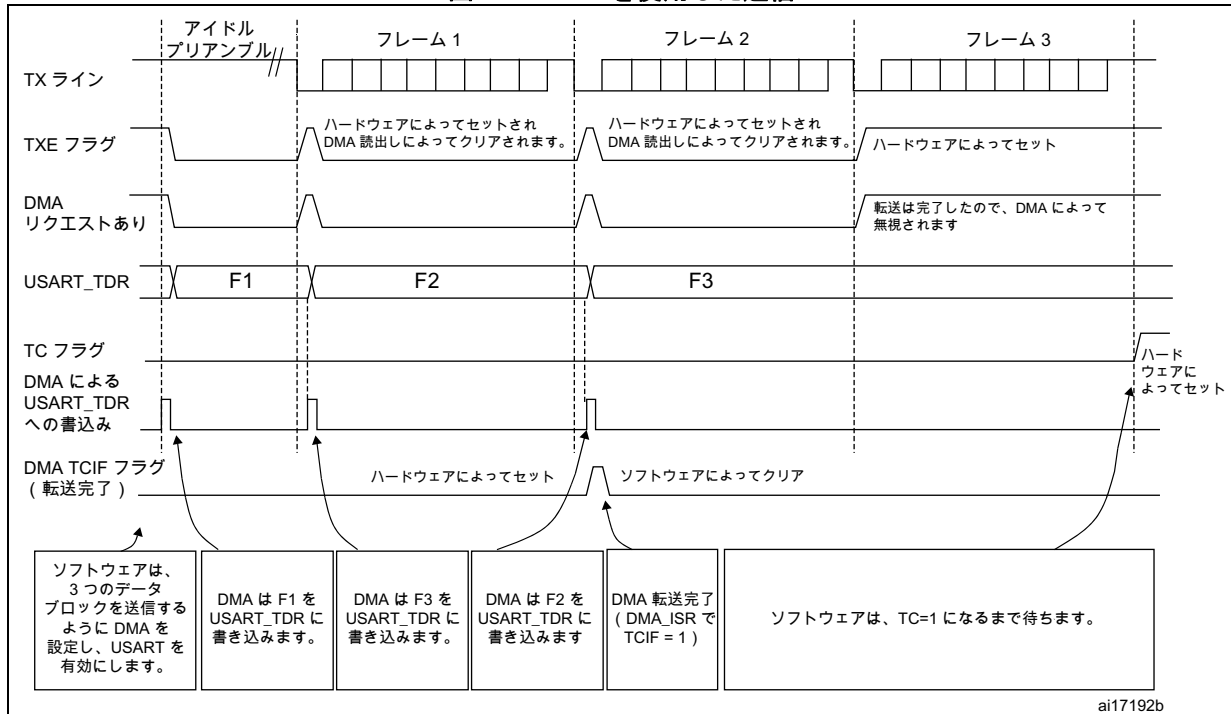
1. DMA 制御レジスタに USART_TDR レジスタのアドレスを書き込み、これを転送先として設定します。データは、各 TXE (または FIFO モードが有効な場合は TXFNF) イベント後に、メモリからこのアドレスに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送元として設定します。データは、各 TXE (または FIFO モードが有効な場合は TXFNF) イベント後に、このメモリ領域から USART_TDR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャンネル優先順位を DMA レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割り込み生成を設定します。
6. USART_ICR レジスタの TCCF ビットをセットすることによって、USART_ISR レジスタの TC フラグをクリアします。
7. DMA レジスタのチャンネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャンネルの割り込みベクタに基づいて割り込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと (DMA_ISR レジスタの TCIF フラグがセットされます)、TC フラグを観察して USART 通信の完了を確認することができます。これは、USART を無効にする前に、またはペリフェラルクロックが無効のときシステムが低消費電力モード

に入る前に、最後の送信が壊れないようにするために必要です。ソフトウェアは、TC = 1 になるまで待つ必要があります。TC フラグは、すべてのデータ転送中、クリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

図 326. DMA を使用した送信



注： FIFO 管理が有効になっているときは、DMA リクエストは、送信 FIFO ノットフル(すなわち、TXFNF = 1) によってトリガされます。

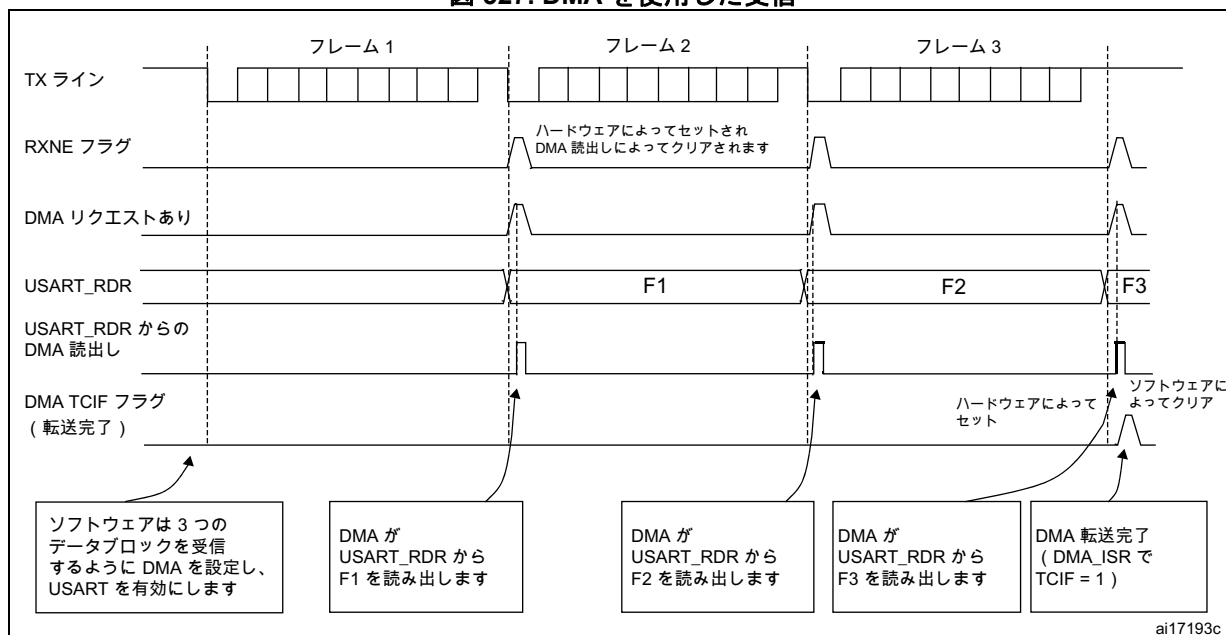
DMA を使用した受信

DMA モードでの受信を有効にするには、USART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、USART_RDR レジスタから DMA ペリフェラル (対応するダイレクトメモリアクセスコントローラのセクションを参照) を使用して設定された SRAM 領域にロードされます。DMA チャンネルを USART 受信用に割り付けるには、次の手順を実行します。

1. DMA 制御レジスタに USART_RDR レジスタのアドレスを書き込み、これを転送元として設定します。データは、各 RXNE (FIFO モードが有効な場合は RXFNE) イベント後に、このアドレスからメモリに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送先として設定します。データは、各 RXNE (FIFO モードが有効な場合は RXFNE) イベント後に、USART_RDR からこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャンネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割り込み生成を設定します。
6. DMA 制御レジスタのチャンネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャンネルの割り込みベクタに基づいて割り込みを生成します。

図 327. DMA を使用した受信



注： FIFO 管理が有効になっているときは、DMA リクエストは、受信 FIFO ノットエンプティ (すなわち、RXFNE = 1) によってトリガされます。

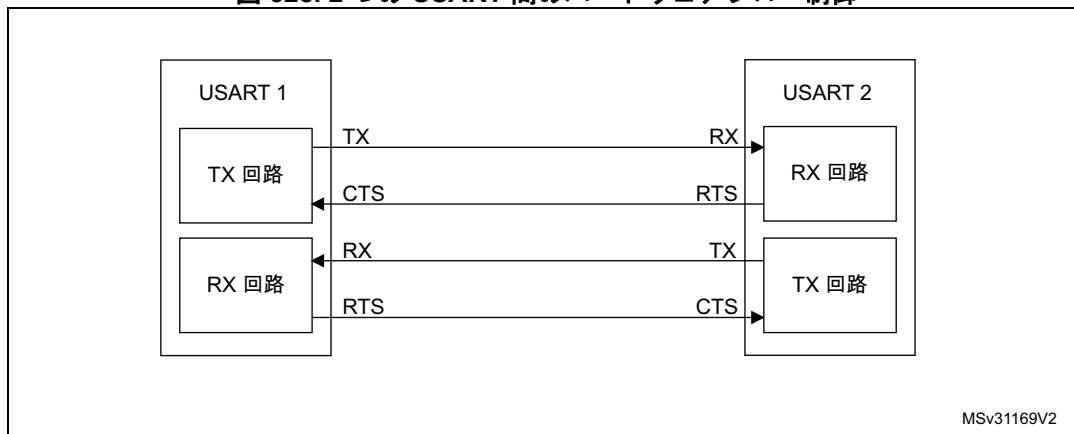
マルチバッファ通信における割込み生成とエラーフラグ

マルチバッファ通信モードでトランザクション中にエラーが発生した場合、現在のバイトの後にエラーフラグがアサートされます。割込み有効フラグがセットされている場合、割込みが生成されます。1 バイト受信において RXNE (FIFO モードが有効な場合は RXFNE) とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別のエラーフラグ割込み有効ビット (USART_CR3 レジスタの EIE ビット) があり、これがセットされている場合、いずれかのエラーが発生すると、現在のバイトの後に割込みが有効になります。

35.5.20 RS232 ハードウェアフロー制御および RS485 ドライバ有効

CTS 入力と RTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。
 図 328 に、このモードで 2 つのデバイスを接続する方法を示します。

図 328. 2 つの USART 間のハードウェアフロー制御

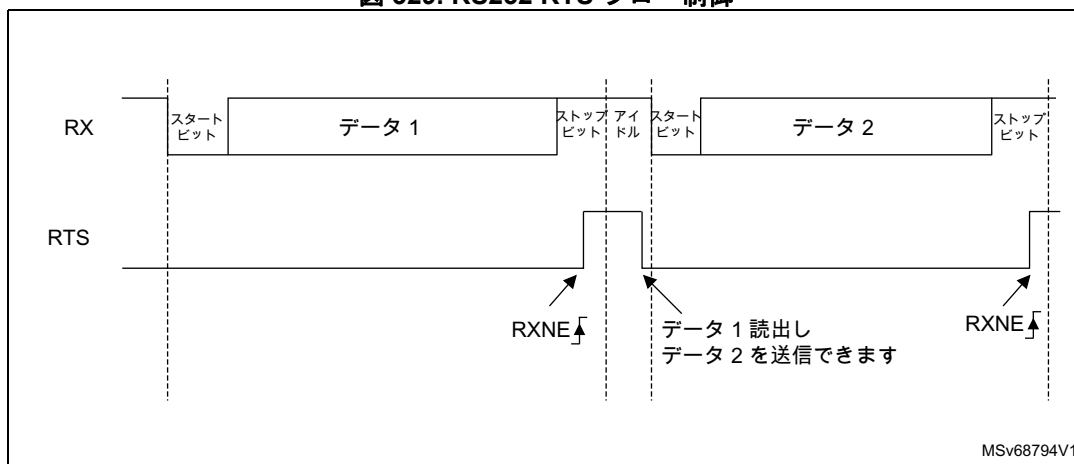


RS232 RTS と CTS のフロー制御は、USART_CR3 レジスタの RTSE ビットと CTSE ビットに“1”を書き込むことによって、個別に有効にできます。

RS232 RTS フロー制御

RTS フロー制御が有効な場合 (RTSE = 1)、USART レシーバが新しいデータを受信可能である限り、RTS がデアサートされます (ローレベル接続)。受信レジスタがフルになると RTS がアサートされ、現在のフレームの終わりに送信の停止が期待されることを示します。図 329 に、RTS フロー制御が有効な場合の通信例を示します。

図 329. RS232 RTS フロー制御



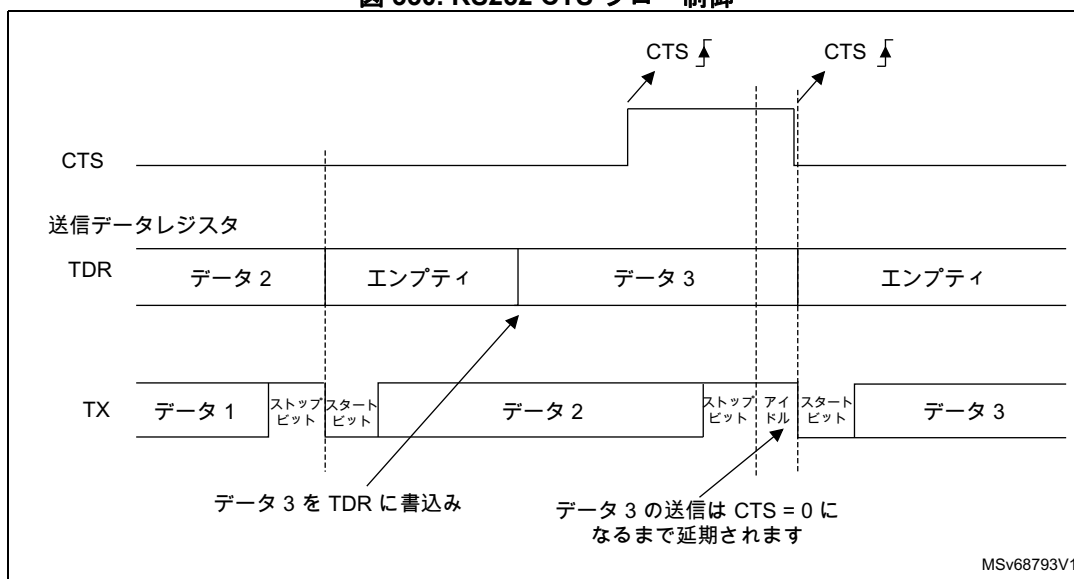
注： FIFO モードが有効な場合は、RXFIFO がフルのときにのみ、RTS がアサートされます。

RS232 CTS フロー制御

CTS フロー制御が有効な場合 (CTSE = 1)、トランスミッタは、CTS 入力をチェックしてから、次のフレームを送信します。CTS がデアサートされた場合 (ローレベル接続)、次のデータが送信されます (データが送信できると想定、つまり TXE/TXFE = 0 の場合)。そうでない場合、送信は行われません。送信中に CTS がアサートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE = 1 の場合、CTS 入力が入ると、CTSIF ステータスビットはハードウェアによって自動的にセットされます。このビットは、レシーバの通信準備ができていないかどうかを示します。USART_CR3 レジスタの CTSIE ビットがセットされている場合、割込みが生成されます。図 330 に、CTS フロー制御が有効な場合の通信例を示します。

図 330. RS232 CTS フロー制御



注： 正しい動作のために、CTS は、現在のキャラクタの終了の少なくとも 3 USART クロックソース周期前にデアサートされる必要があります。さらに、2 x PCLK 周期より短いパルスでは CTSCF フラグがセットされない場合があることに注意してください。

RS485 ドライバ有効

ドライバ有効機能を有効にするには、USART_CR3 制御レジスタのビット DEM をセットします。これにより、DE (Driver Enable) 信号によって外部トランシーバ制御を有効にできます。アサーション時間は、DE 信号の有効化からスタートビットの開始までの時間です。USART_CR1 制御レジスタの DEAT [4:0] ビットフィールドを使用してプログラムされます。ネゲート時間は、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。USART_CR1 制御レジスタの DEDT [4:0] ビットフィールドを使用してプログラムされます。DE 信号の極性は、USART_CR3 制御レジスタの DEP ビットを使用して設定できます。

USART では、DEAT および DEDT はサンプル時間単位 (オーバーサンプリングレートに応じて 1/8 または 1/16 ビット時間) で表されます。

35.5.21 USART 低消費電力管理

USART には、高度な低消費電力モード機能があり、`usart_pclk` クロックが無効になっているときでもデータを適切に転送することができます。

USART は、UESM ビットがセットされているとき、MCU を低消費電力モードからウェイクアップできます。

`Usart_pclk` がゲートされているとき、`usart_pclk` クロックの有効化を必要とする特定の動作が必要になった場合、USART はウェイクアップ割込み (`usart_wkup`) を生成します。

- FIFO モードが無効の場合

USART データレジスタを空にするために `Usart_pclk` クロックを有効にする必要があります。

この場合、`usart_wkup` 割込みのソースは“1”にセットされた RXNE です。低消費電力モードに入る前に RXNEIE ビットをセットする必要があります。

- FIFO モードが有効な場合

次のために `Usart_pclk` クロックを有効にする必要があります。

- TXFIFO を満たすため
- または RXFIFO を空にするため

この場合、`usart_wkup` 割込みのソースになる可能性のあるものは以下の通りです。

- RXFIFO ノットエンプティ。この場合、低消費電力モードに入る前に RXFNEIE ビットをセットする必要があります。
- RXFIFO フル。この場合、低消費電力モードに入る前に RXFFIE ビットをセットする必要があります。受信データの数 RXFIFO のサイズに一致し、RXFF フラグはセットされません。
- TXFIFO エンプティ。この場合、低消費電力モードに入る前に TXFEIE ビットをセットする必要があります。

これによって、低消費電力モード中にデータを TXFIFO/RXFIFO に送信／受信することができます。

低消費電力モードで、オーバーラン／アンダーランエラーを避けてデータを送信／受信するために、`usart_wkup` 割込みソースになり得るのは次のイベントのうちの 1 つです。

- TXFIFO 閾値に達した。この場合、低消費電力モードに入る前に TXFTIE ビットをセットする必要があります。
- RXFIFO 閾値に達した。この場合、低消費電力モードに入る前に RXFTIE ビットをセットする必要があります。

たとえば、ウェイクアップ時間が、ラインを経て 1 バイトを受信するのに必要な時間より少ない場合は、アプリケーションは閾値を RXFIFO の最大サイズに設定できます。

MCU を低消費電力モードからウェイクアップするための RXFIFO フル、TXFIFO エンプティ、RXFIFO ノットエンプティ、および RXFIFO/TXFIFO 閾値割込みを使用すれば、低消費電力モード中にできるだけ多くの USART 転送を行うことができ、電力消費を最適化できるメリットがあります。

あるいは、WUS ビットフィールドによって、特定の `usart_wkup` 割込みを選択することもできます。

ウェイクアップイベントが検出されると、ハードウェアによって WUF フラグがセットされ、WUFIE ビットがセットされていた場合は `usart_wkup` 割込みが生成されます。

- 注： 低消費電力モードに移行する前に、USART 転送が進行中ではないことを確認してください。BUSY フラグをチェックすることでは、データ受信中に低消費電力モードに入らないことを保証できません。WUF フラグは、MCU が低消費電力モードか、アクティブモードかに関係なく、ウェイクアップイベントが検出されたときにセットされます。
- 初期化とレシーバの有効化の直後に低消費電力モードに入るときには、REACK ビットをチェックして、USART が有効であることを確認する必要があります。
- 受信に DMA が使用されるときには、低消費電力モードに入る前に無効化し、低消費電力モードの終了時に再び有効にする必要があります。
- FIFO が有効なときには、アドレス一致時の低消費電力モードからのウェイクアップはミュートモードが有効な場合のみ可能です。

低消費電力モードでのミュートモードの使用

低消費電力モードに入る前に USART がミュートモードになった場合は、

- アイドル検出は低消費電力モードでは機能しないので、アイドル検出時にミュートモードからウェイクアップすることはできません。
- アドレス一致によるミュートモードからのウェイクアップが使用される場合、低消費電力モードからのウェイクアップのソースもアドレス一致でなければなりません。低消費電力モードに入るときに RXNE フラグがセットされた場合、アドレス一致によって低消費電力モードからウェイクアップしても、インタフェースはミュートモードのままです。

- 注： FIFO 管理が有効なとき、ミュートモードは何の制約もなく低消費電力モードからのウェイクアップとともに使用できます（すなわち、ミュートおよび低消費電力モードについて上に述べた 2 点は、FIFO 管理が無効なときのみ有効です）。

低消費電力モードで USART カーネルクロック (usart_ker_ck) がオフのときの低消費電力モードからのウェイクアップ

低消費電力モード中、usart_ker_ck クロックがオフになっている場合、USART 受信ラインの立ち下がりがエッジが検出されると、usart_ker_ck_req 信号によって USART インタフェースが usart_ker_ck クロックをオンにするようリクエストします。その後、usart_ker_ck がフレーム受信に使用されます。

ウェイクアップイベントが確認された場合、MCU は低消費電力モードからウェイクアップし、データ受信が正常に続行します。

ウェイクアップイベントが確認されない場合、usart_ker_ck クロックが再度オフになり、MCU がウェイクアップせずに低消費電力モードに留まり、カーネルクロックリクエストが解除されます。

以下の例は、ウェイクアップイベントが「アドレス一致検出」にプログラムされ、FIFO 管理が無効になっている場合を示しています。

図 331 に、ウェイクアップイベントが確認された時の USART の動作を示します。

図 331. 確認されたウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)

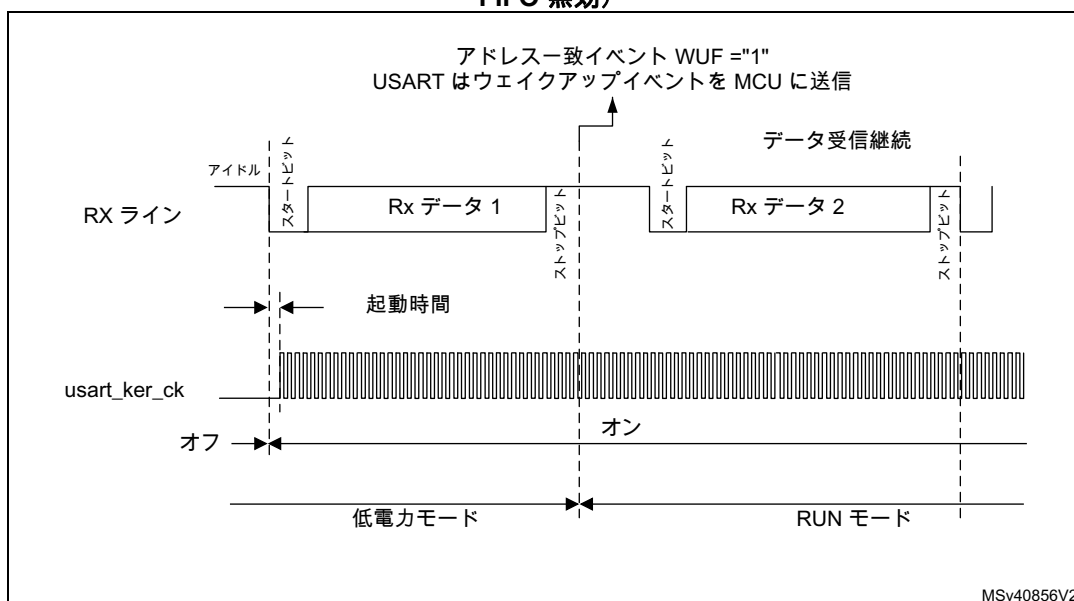
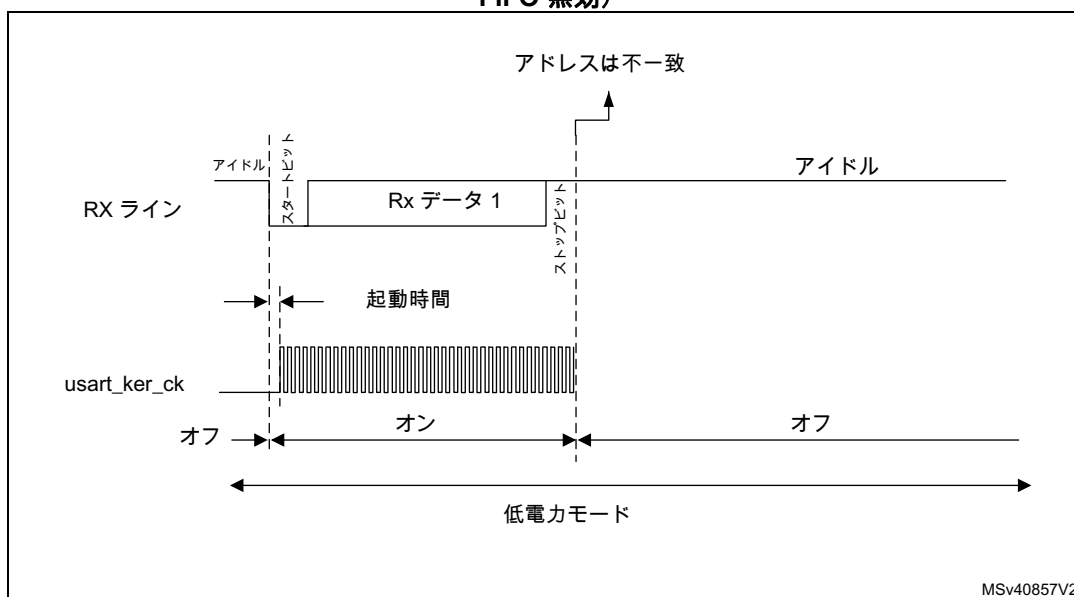


図 332 に、ウェイクアップイベントが確認されない時の USART の動作を示します。

図 332. 確認されないウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)



注： 上図は、アドレス一致または受信フレームがウェイクアップイベントとして使用されたとき、有効です。ウェイクアップイベントがスタートビット検出である場合、USART はスタートビットの終端にウェイクアップイベントを MCU に送ります。

デバイスの低消費電力モードからの正常なウェイクアップを可能にする最大 USART ボーレートの決定

デバイスの低消費電力モードからの正常なウェイクアップを可能にする最大 USART ボーレートは、ウェイクアップ時間パラメータ（デバイスのデータシートを参照）と USART レシーバの許容誤差（[セクション 35.5.8: クロック偏差に対する USART レシーバの許容誤差](#)を参照）に依存します。

例として、OVER8 = 0、M ビット = "01"、ONEBIT = 0、BRR [3:0] = 0000 とします。

この条件では、[表 241: BRR \[3:0\] = 0000 のときの USART レシーバの許容誤差](#)によると、USART レシーバの許容誤差は 3.41% です。

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{USART レシーバの許容誤差}$$

$$D_{WUmax} = t_{WUUSART} / (11 \times T_{bit \text{ Min}})$$

$$T_{bit \text{ Min}} = t_{WUUSART} / (11 \times D_{WUmax})$$

ここでは、 $t_{WUUSART}$ が低消費電力モードからのウェイクアップ時間です。

パラメータ DTRA、DQUANT、DREC、および DTCL が 0% であるときに理想的なケースを考えた場合、DWU の最大値は 3.41% です。実際には、最低 usart_ker_ck 精度を考慮する必要があります。

たとえば HSI が usart_ker_ck として使用され、HSI 精度が 1% の場合、以下を得ることができます。

$t_{WUUSART} = 3 \mu\text{s}$ （この値は 1 例です。正確な値については、デバイスのデータシートを参照してください）

$$D_{WUmax} = 3.41\% - 1\% = 2.41\%$$

$$T_{bit \text{ min}} = 3 \mu\text{s} / (11 \times 2.41\%) = 11.32 \mu\text{s}$$

その結果、低消費電力モードからの正しいウェイクアップを可能にする最大ボーレートは、次のようになります。1/11.32 μs = 88.36 K ボー

35.6 低消費電力モードでの USART

表 244. 低消費電力モードが USART に与える影響

モード	説明
SLEEP	影響はありません。USART 割込みによって、デバイスは SLEEP モードを終了します。
STOP ⁽¹⁾	USART レジスタの内容は保持されます ⁽²⁾ 。 STOP モードで使用可能なオシレータによって USART がクロック供給されている場合、USART はマイクロコントローラを STOP モードからウェイクアップすることができます。
STANDBY	USART ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

- STOP モードからのウェイクアップが特定のペリフェラルインスタンスでサポートされているかどうかを確認するには、[セクション 35.4: USART の実装](#)を参照してください。インスタンスが特定の STOP モードで機能しない場合、この STOP モードに入る前にそのインスタンスを無効にする必要があります。
- USART レジスタの内容は、STOP 0 および STOP 1 モードでのみ保持されます。STOP 2 モードでは、USART レジスタの内容は失われるので、STOP 2 モードを終了した後には再初期化する必要があります。

35.7 USART 割込み

すべての USART 割込みリクエストの詳細な説明については、表 245 を参照してください。

表 245. USART 割込みリクエスト

割込みベクタ	割込みイベント	イベントフラグ	イネーブル制御ビット	割込みのクリア方法	SLEEPモードの終了	STOP ⁽¹⁾ モードの終了	STANDBYモードの終了
USART または UART	送信データレジスタ エンプティ	TXE	TXEIE	TDR を書き込む	可	不可	不可
	送信 FIFO ノットフル	TXFNF	TXFNIE	TXFIFO フル		不可	
	送信 FIFO エンプティ	TXFE	TXFEIE	TDR を書き込むか、 TXFRQ に 1 を書き込む		可	
	送信 FIFO 閾値到達	TXFT	TXFTIE	TDR を書き込む		可	
	CTS 割込み	CTSIF	CTSIE	CTSCF に 1 を書き込む		不可	
	送信完了	TC	TCIE	TDR を書き込むか、 TCCF に 1 を書き込む		不可	
	ガード時間前に送信完了	TCBGT	TCBGTIE	TDR を書き込むか、 TCBGT に 1 を書き込む		不可	
USART または UART	受信データレジスタ エンプティ (データの読み出し 可能)	RXNE	RXNEIE	RDR を読み出すか、 RXFRQ に 1 を書き込む	可	はい	不可
	受信 FIFO ノットエンプティ	RXFNE	RXFNEIE	RXFIFO が空になるまで RDR を読み出すか、 RXFRQ に 1 を書き込む		可	
	受信 FIFO フル	RXFF ⁽²⁾	RXFFIE	読み出しは RDR です。		可	
	受信 FIFO 閾値到達	RXFT	RXFTIE	読み出しは RDR です。		可	
	オーバーランエラー検出	ORE	RXNEIE/ RXFNEIE	ORECF に 1 を書き込む		不可	
	アイドルライン検出	IDLE	IDLEIE	IDLECF に 1 を書き込む		不可	
	パリティエラー	PE	PEIE	PECF に 1 を書き込む		不可	
	LIN ブレーク	LBDF	LBDIE	LBDCF に 1 を書き込む		不可	
	マルチバッファ通信に おけるノイズエラー	NE	EIE	NFCF に 1 を書き込む		不可	
	マルチバッファ通信での オーバーランエラー	ORE ⁽³⁾		ORECF に 1 を書き込む		不可	
	マルチバッファ通信での フレーミングエラー	FE		FECF に 1 を書き込む		不可	
	キャラクター一致	CMF	CMIE	CMCF に 1 を書き込む		不可	
	レシーバタイムアウト	RTOF	RTOFIE	RTOCCF に 1 を書き込む		不可	
	ブロックの終了	EOBF	EOBIE	EOBCF に 1 を書き込む		不可	
	低消費電力モードからの ウェイクアップ	WUF	WUFIE	WUC に 1 を書き込む		可	
SPI スレーブの アンダーランエラー	UDR	EIE	UDRCF に 1 を書き込む	不可			

1. USART は、ペリフェラルインスタンスが STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。サポートされている STOP モードのリストについては、[セクション 35.4: USART の実装](#)を参照してください。
2. RXFF フラグは、USART が次のように n+1 個のデータを受信した場合にアサートされます (n は RXFIFO のサイズ)。RXFIFO に n 個のデータ、USART_RDR に 1 個のデータ。STOP モードでは、USART_RDR はクロック供給されません。その結果として、このレジスタは書き込まれず、n 個のデータが受信されて RXFIFO に書き込まれた後に、RXFF 割込みがアサートされます (RXFF フラグはセットされません)。
3. OVRDIS = 0 の場合。

35.8 USART レジスタ

レジスタの説明で使用されている略語のリストについては、[59 ページのセクション 1.2](#) を参照してください。

ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスする必要があります。

35.8.1 USART 制御レジスタ 1 (USART_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

同じレジスタが FIFO モード有効 (このセクション) でも、FIFO モード無効 (次のセクション) でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXF FIE	TXFEIE	FIFO EN	M1	EOBIE	RTOIE	DEAT[4:0]				DEDT[4:0]					
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFI E	TCIE	RXFNE IE	IDLEIE	TE	RE	UESM	UE
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31 **RXFFIE** : RXFIFO フル割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの RXFF = 1 のときに、USART 割込みが生成されます。

ビット 30 **TXFEIE** : TXFIFO エンプティ割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの TXFE = 1 のときに、USART 割込みが生成されます。

ビット 29 **FIFOEN** : FIFO モード有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : FIFO モードは無効です。

1 : FIFO モードは有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : FIFO モードは、SPI マスタ/スレーブモードおよびスマートカードモードでのみ、標準 UART 通信で使用できます。IrDA および LIN のモードでは有効にはいけません。

ビット 28 M1 : ワード長

このビットはビット 12 (M0) と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット/クリアされます。

M[1:0] = "00" : スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = "01" : スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = "10" : スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ポーレート (0x7F および 0x55 フレーム検出) はサポートされません。

ビット 27 EOBIE : ブロック終了割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの EOBIF フラグがセットされると、USART 割込みが生成されます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 26 RTOIE : レシーバタイムアウト割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの RTOIF ビットがセットされると、USART 割込みが生成されます。

注 : USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 25:21 DEAT[4:0] : ドライバ有効アサーション時間

この 5 ビット値は、DE (Driver Enable) 信号の有効化からスタートビットの開始までの時間を定義します。サンプル時間単位 (オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間) で表されます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 20:16 DEDT[4:0] : ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE (Driver Enable) 信号の無効化までの時間を定義します。サンプル時間単位 (オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間) で表されます。

DEDT 時間中に USART_TDR レジスタに書き込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 15 OVER8 : オーバーサンプリングモード

0 : 16 倍のオーバーサンプリング

1 : 8 倍のオーバーサンプリング

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : LIN、IrDA、およびスマートカードモードでは、このビットは常にクリア状態に保つ必要があります。

ビット 14 CMIE : キャラクター一致割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの CMIF ビットがセットされると、USART 割込みが生成されます。

ビット 13 MME : ミュートモード有効

このビットは USART ミュートモード機能を有効にします。セットされると、USART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット/クリアされます。

0 : レシーバは永続的にアクティブモードです。

1 : レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 M0 : ワード長

このビットはビット 28 (M1) と併せて使用して、ワード長を決定します。ソフトウェアによってセット/クリアされます (ビット 28 (M1) の説明を参照)。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11 WAKE : レシーバウェイクアップ方式

このビットによって、ミュートモードからの USART のウェイクアップ方式が決まります。ソフトウェアによってセット/クリアされます。

0 : アイドルライン

1 : アドレスマーク

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 10 PCE : パリティ制御有効

このビットは、ハードウェアのパリティ制御 (生成と検出) を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置 (M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット) に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0 : パリティ制御は無効です。

1 : パリティ制御は有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 9 PS : パリティ選択

このビットは、パリティの生成/検出が有効である (PCE ビットがセットされている) とき、奇数パリティ/偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0 : 偶数パリティ

1 : 奇数パリティ

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 8 PEIE : PE 割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの PE = 1 のときには、USART 割込みが生成されます。

ビット 7 TXFNFIE : TXFIFO ノットフル割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの TXFNF=1 のときには、USART 割込みが生成されます。

ビット 6 TCIE : 転送完了割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの TC = 1 のときには、USART 割込みが生成されます。

ビット 5 RXFNEIE : RXFIFO ノットエンプティ割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの ORE = 1 または RXFNE = 1 のときには、USART 割込みが生成されます。

ビット 4 IDLEIE : IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの IDLE = 1 のときには、USART 割込みが生成されます。

ビット 3 TE : トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0 : トランスミッタは無効です。

1 : トランスミッタは有効です。

注 : スマートカードモードの場合を除いて、送信中に TE ビットにローパルスを与える (“0”に続けて“1”を書き込む) と、現在のワードの後にプリアンブル (アイドルライン) が送信されます。アイドルキャラクタを生成するためには、すぐには TE に“1”を書き込まないでください。必要な時間を確保するために、ソフトウェアは USART_ISR レジスタの TEACK ビットをポーリングできます。

スマートカードモードでは、TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 RE : レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0 : レシーバは無効です。

1 : レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 UESM : USART 低消費電力モードで有効

このビットがクリアされると、USART は MCU を低消費電力モードからウェイクアップできません。

このビットがセットされると、USART は MCU を低消費電力モードからウェイクアップできます。

このビットは、ソフトウェアによってセット／クリアされます。

0 : USART は低消費電力モードから MCU をウェイクアップできません。

1 : USART は低消費電力モードから MCU をウェイクアップできます。

注 : 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 0 UE : USART 有効

このビットがクリアされると、USART プリスケアラと出力はただちに停止され、現在のすべての動作は破棄されます。USART の設定は保たれますが、USART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット／クリアされます。

0 : USART プリスケアラと出力は無効であり、低消費電力モードです。

1 : USART は有効です。

注 : ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットを事前にリセットする必要があります。ソフトウェアは USART_ISR の TC ビットがセットされるのを待ってから、UE ビットをリセットする必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャンルを無効にする必要があります。

スマートカードモードでは (SCEN = 1)、CK は UE ビット値にかかわらず、CLKEN = 1 の場合に常に使用可能です。

35.8.2 USART 制御レジスタ 1[オルタネート] (USART_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

同じレジスタが FIFO モード有効 (前のセクション) でも、FIFO モード無効 (このセクション) でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFO EN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]				
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **FIFOEN** : FIFO モード有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : FIFO モードは無効です。

1 : FIFO モードは有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : FIFO モードは、SPI マスタ/スレーブモードおよびスマートカードモードでのみ、標準 UART 通信で使用できます。IrDA および LIN のモードでは有効にはいけません。

ビット 28 **M1** : ワード長

このビットはビット 12 (M0) と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット/クリアされます。

M[1:0] = "00" : スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = "01" : スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = "10" : スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ポーレート (0x7F および 0x55 フレーム検出) はサポートされません。

ビット 27 **EOBIE** : ブロック終了割り込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割り込みは禁止されています。

1 : USART_ISR レジスタの EOBIF フラグがセットされると、USART 割り込みが生成されます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 26 **RTOIE** : レシーバタイムアウト割り込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割り込みは禁止されています。

1 : USART_ISR レジスタの RTOIF ビットがセットされると、USART 割り込みが生成されます。

注 : USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 25:21 DEAT[4:0] : ドライバ有効アサーション時間

この 5 ビット値は、DE (Driver Enable) 信号の有効化からスタートビットの開始までの時間を定義します。サンプル時間単位 (オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間) で表されます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 20:16 DEDT[4:0] : ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE (Driver Enable) 信号の無効化までの時間を定義します。サンプル時間単位 (オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間) で表されます。

DEDT 時間中に USART_TDR レジスタに書き込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 15 OVER8 : オーバーサンプリングモード

0 : 16 倍のオーバーサンプリング

1 : 8 倍のオーバーサンプリング

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: LIN、IrDA、およびスマートカードモードでは、このビットは常にクリア状態に保つ必要があります。

ビット 14 CMIE : キャラクター一致割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの CMF ビットがセットされると、USART 割込みが生成されます。

ビット 13 MME : ミュートモード有効

このビットは USART ミュートモード機能を有効にします。セットされると、USART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット/クリアされます。

0 : レシーバは永続的にアクティブモードです。

1 : レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 M0 : ワード長

このビットはビット 28 (M1) と併せて使用して、ワード長を決定します。ソフトウェアによってセット/クリアされます (ビット 28 (M1) の説明を参照)。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11 WAKE : レシーバウェイクアップ方式

このビットによって、ミュートモードからの USART のウェイクアップ方式が決まります。ソフトウェアによってセット/クリアされます。

0 : アイドルライン

1 : アドレスマーク

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 10 PCE : パリティ制御有効

このビットは、ハードウェアのパリティ制御 (生成と検出) を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置 (M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット) に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0 : パリティ制御は無効です。

1 : パリティ制御は有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 9 PS : パリティ選択

このビットは、パリティの生成／検出が有効である (PCE ビットがセットされている) とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0 : 偶数パリティ

1 : 奇数パリティ

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 8 PEIE : PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの PE = 1 のときには、USART 割込みが生成されます。

ビット 7 TXEIE : 送信データレジスタエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの TXE=1 のときには、USART 割込みが生成されます。

ビット 6 TCIE : 転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの TC = 1 のときには、USART 割込みが生成されます。

ビット 5 RXNEIE : 受信データレジスタノットエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの ORE = 1 または RXNE = 1 のときには、USART 割込みが生成されます。

ビット 4 IDLEIE : IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの IDLE = 1 のときには、USART 割込みが生成されます。

ビット 3 TE : トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0 : トランスミッタは無効です。

1 : トランスミッタは有効です。

注 : スマートカードモードの場合を除いて、送信中に TE ビットにローパルスを与える (“0”に続けて“1”を書き込む) と、現在のワードの後にプリアンプル (アイドルライン) が送信されます。アイドルキャラクタを生成するためには、すぐには TE に“1”を書き込まないでください。必要な時間を確保するために、ソフトウェアは USART_ISR レジスタの TEACK ビットをポーリングできます。

スマートカードモードでは、TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 RE : レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0 : レシーバは無効です。

1 : レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 UESM : USART 低消費電力モードで有効

このビットがクリアされると、USART は MCU を 低消費電力モードからウェイクアップできません。

このビットがセットされると、USART は MCU を 低消費電力モードからウェイクアップできます。

このビットは、ソフトウェアによってセット/クリアされます。

0 : USART は低消費電力モードから MCU をウェイクアップできません。

1 : USART は低消費電力モードから MCU をウェイクアップできます。

注： 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 0 UE : USART 有効

このビットがクリアされると、USART プリスケアラと出力はただちに停止され、現在のすべての動作は破棄されます。USART の設定は保たれますが、USART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット/クリアされます。

0 : USART プリスケアラと出力は無効であり、低消費電力モードです。

1 : USART は有効です。

注： ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットを事前にリセットする必要があります、ソフトウェアは USART_ISR の TC ビットがセットされるのを待ってから、UE ビットをリセットする必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャンネルを無効にする必要があります。

スマートカードモードでは (SCEN = 1)、CK ピンは UE ビット値にかかわらず、CLKEN = 1 の場合に常に使用可能です。

35.8.3 USART 制御レジスタ 2 (USART_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								RTOEN	ABRMOD[1:0]		ABREN	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res.	LBDIE	LBDL	ADDM7	DISNSS	Res.	Res.	SLVEN
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw

ビット 31:24 ADD[7:0] : USART ノードのアドレス

これらのビットは、ミュートモードで USART ノードのアドレス、または、低消費電力もしくは RUN モードで認識される文字コードを提供します。

- ミュートモードの場合：これらは、マルチプロセッサ通信で、4 ビット/7 ビットアドレスマーク検出によるミュートモードからのウェイクアップに使用されます。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。4 ビットアドレスマーク検出では、ADD[3:0] ビットのみが使用されます。
- 低消費電力モードの場合：キャラクター一致時の低消費電力モードからのウェイクアップに使用されます。WUS[1:0] が 0b00 (アドレス一致時に WUF がアクティブ) にプログラムされている場合、受信したキャラクタが ADD[6:0] または ADD[3:0] ビットフィールド (ADDM7 ビットに依存) でプログラムされたキャラクタに一致するとき、低消費電力モードからのウェイクアップが実行されます。また、WUFIE ビットをセットすることによって WUF 割込みが有効になります。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。
- ミュートモードが無効である RUN モード (ModBus プロトコルのブロック終了検出など) の場合：受信したキャラクタ全体 (8 ビット) が ADD[7:0] 値と比較され、一致すると CMF フラグがセットされます。CMIE ビットがセットされている場合、割込みが生成されます。

これらのビットは、受信が無効のとき (RE = 0) または USART が無効のとき (UE = 0) のみ、書き込むことができます。

ビット 23 RTOEN : レシーバタイムアウト有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : レシーバタイムアウト機能は無効です。

1 : レシーバタイムアウト機能は有効です。

この機能が有効なとき、RTOR (レシーバタイムアウトレジスタ) でプログラムされた時間にわたって RX ラインがアイドル (受信なし) であった場合、USART_ISR レジスタの RTOF フラグがセットされます。

注： USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 22:21 **ABRMOD[1:0]** : 自動ポーレートモード

これらのビットは、ソフトウェアによってセット/クリアされます。

00 : スタートビットの測定がポーレートの検出に使用されます。

01 : 立ち下がリエッジから立ち下がリエッジまでの測定 (受信されたフレームはシングルビット = 1 で始まり、フレーム = Start10xxxxxx でなければなりません)

10 : 0x7F フレーム検出

11 : 0x55 フレーム検出

このビットフィールドは、ABREN = 0 または USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : **DATAINV = 1 および/または MSBFIRST = 1 の場合、パターンはライン上で同じである必要があります (たとえば、MSBFIRST の場合は 0xAA)。**

USART が自動ポーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 20 **ABREN** : 自動ポーレート有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 自動ポーレート検出は無効です。

1 : 自動ポーレート検出は有効です。

注 : **USART が自動ポーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。**

ビット 19 **MSBFIRST** : MSB ファースト

このビットは、ソフトウェアによってセット/クリアされます。

0 : スタートビットに続いて、データはデータビット 0 から順に送受信されます。

1 : スタートビットに続いて、データは MSB (ビット 7/8) から順に送受信されます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 18 **DATAINV** : バイナリデータ反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : データレジスタからの論理データは正/ダイレクトロジックで送受信されます。(1 = H, 0 = L)

1 : データレジスタからの論理データは、負/インバースロジックで送受信されます。(1 = L, 0 = H)。パリティビットも反転されます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 17 **TXINV** : TX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : TX ピン信号は標準ロジックレベルを使用して機能します ($V_{DD} = 1$ /アイドル、Gnd = 0/マーク)。

1 : TX ピンの信号値が反転されます ($V_{DD} = 0$ /マーク、Gnd = 1/アイドル)。

これにより、TX ラインで外部インバータを使用できます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 16 **RXINV** : RX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : RX ピン信号は標準ロジックレベルを使用して機能します ($V_{DD} = 1$ /アイドル、Gnd = 0/マーク)。

1 : RX ピンの信号値が反転されます ($V_{DD} = 0$ /マーク、Gnd = 1/アイドル)。

これにより、RX ラインで外部インバータを使用できます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 15 **SWAP** : TX/RX ピンのスワップ

このビットは、ソフトウェアによってセット/クリアされます。

0 : TX/RX ピンは標準ピンアウトでの定義に従って使用されます。

1 : TX および RX ピンの機能はスワップされます。これにより、別の UART へのクロスワイヤ接続の場合に動作できます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 14 LINEN : LIN モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0 : LIN モードが無効の場合

1 : LIN モードが有効な場合

LIN モードでは、USART_CR1 レジスタの SBKRQ ビットを使用して LIN 同期ブレーク (下位 13 ビット) を送信し、LIN 同期ブレークを検出することができます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 13:12 STOP[1:0] : ストップビット

このビットは、ストップビットのプログラミングに使用します。

00 : 1 個のストップビット

01 : 0.5 個のストップビット

10 : 2 個のストップビット

11 : 1.5 個のストップビット

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11 CLKEN : クロック有効

このビットによって、CK ピンを有効にできます。

0 : CK ピンは無効です。

1 : CK ピンは有効です。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: 同期モードまたはスマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

スマートカードモードでは、スマートカードに CK クロックを正しく供給するには、次のステップを順守する必要があります。

UE = 0

SCEN = 1

GTPR 設定

CLKEN = 1

UE = 1

ビット 10 CPOL : クロック極性

このビットによって、同期モードにおける CK ピンのクロック出力の極性を選択できます。CPHA ビットと連携して動作し、希望するクロック／データ関係になるようにします。

0 : 送信ウィンドウの外で、CK ピンはローレベルを維持します。

1 : 送信ウィンドウの外で、CK ピンはハイレベルを維持します。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 9 CPHA : クロック位相

このビットは、同期モードでの CK ピンのクロック出力の位相を選択するために使用されます。CPOL ビットと連携して動作し、希望するクロック／データ関係になるようにします (図 312 および図 313 を参照)。

0 : 最初のクロック遷移が最初のデータキャプチャエッジです。

1 : 2 番目のクロック遷移が最初のデータキャプチャエッジです。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注: 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 8 LBCL : 最終ビットのクロックパルス

このビットは、同期モードで送信される最終データビット (MSB) に関連するクロックパルスを、CK ピンに出力する必要があるかどうかを選択するために使用されます。

0 : 最終データビットのクロックパルスは、CK ピンに出力されません。

1 : 最終データビットのクロックパルスは、CK ピンに出力されます。

注意 : 最終ビットは、USART_CR1 レジスタの M ビットによって選択された 7 または 8 または 9 ビットフォーマットに応じて送信された 7 番目または 8 番目または 9 番目のデータビットです。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 LBDIE : LIN ブレーク検出割込み有効

ブレーク割込みマスクです (ブレークデリミタを使用したブレーク検出)。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの LBDF = 1 のときには、割込みが生成されます。

注 : LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 5 LBDL : LIN ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0 : 10 ビットブレーク検出

1 : 11 ビットブレーク検出

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 4 ADDM7 : 7 ビットアドレス検出/4 ビットアドレス検出

このビットは、4 ビットアドレス検出と 7 ビットアドレス検出の選択に使用されます。

0 : 4 ビットアドレス検出

1 : 7 ビットアドレス検出 (8 ビットデータモード)

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス (ADD[5:0] および ADD[7:0]) に対して行われます。

ビット 3 DIS_NSS :

DIS_NSS ビットがセットされているとき、NSS ピンの入力は無視されます。

0 : SPI スレーブ選択は NSS 入力ピンに依存します。

1 : SPI スレーブが常に選択され、NSS 入力ピンは無視されます。

注 : SPI スレーブモードがサポートされていないときは、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 SLVEN : 同期スレーブモード有効

SLVEN ビットがセットされると、同期スレーブモードが有効になります。

0 : スレーブモードは無効です。

1 : スレーブモードは有効です。

注 : SPI スレーブモードがサポートされていないときは、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

注 : トランスミッタが有効なときには、CPOL、CPHA、LBCL のビットに書き込まないでください。

35.8.4 USART 制御レジスタ 3 (USART_CR3)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXF TIE	RXFTCFG[2:0]			TCBG TIE	TXFTIE	WUFIE	WUS[1:0]		SCARCNT[2:0]			Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVR DIS	ONE BIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HD SEL	IRLP	IREN	EIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 **TXFTCFG[2:0]** : TXFIFO 閾値設定

- 000 : TXFIFO はその深さの 1/8 に達します。
 - 001 : TXFIFO はその深さの 1/4 に達します。
 - 010 : TXFIFO はその深さの 1/2 に達します。
 - 011 : TXFIFO はその深さの 3/4 に達します。
 - 100 : TXFIFO はその深さの 7/8 に達します。
 - 101 : TXFIFO は空になります。
- 残りの組み合わせ : 予約済みです。

ビット 28 **RXF TIE** : RXFIFO 閾値割込み有効

- このビットは、ソフトウェアによってセット/クリアされます。
- 0 : 割込みは禁止されています。
- 1 : 受信 FIFO が RXFTCFG でプログラムされた閾値に達すると、USART 割込みが生成されます。

ビット 27:25 **RXFTCFG[2:0]** : 受信 FIFO 閾値設定

- 000 : 受信 FIFO はその深さの 1/8 に達します。
 - 001 : 受信 FIFO はその深さの 1/4 に達します。
 - 010 : 受信 FIFO はその深さの 1/2 に達します。
 - 011 : 受信 FIFO はその深さの 3/4 に達します。
 - 100 : 受信 FIFO はその深さの 7/8 に達します。
 - 101 : 受信 FIFO はフルになります。
- 残りの組み合わせ : 予約済みです。

ビット 24 **TCBG TIE** : ガード時間前送信完了割込み有効

- このビットは、ソフトウェアによってセット/クリアされます。
- 0 : 割込みは禁止されています。
- 1 : USART_ISR レジスタの TCBGT=1 のときには、USART 割込みが生成されます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 23 **TXFTIE** : TXFIFO 閾値割込み有効

- このビットは、ソフトウェアによってセット/クリアされます。
- 0 : 割込みは禁止されています。
- 1 : TXFIFO が TXFTCFG でプログラムされた閾値に達すると、USART 割込みが生成されます。

ビット 22 **WUFIE** : 低消費電力モードからのウェイクアップ割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの WUF = 1 のときには、USART 割込みが生成されます。

注 : **WUFIE** は、低消費電力モードに入る前にセットする必要があります。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 21:20 **WUS[1:0]** : 低消費電力モードからのウェイクアップ割込みフラグ選択

このビットフィールドは、WUF を有効にするイベントを指定します (低消費電力モードからのウェイクアップフラグ)。

00 : WUF はアドレス一致時に有効になります (ADD[7:0] および ADDM7 による定義に従って)。

01 : 予約済み。

10 : WUF はスタートビット検出時に有効になります。

11 : WUF は RXNE/RXFNE 時に有効になります。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 19:17 **SCARCNT[2:0]** : スマートカード自動再試行カウンタ

このビットフィールドは、スマートカードモードにおける送受信の再試行回数を指定します。

送信モードでは、送信エラーが生成されるまでの送信の自動再試行回数を指定します (FE ビットをセット)。

受信モードでは、受信エラーが生成される (RXNE/RXFNE および PE ビットのセット) までの受信の試行エラー回数を指定します。

このビットフィールドは、USART が無効 (UE = 0) のときのみプログラムする必要があります。

USART が有効になると (UE = 1)、このビットフィールドは再送信を停止するために 0x0 にのみ書き込み可能です。

0x0 : 再送信無効 - 送信モードでの自動再送信禁止

0x1 から 0x7 : 自動再送信試行回数 (信号エラーの生成前)

注 : **スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。**

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **DEP** : ドライバ有効極性選択

0 : DE 信号はアクティブハイです。

1 : DE 信号はアクティブローです。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : **ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。**

ビット 14 **DEM** : ドライバ有効モード

このビットにより、DE 信号によって外部トランシーバ制御を有効にできます。

0 : DE 機能は無効です。

1 : DE 機能は有効です。DE 信号は RTS ピンで出力されます。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : **ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。**

ビット 13 **DDRE** : 受信エラー時 DMA 無効

0 : 受信エラーの場合、DMA は無効になりません。対応するエラーフラグはセットされますが、RXNE は 0 に保たれ、オーバーランを防ぎます。結果として、DMA リクエストはアサートされないため、エラーのあるデータは転送されず (DMA リクエストなし)、次の正しい受信データが転送されます (スマートカードモードで使用される)。

1 : 受信エラーの後、DMA は無効化されます。対応するエラーフラグと RXNE がセットされます。エラーフラグがクリアされるまで、DMA リクエストはマスクされます。つまり、ソフトウェアはまず最初に DMA リクエストを無効にするか (DMAR = 0)、FIFO モードが有効な場合、RXNE/RXFNE をクリアしてから、エラーフラグをクリアする必要があります。

このビットは、USART が無効 (UE=0) のときのみ書き込むことができます。

注 : 受信エラーは、パリティエラー、フレーミングエラー、またはノイズエラーです。

ビット 12 **OVRDIS** : オーバーラン無効

このビットは、受信オーバーラン検出を無効にするために使用されます。

0 : オーバーランエラーフラグ、ORE は、受信データが読み出される前に新しいデータを受信したときにセットされます。

1 : オーバーラン機能は無効です。RXNE フラグがまだセットされている間に新しいデータを受信した場合、

ORE フラグはセットされず、新しく受信されたデータが USART_RDR レジスタの前の内容に上書きされます。FIFO モードが有効なとき、RXFIFO はバイパスされ、データは直接、USART_RDR レジスタに書き込まれます。FIFO 管理が有効になっているときでも、RXNE フラグが使用されます。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : この制御ビットにより、データを読み出さずに通信フローをチェックできます。

ビット 11 **ONEBIT** : 1 サンプルビット方式有効

このビットによって、サンプル方式を選択できます。1 サンプルビット方式が選択されると、ノイズ検出フラグ (NE) が無効になります。

0 : 3 サンプルビット方式

1 : 1 サンプルビット方式

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 10 **CTSIE** : CTS 割込み有効

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの CTSIF = 1 のときには、割込みが生成されます。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 9 **CTSE** : CTS 有効化

0 : CTS ハードウェアフロー制御が無効です。

1 : CTS モードが有効です。データは CTS 入力にデアサート (0 に固定) されている場合にのみ転送されます。データの送信中に CTS 入力にデアサートされた場合、送信が完了した後に停止します。CTS がデアサートされている間にデータがデータレジスタに書き込まれた場合、CTS がデアサートされるまで送信は延期されます。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 8 **RTSE** : RTS 有効化

0 : RTS ハードウェアフロー制御が無効です。

1 : RTS 出力は有効であり、レシーババッファにスペースがあるときのみ、データがリクエストされます。現在の文字が転送された後、データの転送は停止すると期待されます。データを受信できるとき、RTS 出力にデアサートされます (0 にプルされます)。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット7 **DMAT** : DMA 有効トランスミッタ

このビットは、ソフトウェアでセット/クリアされます。

1 : DMA モードは送信に有効です。

0 : DMA モードは送信に無効です。

ビット6 **DMAR** : DMA 有効レシーバ

このビットは、ソフトウェアでセット/クリアされます。

1 : DMA モードが受信に有効です。

0 : DMA モードが受信に無効です。

ビット5 **SCEN** : スマートカードモード有効

このビットはスマートカードモードを有効にするために使用します。

0 : スマートカードモードが無効です。

1 : スマートカードモードが有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット4 **NACK** : スマートカード NACK 有効

0 : パリティエラーの際の NACK 転送が無効です。

1 : パリティエラー時の NACK 転送が有効です。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット3 **HDSEL** : 半二重選択

単線半二重モードの選択です。

0 : 半二重モードは選択されません。

1 : 半二重モードが選択されます。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

ビット2 **IRLP** : IrDA 低消費電力

このビットは、通常と低消費電力の IrDA モードの選択に使用されます。

0 : 通常モード

1 : 低消費電力モード

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : IrDA モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット1 **IREN** : IrDA モード有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : IrDA は無効です。

1 : IrDA は有効です。

このビットは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : IrDA モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット0 **EIE** : エラー割込み有効化

エラー割込み有効ビットは、フレーミングエラー、オーバーランエラー、ノイズフラグ、または SPI スレーブアンダーランエラー (USART_ISR レジスタの FE = 1、ORE = 1、NE = 1、または UDR = 1) の場合に割込み生成を有効にするために必要です。

0 : 割込みは禁止されています。

1 : USART_ISR レジスタの FE = 1、ORE = 1、NE = 1、または UDR = 1 (SPI スレーブモードで) のときに、割込みが生成されます。

35.8.5 USART ボーレートレジスタ (USART_BRR)

このレジスタは、USART が無効 (UE = 0) のときのみ書き込むことができます。自動ボーレート検出モードでハードウェアによって自動的に更新されます。

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **BRR[15:0]** : USART ボーレート

BRR[15:4]

BRR[15:4] = USARTDIV[15:4]

BRR[3:0]

OVER8 = 0 のとき、BRR[3:0] = USARTDIV[3:0]。

OVER8 = 1 のとき、

BRR[2:0] = USARTDIV[3:0] であり、右に 1 ビットシフトされます。

BRR[3] は、クリアされたままにする必要があります。

35.8.6 USART ガード時間およびプリスケアラレジスタ (USART_GTPR)

アドレス・オフセット : 0x10

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:8 **GT[7:0]** : ガード時間値

このビットフィールドは、ガード時間値をボークロック周期数でプログラムするために使用します。

これはスマートカードモードで使用します。このガード時間値の後は転送完了フラグがセットされます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注： スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 7:0 PSC[7:0] : プリスケアラ値

IrDA 低消費電力および IrDA 通常モード :

PSC[7:0] = IrDA 通常および低消費電力ポーレート

PSC[7:0] は、USART ソースクロックを分周して低消費電力周波数を得るためのプリスケアラのプログラミングに使用します。ソースクロックは、レジスタで指定された値 (上位 8bit) で分周されます。

スマートカードモード :

PSC[4:0] = プリスケアラ値

PSC[4:0] は、USART ソースクロックを分周してスマートカードのクロックを提供するプリスケアラのプログラミングに使用します。レジスタで指定された値 (上位 5 ビット) を 2 倍して、クロックソース周波数の分周比を求めます。

00000 : 予約済み - この値はプログラミングしないでください。

00001 : ソースクロックは 1 (IrDA モード) または 2 (スマートカードモード) で分周されます。

00010 : ソースクロックは 2 (IrDA モード) または 4 (スマートカードモード) で分周されます。

00011 : ソースクロックは 3 (IrDA モード) または 6 (スマートカードモード) で分周されます。

.....

11111 : ソースクロックは 31 (IrDA モード) または 62 (スマートカードモード) で分周されます。

0010 0000 : ソースクロックは 32 (IrDA モード) で分周されます。

.....

1111 1111 : ソースクロックは 255 (IrDA モード) で分周されます。

このビットフィールドは、USART が無効 (UE = 0) のときのみ書き込むことができます。

注 : スマートカードモードが使用される場合、ビット [7:5] はクリアされたままにする必要があります。スマートカードモードや IrDA モードがサポートされない場合、このビットフィールドは予約済みであり、ハードウェアによって強制的に“0”に設定されます。1119 ページのセクション 35.4: **USART の実装**を参照してください。

35.8.7 USART レシーバタイムアウトレジスタ (USART_RTOR)

アドレス・オフセット : 0x14

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLEN[7:0]								RTO[23:16]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTO[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 BLEN[7:0] : ブロック長

このビットフィールドは、受信時のスマートカード T=1 のブロック長を指定します。この値は、情報文字の数 + エピローグフィールドの長さ (1-LEC/2-CRC) - 1 と等しくなります。

例 :

BLEN = 0 : 0 情報文字 + LEC

BLEN = 1 : 0 情報文字 + CRC

BLEN = 255 : 254 情報文字 + CRC (合計 256 文字)

スマートカードモードでは、TXE = 0 (FIFO モードが有効な場合は TXFE = 0) のときにブロック長カウンタがリセットされます。

このビットフィールドは、他のモードでも使用できます。この場合、RE = 0 (レシーバ無効) のとき、および/または EOBCF ビットに 1 が書き込まれたときに、ブロック長カウンタがリセットされます。

注 : この値は、ブロック受信の開始後にプログラムできます (プロローグフィールドの LEN 文字のデータを使用)。必ず受信したブロックにつき一度だけプログラムするようにしてください。

ビット 23:0 RTO[23:0] : レシーバタイムアウト値

このビットフィールドは、RX ラインでアクティビティがない間のビット数でレシーバタイムアウト値を指定します。

標準モードでは、最後の受信キャラクタの後、RTO 値を超える間、新しいスタートビットが検出されなかった場合、RTOF フラグがセットされます。

スマートカードモードでは、この値は CWT および BWT を実装するために使用されます。詳細については、スマートカードの章を参照してください。この標準では、CWT/BWT 測定は最後の受信キャラクタのスタートビットから開始して行われます。

注 : この値は、受信キャラクタごとにプログラムされる必要があります。

注 : RTOR は、動作中に書き込むことができます。新しい値がカウンタ以下の場合、RTOF フラグがセットされます。

レシーバタイムアウト機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって 0x00000000 に強制的に設定されます。1119 ページのセクション 35.4: USART の実装を参照してください。

35.8.8 USART リクエストレジスタ (USART_RQR)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	ABRR Q
											w	w	w	w	w

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 TXFRQ : 送信データ一掃リクエスト

FIFO モードが無効になっている場合は、このビットに“1”を書き込むと、TXE フラグがセットされます。これにより、送信データを破棄できます。このビットは、エラー (NACK) によりデータが送信されなかった場合、および USART_ISR レジスタで FE フラグがアクティブである場合に、スマートカードモードでのみ使用する必要があります。USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。

FIFO モードが有効な場合、FIFO 全体を一掃するために TXFRQ ビットがセットされます。これによって TXFE フラグ (送信 FIFO エンプティ、USART_ISR レジスタのビット 23) がセットされます。送信 FIFO の一掃は、UART モードおよびスマートカードモードの両方でサポートされています。

注： FIFO モードでは、一掃リクエスト中にデータがデータレジスタに書き込まれないようにするために、TxFIFO が空になるまで TXFNF フラグはリセットされます。

ビット 3 RXFRQ : 受信データ一掃リクエスト

このビットに 1 を書き込むと、受信 FIFO 全体を空にします (すなわち、RXFNE ビットをクリアします)。これにより、受信したデータを読み出さずに破棄して、オーバーラン条件を避けることができます。

ビット 2 MMRQ : ミュートモードリクエスト

このビットに 1 を書き込むと、USART はミュートモードになり、RWU フラグはリセットされます。

ビット 1 SBKRQ : ブレーク送信リクエスト

このビットに 1 を書き込むと、SBKF フラグがセットされ、送信マシンが使用可能になるとすぐに、ラインで BREAK を送信するリクエストが発行されます。

注： アプリケーションが、まだ送信されていないものも含めて、以前に挿入されたすべてのデータに続いてブレークキャラクタを送信する必要がある場合、ソフトウェアは SBKRQ ビットをセットする前に、TXE フラグのアサートを待つ必要があります。

ビット 0 ABRRQ : 自動ポーレートリクエスト

このビットに 1 を書き込むと、USART_ISR の ABRF および ABRE フラグがリセットされ、次の受信データフレームでの自動ポーレート測定をリクエストします。

注： USART が自動ポーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。1119 ページのセクション 35.4: USART の実装を参照してください。

35.8.9 USART 割込みおよびステータスレジスタ (USART_ISR)

アドレス・オフセット : 0x1C

リセット値 : 0x0X80 00C0

X = 2 (FIFO/スマートカードモードが有効の場合)

X = 0 (FIFO が有効で、スマートカードモードが無効の場合)

同じレジスタが FIFO モード有効 (このセクション) でも、FIFO モード無効 (次のセクション) でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	TCBGT	RXFF	TXFE	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
				r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 TXFT : TXFIFO 閾値フラグ

このビットは、TXFIFO が USART_CR3 レジスタの TXFTCFG でプログラムされた閾値に達したとき、すなわち、TXFIFO に TXFTCFG の空き場所ができたときに、ハードウェアによってセットされます。USART_CR3 レジスタの TXFTIE ビット = 1 (ビット 31) の場合、割込みが生成されます。

0 : TXFIFO はプログラムされた閾値に達していません。

1 : TXFIFO はプログラムされた閾値に達しました。

ビット 26 RXFT : RXFIFO 閾値フラグ

このビットは、USART_CR3 レジスタの RXFTCFG でプログラムされた閾値に達したときに、ハードウェアによってセットされます。これは、受信 FIFO に (RXFTCFG - 1) 個のデータがあり、USART_RDR レジスタに 1 個のデータがあることを意味します。USART_CR3 レジスタの RXFTIE ビット = 1 (ビット 27) の場合、割込みが生成されます。

0 : 受信 FIFO はプログラムされた閾値に達していません。

1 : 受信 FIFO はプログラムされた閾値に達しました。

注 : RXFTCFG 閾値が“101”に設定されているとき、16個のデータが利用可能になった場合 (すなわち、RXFIFO に 15個のデータが入り、USART_RDR に 1個のデータが入った場合)、RXFT フラグがセットされます。したがって、17番目の受信データによってオーバーランエラーが起きることはありません。オーバーランエラーは 18 番目のデータを受信した後に発生します。

ビット 25 **TCBGT** : ガード時間前送信完了フラグ

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから正しく送信されたときにセットされます。

スマートカードモードで、データを含むフレームの送信が完了し、スマートカードが NACK を返しなかった場合、このビットはハードウェアによってセットされます。USART_CR3 レジスタの TCBGTIE = 1 の場合、割込みが生成されます。

このビットは、USART_ICR レジスタの TCBGTCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0: 送信が完了していないか、または送信が正常に完了していません (つまり、カードから NACK を受信)。

1: 送信は正常に完了しました (ガード時間完了前で、スマートカードから NACK なし)。

注: USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。USART がスマートカードモードをサポートしている場合でこのモードが有効な場合、TCBGT のリセット値は“1”です。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 24 **RXFF** : RXFIFO フル

このビットは、受信したデータの数が RXFIFO サイズ + 1 と一致したときに (RXFIFO がフルで、USART_RDR レジスタに 1 個のデータ)、ハードウェアによってセットされます。

USART_CR1 レジスタの RXFFIE ビット = 1 である場合、割込みが生成されます。

0: RXFIFO はフルではありません。

1: RXFIFO はフルです。

ビット 23 **TXFE** : TXFIFO エンプティ

このビットは、TXFIFO が空のとき、ハードウェアによってセットされます。TXFIFO に少なくとも 1 データが入ったとき、このフラグはクリアされます。TXFE フラグは、USART_RQR レジスタのビット TXFRQ (ビット 4) に 1 を書き込むことによってセットすることもできます。

USART_CR1 レジスタの TXFEIE ビット = 1 (ビット 30) の場合、割込みが生成されます。

0: TXFIFO ノットエンプティ。

1: TXFIFO エンプティ。

ビット 22 **REACK** : 受信有効確認応答フラグ

このビットは、受信有効値が USART によって考慮されるときに、ハードウェアによってセット/リセットされます。

これを使用して、低消費電力モードに入る前に、USART が受信できる状態であることを確認できます。

注: USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 21 **TEACK** : 送信有効確認応答フラグ

このビットは、送信有効値が USART によって考慮されるときに、ハードウェアによってセット/リセットされます。

USART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF** : 低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。USART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注: UESM がクリアされると、WUF フラグもクリアされます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 19 **RWU** : レシーバのミュートモードからのウェイクアップ

このビットは、USART がミュートモードかどうかを示します。ウェイクアップ/ミュートシーケンスが認識されたときに、ハードウェアによってクリア/セットされます。ミュートモード制御シーケンス (アドレスまたは IDLE) は、USART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、このビットは USART_RQR レジスタの MMRQ ビットに 1 を書き込むことによって、ソフトウェアによってのみセットできます。

0 : レシーバはアクティブモードです。

1 : レシーバはミュートモードです。

注 : USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 18 **SBKF** : ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。USART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0 : ブレークキャラクタが送信されます。

1 : USART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタが要求されます。

ビット 17 **CMF** : キャラクター一致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。USART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0 : キャラクター一致は検出されていません。

1 : キャラクター一致が検出されました。

ビット 16 **BUSY** : ビジーフラグ

このビットは、ハードウェアによってセット/リセットされます。RX ラインで通信中 (スタートビットの検出時) はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0 : USART はアイドルです (受信なし)。

1 : 受信中です。

ビット 15 **ABRF** : 自動ボーレートフラグ

このビットは、自動ボーレートがセットされたとき (RXFNE もセットされ、RXFNEIE = 1 の場合は割込みが生成されます)、または、自動ボーレート操作が成功せずに完了したときにハードウェアによってセットされます (ABRE = 1) (この場合、ABRE、RXFNE、および FE もセットされます)。

新しい自動ボーレート検出をリクエストするために、USART_RQR レジスタの ABRRQ に 1 を書き込むことによって、ソフトウェアによってクリアされます。

注 : USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 14 **ABRE** : 自動ボーレートエラー

このビットは、ボーレート測定が失敗した場合に、ハードウェアによってセットされます (範囲外のボーレートまたはキャラクタ比較の失敗)。

USART_RQR レジスタの ABRRQ ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

注 : USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 13 UDR : SPI スレーブアンダーランエラーフラグ

スレーブ送信モードでは、ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現われると、このフラグがセットされます。このフラグは、USART_ICR レジスタの UDRCF ビットをセットすることによってリセットされます。

0 : アンダーランエラーはありません。

1 : アンダーランエラーが発生しました。

注 : USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 12 EOBF : ブロック終了フラグ

このビットは、完全なブロックが受信されたときに、ハードウェアによってセットされます (たとえば、T=1 スマートカードモード)。検出は、受信バイト数が BLEN + 4 以上である場合に行われます (ブロックの開始時から、プロローグを含む)。

USART_CR1 レジスタの EOBIE = 1 である場合、割込みが生成されます。

USART_ICR レジスタの EOBCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ブロック終了に達していません。

1 : ブロック終了 (文字数) に達しました。

注 : スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 11 RTOF : レシーバタイムアウト

このビットは、RTOR レジスタでプログラムされたタイムアウト値が通信なしで経過したときに、ハードウェアによってセットされます。USART_ICR レジスタの RTOCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの RTOIE=1 の場合、割込みが生成されます。

スマートカードモードでは、タイムアウトは CWT または BWT タイミングに対応します。

0 : タイムアウト値に達していません。

1 : データを受信せずにタイムアウト値に達しました。

注 : 時間が RTOR レジスタでプログラムされた値に等しい場合、2 つのキャラクタが分離され、RTOF はセットされません。この時間がこの値に 2 サンプル時間 (オーバーサンプリング方式によって 2/16 または 2/8) を加えた値を超える場合、RTOF フラグがセットされます。

カウンタは RE=0 の場合でもカウントしますが、RTOF は RE=1 のときのみセットされます。RE がセットされたときにタイムアウトがすでに経過していた場合、RTOF はセットされます。

USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 10 CTS : CTS フラグ

このビットは、ハードウェアによってセット/リセットされます。CTS 入力ピンのステータスの反転コピーです。

0 : CTS ラインはセットされました。

1 : CTS ラインはリセットされました。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 CTSIF : CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力にトグルしたときにハードウェアによってセットされます。USART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0 : CTS ステータスラインでの変更はありません。

1 : CTS ステータスラインでの変更がありました。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 **LBDIF** : LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。USART_ICR レジスタの LBDIF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの LBDIE=1 である場合、割込みが生成されます。

0 : LIN ブレークは検出されませんでした。

1 : LIN ブレークが検出されました。

注 : USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 7 **TXFNF** : TXFIFO は空ではありません。

TXFIFO がフルではない、つまり USART_TDR にデータを書き込めるとき、TXFNF はハードウェアによってセットされます。USART_TDR レジスタへの書き込み動作ごとにデータが TXFIFO に格納されます。このフラグは TXFIFO がフルになるまでセットされたままになります。TXFIFO がフルになると、このフラグはクリアされ、データを USART_TDR に書き込むことができないことを示します。

USART_CR1 レジスタの TXFNFIE ビット =1 の場合、割込みが生成されます。

0 : 送信 FIFO はフルです。

1 : 送信 FIFO ノットフル

注 : 一掃リクエスト中、TXFIFO が空になるまで、TXFNF はリセットに維持されます。一掃リクエストを (TXFRQ ビットをセットすることによって) 送信した後、TXFIFO に書き込む前に TXFNF フラグをチェックする必要があります (TXFNF および TXFE は同時にセットされます)。

このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC** : 送信完了

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから送信されたことを示します。

データを含むフレームの送信が完了し、TXFE がセットされたとき、ハードウェアによってセットされます。

USART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

TC ビットは、USART_ICR レジスタの TCCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0 : 送信は完了していません。

1 : 送信は完了しています。

注 : TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXFNE** : RXFIFO は空ではありません。

RXFNE ビットは、RXFIFO が空でないとき、つまりデータが USART_RDR レジスタから読み出せるときに、ハードウェアによってセットされます。USART_RDR からの読み出し動作のたびに、RXFIFO の 1 つの場所が解放されます。

RXFIFO が空になると、RXFNE がクリアされます。RXFNE フラグは、USART_RQR レジスタの RXFRQ に 1 を書き込むことによってクリアすることもできます。

USART_CR1 レジスタの RXFNEIE = 1 の場合、割込みが生成されます。

0 : データは受信されていません。

1 : 受信データを読み出すことができます。

ビット 4 **IDLE** : アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。USART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : アイドルラインは検出されていません。

1 : アイドルラインが検出されました。

注 : RXFNE ビットがセットされるまで (新しいアイドルラインが発生するまで)、IDLE ビットは再びセットされません。

ミュートモードが有効な場合 (MME = 1)、USART がミュートでなければ (RWU = 0)、WAKE ビットによって選択されたミュートモードに関係なく、IDLE はセットされます。RWU=1 の場合、IDLE はセットされません。

ビット3 ORE : オーバーランエラー

このビットは、RXNE="1"のときに、現在シフトレジスタに受信中のデータを USART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの RXFNEIE = 1 または USART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0 : オーバーランエラーはありません。

1 : オーバーランエラーが検出されました。

注 : このビットがセットされると、USART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

USART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます (オーバーラン検出なし)。

ビット2 NE : ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されるとハードウェアによってセットされます。USART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ノイズは検出されていません。

1 : ノイズが検出されました。

注 : このビットは、割込みを生成する RXFNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ラインがノイズフリーであるとき、NE フラグを無効にして、ONEBIT ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増加させることができます (1136 ページのセクション 35.5.8: クロック偏差に対する USART レシーバの許容誤差を参照)。

このエラーは USART_RDR 内のキャラクタに関連します。

ビット1 FE : フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。USART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに (カードがデータフレームを NACK) 最大送信試行回数に達すると、このビットがセットされます。

USART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0 : フレーミングエラーは検出されていません。

1 : フレーミングエラーまたはブレークキャラクタが検出されました。

注 : このエラーは USART_RDR 内のキャラクタに関連します。

ビット0 PE : パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。USART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0 : パリティエラーはありません。

1 : パリティエラー

注 : このエラーは USART_RDR 内のキャラクタに関連します。

35.8.10 USART 割込みおよびステータスレジスタ [オルタネート] (USART_ISR)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 00C0

同じレジスタが FIFO モード有効 (前のセクション) でも、FIFO モード無効 (このセクション) でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	TCBGT	Res.	Res.	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
						r			r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 TCBGT : ガード時間前送信完了フラグ

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから正しく送信されたときにセットされます。

スマートカードモードで、データを含むフレームの送信が完了し、スマートカードが NACK を返信しなかった場合、このビットはハードウェアによってセットされます。USART_CR3 レジスタの TCBGTIE = 1 の場合、割込みが生成されます。

このビットは、USART_ICR レジスタの TCBGTCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0: 送信が完了していないか、または送信が正常に完了していません (つまり、カードから NACK を受信)。

1: 送信は正常に完了しました (ガード時間完了前で、スマートカードから NACK なし)。

注: USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。USART がスマートカードモードをサポートしている場合でこのモードが有効な場合、TCBGT のリセット値は“1”です。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 24:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 REACK : 受信有効確認応答フラグ

このビットは、受信有効値が USART によって考慮されるときに、ハードウェアによってセット/リセットされます。

これを使用して、低消費電力モードに入る前に、USART が受信できる状態であることを確認できます。

注: USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 21 TEACK : 送信有効確認応答フラグ

このビットは、送信有効値が USART によって考慮されるときに、ハードウェアによってセット/リセットされます。

USART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 WUF : 低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。USART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注: UESM がクリアされると、WUF フラグもクリアされます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 19 RWU : レシーバのミュートモードからのウェイクアップ

このビットは、USART がミュートモードかどうかを示します。ウェイクアップ/ミュートシーケンスが認識されたときに、ハードウェアによってクリア/セットされます。ミュートモード制御シーケンス (アドレスまたは IDLE) は、USART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、このビットは USART_RQR レジスタの MMRQ ビットに 1 を書き込むことによって、ソフトウェアによってのみセットできます。

0 : レシーバはアクティブモードです。

1 : レシーバはミュートモードです。

注: USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 18 SBKF : ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。USART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0 : ブレークキャラクタが送信されます。

1 : USART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタが要求されます。

ビット 17 CMF : キャラクター一致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。USART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0 : キャラクター一致は検出されていません。

1 : キャラクター一致が検出されました。

ビット 16 BUSY : ビジーフラグ

このビットは、ハードウェアによってセット/リセットされます。RX ラインで通信中 (スタートビットの検出時) はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0 : USART はアイドルです (受信なし)。

1 : 受信中です。

ビット 15 ABRF : 自動ポーレートフラグ

このビットは、自動ポーレートがセットされたとき (RXNE もセットされ、RXNEIE = 1 の場合は割込みが生成されます)、または、自動ポーレート操作が成功せずに完了したときにハードウェアによってセットされます (ABRE = 1) (この場合、ABRE、RXNE、および FE もセットされます)。

新しい自動ポーレート検出をリクエストするために、USART_RQR レジスタの ABRRQ に 1 を書き込むことによって、ソフトウェアによってクリアされます。

注: USART が自動ポーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 14 ABRE : 自動ボーレートエラー

このビットは、ボーレート測定が失敗した場合に、ハードウェアによってセットされます (範囲外のボーレートまたはキャラクタ比較の失敗)。

USART_RQR レジスタの ABRRQ ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

注: USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 13 UDR : SPI スレーブアンダーランエラーフラグ

スレーブ送信モードでは、ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現われると、このフラグがセットされます。このフラグは、USART_ICR レジスタの UDRCF ビットをセットすることによってリセットされます。

0 : アンダーランエラーはありません。

1 : アンダーランエラーが発生しました。

注: USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 12 EOBF : ブロック終了フラグ

このビットは、完全なブロックが受信されたときに、ハードウェアによってセットされます (たとえば、T=1 スマートカードモード)。検出は、受信バイト数が BLEN + 4 以上である場合に行われます (ブロックの開始時から、プロローグを含む)。

USART_CR1 レジスタの EOBI=1 である場合、割込みが生成されます。

USART_ICR レジスタの EOBCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ブロック終了に達していません。

1 : ブロック終了 (文字数) に達しました。

注: スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 11 RTOF : レシーバタイムアウト

このビットは、RTOR レジスタでプログラムされたタイムアウト値が通信なしで経過したときに、ハードウェアによってセットされます。USART_ICR レジスタの RTOCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの RTOIE=1 の場合、割込みが生成されます。

スマートカードモードでは、タイムアウトは CWT または BWT タイミングに対応します。

0 : タイムアウト値に達していません。

1 : データを受信せずにタイムアウト値に達しました。

注: 時間が RTOR レジスタでプログラムされた値に等しい場合、2 つのキャラクタが分離され、RTOF はセットされません。この時間がこの値に 2 サンプル時間 (オーバーサンプリング方式によって 2/16 または 2/8) を加えた値を超える場合、RTOF フラグがセットされます。

カウンタは RE=0 の場合でもカウントしますが、RTOF は RE=1 のときのみセットされます。RE がセットされたときにタイムアウトがすでに経過していた場合、RTOF はセットされます。

USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 10 CTS : CTS フラグ

このビットは、ハードウェアによってセット/リセットされます。CTS 入力ピンのステータスの反転コピーです。

0 : CTS ラインはセットされました。

1 : CTS ラインはリセットされました。

注: ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 CTSIF : CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。USART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0 : CTS ステータスラインでの変更はありません。

1 : CTS ステータスラインでの変更がありました。

注 : ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 LBDF : LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。USART_ICR レジスタの LBDCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの LBDIE=1 である場合、割込みが生成されます。

0 : LIN ブレークは検出されませんでした。

1 : LIN ブレークが検出されました。

注 : USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。1119 ページのセクション 35.4: USART の実装を参照してください。

ビット 7 TXE : 送信データレジスタエンプティ

このビットは、USART_TDR レジスタの内容がシフトレジスタに転送されると、ハードウェアによってセットされます。このビットは、USART_TDR レジスタへの書き込みによってクリアされます。TXE フラグは、USART_RQR レジスタの TXFRQ に 1 を書き込んでセットし、データを破棄することもできます (スマートカード T=0 モードでの送信失敗の場合のみ)。

USART_CR1 レジスタの TXEIE ビット = 1 である場合、割込みが生成されます。

0 : データレジスタはフルです。

1 : データレジスタはフルではありません。

ビット 6 TC : 送信完了

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから送信されたことを示します。

データを含むフレームの送信が完了し、TXE がセットされたとき、ハードウェアによってセットされます。

USART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

TC ビットは、USART_ICR レジスタの TCCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0 : 送信は完了していません。

1 : 送信は完了しています。

注 : TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 RXNE : 読出しデータレジスタノットエンプティ

RXNE ビットは、USART_RDR シフトレジスタの内容が USART_RDR レジスタに転送されると、ハードウェアによってセットされます。これは、USART_RDR レジスタからの読出しによってクリアされます。RXNE フラグは、USART_RQR レジスタの RXFRQ に 1 を書き込むことによってクリアすることもできます。

USART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。

0 : データは受信されていません。

1 : 受信データを読み出すことができます。

ビット 4 IDLE : アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。USART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : アイドルラインは検出されていません。

1 : アイドルラインが検出されました。

注 : RXNE ビットがセットされるまで (新しいアイドルラインが発生するまで)、IDLE ビットは再びセットされません。

ミュートモードが有効な場合 (MME = 1)、USART がミュートでなければ (RWU = 0)、WAKE ビットによって選択されたミュートモードに関係なく、IDLE はセットされます。RWU=1 の場合、IDLE はセットされません。

ビット 3 ORE : オーバーランエラー

このビットは、RXNE="1"のときに、

現在シフトレジスタで受信中のデータを USART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの RXNEIE = 1 もしくは EIE = 1 または LPUART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0 : オーバーランエラーはありません。

1 : オーバーランエラーが検出されました。

注 : このビットがセットされると、USART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

USART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます (オーバーラン検出なし)。

ビット 2 NE : ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されるとハードウェアによってセットされます。USART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ノイズは検出されていません。

1 : ノイズが検出されました。

注 : このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ラインがノイズフリーであるとき、NE フラグを無効にして、ONEBIT ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増加させることができます ([1136 ページのセクション 35.5.8: クロック偏差に対する USART レシーバの許容誤差を参照](#))。

ビット 1 FE : フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。USART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに (カードがデータフレームを NACK) 最大送信試行回数に達すると、このビットがセットされます。

USART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0 : フレーミングエラーは検出されていません。

1 : フレーミングエラーまたはブレークキャラクタが検出されました。

ビット 0 PE : パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。USART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0 : パリティエラーはありません。

1 : パリティエラー

35.8.11 USART 割込みフラグクリアレジスタ (USART_ICR)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	UDRCF	EOBCF	RTOCF	Res.	CTSCF	LBDCF	TCBGT CF	TCCF	TXFEC F	IDLEC F	ORECF	NECF	FECF	PECF
		w	w	w		w	w	w	w	w	w	w	w	w	w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **WUCF** : 低消費電力モードからのウェイクアップフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの WUF フラグがクリアされます。

注 : USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CMCF** : キャラクター一致フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの CMF フラグがクリアされます。

ビット 16:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **UDRCF** : SPI スレーブアンダーランフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの UDRF フラグがクリアされます。

注 : USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 12 **EOBCF** : ブロック終了クリアフラグ

このビットに 1 を書き込むと、USART_ISR レジスタの EOBF フラグがクリアされます。

注 : USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 11 **RTOCF** : レシーバタイムアウトフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの RTOF フラグがクリアされます。

注 : USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。

ビット 10 予約済みであり、リセット値に保持する必要があります。

- ビット 9 **CTSCF** : CTS フラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの CTSIF フラグがクリアされます。
注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。
- ビット 8 **LBDCF** : LIN ブレーク検出クリアフラグ
このビットに 1 を書き込むと、USART_ISR レジスタの LBDF フラグがクリアされます。
注： LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。[1119 ページのセクション 35.4: USART の実装](#)を参照してください。
- ビット 7 **TCBGTCF** : ガード時間前送信完了フラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの TCBGT フラグがクリアされます。
- ビット 6 **TCCF** : 送信完了フラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの TC フラグがクリアされます。
- ビット 5 **TXFECF** : TXFIFO エンプティフラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの TXFE フラグがクリアされます。
- ビット 4 **IDLECF** : アイドルライン検出フラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの IDLE フラグがクリアされます。
- ビット 3 **ORECF** : オーバーランエラーフラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの ORE フラグがクリアされます。
- ビット 2 **NECF** : ノイズ検出フラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの NE フラグがクリアされます。
- ビット 1 **FECF** : フレーミングエラーフラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの FE フラグがクリアされます。
- ビット 0 **PECF** : パリティエラーフラグクリア
このビットに 1 を書き込むと、USART_ISR レジスタの PE フラグがクリアされます。

35.8.12 USART レシーバデータレジスタ (USART_RDR)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]									r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **RDR[8:0]** : 受信データ値

受信データキャラクタを含みます。

RDR レジスタは、入カシフトレジスタと内部バスとの間にパラレルインタフェースを提供します ([図 306](#) を参照)。

パリティを有効にして受信する場合、MSB ビットで読み出される値が受信したパリティビットです。

35.8.13 USART トランスミッタデータレジスタ (USART_TDR)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **TDR[8:0]** : 送信データ値

送信されるデータキャラクタを含みます。

USART_TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します (図 306 を参照)。

パリティを有効にして (USART_CR1 レジスタの PCE ビットに 1 をセット) 送信しているとき、MSB (データ長に応じてビット 7 または 8) に書き込まれた値は、パリティによって置き換えられるため、無効です。

注 : このレジスタは、TXE/TXFNF = 1 のときのみ書き込む必要があります。

35.8.14 USART プリスケーラレジスタ (USART_PRESC)

このレジスタは、USART が無効 (UE = 0) のときのみ書き込むことができます。

アドレス・オフセット : 0x2C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
												rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PRESCALER[3:0]** : クロックプリスケーラ

USART 入力クロックは、以下のようにプリスケーラ分周比によって分周できます。

- 0000 : 入力クロックは分周されません。
- 0001 : 入力クロックが 2 分周されます。
- 0010 : 入力クロックが 4 分周されます。
- 0011 : 入力クロックが 6 分周されます。
- 0100 : 入力クロックが 8 分周されます。
- 0101 : 入力クロックが 10 分周されます。
- 0110 : 入力クロックが 12 分周されます。
- 0111 : 入力クロックが 16 分周されます。
- 1000 : 入力クロックが 32 分周されます。
- 1001 : 入力クロックが 64 分周されます。
- 1010 : 入力クロックが 128 分周されます。
- 1011 : 入力クロックが 256 分周されます。

残りの組み合わせ : 予約済みです。

注 : **PRESCALER** が許容される値と異なる値でプログラムされたとき、プログラムされるプリスケーラ値は 1011 になります。すなわち、入力クロックは 256分周されます。

35.8.15 USART レジスタマップ

次の表に、USART のレジスタマップとリセット値を示します。

表 246. USART レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_CR1 FIFOは有効です。	RXFFIE	TXFEIE	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]				DEDT[4:0]				OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXPFIIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x00	USART_CR1 FIFOは無効です。	Res	Res	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]				DEDT[4:0]				OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE		
	リセット値			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x04	USART_CR2	ADD[7:0]							RTOEN	ABRMOD[1:0]			ABREN	MSBFIRST	DATINV	TXINV	RXINV	SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res	LBDIE	LBDL	ADDM7	DIS_NSS	Res	SIVEN	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	USART_CR3	TXFTCFG[2:0]		RXFTIE			RXFTCFG[2:0]			TCBGTIE	TXFTIE	WUFIE	WUS[1:0]	SCAR CNT[2:0]		Res	DEP	DEM	DDRE	OVRDIS	ONEBIT	CTSE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSSEL	IRLP	IREN	EIE	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_BRR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	BRR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_GTPR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	GT[7:0]					PSC[7:0]										
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	USART_RTOR	BLEN[7:0]							RTO[23:0]																								
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	USART_RQR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値																																
0x1C	USART_ISR FIFOモードが有効な場合	Res	Res	Res	Res	TXFT	RXFT	TCBGT	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFN	TC	RXFNE	IDLE	ORE	NE	FE	PE
	リセット値					X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
0x1C	USART_ISR FIFOモードが無効の場合	Res	Res	Res	Res	Res	Res	TCBGT	Res	Res	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	リセット値							0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0x20	USART_ICR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値													0		0																	
0x24	USART_RDR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
	リセット値																																



36 低消費電力ユニバーサル非同期レシーバトランスミッタ (LPUART)

このセクションでは、低消費電力ユニバーサル非同期レシーバトランスミッタ (LPUART) について説明します。

36.1 LPUART の概要

LPUART は、限られた消費電力で双方向 UART 通信が可能な UART です。わずか 32.768kHz LSE クロックで最大 9600 baud の UART 通信が可能です。LSE クロックとは別のクロックソースによって LPUART にクロック供給すると、さらに高いボーレートを達成できます。

デバイスが低消費電力モードのときでも、LPUART は UART フレームの入力を待つことができ、その間のエネルギー消費は非常に低くなっています。LPUART には、最小の消費電力で非同期シリアル通信を可能にするために必要なすべてのハードウェアサポートが含まれています。

半二重単線通信とモデム操作 (CTS/RTS) をサポートします。

マルチプロセッサ通信もサポートします。

データの送受信に DMA (直接メモリアクセス) を使用できます。

36.2 LPUART の主な機能

- 全二重非同期通信
- NRZ 標準フォーマット (マーク/スペース)
- プログラム可能なボーレート
- 32.768 kHz クロックソースを使用して、300 baud から 9600 baud まで。
- より高い周波数のクロックソースを使用することにより、より高いボーレートを達成可能
- データを送信および受信する 2 つの内部 FIFO
各 FIFO はソフトウェアで有効/無効にすることができ、FIFO の状態用のステータスフラグを装備
- PCLK から独立したペリフェラル専用のカーネルクロックによるデュアルクロックドメイン
- プログラム可能なデータワード長 (7 または 8 または 9 ビット)
- データ順序をプログラム可能 (MSB ファースト/LSB ファーストのシフト)
- 設定可能なストップビット (1 または 2 個のストップビット)
- 単線半二重通信
- DMA を使用した連続通信
- 送受信バイトは集中型 DMA を使用して予約済み SRAM にバッファ
- トランスミッタとレシーバ用に個別の有効ビット
- 送信と受信の信号極性を個別に制御
- スワップ可能な Tx/Rx ピン設定
- モデムと RS-485 トランシーバのハードウェアフロー制御
- 転送検出フラグ：
 - 受信バッファフル
 - 送信バッファエンプティ
 - ビジーおよび送信終了フラグ
- パリティ制御：
 - パリティビットの送信
 - 受信したデータバイトのパリティ検査
- 4 つのエラー検出フラグ：
 - オーバーランエラー
 - ノイズ検出
 - フレームエラー
 - パリティエラー
- フラグ付き割込みソース
- マルチプロセッサ通信: アイドルライン検出またはアドレスマーク検出によるミュートモードからのウェイクアップ

36.3 LPUART の実装

以下に、USART と比較して LPUART の実装を示します。

表 247. USART/LPUART の機能

USART/LPUART のモード/機能 ⁽¹⁾	USART1/2	LPUART1
モデムのハードウェアフロー制御	X	X
DMA を使用した連続通信	X	X
マルチプロセッサ通信	X	X
同期モード (マスタ/スレーブ)	X	-
スマートカードモード	X	-
単線半二重通信	X	X
Ir SIR ENDEC ブロック	X	-
LIN モード	X	-
デュアルクロックドメインと低消費電力モードからのウェイクアップ	X	X
レシーバタイムアウト割込み	X	-
Modbus 通信	X	-
自動ボーレート検出	X	-
ドライバインエーブル	X	X
USART データ長	7、8、および 9 ビット	
Tx/Rx FIFO	X	X
Tx/Rx FIFO サイズ	8	
STOP モードからのウェイクアップ	X ⁽²⁾	X ⁽³⁾

1. X: サポートされています。
2. STOP 0 および STOP 1 モードからのウェイクアップをサポート。
3. STOP 0、STOP 1 および STOP 2 モードからのウェイクアップをサポート。

36.4 LPUART の機能詳細

36.4.1 LPUART ブロック図

図 333. LPUART ブロック図

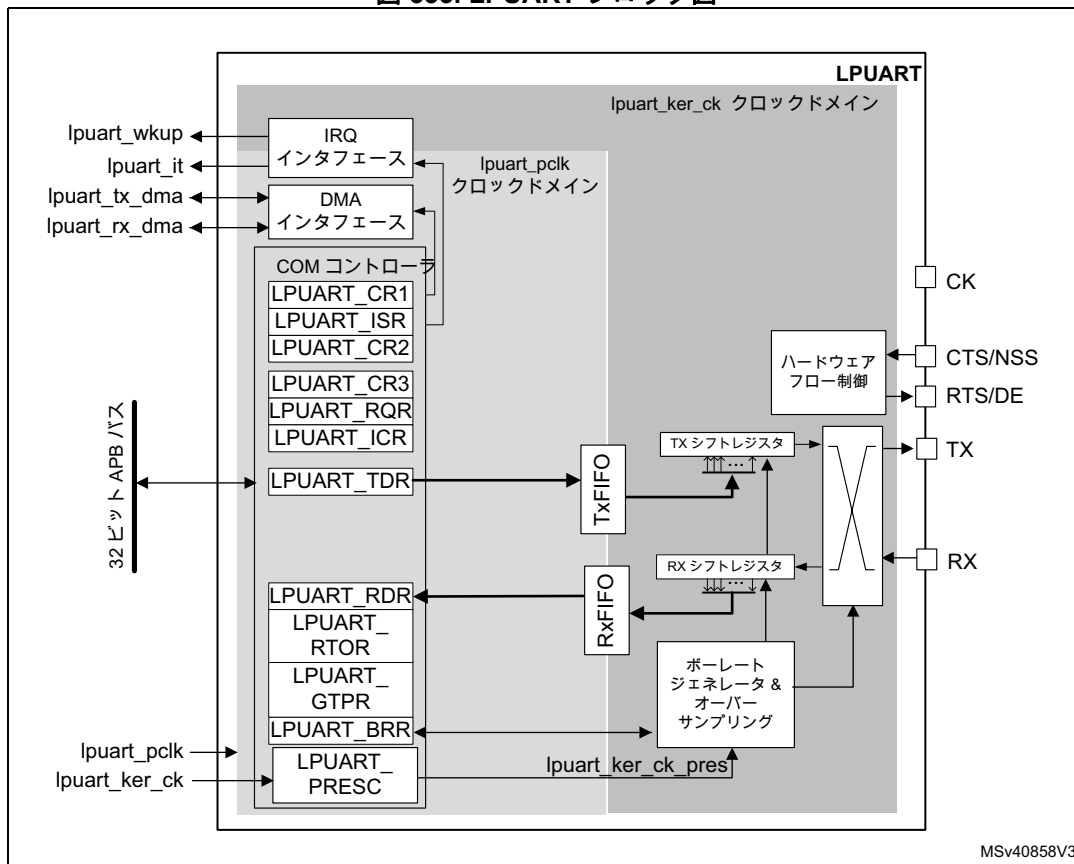


図 333 に示した簡易ブロック図には、以下の完全に独立した2つのクロックドメインが示されています。

- lpuart_pclk** クロックドメイン
lpuart_pclk クロック信号はペリフェラルバスインタフェースにクロック供給します。LPUART レジスタへアクセスが必要なおとき、アクティブになっていなければなりません。
- lpuart_ker_ck** カーネルクロックドメイン
lpuart_ker_ck は LPUART クロックソースです。 **lpuart_pclk** とは独立で、RCC によって供給されます。したがって、 **lpuart_ker_ck** クロックが停止しているときでも、LPUART レジスタは読み書きできます。
 デュアルクロックドメイン機能が無効になっているときは、 **lpuart_ker_ck** は **lpuart_pclk** クロックと同じになります。

lpuart_pclk と **lpuart_ker_ck** の間には何も制約はありません。 **lpuart_ker_ck** は **lpuart_pclk** より速いことも遅いこともあり、十分に速く通信を管理できるソフトウェアの能力以外に制限はありません。

36.4.2 LPUART 信号

LPUART の双方向通信には、少なくとも 2 本のピンが必要です。すなわち、受信データ入力 (RX) と送信データ出力 (TX) です。

- **RX** (受信データ入力)
RX はシリアルデータ入力です。
- **TX** (送信データ出力)
トランスミッタが無効なときは、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効で、送信すべきデータがないとき、TX ピンはハイレベルになります。単線モードでは、この I/O はデータの送受信に使用されます。

RS232 ハードウェアフロー制御モード

RS232 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **CTS** (Clear To Send)
ハイレベルのとき、この信号は現在の転送の終わりにデータ送信をブロックします。
- **RTS** (Request To Send)
ローレベルのとき、この信号は USART がデータを受信する準備ができたことを示します。

RS485 ハードウェアフロー制御モード

RS485 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **DE** (Driver Enable)
この信号は、外部トランシーバの送信モードを有効にします。

注： DE と RTS は同じピンを共有します。

36.4.3 LPUART キャラクタの説明

ワード長は、LPUART_CR1 レジスタの M ビット (M0 : ビット 12 および M1 : ビット 28) をプログラムすることによって、7、8、または 9 ビットに設定できます (図 307 を参照)。

- 7 ビットのキャラクタ長 : M[1:0] = "10"
- 8 ビットのキャラクタ長 : M[1:0] = "00"
- 9 ビットのキャラクタ長 : M[1:0] = "01"

デフォルトでは、信号 (TX または RX) はスタートビットの処理中ではロー状態です。また、ストップビットの処理中にはハイ状態です。

これらの値は、極性設定制御により、各信号について個別に反転できます。

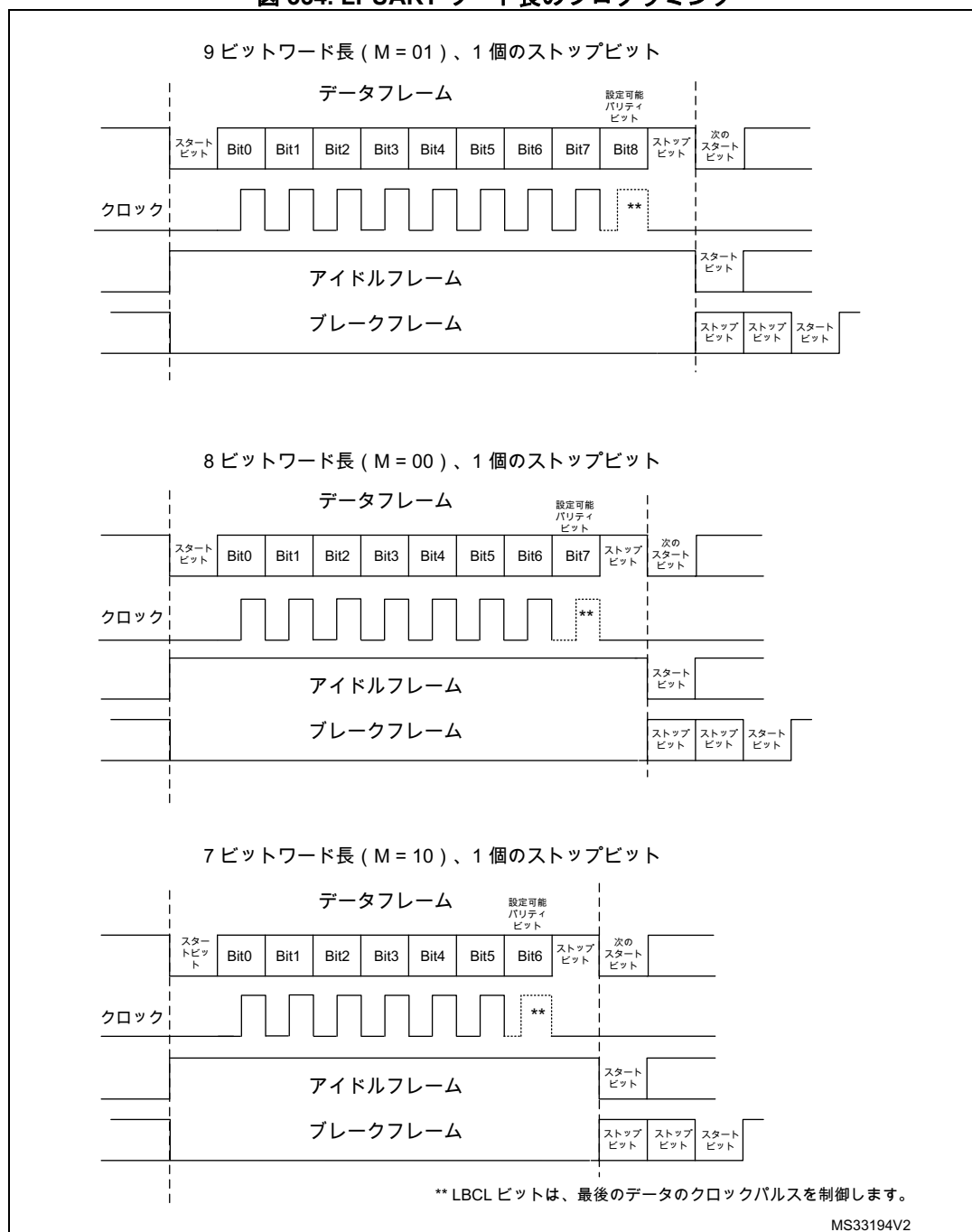
アイドルキャラクタは、すべてが「1」のフレームとして解釈されます (「1」の数にはストップビットの数が含まれます)。

ブレイクキャラクタは、フレーム周期中に「0」を受信することと解釈されます。ブレイクフレームの終了時、トランスミッタは 2 個のストップビットを挿入します。

送信と受信は共通ボーレートジェネレータによって駆動されます。送信および受信クロックは、トランスミッタとレシーバの有効ビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 334. LPUART ワード長のプログラミング



36.4.4 LPUART の FIFO と閾値

LPUART は FIFO モードで動作できます。

LPUART は送信 FIFO (TXFIFO) と受信 FIFO (RXFIFO) を備えています。FIFO モードは、LPUART_CR1 レジスタの FIFOEN ビット (ビット 29) をセットすることによって有効になります。

最大のデータワード長が 9 ビットなので、TXFIFO は 9 ビット幅です。しかし、RXFIFO のデフォルト幅は 12 ビットです。この理由は、レシーバは FIFO にデータを格納するだけでなく、各キャラクタに伴うエラーフラグ (パリティエラー、ノイズエラー、およびフレーミングエラーフラグ) も格納するためです。

注： 受信データは、対応するフラグとともに RXFIFO に格納されます。ただし、RDR を読み出すときは、データのみが読み出されます。

ステータスフラグは、LPUART_ISR レジスタで入手可能です。

Tx および Rx 割込みがトリガされる TXFIFO および RXFIFO のレベルを定義することができます。これらの閾値は、LPUART_CR3 制御レジスタの RXFTCFG および TXFTCFG ビットフィールドによってプログラムされます。

このとき、

- RXFIFO に受信したデータの数 \geq RXFTCFG ビットフィールドでプログラムされた閾値に達すると、LPUART_ISR レジスタの RXFT フラグがセットされ、対応する割込みが (有効になっている場合) 生成されます。

これは、RXFIFO 内のデータ数が、プログラムされた閾値と等しくなるまで RXFIFO が満たされることを意味します。

RXFTCFG 分のデータが受信されると、1 データが LPUART_RDR にあり、(RXFTCFG - 1) データが RXFIFO に入っています。例として、RXFTCFG が "101" にプログラムされている場合、FIFO サイズに相当する量のデータが受信された時に、RXFT フラグがセットされます。つまり、FIFO サイズ - 1 のデータが RXFIFO に入り、1 データが LPUART_RDR に入っています。その結果、次に受信されるデータによってオーバーランフラグがセットされることはありません。

- TXFIFO の空き場所の数 \geq TXFTCFG ビットフィールドでプログラムされた閾値に達すると、LPUART_ISR レジスタの TXFT フラグがセットされ、対応する割込みが (有効になっている場合) 生成されます。

これは、TXFIFO の空き場所の数が、プログラムされた閾値と等しくなるまで TXFIFO が空にされることを意味します。

36.4.5 LPUART トランスミッタ

トランスミッタは、M ビットのステータスに応じて、7 または 8 または 9 ビットのデータワードを送信できます。トランスミッタ機能を有効にするには、送信イネーブルビット (TE) をセットする必要があります。送信シフトレジスタ内のデータは、TX ピンで出力されます。

キャラクタ送信

LPUART 送信時、データは LSB ファースト (デフォルト設定) で TX ピンにシフトアウトされます。このモードでは、LPUART_TDR レジスタは、内部バスと送信シフトレジスタの間のバッファ (TDR) で構成されます (図 333 を参照)。

FIFO モードが有効なとき、LPUART_TDR レジスタに書き込まれたデータは TXFIFO のキューに入ります。

各キャラクタの前には、スタートビット (1 ビット周期、ロー論理レベル) があります。キャラクタは、設定可能な数のストップビットで終端されます。

ストップビットの数は 1 または 2 にできます。

注： 送信データを LPUART_TDR に書き込む前に、TE ビットをセットする必要があります。
データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが停止されるため、TX ピンのデータが破壊されます。送信中の現在のデータは失われます。

TE ビットが有効になると、アイドルフレームが送信されます。

設定可能なストップビット

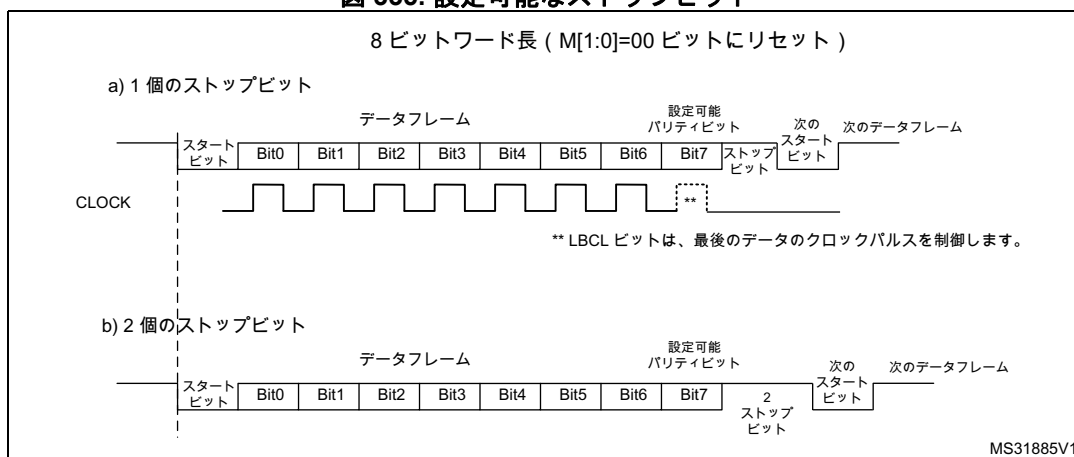
各キャラクタとともに送信されるストップビットの数は、LPUART_CR2 (ビット 13、12) でプログラミングできます。

- **1 個のストップビット：** ストップビット数のデフォルト値です。
- **2 個のストップビット：** 通常の LPUART モード、単線モード、およびモデムモードでサポートされます。

アイドルフレームの送信にはストップビットが含まれます。

ブ레이크送信は、10個のロービット (M[1:0] = "00" のとき) または 11個のロービット (M[1:0] = "01" のとき) または 9個のロービット (M[1:0] = "10" のとき) の後に 2個のストップビットが続きます。長いブ레이크 (9/10/11 個のロービットを超える長さのブ레이크) を送信することはできません。

図 335. 設定可能なストップビット



キャラクタ送信手順

キャラクタを送信するには、次の手順に従います。

1. LPUART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. LPUART_BRR レジスタを使用して、目的のボーレートを選択します。
3. LPUART_CR2 レジスタでストップビットの数をプログラミングします。
4. LPUART_CR1 レジスタの UE ビットに“1”を書き込んで、LPUART を有効にします。
5. マルチバッファ通信を行う場合は、LPUART_CR3 レジスタの DMA 有効 (DMAT) を選択します。 [セクション 35.5.10: USART マルチプロセッサ通信](#)の説明に基づいて、DMA レジスタを設定します。
6. LPUART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを LPUART_TDR レジスタに書き込みます。シングルバッファの場合、送信される各データにこの操作を繰り返します。
 - FIFO モードが無効になっている場合は、LPUART_TDR に 1 つのデータを書き込むと、TXE フラグがクリアされます。

- FIFO モードが有効になっている場合は、LPUART_TDR に 1 つのデータを書き込むと、1 つのデータが TXFIFO に追加されます。TXFNF フラグがセットされたとき、LPUART_TDR への書き込み動作が行われます。このフラグは TXFIFO がフルになるまでセットされたままになります。
 - 8. LPUART_TDR レジスタに最後のデータを書き込んだら、TC = 1 になるまで待ちます。これは、最後のフレームの送信が完了したことを示します。
 - FIFO モードが無効になっている場合、これは、最後のフレームの送信が完了したことを示します。
 - FIFO モードが有効になっている場合、これは、TXFIFO とシフトレジスタの両方が空になっていることを示します。
- このチェックは、LPUART が無効になったり、停止モードに入ったりするときに、最後の送信が壊れないようにするために必要です。

1 バイト通信

- FIFO モードが無効の場合
 - 送信データレジスタに書き込むと、必ず TXE ビットがクリアされます。TXE フラグがハードウェアによってセットされ、以下のことを示します。
 - データは LPUART_TDR レジスタからシフトレジスタへ移動され、データ送信が開始しています。
 - LPUART_TDR レジスタは空です。
 - 次のデータを、前のデータに上書きせずに、LPUART_TDR レジスタに書き込みます。TXEIE ビットがセットされている場合、TXE フラグは割込みを生成します。
 - 送信が行われているとき、LPUART_TDR レジスタへの書き込み命令によってデータが TDR レジスタに格納され、さらに、現在の送信の最後にシフトレジスタにコピーされます。
 - 送信が行われていないときには、LPUART_TDR レジスタへの書き込み命令によってデータがシフトレジスタに格納され、データ送信が開始され、TXE ビットがセットされます。
- FIFO モードが有効になっている場合は、以下を示すためにハードウェアによって TXFNF (TXFIFO はフルではない) フラグがセットされます。
 - TXFIFO はフルではありません。
 - LPUART_TDR レジスタは空です。
 - 次のデータを、前のデータに上書きせずに、LPUART_TDR レジスタに書き込みます。送信が行われているとき、LPUART_TDR レジスタへの書き込み命令によってデータが TXFIFO に格納されます。現在の送信の最後にデータが TXFIFO からシフトレジスタにコピーされます。

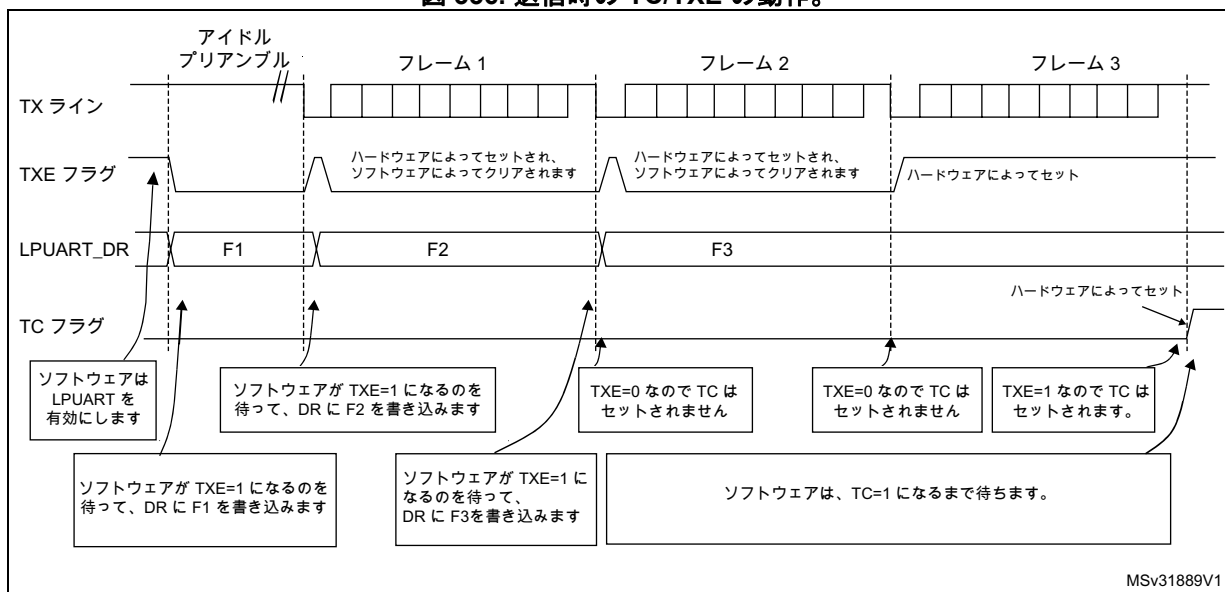
TXFIFO がフルではない場合、LPUART_TDR レジスタへの書き込み後も、TXFNF フラグは“1”のままに留まります。TXFIFO がフルになると、クリアされます。TXFNEIE ビットがセットされている場合、このフラグは割込みを生成します。

あるいは、TXFIFO 閾値に達した時、割込みが生成され、データを TXFIFO に書き込むことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを書き込むことができます。

フレームが送信され (ストップビットの後)、TXE フラグ (FIFO モードの場合は TXFE) がセットされると、TC ビットはハイレベルになります。LPUART_CR1 レジスタの TCIE ビットがセットされると、割込みが生成されます。

LPUART_TDR レジスタに最後のデータを書き込んだ後は、LPUART を無効にしたり、デバイスを低消費電力モードにしたりする前に、TC = 1 になるまで待つ必要があります (図 336: 送信時の TC/TXE の動作。を参照)。

図 336. 送信時の TC/TXE の動作。



注： FIFO 管理が有効になっているときは、TXFNF フラグがデータ送信のために使用されます。

ブレイクキャラクタ

SBKRQ ビットをセットすると、ブレイクキャラクタが送信されます。ブレイクフレーム長は、M ビットに依存します (図 334 を参照)。

SBKRQ ビットに 1 が書き込まれた場合、現在のキャラクタ送信の完了後、TX ラインにブレイクキャラクタが送信されます。SBKF ビットは書き込み操作によってセットされ、ブレイクキャラクタが完了すると (ブレイクキャラクタの後のストップビット時に) ハードウェアによってリセットされます。LPUART は、次のフレームのスタートビットの認識を保証するために、ブレイクフレームの終わりに 2 ビットの長さの間、ロジック 1 信号 (STOP) を挿入します。

SBKRQ ビットがセットされると、現在のキャラクタ送信の最後に、ブレイクキャラクタが送信されます。

FIFO モードが有効になっている場合、TXFIFO がフルになっていても、ブレイクキャラクタの送信はデータ送信より優先されます。

アイドルキャラクタ

TE ビットをセットすると、LPUART は、最初のデータフレームの前にアイドルフレームを送信します。

36.4.6 LPUART レシーバ

LPUART は、LPUART_CR1 レジスタの M ビットに応じて、7 または 8 または 9 ビットのデータワードを受信できます。

スタートビット検出

LPUART では、立ち下がりエッジが Rx ラインで発生したときスタートビットが検出され、その後、スタートビットの中央でサンプルが採取され、まだ“0”であることが確認されます。スタートサンプルが“1”であった場合、ノイズエラーフラグ (NE) がセットされ、スタートビットが破棄され、レシーバは新しいスタートビットを待ちます。そうでない場合、レシーバは通常通り、入力されるすべてのビットのサンプリングを続けます。

キャラクタの受信

LPUART の受信時には、データは RX ピンを通じて LSB ファースト（デフォルト設定）でシフトインされます。このモードでは、LPUART_RDR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます。

キャラクタ受信手順

キャラクタを受信するには、次の手順に従います。

1. LPUART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. ボーレートレジスタ LPUART_BRR を使用して、目的のボーレートを選択します。
3. LPUART_CR2 レジスタでストップビットの数をプログラミングします。
4. LPUART_CR1 レジスタの UE ビットに“1”を書き込んで、LPUART を有効にします。
5. マルチバッファ通信を行う場合には、LPUART_CR3 レジスタの DMA 有効（DMAR）を選択します。セクション 35.5.10: USART マルチプロセッサ通信の説明に基づいて、DMA レジスタを設定します。
6. LPUART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- FIFO モードが無効な場合は、RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。言い換えると、データは受信され、読み出し可能です（関連するエラーフラグも同様です）。
- FIFO モードが有効な場合、RXFIFO が空ではないことを示す RXFNE ビットがセットされます。LPUART_RDR を読み出すと、RXFIFO に入力された最も古いデータが返されます。データが受信されると、対応するエラービットとともに RXFIFO に格納されます。
- RXNEIE（FIFO モードの場合は RXFNEIE）ビットがセットされていた場合、割込みが生成されます。
- 受信中にフレームエラー、ノイズまたはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファ通信モードでは、
 - FIFO モードが無効のとき、RXNE フラグはバイト受信ごとにセットされ、受信データレジスタの DMA 読み出しによってクリアされます。
 - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。DMA リクエストのたびに、RXFIFO から 1 データが取り出されます。DMA リクエストは、RXFIFO が空ではないとき、すなわち、RXFIFO から読み出されるべきデータがあるときに、トリガされます。
- シングルバッファモードでは、
 - FIFO モードが無効の場合、RXNE フラグのクリアは、ソフトウェアによる LPUART_RDR レジスタからの読み出しによって行われます。RXNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。
 - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。LPUART_RDR レジスタからの読み出し動作のたびに、RXFIFO から 1 つのデータが取り出されます。RXFIFO が空になると、RXFNE フラグがクリアされます。RXFNE フラグは、LPUART_RQR レジスタの RXFRQ ビットに 1 を書き込むことによってもクリアすることもできます。RXFIFO がフルのとき、オーバーランエラーを避けるため、次のキャラクタの受信が終了する前に、RXFIFO 内の最初のエントリを読み出す必要があります。RXFNEIE ビットがセットされている場合、RXFNE フラグは割込みを生成します。あるい

は、RXFIFO 閾値に達した時、割込みが生成され、データを RXFIFO から読み出すことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを読み出すことができます。

ブレークキャラクタ

ブレークキャラクタを受信すると、LPUART はブレークキャラクタをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データキャラクタ受信と同じように処理されますが、違いは、IDLEIE ビットがセットされている場合に割込みが生成されることです。

オーバーランエラー

- FIFO モードが無効の場合

RXNE ビットがリセットされていないときにキャラクタを受信すると、オーバーランエラーが発生します。

RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。RXNE フラグは、バイトを受信するたびにセットされます。

次のデータを受信したときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RDR の内容は失われません。LPUART_RDR の読出しが行われると、前のデータが使用できます。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

- FIFO モードが有効な場合

受信 FIFO がフルのときにシフトレジスタが転送される準備ができると、オーバーランエラーが発生します。

RXFIFO に 1 つの空き場所ができるまで、データをシフトレジスタから LPUART_RDR レジスタに転送することはできません。RXFIFO が空でないとき、RXFNE フラグがセットされます。

RXFIFO がフルで、シフトレジスタが転送される準備ができている場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RXFIFO の最初のエンタリは失われません。LPUART_RDR の読出しを行うと、そのデータが入手できます。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXFNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

ORE ビットは、ICR レジスタの ORECF ビットをセットすることによってリセットされます。

注： **ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。T FIFO モードが無効になっているとき、2 つの可能性あります。**

- RXNE = 1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読み出しが可能です。
- RXNE = 0 の場合、最後の有効なデータはすでに読み出されたので、RDR には読み出すべきものが残っていないことを意味します。このケースは、有効な最後のデータが RDR で読み出されると同時に新しい（そして失われた）データが受信されると発生します。

クロックソースの選択

クロックソースの選択は、クロック制御システムを通じて行われます（リセットおよびクロック制御 (RCC) のセクションを参照）。クロックソースは、UE ビットのセットによって LPUART を有効にする前に選ぶ必要があります。

クロックソースは、次の 2 つの基準に従って選択する必要があります。

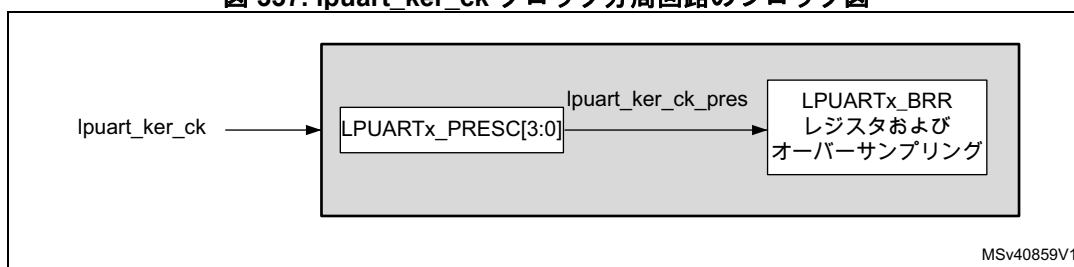
- LPUART を低消費電力モードで使用できること
- 通信速度

クロックソース周波数は、lpuart_ker_ck です。

デュアルクロックドメインと低消費電力モードからのウェイクアップ機能がサポートされるときには、lpuart_ker_ck クロックソースは RCC で設定できます（リセットおよびクロック制御 (RCC) のセクションを参照）。そうしない場合、lpuart_ker_ck クロックは lpuart_pclk と同じになります。

lpuart_ker_ck クロックは、LPUART_PRESC レジスタのプログラム可能な係数によって分周できます。

図 337. lpuart_ker_ck クロック分周回路のブロック図



lpuart_ker_ck ソースによっては、LPUART は MCU が低消費電力モードのときにデータを受信することができます。受信データとウェイクアップモードの選択に応じて、LPUART は必要なときに MCU をウェイクアップして、ソフトウェアが LPUART_RDR レジスタを読み出すことによって、または DMA によって受信データを転送します。

他のクロックソースの場合、LPUART 通信を可能にするためには、システムをアクティブにする必要があります。

通信速度の範囲（特に最大通信速度）もクロックソースによって決まります。

レシーバは各入力ビットをビット周期のできるだけ中央でサンプリングします。各入力ビットについて 1 つのサンプルだけが採取されます。

注： **データのノイズ検出は行われません。**

フレーミングエラー

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合、フレーミングエラーが検出されます。

フレーミングエラーが検出された場合：

- FE ビットがハードウェアによってセットされます。
- 無効なデータがシフトレジスタから LPUART_RDR レジスタへ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、LPUART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

FE ビットは、LPUART_ICR レジスタの FECF に 1 を書き込むことによってリセットされます。

受信時の設定可能なストップビット

受信するストップビット数は、LPUART_CR2 の制御ビットを通じて設定でき、通常モードでは 1 または 2 にできます。

- **1 個のストップビット**：ストップビット 1 個のサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
- **2 個のストップビット**：2 個のストップビットのサンプリングは、2 番目のストップビットの中央で行われます。RXNE および FE フラグは、このサンプルの直後、すなわち 2 番目のストップビット中にセットされます。最初のストップビットでは、フレーミングエラーの検査は行われません。

36.4.7 LPUART ボーレート生成

レシーバとトランスミッタ (Rx と Tx) のボーレートは、LPUART_BRR レジスタでプログラムされた値に設定されます。

$$\text{Tx/Rx ボー} = \frac{256 \times \text{lpuartckpres}}{\text{LPUARTDIV}}$$

LPUARTDIV は、LPUART_BRR レジスタで定義されます。

注： ボーカウンタは、LPUART_BRR への書き込み操作後、ボーレジスタの新しい値によって更新されます。したがって、通信中はボーレートレジスタの値を変更しないでください。

LPUART_BRR レジスタに 0x300 未満の値を書き込むことは禁じられています。

f_{CK} は、3 x ボーレートから 4096 x ボーレートの範囲内でなければなりません。

LPUART クロックソースが LSE の場合に達成できる最大ボーレートは、9600 ボーです。LSE クロックとは別のクロックソースによって LPUART にクロック供給すると、さらに高いボーレートを達成できます。たとえば、LPUART クロックソース周波数が 100 MHz の場合、達成できる最大ボーレートは約 33 M ボーです。

表 248. lpuart_ker_ck_pres = 32.768 kHz でプログラムされたボーレートのエラー計算

ボーレート		lpuart_ker_ck_pres = 32.768 kHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差(%) = (計算値 - 目標値) / 目標の B レート
1	300 ボー	300 ボー	0x6D3A	0
2	600 ボー	600 ボー	0x369D	0
3	1200 ボー	1200.087 ボー	0x1B4E	0.007
4	2400 ボー	2400.17 ボー	0xDA7	0.007
5	4800 ボー	4801.72 ボー	0x6D3	0.035
6	9600 ボー	9608.94 ボー	0x369	0.093

表 249. f_{CK} = 100 MHz でプログラムされたボーレートのエラー計算

ボーレート		f _{CK} = 100 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差(%) = (計算値 - 目標値) / 目標の B レート
1	38400 ボー	38400.04 ボー	A2C2A	0.0001
2	57600 ボー	57600.06 ボー	6C81C	0.0001
3	115200 ボー	115200.12 ボー	3640E	0.0001
4	230400 ボー	230400.23 ボー	1B207	0.0001
5	460800 ボー	460804.61 ボー	D903	0,001
6	921600 ボー	921625.81 ボー	6C81	0.0028
7	4000 K ボー	4000000.00 ボー	1900	0
8	10000 K ボー	10000000.00 ボー	A00	0
9	20000 K ボー	20000000.00 ボー	500	0
10	33000 K ボー	33032258.06 ボー	307	0.1

36.4.8 クロック偏差に対する LPUART レシーバの許容誤差

LPUART の非同期レシーバは、クロックシステムの合計偏差が LPUART レシーバの許容誤差未満の場合のみ、正しく動作します。合計偏差の要因は、次のとおりです。

- DTRA : トランスミッタの誤差に起因する偏差 (トランスミッタのローカルオシレータの偏差も含みます)
- DQUANT : レシーバのボーレート量子化に起因する誤差
- DREC : レシーバローカルオシレータの偏差
- DTCL : 送信ラインに起因する偏差 (一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらす可能性のあるトランシーバに起因)

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{LPUART レシーバの許容誤差}$$

ここで、

DWU は、低消費電力モードからのウェイクアップが使用されたときのサンプリングポイントの偏差によるエラーです。

LPUART レシーバは、表 250 で指定された最大許容偏差まで、データを正しく受信できます。

- LPUART_CR2 レジスタの STOP[1:0] ビットによって定義されたストップビットの数
- LPUART_BRR レジスタの値

表 250. LPUART レシーバの許容誤差

M ビット	768 < BRR < 1024	1024 < BRR < 2048	2048 < BRR < 4096	4096 ≤ BRR
8 ビット (M = '00')、 ストップビット 1 個	1.82%	2.56%	3.90%	4.42%
9 ビット (M = '01')、 ストップビット 1 個	1.69%	2.33%	2.53%	4.14%
7 ビット (M = '10')、 ストップビット 1 個	2.08%	2.86%	4.35%	4.42%
8 ビット (M = '00')、 ストップビット 2 個	2.08%	2.86%	4.35%	4.42%
9 ビット (M = '01')、 ストップビット 2 個	1.82%	2.56%	3.90%	4.42%
7 ビット (M = '10')、 ストップビット 2 個	2.34%	3.23%	4.92%	4.42%

注 : 表 250 で指定されたデータは、M ビット = "00" のとき、受信フレームに正確に 10 ビット時間 (M ビット = "01" のときには 11 ビット時間、または M ビット = "10" のときには 9 ビット時間) のアイドルフレームが含まれる特殊なケースで、若干異なる場合があります。

36.4.9 LPUART マルチプロセッサ通信

LPUART のマルチプロセッサ通信が可能です (ネットワーク内で複数の LPUART を接続して)。たとえば、1 つの LPUART をマスタとして、その TX 出力を別の LPUART の RX 入力に接続することができます。別の LPUART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、多くの場合、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましく、これによって対象外の受信者に対する LPUART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードにできません。ミュートモード機能を使用するためには、LPUART_CR1 レジスタの MME ビットをセットする必要があります。

注： FIFO マネージメントが有効になっていて MME がすでにセットされている場合は、MME ビットはクリアしてはなりません。クリアした場合はすぐに (2 lpuart_ker_ck サイクル以内に) 再セットしてください。そうしないとミュートモードはアクティブのままになることがあります。

ミュートモードが有効な場合、

- 受信ステータスビットはセットできません。
- 受信割込みはすべて禁止されます。
- LPUART_ISR レジスタの RWU ビットは“1”にセットされます。特定の条件下では、LPUART_RQR レジスタの MMRQ ビットを通じて、RWU をハードウェアまたはソフトウェアによって自動的に制御できます。

LPUART は、LPUART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードに入ったり終了したりできます。

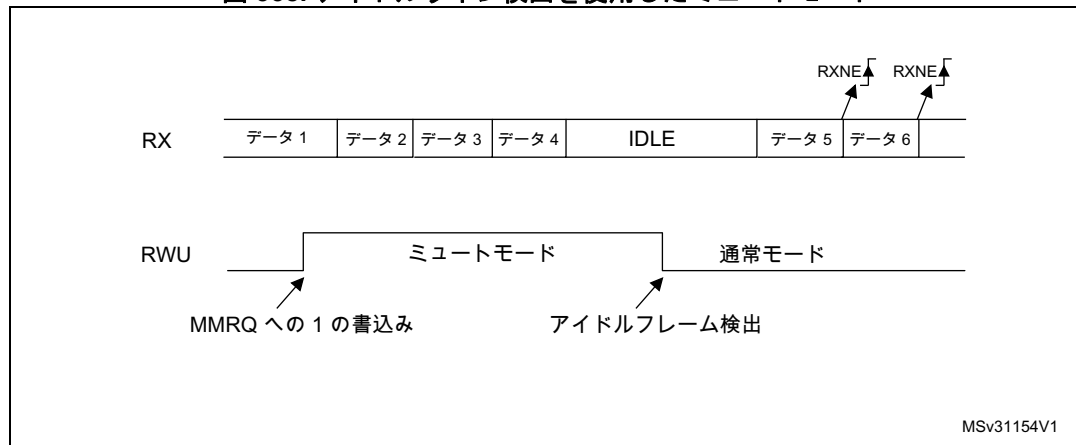
- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出 (WAKE = 0)

MMRQ ビットに 1 が書き込まれ、RWU が自動的にセットされたときには、LPUART はミュートモードに入ります。

LPUART は、アイドルフレームを検出するとウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、LPUART_ISR レジスタの IDLE ビットはセットされません。アイドルライン検出を使用したミュートモードの動作例を [図 338](#) に示します。

図 338. アイドルライン検出を使用したミュートモード



注： IDLE キャラクタがすでに経過しているときに MMRQ がセットされた場合は、ミュートモードに入りません (RWU はセットされません)。

ラインが IDLE のときに LPUART が有効にされた場合、1 IDLE フレーム後にアイドル状態が検出されます (1 キャラクタフレームの受信後だけでなく)。

4 ビット/7 ビットアドレスマーク検出 (WAKE = 1)

このモードでは、MSB が 1 の場合、バイトはアドレスとして認識され、そうでない場合はデータとみなされます。アドレスバイトのうち、ターゲットレシーバのアドレスは 4 または 7 LSB です。7 または 4 ビットアドレス検出の選択は、ADDM7 ビットを使用して行われます。この 4 ビット/7 ビットワードは、レシーバによって、LPUART_CR2 レジスタの ADD ビットでプログラムされたレシーバの自己アドレスと比較されます。

注： 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス (ADD[5:0] および ADD[7:0]) で行われます。

プログラミングされたアドレスと一致しないアドレスキャラクタを受信すると、LPUART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。LPUART がミュートモードに入ったときには、このアドレスバイトに対して RXNE フラグはセットされず、割込みも DMA リクエストも発行されません。

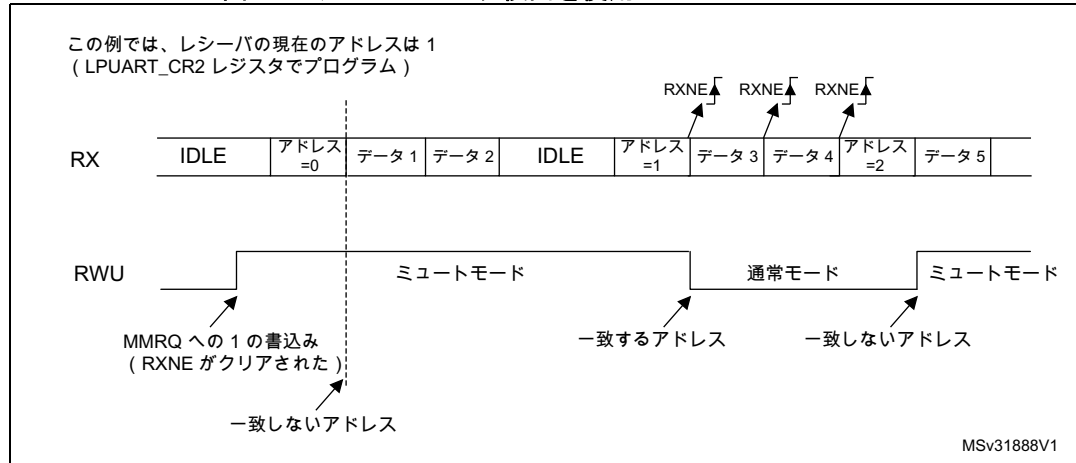
MMRQ ビットに“1”が書き込まれたときにも、LPUART はミュートモードに入ります。この場合、RWU ビットも自動的にセットされます。

プログラムされたアドレスに一致するアドレスキャラクタを受信すると、LPUART はミュートモードを終了します。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE/RXFNE ビットがセットされます。

注： FIFO 管理が有効になっている場合、レシーバがデータの最後のビットをサンプリングしている間に MMRQ ビットがセットされると、ミュートモードに実際に移行する前にこのデータが受信されることがあります。

アドレスマーク検出を使用したミュートモードの動作例を [図 339](#) に示します。

図 339. アドレスマーク検出を使用したミュートモード



36.4.10 LPUART パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティチェック）を有効にするには、LPUART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されたフレーム長に応じて、可能な LPUART フレームフォーマットを表 251 に示します。

表 251. LPUART フレームのフォーマット

M ビット	PCE ビット	LPUART フレーム ⁽¹⁾
00	0	SB 8 ビットデータ STB
00	1	SB 7 ビットデータ PB STB
01	0	SB 9 ビットデータ STB
01	1	SB 8 ビットデータ PB STB
10	0	SB 7 ビットデータ STB
10	1	SB 6 ビットデータ PB STB

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット。

2. データレジスタでは、PB は常に MSB 位置を取ります（M ビットの値に応じて、8 または 7 番目）。

偶数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットで構成されるフレーム内で「1」の数が偶数になるように計算されます。

たとえば、データが 00110101 に等しく、4bit がセットされた場合、偶数パリティが選択された場合（LPUART_CR1 の PS ビット = 0）、パリティビットは 0 になります。

奇数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットで構成されるフレーム内で「1」の数が奇数になるように計算されます。

たとえば、データが 00110101 に等しく、4bit がセットされた場合、奇数パリティが選択された場合（LPUART_CR1 の PS ビット = 1）、パリティビットは 1 になります。

受信中のパリティチェック

パリティチェックに失敗した場合、LPUART_ISR レジスタの PE フラグがセットされ、LPUART_CR1 レジスタの PEIE ビットがセットされている場合は割込みが生成されます。PE フラグは、LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによりクリアされます。

送信中のパリティ生成

LPUART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます（偶数パリティが選択された場合（PS = 0）は偶数個の「1」、奇数パリティが選択された場合（PS = 1）は奇数個の「1」）。

36.4.11 LPUART 単線半二重通信

単線半二重モードを選択するには、LPUART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットをクリアされた状態に保つ必要があります。

- LPUART_CR2 レジスタの LINEN および CLKEN ビット
- LPUART_CR3 レジスタの SCEN および IREN ビット

LPUART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部接続されます。半二重通信と全二重通信の選択は、LPUART_CR3 レジスタの制御ビット HDSEL で行います。

HDSEL ビットに“1”が書き込まれると、

- TX ラインと RX ラインが内部接続されます。
- RX ピンは使用されなくなります。
- データが送信されないときには、TX ピンは常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が外部プルアップ付きの代替機能オープンドレインとして設定されるように、I/O を設定する必要があります。

この点を除くと、通信プロトコルは通常の LPUART モードと同じです。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用して）。特に、送信がハードウェアによってブロックされることはなく、TE ビットがセットされている間は、データレジスタにデータが書き込まれるとすぐに、送信が続行されます。

注： LPUART 通信では、1 個のストップビット設定の場合、ストップビットの中央で RXNE フラグがセットされます。

36.4.12 DMA および LPUART を使用した連続通信

LPUART は、DMA を使用して連続通信を行うことができます。Rx バッファと Tx バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： DMA モードがサポートされるかどうかについては、[1119 ページのセクション 35.4: USART の実装](#)を参照してください。DMA がサポートされない場合は、[セクション 35.5.6](#)の説明に従って LPUSRT を使用してください。連続通信を行うには、FIFO が無効のとき、LPUART_ISR レジスタの TXE/RXNE フラグをクリアします。

DMA を使用した送信

DMA モードでの送信を有効にするには、LPUART_CR3 レジスタの DMAT ビットをセットします。データは、TXE フラグ（FIFO モードが有効な場合は TXFNF フラグ）がセットされると、DMA パリフェラル（対応する「[ダイレクトメモリアクセスコントローラ](#)」セクションを参照）を使用して設定された SRAM 領域から LPUART_TDR レジスタにロードされます。DMA チャンネルを LPUART 送信用に割り付けるには、次の手順を実行します（x はチャンネル番号を示します）

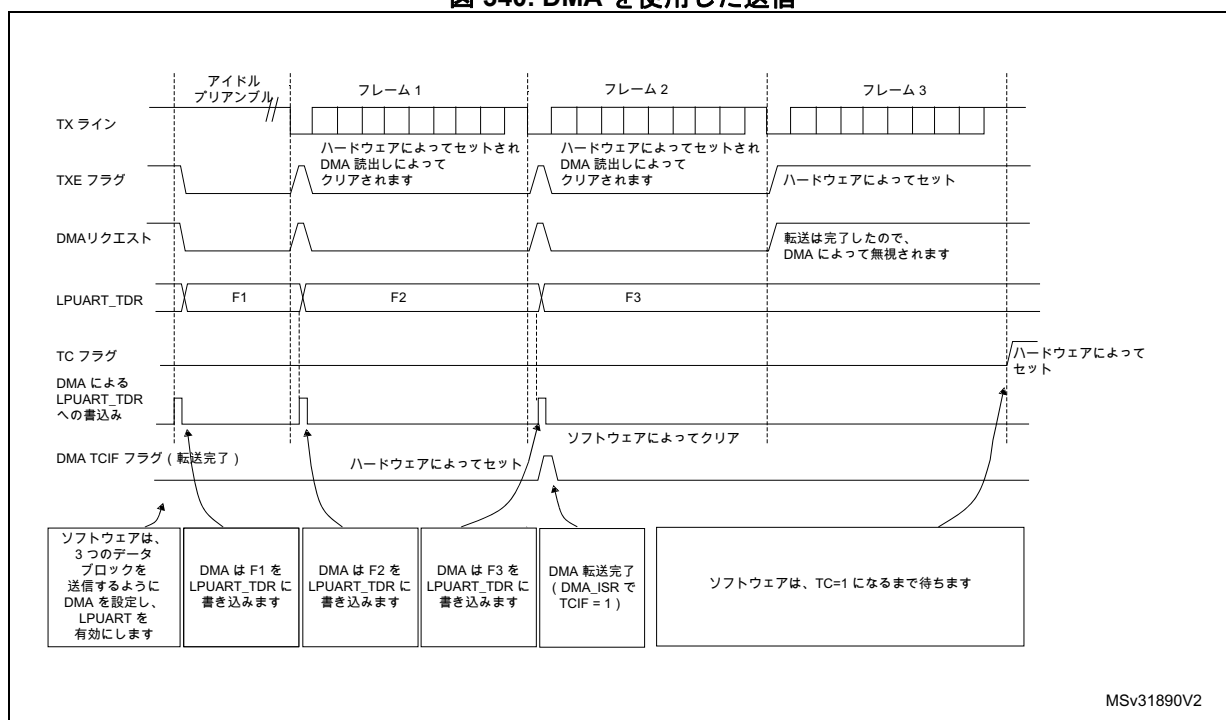
1. DMA 制御レジスタに LPUART_TDR レジスタのアドレスを書き込み、これを転送先として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、メモリからこのアドレスに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送元として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、このメモリ領域から LPUART_TDR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャンネル優先順位を DMA レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割り込み生成を設定します。

- LPUART_ICR レジスタの TCCF ビットをセットすることによって、LPUART_ISR レジスタの TC フラグをクリアします。
- DMA レジスタのチャンネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャンネルの割り込みベクタに基づいて割り込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと (DMA_ISR レジスタの TCIF フラグがセットされます)、TC フラグを観察して LPUART 通信の完了を確認することができます。これは、LPUART を無効にしたり 低消費電力モードに入ったりする前に、最後の送信が壊れないようにするために必要です。ソフトウェアは、TC = 1 になるまで待つ必要があります。TC フラグは、すべてのデータ転送中、クリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

図 340. DMA を使用した送信



注： FIFO 管理が有効になっているときは、DMA リクエストは、送信 FIFO ノットフル (すなわち、TXFNF = 1) によってトリガされます。

DMA を使用した受信

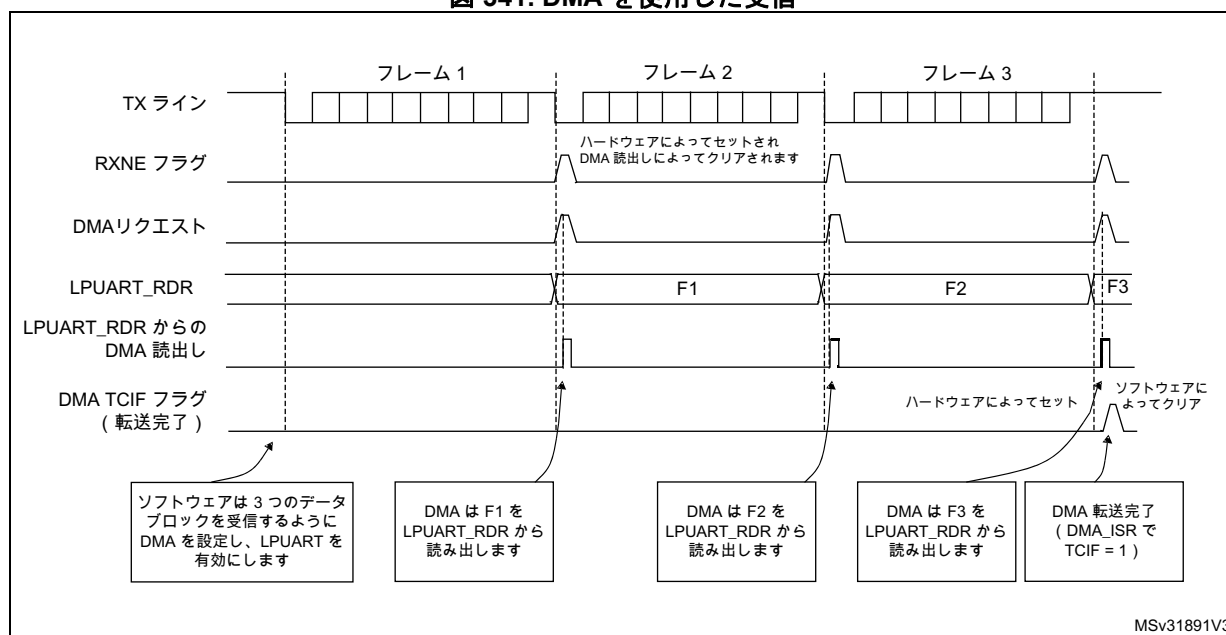
DMA モードでの受信を有効にするには、LPUART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、LPUART_RDR レジスタから DMA ペリフェラル (対応する [ダイレクトメモリアクセスコントローラ \(DMA\) のセクション](#) を参照) を使用して設定された SRAM 領域にロードされます。DMA チャンネルを LPUART 受信用に割り付けるには、次の手順を実行します。

- DMA 制御レジスタに LPUART_RDR レジスタのアドレスを書き込み、これを転送元として設定します。データは、各 RXNE (FIFO モードが有効な場合は RXFNE) イベント後に、このアドレスからメモリに移動されます。

2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送先として設定します。データは、各 RXNE (FIFO モードが有効な場合は RXFNE) イベント後に、LPUART_RDR からこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャンネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割り込み生成を設定します。
6. DMA 制御レジスタのチャンネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャンネルの割り込みベクタに基づいて割り込みを生成します。

図 341. DMA を使用した受信



注： FIFO 管理が有効になっているときは、DMA リクエストは、受信 FIFO ノットEMPTY (すなわち、RXFNE = 1) によってトリガされます。

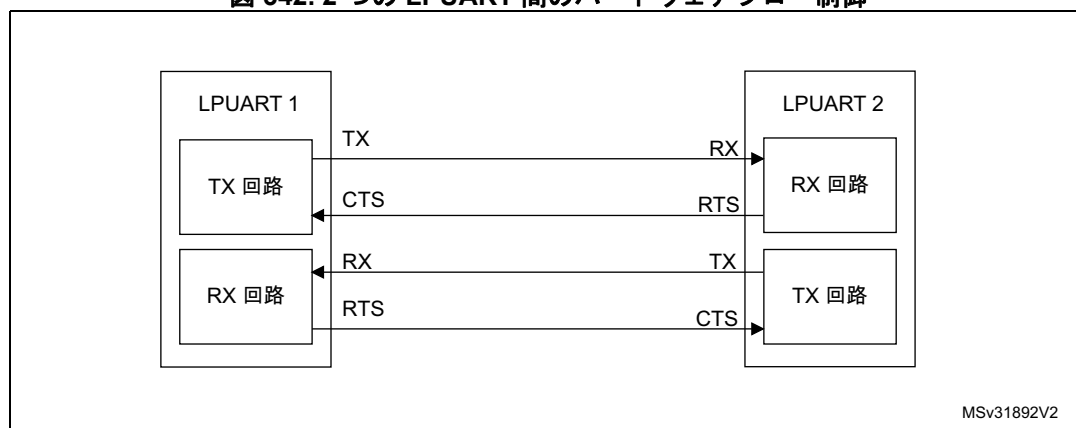
マルチバッファ通信における割り込み生成とエラーフラグ

マルチバッファ通信モードでトランザクション中にエラーが発生した場合、現在のバイトの後にエラーフラグがアサートされます。割り込み有効フラグがセットされている場合、割り込みが生成されます。1 バイト受信において RXNE (FIFO モードが有効な場合は RXFNE) とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別のエラーフラグ割り込み有効ビット (LPUART_CR3 レジスタの EIE ビット) があり、これがセットされている場合、いずれかのエラーが発生すると、現在のバイトの後に割り込みが有効になります。

36.4.13 RS232 ハードウェアフロー制御および RS485 ドライバ有効

CTS 入力と RTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。
 図 328 に、このモードで 2 つのデバイスを接続する方法を示します。

図 342. 2 つの LPUART 間のハードウェアフロー制御

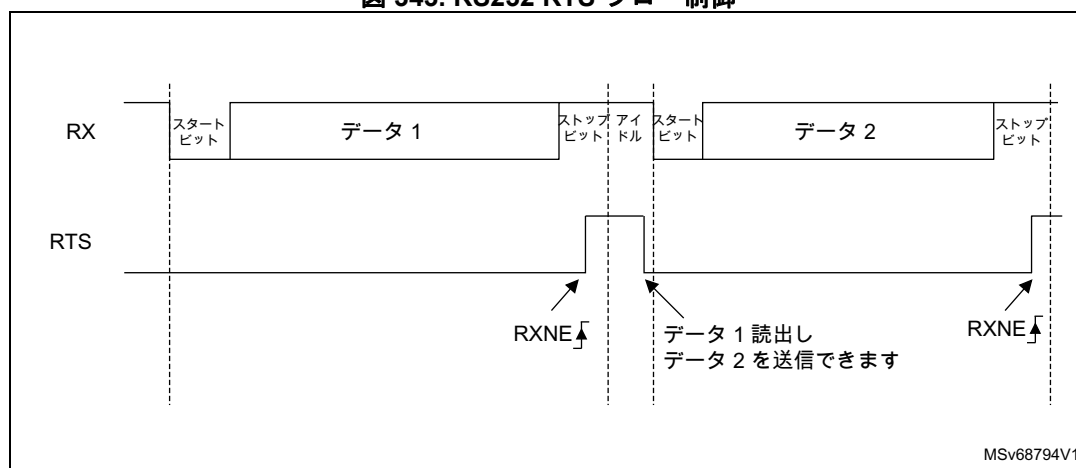


RS232 RTS と CTS のフロー制御は、LPUART_CR3 レジスタの RTSE ビットと CTSE ビットにそれぞれ 1 を書き込むことによって、個別に有効にできます。

RS232 RTS フロー制御

RTS フロー制御が有効な場合 (RTSE = 1)、LPUART レシーバが新しいデータを受信可能である限り、RTS がデアサートされます (ローレベル接続)。受信レジスタがフルになると RTS がアサートされ、現在のフレームの終わりに送信の停止が期待されることを示します。図 343 に、RTS フロー制御が有効な場合の通信例を示します。

図 343. RS232 RTS フロー制御



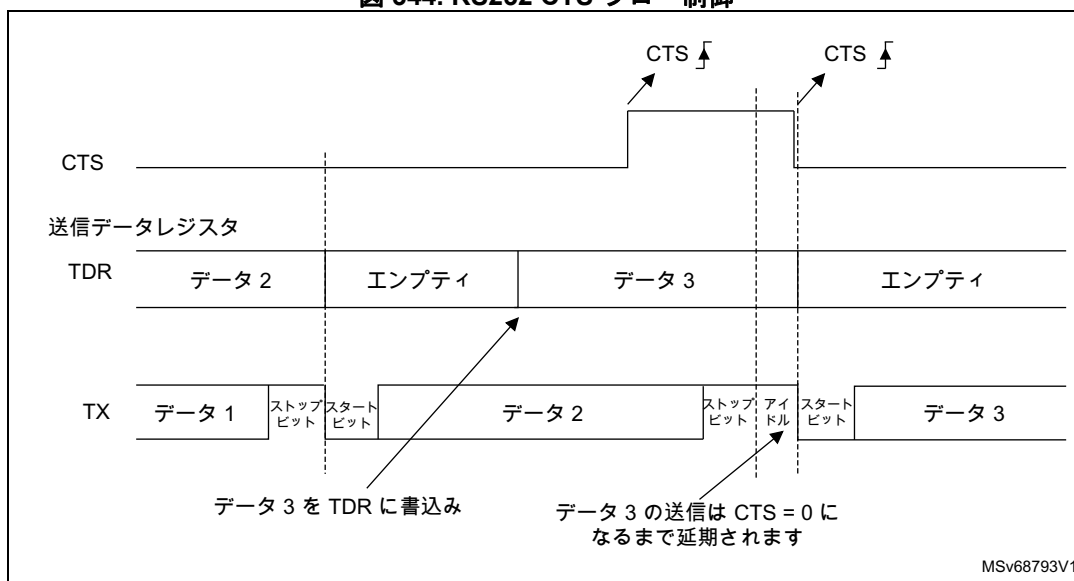
注： FIFO モードが有効な場合は、RXFIFO がフルのときにのみ、RTS がアサートされます。

RS232 CTS フロー制御

CTS フロー制御が有効な場合 (CTSE = 1)、トランスミッタは、CTS 入力をチェックしてから、次のフレームを送信します。CTS がデアサートされた場合 (ローレベル接続)、次のデータが送信されます (データが送信できると想定、つまり TXE/TXFE = 0 の場合)。そうでない場合、送信は行われません。送信中に CTS がアサートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE = 1 の場合、CTS 入力が入ると、CTSIF ステータスビットはハードウェアによって自動的にセットされます。このビットは、レシーバの通信準備ができていないかどうかを示します。LPUART_CR3 レジスタの CTSIE ビットがセットされている場合、割込みが生成されます。図 344 に、CTS フロー制御が有効な場合の通信例を示します。

図 344. RS232 CTS フロー制御



注：正しい動作のために、CTS は、現在のキャラクタの終了の少なくとも 3 LPUART クロックソース周期前にデアサートされる必要があります。さらに、2 x PCLK 周期より短いパルスでは CTSCF フラグがセットされない場合があることに注意してください。

RS485 ドライバ有効

ドライバ有効機能を有効にするには、LPUART_CR3 制御レジスタのビット DEM をセットします。これにより、DE (Driver Enable) 信号によって外部トランシーバ制御を有効にできます。アサーション時間は、DE 信号の有効化からスタートビットの開始までの時間です。LPUART_CR1 制御レジスタの DEAT [4:0] ビットフィールドを使用してプログラムされます。ネゲート時間は、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。LPUART_CR1 制御レジスタの DEDT [4:0] ビットフィールドを使用してプログラムされます。DE 信号の極性は、LPUART_CR3 制御レジスタの DEP ビットを使用して設定できます。

LPUART の DEAT および DEDT は LPUART クロックソース (f_{CK}) サイクルで表されます。

- ドライバ有効アサーション時間は次のようになります。
 - (1 + (DEAT x P)) x f_{CK}、P ≠ 0 の場合
 - (1 + DEAT) x f_{CK}、P = 0 の場合

- ドライバ有効ネゲート時間は次のようになります。
 - $(1 + (\text{DEDT} \times P)) \times f_{\text{CK}}$ 、 $P \neq 0$ の場合
 - $(1 + \text{DEDT}) \times f_{\text{CK}}$ 、 $P = 0$ の場合

ここで、 $P = \text{BRR}[20:11]$

36.4.14 LPUART 低消費電力管理

LPUART には、高度な低消費電力モード機能があり、`lpuart_pclk` クロックが無効になっているときでもデータを適切に転送することができます。

LPUART は、UESM ビットがセットされているとき、MCU を低消費電力モードからウェイクアップできます。

`lpuart_pclk` がゲートされているとき、`lpuart_pclk` クロックの有効化を必要とする特定の動作が必要になった場合、LPUART はウェイクアップ割込み (`lpuart_wkup`) を生成します。

- FIFO モードが無効の場合
 - LPUART データレジスタを空にするために `lpuart_pclk` クロックを有効にする必要があります。
 - この場合、`lpuart_wkup` 割込みのソースは“1”にセットされた `RXNE` です。低消費電力モードに入る前に `RXNEIE` ビットをセットする必要があります。

- FIFO モードが有効な場合
 - 次のために `lpuart_pclk` クロックを有効にする必要があります。
 - TXFIFO を満たすため
 - または RXFIFO を空にするため
 - この場合、`lpuart_wkup` 割込みのソースになる可能性のあるものは以下の通りです。
 - RXFIFO ノットエンプティ。この場合、低消費電力モードに入る前に `RXFNEIE` ビットをセットする必要があります。
 - RXFIFO フル。この場合、低消費電力モードに入る前に `RXFFIE` ビットをセットする必要があります。受信データの数は `RXFIFO` のサイズに一致し、`RXFF` フラグはセットされません。
 - TXFIFO エンプティ。この場合、低消費電力モードに入る前に `TXFEIE` ビットをセットする必要があります。

これによって、低消費電力モード中にデータを TXFIFO/RXFIFO に送信/受信することができます。

低消費電力モードで、オーバーラン/アンダーランエラーを避けてデータを送信/受信するために、`lpuart_wkup` 割込みソースになり得るのは次のイベントのうちの 1 つです。

- TXFIFO 閾値に達した。この場合、低消費電力モードに入る前に `TXFTIE` ビットをセットする必要があります。
- RXFIFO 閾値に達した。この場合、低消費電力モードに入る前に `RXFTIE` ビットをセットする必要があります。

たとえば、ウェイクアップ時間が、ラインを経て 1 バイトを受信する時間より少ない場合は、アプリケーションは閾値を `RXFIFO` の最大サイズに設定できます。

MCU を低消費電力モードからウェイクアップするための `RXFIFO` フル、`TXFIFO` エンプティ、`RXFIFO` ノットエンプティ、および `RXFIFO/TXFIFO` 閾値割込みを使用すれば、低消費電力モード中にできるだけ多くの LPUART 転送を行うことができ、電力消費を最適化できるメリットがあります。

あるいは、`WUS` ビットフィールドによって、特定の `lpuart_wkup` 割込みを選択することもできます。ウェイクアップイベントが検出されると、ハードウェアによって `WUF` フラグがセットされ、`WUFIE` ビットがセットされていた場合は `lpuart_wkup` 割込みが生成されます。

- 注： 低消費電力モードに移行する前に、LPUART 転送が進行中ではないことを確認してください。BUSY フラグをチェックすることでは、データ受信中に低消費電力モードに入らないことを保証できません。
- WUF フラグは、MCU が低消費電力モードか、アクティブモードかに関係なく、ウェイクアップイベントが検出されたときにセットされます。
- 初期化とレシーバの有効化の直後に低消費電力モードに入るときには、REACK ビットをチェックして、LPUART が実際に有効であることを確認する必要があります。
- 受信に DMA が使用されるときには、低消費電力モードに入る前に無効化し、低消費電力モードの終了時に再び有効にする必要があります。
- FIFO が有効なときには、アドレス一致時の低消費電力モードからのウェイクアップはミュートモードが有効な場合のみ可能です。

低消費電力モードでのミュートモードの使用

低消費電力モードに入る前に LPUART がミュートモードになった場合は、

- アイドル検出は低消費電力モードでは機能しないので、アイドル検出時にミュートモードからウェイクアップすることはできません。
- アドレス一致によるミュートモードからのウェイクアップが使用される場合、低消費電力モードからのウェイクアップのソースもアドレス一致でなければなりません。低消費電力モードに入るときに RXNE フラグがセットされた場合、アドレス一致によって低消費電力モードからウェイクアップしても、インタフェースはミュートモードのままです。

- 注： FIFO 管理が有効なとき、ミュートモードは何の制約もなく低消費電力モードからのウェイクアップとともに使用されます（すなわち、ミュートおよび低消費電力モードについて上に述べた 2 点は、FIFO 管理が無効なときのみ有効です）。

低消費電力モードで LPUART カーネルクロック (lpuart_ker_ck) がオフのときの低消費電力モードからのウェイクアップ

低消費電力モード中、lpuart_ker_ck クロックがオフになっている場合、LPUART 受信ラインの立ち下がりエッジが検出されると、lpuart_ker_ck_req 信号によって LPUART インタフェースが lpuart_ker_ck クロックをオンにするようリクエストします。その後、lpuart_ker_ck がフレーム受信に使用されます。

ウェイクアップイベントが確認された場合、MCU は低消費電力モードからウェイクアップし、データ受信が正常に続行します。

ウェイクアップイベントが確認されない場合、lpuart_ker_ck クロックが再度オフになり、MCU がウェイクアップせずに低消費電力モードに留まり、カーネルクロックリクエストが解除されます。

以下の例は、ウェイクアップイベントが「アドレス一致検出」にプログラムされ、FIFO 管理が無効になっている場合を示しています。

図 345 に、ウェイクアップイベントが確認された時の動作を示します。

図 345. 確認されたウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)

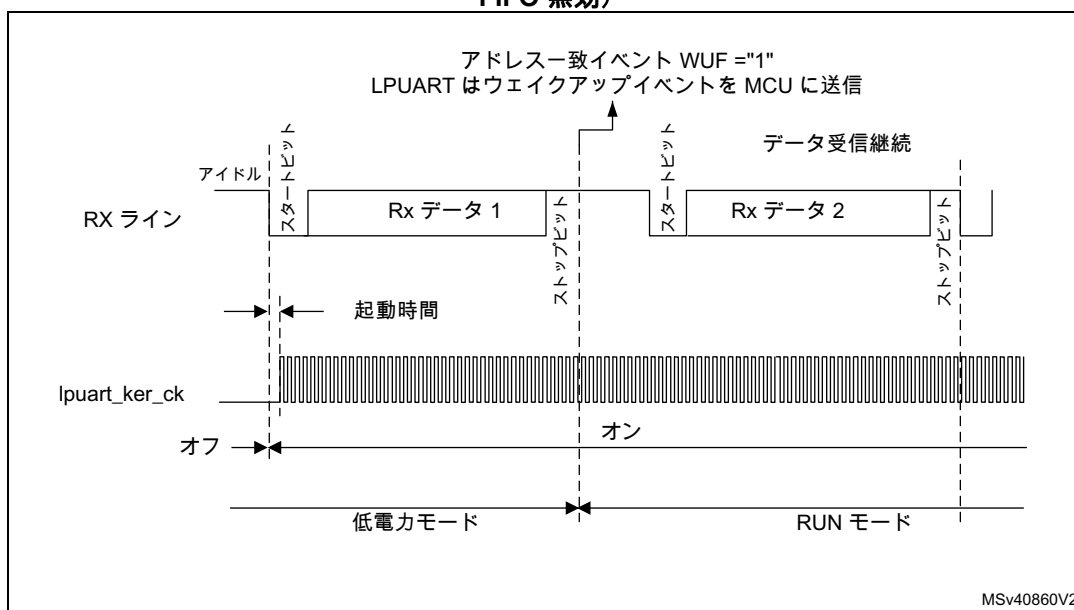
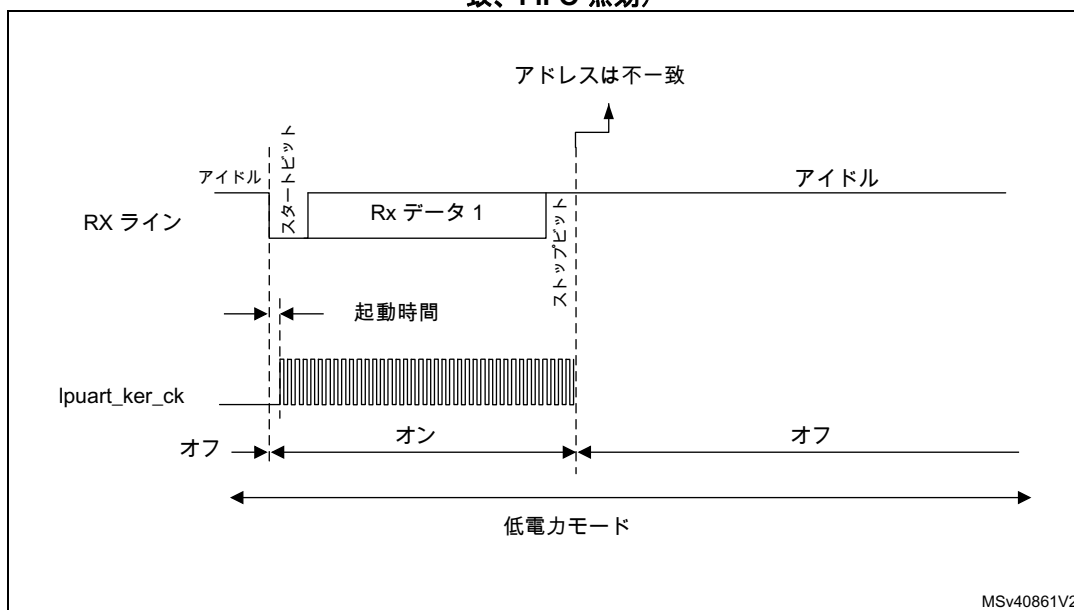


図 346 に、ウェイクアップイベントが確認されない時の動作を示します。

図 346. 確認されなかったウェイクアップイベント (ウェイクアップイベント = アドレス一致、FIFO 無効)



注： 上図は、アドレス一致または受信フレームがウェイクアップイベントとして使用されたとき、有効です。ウェイクアップイベントがスタートビット検出である場合、LPUART はスタートビットの終端にウェイクアップイベントを MCU に送ります。

MCU の低消費電力モードからの正常なウェイクアップを可能にする最大 LPUART ボーレートの決定

MCU の低消費電力モードからの正常なウェイクアップを可能にする最大ボーレートは、ウェイクアップ時間パラメータ（デバイスのデータシートを参照）と LPUART レシーバの許容誤差（[セクション 36.4.8: クロック偏差に対する LPUART レシーバの許容誤差](#)を参照）に依存します。

例として、OVER8 = 0、M ビット = "01"、ONEBIT = 0、BRR [3:0] = 0000 とします。

この条件では、[表 250: LPUART レシーバの許容誤差](#)によると、LPUART レシーバの許容誤差は 3.41% です。

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{LPUART レシーバの許容誤差}$$

$$D_{WUmax} = t_{WULPUART} / (11 \times T_{bit \text{ Min}})$$

$$T_{bit \text{ Min}} = t_{WULPUART} / (11 \times D_{WUmax})$$

ここでは、 $t_{WULPUART}$ が低消費電力モードからのウェイクアップ時間です。

パラメータ DTRA、DQUANT、DREC、および DTCL が 0% であるときに理想的なケースを考えた場合、DWU の最大値は 3.41% です。実際には、最低 lpuart_ker_ck 精度を考慮する必要があります。

たとえば HSI が lpuart_ker_ck として使用され、HSI 精度が 1% の場合、以下を得ることができます。

$t_{WULPUART} = 3 \mu\text{s}$ （値は例です。正確な値については、デバイスのデータシートを参照してください）。

$$D_{WUmax} = 3.41\% - 1\% = 2.41\%$$

$$T_{bit \text{ min}} = 3 \mu\text{s} / (11 \times 2.41\%) = 11.32 \mu\text{s}$$

その結果、低消費電力モードからの正しいウェイクアップを可能にする最大ボーレートは、次のようになります。1/11.32 μs = 88.36 K ボー

36.5 低消費電力モードでの LPUART

表 252. 低消費電力モードが LPUART に与える影響

モード	説明
SLEEP	影響はありません。LPUART 割込みによって、デバイスは SLEEP モードを終了します。
STOP ⁽¹⁾	LPUART レジスタの内容は保持されます。 STOP モードで使用可能なオシレータによって LPUART がクロック供給されている場合、LPUART はマイクロコントローラを STOP モードからウェイクアップすることができます。
STANDBY	LPUART ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

- STOP モードからのウェイクアップが特定のペリフェラルインスタンスでサポートされているかどうかを確認するには、[セクション 36.3: LPUART の実装](#)を参照してください。インスタンスが特定の STOP モードで機能しない場合、この STOP モードに入る前にそのインスタンスを無効にする必要があります。

36.6 LPUART 割込み

すべての LPUART 割込みリクエストの詳細な説明については、表 253 を参照してください。

表 253. LPUART 割込みリクエスト

割込みベクタ	割込みイベント	イベントフラグ	イネーブル制御ビット	割込みのクリア方法	SLEEP モードの終了	STOP ⁽¹⁾ モードの終了	STANDBY モードの終了
LPUART	送信データレジスタエンプティ	TXE	TXEIE	TDR を書き込む	可	不可	不可
	送信 FIFO ノットフル	TXFNF	TXFNIE	TXFIFO フル		不可	
	送信 FIFO エンプティ	TXFE	TXFEIE	TDR を書き込むか、TXFRQ に 1 を書き込む		可	
	送信 FIFO 閾値到達	TXFT	TXFTIE	TDR を書き込む		可	
	CTS 割込み	CTSIF	CTSIE	CTSCF に 1 を書き込む		不可	
	送信完了	TC	TCIE	TDR を書き込むか、TCCF に 1 を書き込む		不可	
	受信データレジスタノットエンプティ (データの読み出し可能)	RXNE	RXNEIE	RDR を読み出すか、RXFRQ に 1 を書き込む	可	はい	
	受信 FIFO ノットエンプティ	RXFNE	RXFNEIE	RXFIFO が空になるまで RDR を読み出すか、RXFRQ に 1 を書き込む		可	
	受信 FIFO フル	RXFF ⁽²⁾	RXFFIE	読み出しは RDR です。		可	
	受信 FIFO 閾値到達	RXFT	RXFTIE	読み出しは RDR です。		可	
	オーバーランエラー検出	ORE	RXNEIE/RXFNEIE	ORECF に 1 を書き込む		不可	
	アイドルライン検出	IDLE	IDLEIE	IDLECF に 1 を書き込む		不可	
	パリティエラー	PE	PEIE	PECF に 1 を書き込む		不可	
	マルチバッファ通信でのノイズエラー	NE	EIE	NFCF に 1 を書き込む		不可	
	マルチバッファ通信でのオーバーランエラー	ORE ⁽³⁾		ORECF に 1 を書き込む		不可	
	マルチバッファ通信でのフレーミングエラー	FE		FECF に 1 を書き込む		不可	
	キャラクター致	CMF		CMCF に 1 を書き込む		不可	
	低消費電力モードからのウェイクアップ	WUF	WUFIE	WUC に 1 を書き込む		可	

- LPUART は、ペリフェラルインスタンスが STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。サポートされている STOP モードのリストについては、[セクション 36.3: LPUART の実装](#)を参照してください。
- RXFF フラグは、LPUART が次のように n+1 個のデータを受信した場合にアサートされます (n は RXFIFO のサイズ)。RXFIFO に n 個のデータ、LPUART_RDR に 1 個のデータ。STOP モードでは、LPUART_RDR はクロック供給されません。その結果として、このレジスタは書き込まれず、n 個のデータが受信されて RXFIFO に書き込まれた後に、RXFF 割込みがアサートされます (RXFF フラグはセットされません)。
- OVRDIS = 0 の場合。



36.7 LPUART レジスタ

レジスタの説明で使用されている略語のリストについては、59 ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード (32 ビット) 単位でアクセスする必要があります。

36.7.1 LPUART 制御レジスタ 1 (LPUART_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

同じレジスタが FIFO モード有効 (このセクション) でも、FIFO モード無効 (次のセクション) でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXF FIE	TXFEIE	FIFO EN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFN FIE	TCIE	RXFN EIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **RXFFIE** : RXFIFO フル割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタで RXFF = 1 のときに LPUART 割込みが生成されます。

ビット 30 **TXFEIE** : TXFIFO エンプティ割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタで TXFE = 1 のときに LPUART 割込みが生成されます。

ビット 29 **FIFOEN** : FIFO モード有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : FIFO モードは無効です。

1 : FIFO モードは有効です。

ビット 28 **M1** : ワード長

このビットはビット 12 (M0) と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット/クリアされます。

M[1:0] = "00" : スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = "01" : スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = "10" : スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ポーレート (0x7F および 0x55 フレーム検出) はサポートされません。

ビット 27:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:21 DEAT[4:0] : ドライバ有効アサクション時間

この 5 ビット値は、DE (Driver Enable) 信号の有効化からスタートビットの開始までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、[セクション 35.5.20: RS232 ハードウェアフロー制御および RS485 ドライバ有効](#)を参照してください。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 20:16 DEDT[4:0] : ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE (Driver Enable) 信号の無効化までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、[セクション 36.4.13: RS232 ハードウェアフロー制御および RS485 ドライバ有効](#)を参照してください。

DEDT 時間中に LPUART_TDR レジスタに書き込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 CMIE : キャラクター一致割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタの CMF ビットがセットされると、LPUART 割込みが生成されます。

ビット 13 MME : ミュートモード有効

このビットは、LPUART のミュートモード機能を有効にします。セットされると、LPUART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット/クリアされます。

0 : レシーバは永続的にアクティブモードです。

1 : レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 M0 : ワード長

このビットはビット 28 (M1) と併せて使用して、ワード長を決定します。ソフトウェアによってセット/クリアされます (ビット 28 (M1) の説明を参照)。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11 WAKE : レシーバウェイクアップ方式

このビットによって、ミュートモードからの LPUART のウェイクアップ方式が決まります。ソフトウェアによってセット/クリアされます。

0 : アイドルライン

1 : アドレスマーク

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 10 PCE : パリティ制御有効

このビットは、ハードウェアのパリティ制御 (生成と検出) を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置 (M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット) に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0 : パリティ制御は無効です。

1 : パリティ制御は有効です。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 9 PS : パリティ選択

このビットは、パリティの生成/検出が有効である (PCE ビットがセットされている) とき、奇数パリティ/偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0 : 偶数パリティ

1 : 奇数パリティ

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

- ビット 8 **PEIE** : PE 割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで PE = 1 のときには LPUART 割込みが生成されます。
- ビット 7 **TXFNIE** : TXFIFO ノットフル割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで TXE/TXFNF=1 のときには LPUART 割込みが生成されます。
- ビット 6 **TCIE** : 転送完了割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで TC = 1 のときには LPUART 割込みが生成されます。
- ビット 5 **RXFNEIE** : RXFIFO ノットエンプティ割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタの ORE = 1 または RXNE/RXFNE = 1 のときには、LPUART 割込みが生成されます。
- ビット 4 **IDLEIE** : IDLE 割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで IDLE = 1 のときには LPUART 割込みが生成されます。
- ビット 3 **TE** : トランスミッタ有効
このビットは、トランスミッタを有効にします。ソフトウェアによってセット/クリアされます。
0 : トランスミッタは無効です。
1 : トランスミッタは有効です。
注 : 送信中に TE ビットにローパルスを与える (「0」に続けて「1」を書き込む) と、現在のワードの後にプリアンプル (アイドルライン) が送信されます。アイドルキャラクタを生成するためには、すぐには TE に 1 を書き込まないでください。必要な時間を確保するために、ソフトウェアは LPUART_ISR レジスタの TEACK ビットをポーリングできます。
TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。
- ビット 2 **RE** : レシーバ有効
このビットは、レシーバを有効にします。ソフトウェアによってセット/クリアされます。
0 : レシーバは無効です。
1 : レシーバは有効であり、スタートビットの検索が開始されます。
- ビット 1 **UESM** : STOP モードでの LPUART 有効
このビットがクリアされると、LPUART は MCU を低消費電力モードからウェイクアップできません。このビットがセットされると、LPUART は MCU を低消費電力モードからウェイクアップできますが、LPUART クロック選択が RCC にて HSI または LSE であることが条件です。
このビットは、ソフトウェアによってセット/クリアされます。
0 : LPUART は低消費電力モードから MCU をウェイクアップできません。
1 : LPUART は低消費電力モードから MCU をウェイクアップできます。この機能がアクティブなとき、LPUART のクロックソースは HSI または LSE でなければなりません (RCC の章を参照)。
注 : 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

ビット 0 **UE** : LPUART 有効

このビットがクリアされると、LPUART プリスケアラと出力はただちに停止され、現在の操作は破棄されます。LPUART の設定は保たれますが、LPUART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット/クリアされます。

0 : LPUART プリスケアラと出力は無効であり、低消費電力モードです。

1 : LPUART は有効です。

注 : ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットをその前にリセットする必要があります、ソフトウェアは、UE ビットをリセットする前に LPUART_ISR の TC ビットがセットされるのを待つ必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャネルを無効にする必要があります。

36.7.2 LPUART 制御レジスタ 1[オルタネート] (LPUART_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

同じレジスタが FIFO モード有効 (前のセクション) でも、FIFO モード無効 (このセクション) でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFO EN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
		rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **FIFOEN** : FIFO モード有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : FIFO モードは無効です。

1 : FIFO モードは有効です。

ビット 28 **M1** : ワード長

このビットはビット 12 (M0) と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット/クリアされます。

M[1:0] = "00" : スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = "01" : スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = "10" : スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ポーレート (0x7F および 0x55 フレーム検出) はサポートされません。

ビット 27:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:21 **DEAT[4:0]** : ドライバ有効アサーション時間

この 5 ビット値は、DE (Driver Enable) 信号の有効化からスタートビットの開始までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、[セクション 35.5.20: RS232 ハードウェアフロー制御および RS485 ドライバ有効](#)を参照してください。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 20:16 DEDT[4:0] : ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE (Driver Enable) 信号の無効化までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、[セクション 36.4.13: RS232 ハードウェアフロー制御および RS485 ドライバ有効](#)を参照してください。

DEDT 時間中に LPUART_TDR レジスタに書き込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 CMIE : キャラクター一致割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタの CMF ビットがセットされると、LPUART 割込みが生成されます。

ビット 13 MME : ミュートモード有効

このビットは、LPUART のミュートモード機能を有効にします。セットされると、LPUART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット/クリアされます。

0 : レシーバは永続的にアクティブモードです。

1 : レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 M0 : ワード長

このビットはビット 28 (M1) と併せて使用して、ワード長を決定します。ソフトウェアによってセット/クリアされます (ビット 28 (M1) の説明を参照)。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11 WAKE : レシーバウェイクアップ方式

このビットによって、ミュートモードからの LPUART のウェイクアップ方式が決まります。ソフトウェアによってセット/クリアされます。

0 : アイドルライン

1 : アドレスマーク

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 10 PCE : パリティ制御有効

このビットは、ハードウェアのパリティ制御 (生成と検出) を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置 (M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット) に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0 : パリティ制御は無効です。

1 : パリティ制御は有効です。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 9 PS : パリティ選択

このビットは、パリティの生成/検出が有効である (PCE ビットがセットされている) とき、奇数パリティ/偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0 : 偶数パリティ

1 : 奇数パリティ

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 8 PEIE : PE 割込み有効

このビットは、ソフトウェアによってセット/クリアされます。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタで PE = 1 のときには LPUART 割込みが生成されます。

- ビット 7 **TXEIE** : 送信データレジスタエンブティ
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで TXE/TXFNF=1 のときには LPUART 割込みが生成されます。
- ビット 6 **TCIE** : 転送完了割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで TC = 1 のときには LPUART 割込みが生成されます。
- ビット 5 **RXNEIE** : 受信データレジスタノットエンブティ
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタの ORE = 1 または RXNE/RXFNE = 1 のときには、LPUART 割込みが生成されます。
- ビット 4 **IDLEIE** : IDLE 割込み有効
このビットは、ソフトウェアによってセット/クリアされます。
0 : 割込みは禁止されています。
1 : LPUART_ISR レジスタで IDLE = 1 のときには LPUART 割込みが生成されます。
- ビット 3 **TE** : トランスミッタ有効
このビットは、トランスミッタを有効にします。ソフトウェアによってセット/クリアされます。
0 : トランスミッタは無効です。
1 : トランスミッタは有効です。
注 : 送信中に TE ビットにローパルスを与える (「0」に続けて「1」を書き込む) と、現在のワードの後にプリアンプル (アイドルライン) が送信されます。アイドルキャラクタを生成するためには、すぐには TE に 1 を書き込まないでください。必要な時間を確保するために、ソフトウェアは LPUART_ISR レジスタの TEACK ビットをポーリングできます。
TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。
- ビット 2 **RE** : レシーバ有効
このビットは、レシーバを有効にします。ソフトウェアによってセット/クリアされます。
0 : レシーバは無効です。
1 : レシーバは有効であり、スタートビットの検索が開始されます。
- ビット 1 **UESM** : STOP モードでの LPUART 有効
このビットがクリアされると、LPUART は MCU を低消費電力モードからウェイクアップできません。このビットがセットされると、LPUART は MCU を低消費電力モードからウェイクアップできますが、LPUART クロック選択が RCC にて HSI または LSE であることが条件です。
このビットは、ソフトウェアによってセット/クリアされます。
0 : LPUART は低消費電力モードから MCU をウェイクアップできません。
1 : LPUART は低消費電力モードから MCU をウェイクアップできます。この機能がアクティブなとき、LPUART のクロックソースは HSI または LSE でなければなりません (RCC の章を参照)。
注 : 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

ビット 0 **UE** : LPUART 有効

このビットがクリアされると、LPUART プリスケアラと出力はただちに停止され、現在の操作は破棄されます。LPUART の設定は保たれますが、LPUART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット/クリアされます。

0 : LPUART プリスケアラと出力は無効であり、低消費電力モードです。

1 : LPUART は有効です。

注 : ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットをその前にリセットする必要があります、ソフトウェアは、UE ビットをリセットする前にLPUART_ISR の TC ビットがセットされるのを待つ必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャンネルを無効にする必要があります。

36.7.3 LPUART 制御レジスタ 2 (LPUART_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	Res.	STOP[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDM7	Res.	Res.	Res.	Res.
rw		rw	rw								rw				

ビット 31:24 **ADD[7:0]** : LPUART ノードのアドレス

これらのビットは、ミュートモードで LPUART ノードのアドレス、または、低消費電力もしくは RUN モードで認識される文字コードを提供します。

- ミュートモードの場合 : これらは、マルチプロセッサ通信で、4 ビット/7 ビットアドレスマーク検出によるミュートモードからのウェイクアップに使用されます。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。4 ビットアドレスマーク検出では、ADD[3:0] ビットのみが使用されます。
- 低消費電力モードの場合 : キャラクター一致時の低消費電力モードからのウェイクアップに使用されます。WUS[1:0] が 0b00 (アドレス一致時に WUF がアクティブ) にプログラムされている場合、受信したキャラクタが ADD[6:0] または ADD[3:0] ビットフィールド (ADDM7 ビットに依存) でプログラムされたキャラクタに一致するとき、低消費電力モードからのウェイクアップが実行されます。また、WUFIE ビットをセットすることによって WUF 割込みが有効になります。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。
- ミュートモードが無効である RUN モード (ModBus プロトコルのブロック終了検出など) の場合 : 受信したキャラクタ全体 (8 ビット) が ADD[7:0] 値と比較され、一致すると CMF フラグがセットされます。CMIE ビットがセットされている場合、割込みが生成されます。

これらのビットは、受信が無効のとき (RE = 0) または USART が無効のとき (UE = 0) のみ、書き込むことができます。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **MSBFIRST** : MSB ファースト

このビットは、ソフトウェアによってセット/クリアされます。

0 : スタートビットに続いて、データはデータビット 0 から順に送受信されます。

1 : スタートビットに続いて、データは MSB (ビット 7/8) から順に送受信されます。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 18 **DATAINV** : バイナリデータ反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : データレジスタからの論理データは正/ダイレクトロジックで送受信されます。(1 = H、0 = L)

1 : データレジスタからの論理データは、負/インバースロジックで送受信されます。(1 = L、0 = H)。パリティビットも反転されます。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 17 **TXINV** : TX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : TX ピン信号は標準ロジックレベルを使用して機能します ($V_{DD} = 1$ /アイドル、Gnd = 0/マーク)。

1 : TX ピンの信号値が反転されます ($V_{DD} = 0$ /マーク、Gnd = 1/アイドル)。

これにより、TX ラインで外部インバータを使用できます。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 16 **RXINV** : RX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット/クリアされます。

0 : RX ピン信号は標準ロジックレベルを使用して機能します ($V_{DD} = 1$ /アイドル、Gnd = 0/マーク)。

1 : RX ピンの信号値が反転されます ($V_{DD} = 0$ /マーク、Gnd = 1/アイドル)。

これにより、RX ラインで外部インバータを使用できます。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 15 **SWAP** : TX/RX ピンのスワップ

このビットは、ソフトウェアによってセット/クリアされます。

0 : TX/RX ピンは標準ピンアウトでの定義に従って使用されます。

1 : TX および RX ピンの機能はスワップされます。これにより、別の UART へのクロスワイヤ接続の場合に動作できます。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **STOP[1:0]** : ストップビット

このビットは、ストップビットのプログラミングに使用します。

00 : 1 個のストップビット

01 : 予約済み。

10 : 2 個のストップビット

11 : 予約済みです。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 11:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **ADDM7** : 7 ビットアドレス検出/4 ビットアドレス検出

このビットは、4 ビットアドレス検出と 7 ビットアドレス検出の選択に使用されます。

0 : 4 ビットアドレス検出

1 : 7 ビットアドレス検出 (8 ビットデータモード)

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス (ADD[5:0] および ADD[7:0]) に対して行われます。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

36.7.4 LPUART 制御レジスタ 3 (LPUART_CR3)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			Res.	TXFTIE	WUFIE	WUS[1:0]		Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVRDIS	Res.	CTSIE	CTSE	RTSE	DMAT	DMAR	Res.	Res.	HDSEL	Res.	Res.	EIE
rw	rw	rw	rw		rw	rw	rw	rw	rw			rw			rw

ビット 31:29 **TXFTCFG[2:0]** : TXFIFO 閾値設定

000 : TXFIFO はその深さの 1/8 に達します。
 001 : TXFIFO はその深さの 1/4 に達します。
 110 : TXFIFO はその深さの 1/2 に達します。
 011 : TXFIFO はその深さの 3/4 に達します。
 100 : TXFIFO はその深さの 7/8 に達します。
 101 : TXFIFO は空になります。
 残りの組み合わせ : 予約済み。

ビット 28 **RXFTIE** : RXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 割込みは禁止されています。
 1 : 受信 FIFO が RXFTCFG でプログラムされた閾値に達すると、LPUART 割込みが生成されます。

ビット 27:25 **RXFTCFG[2:0]** : 受信 FIFO 閾値設定

000 : 受信 FIFO はその深さの 1/8 に達します。
 001 : 受信 FIFO はその深さの 1/4 に達します。
 110 : 受信 FIFO はその深さの 1/2 に達します。
 011 : 受信 FIFO はその深さの 3/4 に達します。
 100 : 受信 FIFO はその深さの 7/8 に達します。
 101 : 受信 FIFO はフルになります。
 残りの組み合わせ : 予約済み。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **TXFTIE** : TXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 割込みは禁止されています。
 1 : TXFIFO が TXFTCFG でプログラムされた閾値に達すると、LPUART 割込みが生成されます。

ビット 22 **WUFIE** : 低消費電力モードからのウェイクアップ割込み有効

このビットは、ソフトウェアによってセット/クリアされます。
 0 : 割込みは禁止されています。
 1 : LPUART_ISR レジスタで WUF = 1 のときには LPUART 割込みが生成されます。

注 : **WUFIE** は、低消費電力モードに入る前にセットする必要があります。

LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。[セクション 35.4: USART の実装](#)を参照してください。

ビット 21:20 **WUS[1:0]** : 低消費電力モードからのウェイクアップ割込みフラグ選択

このビットフィールドは、WUF を有効にするイベントを指定します (低消費電力モードからのウェイクアップフラグ)。

00 : WUF はアドレス一致時に有効になります (ADD[7:0] および ADDM7 による定義に従って)。

01 : 予約済み

10 : WUF はスタートビット検出時に有効になります。

11 : WUF は RXNE 時に有効になります。

このビットフィールドは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 35.4: USART の実装を参照してください。

ビット 19:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **DEP** : ドライバ有効極性選択

0 : DE 信号はアクティブハイです。

1 : DE 信号はアクティブローです。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 14 **DEM** : ドライバ有効モード

このビットにより、DE 信号によって外部トランシーバ制御を有効にできます。

0 : DE 機能は無効です。

1 : DE 機能は有効です。DE 信号は RTS ピンで出力されます。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 13 **DDRE** : 受信エラー時 DMA 無効

0 : 受信エラーの場合、DMA は無効になりません。対応するエラーフラグはセットされますが、RXNE は 0 に保たれ、オーバーランを防ぎます。結果として、DMA リクエストはアサートされないため、エラーのあるデータは転送されず (DMA リクエストなし)、次の正しい受信データが転送されます。

1 : 受信エラーの後、DMA は無効化されます。対応するエラーフラグと RXNE がセットされます。エラーフラグがクリアされるまで、DMA リクエストはマスクされます。つまり、ソフトウェアは、まず、DMA リクエストを無効にするか (DMAR=0)、RXNE をクリアしてから、エラーフラグをクリアする必要があります。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : 受信エラーは、パリティエラー、フレーミングエラー、またはノイズエラーです。

ビット 12 **OVRDIS** : オーバーラン無効

このビットは、受信オーバーラン検出を無効にするために使用されます。

0 : オーバーランエラーフラグ、ORE は、受信データが読み出される前に新しいデータを受信したときにセットされます。

1 : オーバーラン機能は無効です。RXNE フラグがまだセットされている間に新しいデータを受信した場合、

ORE フラグはセットされず、新しく受信されたデータが LPUART_RDR レジスタの前の内容に上書きされます。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

注 : この制御ビットにより、データを読み出さずに通信フローをチェックできます。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTSIE** : CTS 割込み有効

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタの CTSIF = 1 のときには、割込みが生成されます。

ビット 9 **CTSE** : CTS 有効化

0 : CTS ハードウェアフロー制御が無効です。

1 : CTS モードが有効です。データは CTS 入力 que デアサート (0 に固定) されている場合にのみ転送されます。データの送信中に CTS 入力 que アサートされた場合、送信が完了した後に停止します。CTS que アサートされている間にデータ que データレジスタに書き込まれた場合、CTS que デアサートされるまで送信は延期されます。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 8 **RTSE** : RTS 有効化

0 : RTS ハードウェアフロー制御が無効です。

1 : RTS 出力は有効であり、レシーババッファにスペースがあるときにのみ、データ que リクエストされます。現在の文字 que 転送された後、データの転送は停止すると期待されます。データを受信できるとき、RTS 出力 que デアサートされます (0 にプルされます)。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 7 **DMAT** : DMA 有効トランスミッタ

このビットは、ソフトウェアでセット / クリアされます。

1 : DMA モードは送信に有効です。

0 : DMA モードは送信に無効です。

ビット 6 **DMAR** : DMA 有効レシーバ

このビットは、ソフトウェアでセット / クリアされます。

1 : DMA モードが受信に有効です。

0 : DMA モードが受信に無効です。

ビット 5:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **HDSEL** : 半二重選択

単線半二重モードの選択です。

0 : 半二重モードは選択されません。

1 : 半二重モードが選択されます。

このビットは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EIE** : エラー割込み有効化

エラー割込み有効ビットは、フレーミングエラー、オーバーランエラー、またはノイズフラグ (LPUART_ISR レジスタの FE = 1、ORE = 1、または NE = 1) の場合に割込み生成を有効にするために必要です。

0 : 割込みは禁止されています。

1 : LPUART_ISR レジスタの FE = 1、ORE = 1、または NE = 1 の場合、割込みが生成されます。

36.7.5 LPUART ボーレートレジスタ (LPUART_BRR)

このレジスタは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。自動ボーレート検出モードでハードウェアによって自動的に更新されます。

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:16]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:0 BRR[19:0] : LPUART ボーレート

注 : LPUART_BRR レジスタに 0x300 未満の値を書き込むことは禁じられています。

ただし、LPUART_BRR は ≥ 0x300 でなければならず、LPUART_BRR は 20 ビットであり、高い fck 値を使用して高いボーレートを生成するときには、注意が必要です。fck は [3 x ボーレート~4096 x ボーレート] の範囲内であればなりません。

36.7.6 LPUART リクエストレジスタ (LPUART_RQR)

アドレス・オフセット : 0x18

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	Res.
											w	w	w	w	

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 TXFRQ : 送信データ一掃リクエスト

このビットは FIFO モードが有効なときに使用されます。FIFO 全体を一掃するために TXFRQ ビットがセットされます。これによって TXFE フラグ (TXFIFO エンプティ、LPUART_ISR レジスタのビット 23) がセットされます。

注 : FIFO モードでは、一掃リクエスト中にデータがデータレジスタに書き込まれないようにするために、TxFIFO が空になるまで TXFNF フラグはリセットされます。

ビット 3 RXFRQ : 受信データ一掃リクエスト

このビットに 1 を書き込むと、RXNE フラグがクリアされます。

これにより、受信したデータを読み出さずに破棄して、オーバーラン条件を避けることができます。

ビット 2 MMRQ : ミュートモードリクエスト

このビットに 1 を書き込むと、LPUART はミュートモードになり、RWU フラグはリセットされます。

ビット 1 **SBKRQ** : ブレーク送信リクエスト

このビットに 1 を書き込むと、SBKF フラグがセットされ、送信マシンが使用可能になるとすぐに、ラインで BREAK を送信するリクエストが発行されます。

注 : アプリケーションが、まだ送信されていないものも含めて、以前に挿入されたすべてのデータに続いてブレークキャラクタを送信する必要がある場合、ソフトウェアは SBKRQ ビットをセットする前に、TXE フラグのアサートを待つ必要があります。

ビット 0 予約済みであり、リセット値に保持する必要があります。

36.7.7 LPUART 割込みおよびステータスレジスタ (LPUART_ISR)

アドレス・オフセット : 0x1C

リセット値 : 0x0080 00C0

同じレジスタが FIFO モード有効 (このセクション) でも、FIFO モード無効 (次のセクション) でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
				r	r		r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TXFT** : TXFIFO 閾値フラグ

このビットは、TXFIFO が LPUART_CR3 レジスタの TXFTCFG でプログラムされた閾値に達したとき、すなわち、TXFIFO に TXFTCFG の空き場所ができたときに、ハードウェアによってセットされます。LPUART_CR3 レジスタの TXFTIE ビット = 1 (ビット 31) の場合、割込みが生成されます。

0 : TXFIFO はプログラムされた閾値に達していません。

1 : TXFIFO はプログラムされた閾値に達しました。

ビット 26 **RXFT** : RXFIFO 閾値フラグ

このビットは、RXFIFO が LPUART_CR3 レジスタの RXFTCFG でプログラムされた閾値に達したとき、すなわち、受信 FIFO に RXFTCFG 分のデータが入ったときに、ハードウェアによってセットされます。LPUART_CR3 レジスタの RXFTIE ビット = 1 (ビット 27) の場合、割込みが生成されます。

0 : 受信 FIFO はプログラムされた閾値に達していません。

1 : 受信 FIFO はプログラムされた閾値に達しました。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **RXFF** : RXFIFO フル

このビットは、受信したデータの数が RXFIFO サイズ + 1 と一致したときに (RXFIFO がフルで、LPUART_RDR レジスタに 1 個のデータ)、ハードウェアによってセットされます。

LPUART_CR1 レジスタの RXFFIE ビット = 1 である場合、割込みが生成されます。

0 : RXFIFO はフルではありません。

1 : RXFIFO はフルです。

ビット 23 **TXFE** : TXFIFO エンプティ

このビットは、TXFIFO が空のとき、ハードウェアによってセットされます。TXFIFO に少なくとも 1 データが入ったとき、このフラグはクリアされます。TXFE フラグは、LPUART_RQR レジスタのビット TXFRQ (ビット 4) に 1 を書き込むことによってセットすることもできます。

LPUART_CR1 レジスタの TXFEIE ビット = 1 (ビット 30) の場合、割込みが生成されます。

0 : TXFIFO は空ではありません。

1 : TXFIFO は空です。

ビット 22 **REACK** : 受信有効確認応答フラグ

このビットは、受信有効値が LPUART によって考慮されるときに、ハードウェアによってセット/リセットされます。

これを使用して、低消費電力モードに入る前に、LPUART が受信できる状態であることを確認できます。

注 : LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 21 **TEACK** : 送信有効確認応答フラグ

このビットは、送信有効値が LPUART によって考慮されるときに、ハードウェアによってセット/リセットされます。

LPUART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成される時、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF** : 低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。LPUART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注 : UESM がクリアされると、WUF フラグもクリアされます。

LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 19 **RWU** : レシーバのミュートモードからのウェイクアップ

このビットは、LPUART がミュートモードかどうかを示します。ウェイクアップ/ミュートシーケンスが認識されたときに、ハードウェアによってクリア/セットされます。ミュートモード制御シーケンス (アドレスまたは IDLE) は、LPUART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことによって、ソフトウェアによってのみセットできます。

0 : レシーバはアクティブモードです。

1 : レシーバはミュートモードです。

注 : LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 18 **SBKF** : ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。LPUART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0 : ブレークキャラクタが送信されます。

1 : LPUART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタが要求されます。

ビット 17 **CMF** : キャラクター一致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0 : キャラクター一致は検出されていません。

1 : キャラクター一致が検出されました。

ビット 16 **BUSY** : ビジーフラグ

このビットは、ハードウェアによってセット/リセットされます。RX ラインで通信中 (スタートビットの検出時) はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0 : LPUART はアイドルです (受信なし)。

1 : 受信中です。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTS** : CTS フラグ

このビットは、ハードウェアによってセット/リセットされます。CTS 入力ピンのステータスの反転コピーです。

0 : CTS ラインはセットされました。

1 : CTS ラインはリセットされました。

注: ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 **CTSIF** : CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力が入力されたときにハードウェアによってセットされます。LPUART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0 : CTS ステータスラインでの変更はありません。

1 : CTS ステータスラインでの変更がありました。

注: ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TXFNF** : TXFIFO は空ではありません。

TXFIFO がフルではない、つまり LPUART_TDR にデータを書き込めるとき、TXFNF はハードウェアによってセットされます。LPUART_TDR への書き込みごとにデータが TXFIFO に格納されます。このフラグは TXFIFO がフルになるまでセットされたままになります。TXFIFO がフルになると、このフラグはクリアされ、データを LPUART_TDR に書き込むことができないことを示します。

一掃リクエスト中、TXFIFO が空になるまで、TXFNF はリセットに維持されます。一掃リクエストを (TXFRQ ビットをセットすることによって) 送信した後、TXFIFO に書き込む前に TXFNF フラグをチェックするべきです (TXFNF および TXFE は同時にセットされます)。

LPUART_CR1 レジスタの TXFNFIE ビット = 1 の場合、割込みが生成されます。

0 : データレジスタはフル/送信 FIFO はフルです。

1 : データレジスタ/送信 FIFO はフルではありません。

注: このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC** : 送信完了

データを含むフレームの送信が完了し、TXFF がセットされている場合、このビットはハードウェアによってセットされます。LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの TCCF に 1 を書き込むことによって、または LPUART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

0 : 送信は完了していません。

1 : 送信は完了しています。

注: TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXFNE** : RXFIFO は空ではありません。

RXFNE ビットは、RXFIFO が空でなく、したがってデータが LPUART_RDR レジスタから読み出せるときに、ハードウェアによってセットされます。LPUART_RDR からの読み出しのたびに、RXFIFO の 1 つの場所が解放されます。RXFIFO が空になると、クリアされます。

RXFNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。

LPUART_CR1 レジスタの RXFNEIE = 1 の場合、割込みが生成されます。

0 : データは受信されていません。

1 : 受信データを読み出すことができます。

ビット 4 **IDLE** : アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。LPUART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : アイドルラインは検出されていません。

1 : アイドルラインが検出されました。

注 : **RXFNE** ビットがセットされるまで (新しいアイドルラインが発生するまで)、**IDLE** ビットは再びセットされません。

ミュートモードが有効な場合 (MME = 1)、LPUART がミュートでなければ (RWU = 0)、WAKE ビットによって選択されたミュートモードに関係なく、IDLE はセットされます。RWU=1 の場合、IDLE はセットされません。

ビット 3 **ORE** : オーバーランエラー

このビットは、RXNE="1"のときに、現在シフトレジスタに受信中のデータを LPUART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの RXFNEIE = 1 もしくは EIE = 1 または LPUART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0 : オーバーランエラーはありません。

1 : オーバーランエラーが検出されました。

注 : このビットがセットされると、LPUART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチパッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

LPUART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます (オーバーラン検出なし)。

ビット 2 **NE** : スタートビットノイズ検出フラグ

このビットは、受信フレームのスタートビットでノイズが検出されるとハードウェアによってセットされます。LPUART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ノイズは検出されていません。

1 : ノイズが検出されました。

注 : このビットは、割込みを生成する RXFNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチパッファ通信中に NE フラグがセットされると、割込みが生成されます。

このエラーはLPUART_RDR 内のキャラクタに関連します。

ビット 1 FE : フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに（カードがデータフレームを NACK）最大送信試行回数に達すると、このビットがセットされます。

LPUART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0 : フレーミングエラーは検出されていません。

1 : フレーミングエラーまたはブレークキャラクタが検出されました。

注： このエラーはLPUART_RDR 内のキャラクタに関連します。

ビット 0 PE : パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0 : パリティエラーはありません。

1 : パリティエラー

注： このエラーはLPUART_RDR 内のキャラクタに関連します。

36.7.8 LPUART 割込みとステータスレジスタ [オルタネート] (LPUART_ISR)

アドレス・オフセット : 0x1C

リセット値 : 0x0000 00C0

同じレジスタが FIFO モード有効（前のセクション）でも、FIFO モード無効（このセクション）でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
									r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 REACK : 受信有効確認応答フラグ

このビットは、受信有効値が LPUART によって考慮されるときに、ハードウェアによってセット/リセットされます。

これを使用して、低消費電力モードに入る前に、LPUART が受信できる状態であることを確認できます。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 21 TEACK : 送信有効確認応答フラグ

このビットは、送信有効値が LPUART によって考慮されるときに、ハードウェアによってセット/リセットされます。

LPUART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成される時、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF** : 低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。LPUART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注： UESM がクリアされると、WUF フラグもクリアされます。

LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 19 **RWU** : レシーバのミュートモードからのウェイクアップ

このビットは、LPUART がミュートモードかどうかを示します。ウェイクアップ/ミュートシーケンスが認識されたときに、ハードウェアによってクリア/セットされます。ミュートモード制御シーケンス (アドレスまたは IDLE) は、LPUART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことによって、ソフトウェアによってのみセットできます。

0 : レシーバはアクティブモードです。

1 : レシーバはミュートモードです。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 18 **SBKF** : ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。LPUART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0 : ブレークキャラクタが送信されません。

1 : LPUART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタが要求されます。

ビット 17 **CMF** : キャラクター一致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0 : キャラクター一致は検出されていません。

1 : キャラクター一致が検出されました。

ビット 16 **BUSY** : ビジーフラグ

このビットは、ハードウェアによってセット/リセットされます。RX ラインで通信中 (スタートビットの検出時) はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0 : LPUART はアイドルです (受信なし)。

1 : 受信中です。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTS** : CTS フラグ

このビットは、ハードウェアによってセット/リセットされます。CTS 入力ピンのステータスの反転コピーです。

0 : CTS ラインはセットされました。

1 : CTS ラインはリセットされました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット9 CTSIF : CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。LPUART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0 : CTS ステータスラインでの変更はありません。

1 : CTS ステータスラインでの変更がありました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット8 予約済みであり、リセット値に保持する必要があります。

ビット7 TXE : 送信データレジスタエンプティ/TXFIFO ノットフル

TXE は、LPUART_TDR レジスタの内容がシフトレジスタに転送されると、ハードウェアによってセットされます。LPUART_TDR レジスタへの書き込みによってクリアされます。

LPUART_CR1 レジスタの TXEIE ビット =1 の場合、割込みが生成されます。

0 : データレジスタはフルです。

1 : データレジスタはフルではありません。

注： このビットは、シングルバッファ送信時に使用されます。

ビット6 TC : 送信完了

データを含むフレームの送信が完了し、TXE がセットされている場合、このビットはハードウェアによってセットされます。LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの TCCF に 1 を書き込むことによって、または LPUART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

0 : 送信は完了していません。

1 : 送信は完了しています。

注： TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット5 RXNE : 読出しデータレジスタノットエンプティ

RXNE ビットは、LPUART_RDR シフトレジスタの内容が LPUART_RDR レジスタに転送されると、ハードウェアによってセットされます。このフラグは、LPUART_RDR レジスタからの読出しによってクリアされます。RXNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。

LPUART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。

0 : データは受信されていません。

1 : 受信データを読み出すことができます。

ビット4 IDLE : アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。LPUART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : アイドルラインは検出されていません。

1 : アイドルラインが検出されました。

注： RXNE ビットがセットされるまで (新しいアイドルラインが発生するまで)、IDLE ビットは再びセットされません。

ミュートモードが有効な場合 (MME = 1)、LPUART がミュートでなければ (RWU = 0)、WAKE ビットによって選択されたミュートモードに関係なく、IDLE はセットされます。RWU=1 の場合、IDLE はセットされません。

ビット 3 ORE : オーバーランエラー

このビットは、RXNE="1"のときに、

現在シフトレジスタに受信中のデータを LPUART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの RXNEIE = 1 もしくは EIE = 1 または LPUART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0 : オーバーランエラーはありません。

1 : オーバーランエラーが検出されました。

注 : このビットがセットされると、LPUART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

LPUART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます (オーバーラン検出なし)。

ビット 2 NE : スタートビットノイズ検出フラグ

このビットは、受信フレームのスタートビットでノイズが検出されるとハードウェアによってセットされます。LPUART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0 : ノイズは検出されていません。

1 : ノイズが検出されました。

注 : このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ビット 1 FE : フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに (カードがデータフレームを NACK) 最大送信試行回数に達すると、このビットがセットされます。

LPUART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0 : フレーミングエラーは検出されていません。

1 : フレーミングエラーまたはブレークキャラクタが検出されました。

ビット 0 PE : パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0 : パリティエラーはありません。

1 : パリティエラー

36.7.9 LPUART 割込みフラグクリアレジスタ (LPUART_ICR)

アドレス・オフセット : 0x20

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CTSCF	Res.	Res.	TCCF	Res.	IDLECF	ORECF	NECF	FECF	PECF
						w			w		w	w	w	w	w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **WUCF** : 低消費電力モードからのウェイクアップフラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの WUF フラグがクリアされます。

注 : LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。[セクション 35.4: USART の実装](#)を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CMCF** : キャラクター一致フラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの CMF フラグがクリアされます。

ビット 16:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CTSCF** : CTS フラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの CTSIF フラグがクリアされます。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TCCF** : 送信完了フラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの TC フラグがクリアされます。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **IDLECF** : アイドルライン検出フラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの IDLE フラグがクリアされます。

ビット 3 **ORECF** : オーバーランエラーフラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの ORE フラグがクリアされます。

ビット 2 **NECF** : ノイズ検出フラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの NE フラグがクリアされます。

ビット 1 **FECF** : フレーミングエラーフラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの FE フラグがクリアされます。

ビット 0 **PECF** : パリティエラーフラグクリア

このビットに 1 を書き込むと、LPUART_ISR レジスタの PE フラグがクリアされます。

36.7.10 LPUART 受信データレジスタ (LPUART_RDR)

アドレス・オフセット : 0x24

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **RDR[8:0]** : 受信データ値

受信データキャラクタを含みます。

RDR レジスタは、入カシフトレジスタと内部バスとの間に平行インタフェースを提供します (図 333 を参照)。

パリティを有効にして受信する場合、MSB ビットで読み出される値が受信したパリティビットです。

36.7.11 LPUART 送信データレジスタ (LPUART_TDR)

アドレス・オフセット : 0x28

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **TDR[8:0]** : 送信データ値

送信されるデータキャラクタを含みます。

TDR レジスタは、内部バスと出カシフトレジスタとの間に平行インタフェースを提供します (図 333 を参照)。

パリティを有効にして (LPUART_CR1 レジスタの PCE ビットに 1 をセット) 送信しているとき、MSB (データ長に応じてビット 7 または 8) に書き込まれた値は、パリティによって置き換えられるため、無効です。

注 : このレジスタは、TXE/TXFNF = 1 のときのみ書き込む必要があります。

36.7.12 LPUART プリスケーラレジスタ (LPUART_PRESC)

このレジスタは、LPUART が無効 (UE = 0) のときのみ書き込むことができます。

アドレス・オフセット : 0x2C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]				
													rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PRESCALER[3:0]** : クロックプリスケーラ

LPUART 入力クロックは、以下のようにプリスケーラによって分周できます。

- 0000 : 入力クロックは分周されません。
- 0001 : 入力クロックが 2 分周されます。
- 0010 : 入力クロックが 4 分周されます。
- 0011 : 入力クロックが 6 分周されます。
- 0100 : 入力クロックが 8 分周されます。
- 0101 : 入力クロックが 10 分周されます。
- 0110 : 入力クロックが 12 分周されます。
- 0111 : 入力クロックが 16 分周されます。
- 1000 : 入力クロックが 32 分周されます。
- 1001 : 入力クロックが 64 分周されます。
- 1010 : 入力クロックが 128 分周されます。
- 1011 : 入力クロックが 256 分周されます。

残りの組み合わせ : 予約済み。

注 : **PRESCALER** が許容される値と異なる値でプログラムされたとき、プログラムされるプリスケーラ値は 1011 になります。すなわち、入力クロックは 256分周されます。

36.7.13 LPUART レジスタマップ

次の表に、LPUART のレジスタマップとリセット値を示します。

表 254. LPUART レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	LPUART_CR1 FIFO モードが有効な場合	RXFIE	TXFIE	FIFOEN	M1	Res.	Res.	DEAT[4:0]				DEDT[4:0]				Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	Res.	RXFNFIE	IDLEIE	TE	RE	UESM	UE	
	リセット値	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	LPUART_CR1 FIFO モードが無効の場合	Res.	Res.	FIFOEN	M1	Res.	Res.	DEAT[4:0]				DEDT[4:0]				Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	Res.	RXFNFIE	IDLEIE	TE	RE	UESM	UE	
	リセット値			0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x04	LPUART_CR2	ADD[7:0]							Res.	Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV	SWAP	Res.	STOP[1:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x08	LPUART_CR3	TXFTCFG[2:0]		Res.	RXFTE	RXFTCFG[2:0]		Res.	Res.	TXFTE	WUFIE	Res.	Res.	Res.	Res.	Res.	Res.	DEP	DEM	DDRE	OVRDIS	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0C	LPUART_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:0]																			
	リセット値																																
0x10 ~ 0x14	予約済みです。																																
0x18	LPUART_RQR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x1C	LPUART_ISR FIFO モードが有効な場合	Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	Res.	RXFF	TXFF	REACK	TEACK	WUJF	RWUJ	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値					0	0			0	1	0	0	0	0	0	0	0	0														
0x1C	LPUART_ISR FIFO モードが無効の場合	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUJF	RWUJ	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	リセット値											0	0	0	0	0	0	0	0														
0x20	LPUART_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUJCF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値													0			0																
0x24	LPUART_RDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x28	LPUART_TDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																



表 254. LPUART レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x2C	LPUART_ PRESC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.			
	リセット値																																	0	0	0

レジスタ境界アドレスについては、[セクション 2.6: メモリ構成](#)を参照してください。

37 シリアルペリフェラルインタフェース/IC 間サウンド (SPI/I2S)

37.1 概要

SPI/I²S インタフェースを使用して、SPI プロトコルまたは I²S オーディオプロトコルに基づき外部デバイスと通信することができます。SPI または I²S モードはソフトウェアによって選択可能です。デバイスのリセット後は、デフォルトで SPI モトローラモードが選択されます。

SPI (シリアルペリフェラルインタフェース) プロトコルは、外部デバイスとの半二重、全二重、および単方向の同期シリアル通信をサポートしています。このインタフェースはマスタとして設定することも可能で、その場合、外部スレーブデバイスに通信クロック (SCK) を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

IC 間サウンド (I²S) プロトコルも、同期シリアル通信インタフェースです。半二重通信によってスレーブまたはマスタモードで動作します。フィリップス I²S 規格、MSB/LSB 詰め規格、PCM規格など、4つのオーディオ規格に対応できます。

37.2 SPI の主な機能

- マスタまたはスレーブ動作
- 3本のラインでの全二重同期転送
- 2本のラインでの半二重同期転送 (双方向データライン有り)
- 2本のラインでの単方向同期転送 (単方向データライン有り)
- 4 to 16-bitデータサイズ選択
- マルチマスタモード機能
- 8個のマスタモードポーレートプリスケアラ (最大周波数 $f_{PCLK}/2$)
- スレーブモード周波数 (最大周波数 $f_{PCLK}/2$)
- マスタとスレーブの両方に対するハードウェア/ソフトウェアによる NSS 管理 : マスタ/スレーブ動作の動的切り替え
- クロックの極性と位相をプログラム可能
- データ順序をプログラム可能 (MSB ファースト/LSB ファーストのシフト)
- 専用の送受信フラグ (割込み機能付き)
- SPI バスビジステータスフラグ
- SPI モトローラモードをサポート
- ハードウェア CRC 機能による信頼性の高い通信 :
 - Tx モードでは CRC 値を最終バイトとして送信可能
 - 最終受信バイトに対する CRC エラーの自動チェック
- マスタモードの障害、オーバーランの各フラグ (割込み機能付き)
- CRC エラーフラグ
- DMA 機能付きの 2つの 32ビット内蔵Rx および Tx FIFO
- 拡張 TI および NSS パルスモードのサポート

37.3 I²S の主な機能

- 半二重通信 (トランスミッタまたはレシーバのみ)
- マスタまたはスレーブ動作
- 正確なオーディオサンプリング周波数 (8~192 kHz) を実現するプログラム可能な 8 ビットのリニアプリスケアラ
- 16、24、または 32 ビットのデータフォーマット
- パケットフレームはオーディオチャンネルによって 16 ビット (16 ビットデータフレーム) または 32 ビット (16、24、32 ビットデータフレーム) に固定。
- プログラム可能なクロック極性 (定常状態)
- スレーブ送信モードのアンダーランフラグ、受信モード (マスタおよびスレーブ) のオーバーランフラグ、受信モードと送信モード (スレーブの場合のみ) のフレームエラーフラグ
- 送受信用の 16 ビットレジスタ (両チャンネルサイドに対して 1 個のデータレジスタ)
- 以下の I²S プロトコルをサポート。
 - フィリップス I²S 規格
 - MSB 詰め規格 (左詰め)
 - LSB 詰め規格 (右詰め)
 - PCM 規格 (16 ビットチャンネルフレーム、または 32 ビットチャンネルフレームに拡張された 16 ビットデータフレームでの、ショートおよびロングフレーム同期付き)
- データ方向は常に MSB ファースト。
- 送受信 (16 ビット幅) 用の DMA 機能
- 外部オーディオコンポーネントを駆動するためのマスタクロックを出力可能。この比率は、すべての I²S モードで $256 \times f_s$ 、すべての PCM モードで $128 \times f_s$ に固定されています (f_s はオーディオサンプリング周波数です)。

37.4 SPI/I2S の実装

次の表に、デバイスに組み込まれているすべての SPI インスタンスとその機能を示します。

表 255. STM32WL5x SPI および SPI/I2S の実装⁽¹⁾

SPI の機能	SPI1	SPI2S2	SUBGHZSPI
拡張 NSSP および TI モード	あり	はい	はい
ハードウェア CRC 計算	あり	はい	不可
I ² S サポート	なし	はい	不可
設定可能なデータサイズ	4~16 ビット	4~16 ビット	4~16 ビット
Rx/Tx FIFO サイズ	32 ビット	32 ビット	32 ビット

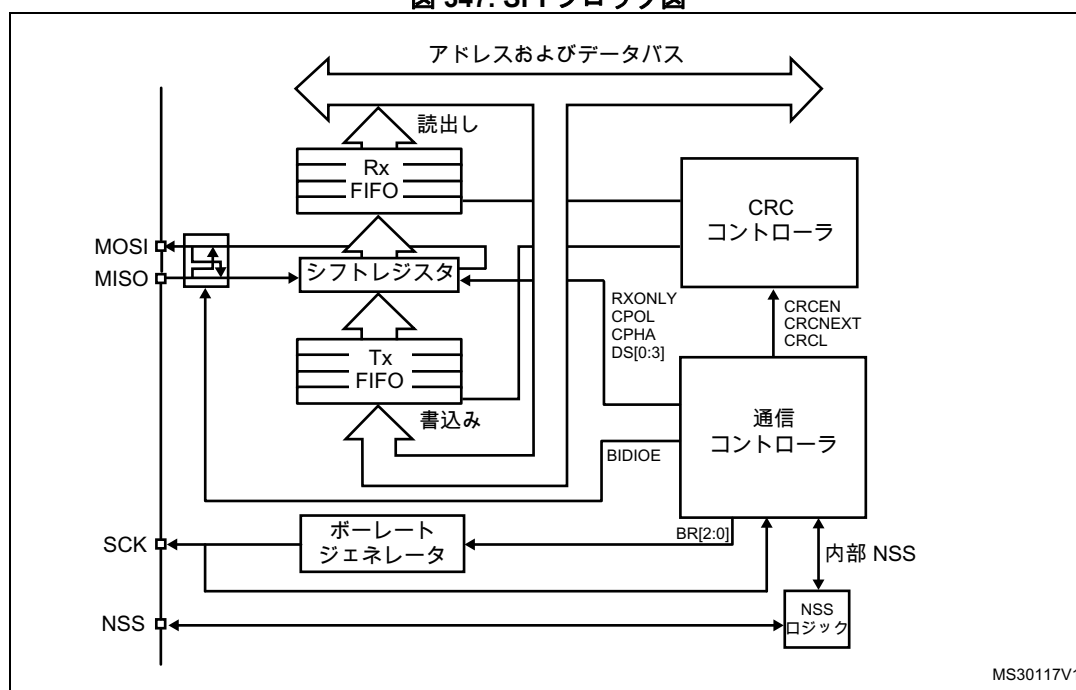
1. SPI1 および SPI2S2 インスタンスは汎用タイプで、SUBGHZSPI インスタンスは Sub-GHz 無線制御専用となっています。

37.5 SPI の機能説明

37.5.1 概要

SPI では、MCU と外部デバイス間の同期シリアル通信が可能です。アプリケーションソフトウェアは、ステータスフラグをポーリングするか、または専用の SPI 割込みを使用することで、通信を管理することができます。SPI の主要要素およびそれらの相互作用を以下のブロック図 (図 347) に示します。

図 347. SPI ブロック図



4 本の I/O ピンが外部デバイスとの SPI 通信専用に使われます。

- **MISO** : マスタイン/スレーブアウトデータ。一般に、このピンは、スレーブモードではデータの送信に、マスタモードではデータの受信に使われます。
- **MOSI** : マスタアウト/スレーブインデータ。一般に、このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使われます。
- **SCK** : SPI マスタではシリアルクロックの出力に、SPI スレーブでは入力に使われます。
- **NSS** : スレーブ選択用のピンです。このピンは、SPI および NSS の設定に応じて、以下のいずれかに使用できます。
 - 個々の通信用スレーブデバイスを選択する
 - データフレームを同期させる
 - 複数のマスタ間での競合を検出する

詳細については、[セクション 37.5.5: スレーブ選択 \(NSS\) ピンの管理](#)を参照してください。

SPI バスを使用することで、1つのマスタデバイスと1つ以上のスレーブデバイスとの間で通信することができます。バスは2本以上の線から成り、1本はクロック信号用、その他はデータの同期転送用です。SPI ノード間でのデータ交換とそれらのスレーブ選択信号管理に応じて、その他の信号を追加することができます。

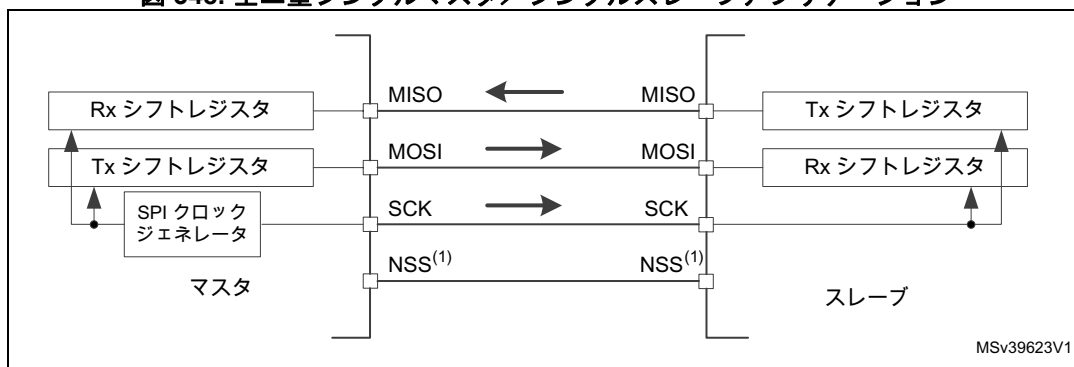
37.5.2 マスタとスレーブの 1 対 1 の通信

SPI を使用することで、MCU は対象となるデバイスやアプリケーション要件に応じたさまざまな設定で通信ができます。これらの設定には、2 または 3 本の線（ソフトウェア NSS 管理あり）、あるいは 3 または 4 本の線（ハードウェア NSS 管理あり）が使われます。通信は常にマスタによって開始されます。

全二重通信

SPI は、デフォルトで全二重通信に設定されます。この設定では、マスタおよびスレーブのシフトレジスタは、MOSI ピンと MISO ピンの間に 2 本の単方向ラインを介してリンクされます。SPI 通信の間、データはマスタから供給される SCK クロックのエッジに同期してシフトされます。マスタは、送信すべきデータを MOSI ライン経由でスレーブに送信し、MISO ライン経由でスレーブからデータを受信します。データフレーム転送が完了した（すべてのビットがシフトされた）時点で、マスタとスレーブの間で情報が交換されます。

図 348. 全二重シングルマスタ/シングルスレーブアプリケーション

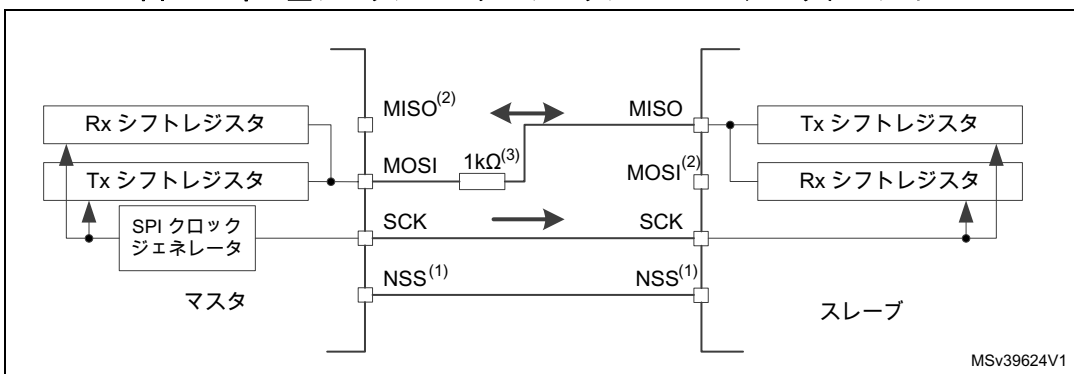


1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、[セクション 37.5.5: スレーブ選択 \(NSS\) ピンの管理](#)を参照してください。

半二重通信

SPIx_CR1 レジスタの BIDIMODE ビットをセットすることで、SPI は半二重モードで通信できます。この設定では、1 本の交差接続ラインを使用して、マスタとスレーブのシフトレジスタを互いにリンクさせます。この通信中に、データは SCK クロックのエッジに同期して、シフトレジスタ間でシフトされます。シフトの方向は、マスタとスレーブの両方が SPIx_CR1 レジスタの BDIOE ビットを使用して相互に選択された転送方向となります。この設定では、マスタの MISO ピンとスレーブの MOSI ピンは、他のアプリケーションで使用でき、GPIO として機能します。

図 349. 半二重シングルマスタ/シングルスレーブアプリケーション



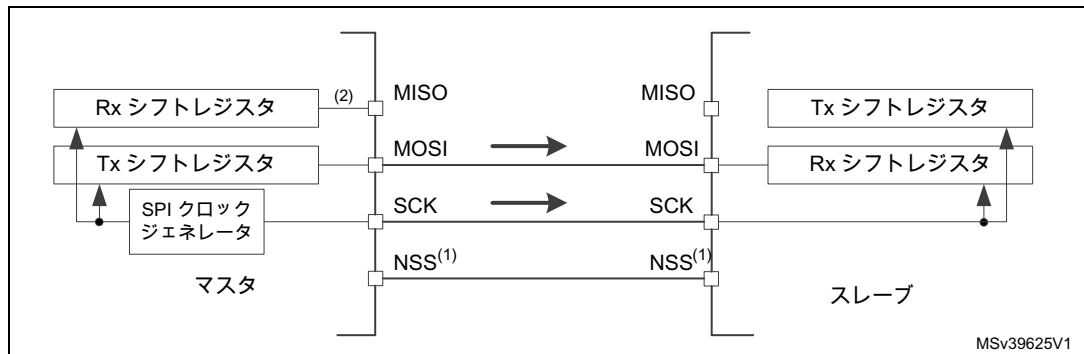
1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、[セクション 37.5.5: スレーブ選択 \(NSS\) ピンの管理](#)を参照してください。
2. この設定では、マスタの MISO ピンとスレーブの MOSI ピンは、GPIO として使用できます。
3. 双方向モードで動作している 2 つのノード間で同期されず、通信方向が変更されて、新しいトランスミッタが共通のデータラインにアクセスし、前のトランスミッタが逆の値をライン上に保持している場合（値は SPI 設定および通信データによります）、重大な事態が発生する可能性があります。そのとき、両方のノードが競合し、次のノードが対応する方向設定に変更するまで、共有データラインで一時的に逆の出力レベルも供給されます。このモードでは MISO ピンと MOSI ピンの間に直列抵抗を挿入して、出力を保護し、この状況で流れる電流を制限することをお奨めします。

単方向通信

SPI は、SPIx_CR1 レジスタの RXONLY ビットを使用して送信専用または受信専用に設定することにより、単方向モードで通信できます。この設定では、マスタとスレーブのシフトレジスタ間の転送に使用するのは 1 ラインのみです。残りの MISO ピンと MOSI ピンのペアは通信には使用されず、標準の GPIO として使用できます。

- **送信専用モード (RXONLY = 0) の場合**：設定は全二重の場合と同じです。アプリケーションは、未使用の入力ピンでキャプチャされた情報を無視する必要があります。このピンは標準の GPIO として使用できます。
- **受信専用モード (RXONLY = 1) の場合**：アプリケーションにて、RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。スレーブ設定では、MISO 出力が無効化され、ピンを GPIO として使用することができます。スレーブ選択信号がアクティブな間は、スレーブは MOSI ピンからデータを受信し続けます ([37.5.5: スレーブ選択 \(NSS\) ピンの管理](#)を参照)。データバッファの設定に応じて、受信データイベントが出現します。マスタ設定では、MOSI 出力が無効化され、ピンを GPIO として使用することができます。SPI が有効である間はクロック信号が生成され続けます。クロックを停止させる唯一の方法は、クロックの設定に応じて、RXONLY ビットまたは SPE ビットをクリアし、MISO ピンからの受信パターンが終了し、データバッファ構造への書き込みが行われるまで待つことです。

図 350. 単方向シングルマスタ/シングルスレーブアプリケーション (送信専用モードのマスタ/受信専用モードのスレーブ)



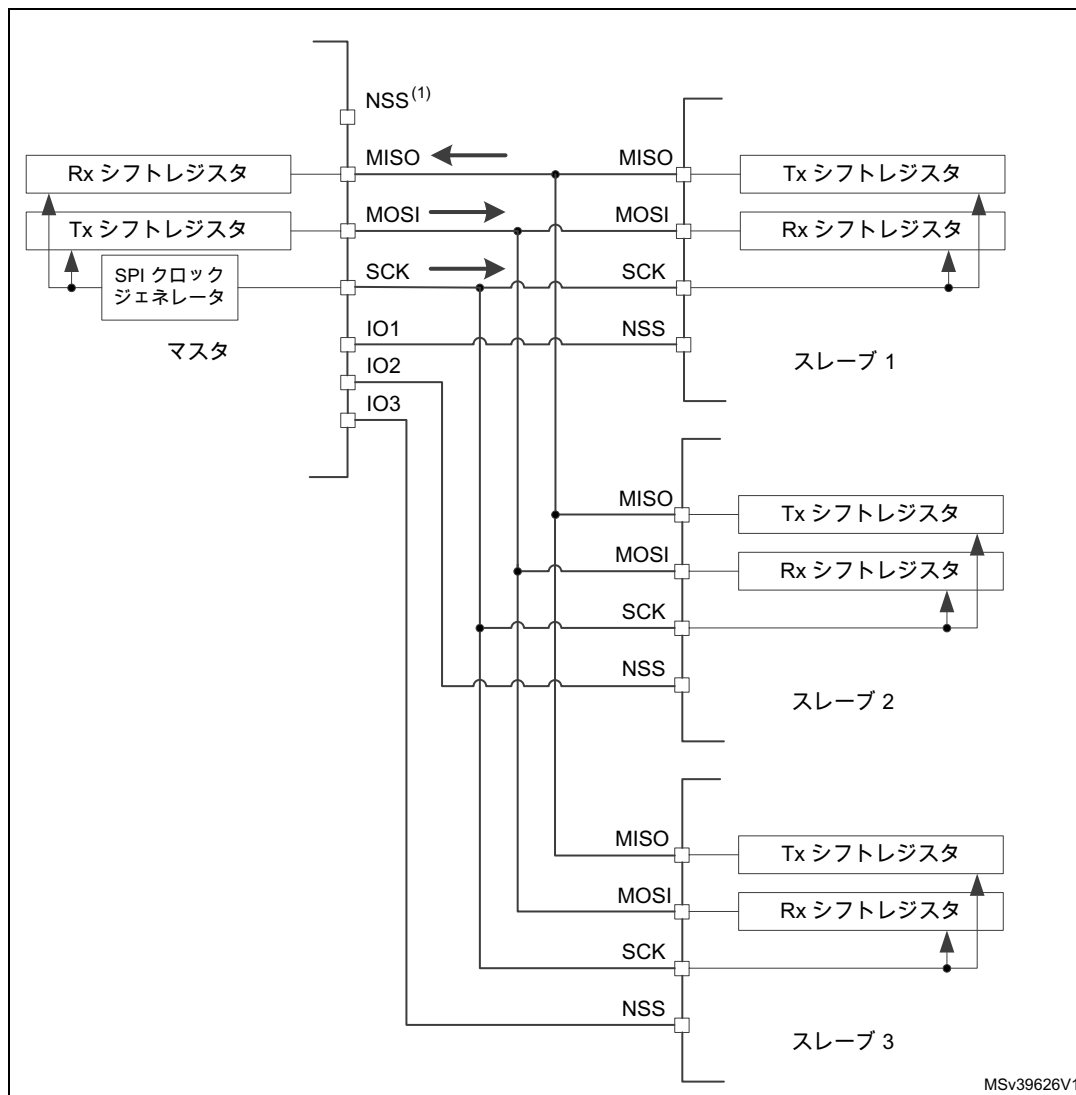
1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、[セクション 37.5.5: スレーブ選択 \(NSS\) ピンの管理](#)を参照してください。
2. 予期しない入力情報はトランスミッタ Rx シフトレジスタの入力でキャプチャされます。トランスミッタ受信フローに関連するすべてのイベントは、標準の送信専用モード（たとえば、OVR フラグ）では無視する必要があります。
3. この設定では、両方の MISO ピンを GPIO として使用できます。

注： すべての単方向通信は、トランザクション方向の設定を固定して（双方向モードは BDIO ビットが変化しない限り有効）、別の半二重通信に置き換えることができます。

37.5.3 標準マルチスレーブ通信

2つ以上の独立したスレーブがある設定の場合、マスタは GPIO ピンを使用して、各スレーブのチップセレクトラインを管理します (図 351を参照)。マスタは、スレーブの NSS 入力に接続されている GPIO をローレベルにプルダウンすることによって、スレーブの1つを選択する必要があります。これを行うことにより、標準マスタと専用スレーブの通信が確立します。

図 351. マスタと 3 つの独立したスレーブ



MSv39626V1

1. この設定では、NSS ピンはマスタ側では使用しません。内部的に管理 (SSM=1、SSI=1) し、あらゆる MODF エラーを防ぐ必要があります。
2. スレーブの MISO ピンは相互接続されているので、すべてのスレーブにおいて、その MISO ピンの GPIO 設定をオルタネート機能オープンドレインとしてセットする必要があります (I/O オルタネート機能の入力/出力セクション (GPIO) を参照)。

37.5.4 マルチマスタ通信

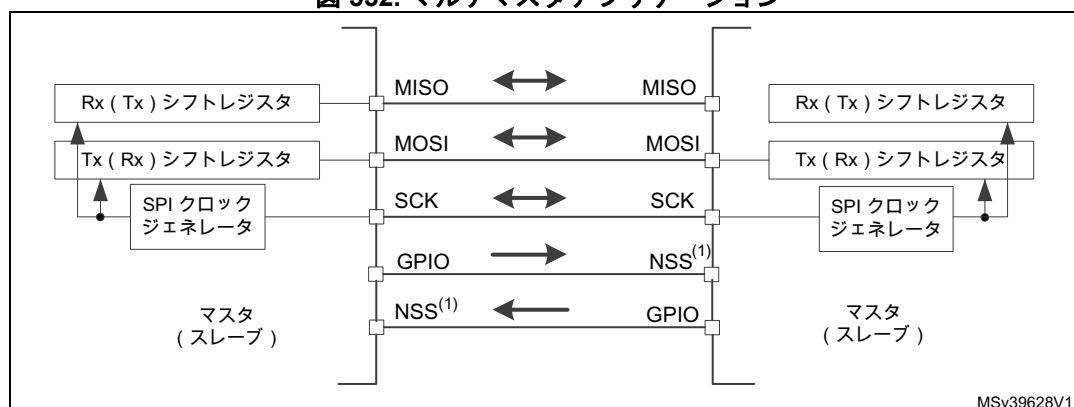
SPI バスが本来マルチマスタ機能向けに設計されていない限り、同時にバスを支配しようとする 2 つのノード間での競合の可能性を検出する内蔵機能を使用できます。この検出では、NSS ピンをハードウェア入力モードで設定して使用します。

共通のデータラインで一度に出力を適用できるノードは 1 つだけであるため、このモードで動作している 2 つ以上の SPI ノードの接続は、不可能です。

ノードが非アクティブであるとき、両ノードはデフォルトでスレーブモードのままとなります。1 つのノードがバスでの制御を得る場合、自身をマスタモードに切り替えて、専用の GPIO ピンを介して他のノードのスレーブ選択入力にアクティブレベルを適用します。セッションが完了すると、アクティブスレーブ選択信号が解放され、バスを一時的に支配するノードがパッシブスレーブモードに戻り、次のセッション開始を待機します。

両ノードのマスタリングリクエストが同時に上がった場合、バス競合イベントが発生します (モードフォールト MODF イベントを参照)。その場合、いくつかの簡単なアービトラージプロセスを適用できます (たとえば、両方のノードに適用する事前定義された異なるタイムアウトによって次の試行を延期します)。

図 352. マルチマスタアプリケーション



1. NSS ピンは両ノードでハードウェア入力モードで設定されます。アクティブレベルにすることで、パッシブノードがスレーブとして設定されるため、MISO ライン出力の制御が可能になります。

37.5.5 スレーブ選択 (NSS) ピンの管理

スレーブモードでは、NSS は標準の「チップセレクト」入力として機能し、スレーブをマスタと通信させます。マスタモードでは、NSS は出力としても入力としても使用できます。入力として使用する場合は、NSS はマルチマスタのバスの衝突を未然に防ぎ、出力として使用する場合は 1 つのスレーブのスレーブ選択信号を駆動させることができます。

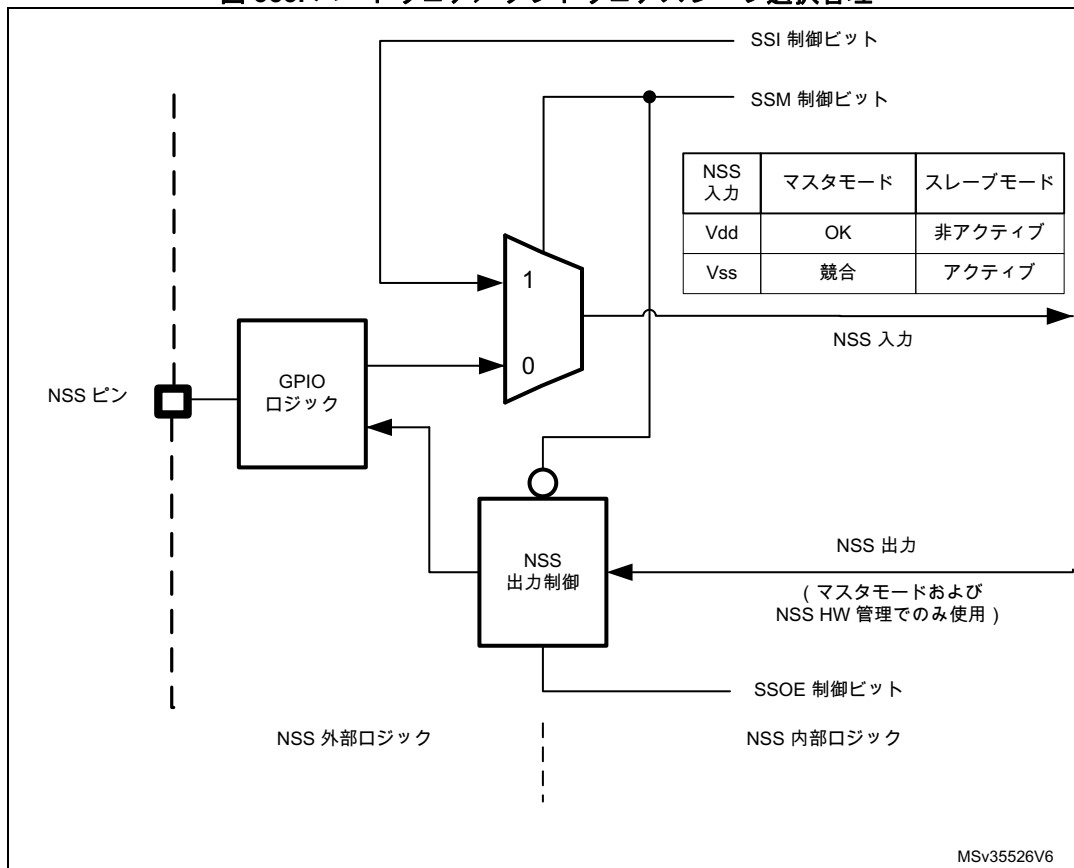
ハードウェアまたはソフトウェアのスレーブ選択管理は、SPIx_CR1 レジスタの SSM ビットを使用して、以下のようにセットすることができます。

- **ソフトウェア NSS 管理 (SSM = 1)** : この設定では、スレーブ選択情報は SPIx_CR1 レジスタの SSI ビットの値によって内部で駆動されます。外部 NSS ピンは他のアプリケーションで使用できます。
- **ハードウェア NSS 管理 (SSM = 0)** : この場合、2 通りの設定が可能です。次のどちらの設定を使用するかは、NSS 出力設定 (SPIx_CR1 レジスタの SSOE ビット) によって決まります。
 - **NSS 出力が有効な場合 (SSM = 0, SSOE = 1)** : この設定は、MCU がマスタとしてセットされている場合にのみ使用します。NSS ピンはハードウェアによって管理されます。NSS 信号は、SPI がマスタモードで有効になる (SPE = 1) とすぐにローレベルに駆動さ

れ、SPIが無効化される (SPE = 0) までローレベルに保たれます。パルスは、NSS パルスモードが有効になると連続通信間で生成できます (NSSP = 1)。この NSS 設定では、SPI はマルチマスタ設定で機能させることはできません。

- **NSS 出力が無効な場合 (SSM = 0, SSOE = 0)** : マイクロコントローラがバスでマスタとして機能している場合、この設定によりマルチマスタ機能が可能になります。このモードで、NSS ピンがローレベルにプルダウンされた場合、SPI はマスタモードのフォールト状態に入り、デバイスは自動的にスレーブモードに再設定されます。スレーブモードでは、NSS ピンは標準の「チップセレクト」入力として機能し、NSS ラインがローレベルの間はスレーブが選択されます。

図 353. ハードウェア/ソフトウェアスレーブ選択管理



37.5.6 通信フォーマット

SPI 通信中は受信と送信の操作が同時に行われます。シリアルクロック (SCK) は、データライン上で行われる情報のシフトとサンプリングを同期させます。通信フォーマットは、クロック位相、クロック極性、およびデータフレームフォーマットに応じて決定されます。マスタデバイスとスレーブデバイスの通信を可能にするには、双方が同じ通信フォーマットに従う必要があります。

クロックの位相および極性の制御

SPIx_CR1 レジスタの CPOL ビットと CPHA ビットを使用することによって、考えられる 4 つのタイミングの関係をソフトウェアで選択できます。CPOL (クロック極性) ビットは、データが転送されていないときのクロックのアイドル状態の値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされると、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされると、SCK ピンはハイレベルのアイドル状態になります。

CPHA ビットがセットされると、SCK ピンの 2 番目のエッジがトランザクションの最初のデータビットをキャプチャします (CPOL ビットがリセットされていれば立ち下がリエッジ、CPOL ビットがセットされていれば立ち上がりエッジ)。データは、この種のクロック遷移が発生するたびにラッチされます。CPHA ビットがリセットされている場合、SCK ピンの 1 番目のエッジがトランザクションの最初のデータビットをキャプチャします (CPOL ビットがセットされていれば立ち下がリエッジ、CPOL ビットがリセットされていれば立ち上がりエッジ)。データは、この種のクロック遷移が発生するたびにラッチされます。

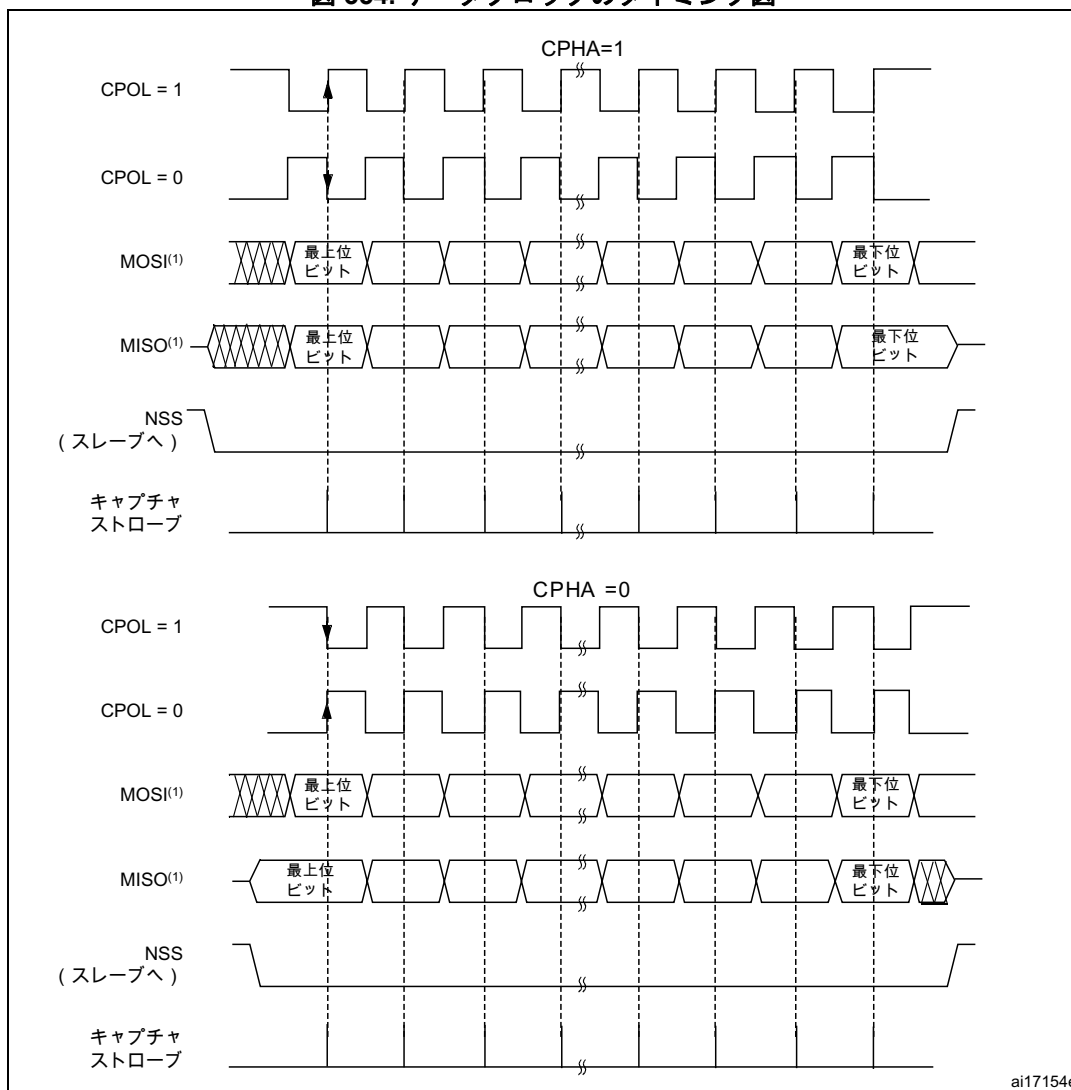
CPOL (クロック極性) ビットと CPHA (クロック位相) ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

 354 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 全二重転送を示しています。

注： CPOL または CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。

SCK のアイドル状態は、SPIx_CR1 レジスタで (CPOL = 1 なら SCK のプルアップ、CPOL = 0 なら SCK のプルダウンによって) 選択された極性に一致する必要があります。

図 354. データクロックのタイミング図

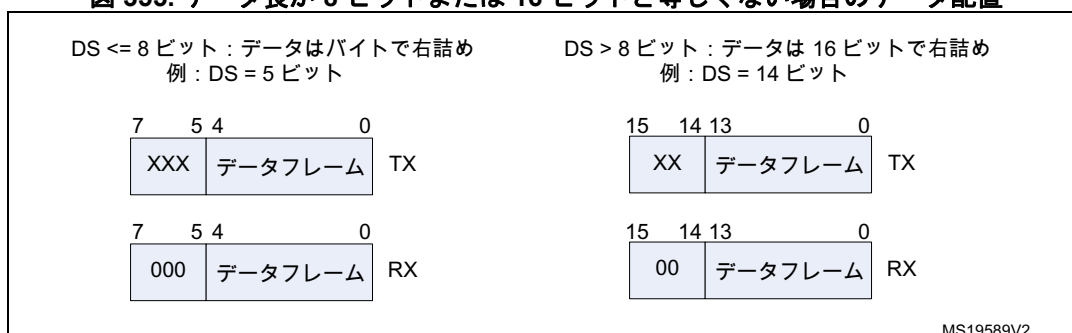


1. データビットの順序は LSBFIRST ビットの設定値に依存します。

データフレームフォーマット

LSBFIRST ビットの値に応じて、SPI シフトレジスタを設定することで、シフトをMSB ファーストまたは LSB ファーストに設定することができます。データフレームサイズは、DS ビットを使用して選択できます。4 ビットから 16 ビット長までの間にセットでき、この設定は送信と受信の両方に適用できます。選択されたデータフレームサイズにかかわらず、FIFO への読出しアクセスは FRXTH レベルに整列されている必要があります。SPIx_DR レジスタにアクセスすると、データフレームはバイト（データがバイトに適合する場合）またはハーフワード（図 355 を参照）のいずれかに常に右詰めされます。通信中、データフレーム内のビットのみがクロック供給され、送信されます。

図 355. データ長が 8 ビットまたは 16 ビットと等しくない場合のデータ配置



注 : 最小データ長は 4 ビットです。4 ビット未満のデータ長が選択された場合は、8 ビットのデータフレームサイズに固定されます。

37.5.7 SPI の設定

設定手順は、マスタとスレーブではほぼ同じです。特定のモードの設定については、それぞれのモードに関するセクションを参照してください。標準通信を初期化する必要があるときは、以下の手順を実行します。

1. 適切な GPIO レジスタに書き込みを行います。MOSI ピン、MISO ピン、SCK ピンの GPIO 設定を行います。
2. SPI_CR1 レジスタに書き込みを行います。
 - a) BR[2:0] ビットを使用して、シリアルクロックボーレートを設定します (注 : 4)。
 - b) CPOL ビットと CPHA ビットの組み合わせを設定して、データ転送とシリアルクロックの 4 つの関係のうちの一つを定義します (CPHA は NSSP モードでクリアする必要があります)。(注 : 2 - CRC が TI モードで有効になっている場合を除きます)。
 - c) RXONLY または BIDIMODE、および BIDIOE を設定することによって (RXONLY と BIDIMODE は同時にセットできません)、単方向または半二重モードを選択します。
 - d) LSBFIRST ビットを設定して、フレームフォーマットを定義します (注 : 2)。
 - e) CRC が必要な場合は (SCK クロック信号がアイドル状態のとき)、CRCL と CRCEN ビットを設定します。
 - f) SSM と SSI を設定します (注 : 2 および 3)。
 - g) MSTR ビットを設定します (マルチマスタ NSS 設定では、MODF エラーを防ぐためにマスタが設定されている場合、NSS での競合を避けること)。
3. 以下のように、SPI_CR2 レジスタに書き込みを行います。
 - a) 転送のデータ長を選択するために DS[3:0] ビットを選択します。
 - b) SSOE を設定します (注 : 1、2、3)。
 - c) TI プロトコルが必要な場合は FRF ビットをセットします (TI モードで NSSP ビットをクリアされたままにする)。
 - d) 2 つのデータユニット間で NSS パルスモードが必要な場合は NSSP ビットをセットします (NSSP モードで CHPA と TI ビットをクリアされたままにする)。
 - e) FRXTH ビットを設定します。RXFIFO 閾値は、SPIx_DR レジスタの読出しアクセスサイズに揃える必要があります。
 - f) DMA がパックモードで使用される場合は、LDMA_TX および LDMA_RX ビットを初期化します。
4. SPI_CRCPR レジスタに書き込みを行います。必要に応じて CRC 多項式を設定します。

5. 適切な DMA レジスタに書込みを行います。DMA ストリームが使用されている場合は、DMA レジスタに SPI Tx および Rx 専用の DMA ストリームを設定します。

注：

- (1) このステップはスレーブモードでは必要ありません。
- (2) このステップは TI モードでは必要ありません。
- (3) このステップは NSSP モードでは必要ありません。
- (4) このステップは、スレーブモードにて TI モードで動作している場合を除き、スレーブモードでは必要ありません。

37.5.8 SPI を有効にする手順

マスタがクロックを送信する前に、SPI スレーブを有効にすることを推奨します。さもなければ、望ましくないデータ送信が発生することがあります。スレーブのデータレジスタは、マスタとの通信を開始する前に、送信データをすでに格納していなければなりません（通信クロックの 1 番目のエッジに、またはクロック信号が連続的なきは現在の通信の最後の前に）。SPI スレーブが有効になる前に、SCK 信号を選択された極性に対応するアイドル状態のレベルに安定させる必要があります。

全二重（または送信専用モード）のマスタは、SPI が有効で TXFIFO がエンプティでない場合、または次の TXFIFO への書込み時に通信を開始します。

あらゆるマスタ受信専用モードにおいて（RXONLY = 1 または BIDIMODE = 1、および BIDIOE = 0）、SPI が有効になるとすぐに、マスタは通信を開始し、クロックは動作を開始します。

DMA を処理するには、該当するセクションを参照してください。

37.5.9 データの送受信手順

RXFIFO および TXFIFO

すべての SPI データトランザクションは 32 ビット埋め込み FIFO を通過します。これにより、SPI は連続フローで動作できるようになり、またデータフレームサイズが短い場合にオーバーランを防ぐことができます。各方向にはそれぞれ TXFIFO と RXFIFO と呼ばれる固有の FIFO があります。これらの FIFO は、CRC 計算を有効にした状態で、受信専用モード（スレーブまたはマスタ）を除くすべての SPI モードで使用されます（[セクション 37.5.14: CRC 計算](#)を参照）。

FIFO の扱いはデータ変換モード（二重、単方向）、データフレームフォーマット（フレーム内のビット数）、FIFO データレジスタで実行されるアクセスサイズ（8 ビットまたは 16 ビット）、および FIFO アクセス時にデータパッキングが使用されるかどうかに従います（[セクション 37.5.13: TI モード](#)を参照）。

SPiX_DR レジスタへの読出しアクセスからは、RXFIFO に保管された、まだ読み出されていない一番古い値が返されます。SPiX_DR への書込みアクセスでは、送信キューの最後に TXFIFO に書き込まれるデータを保管します。読出しアクセスは、必ず SPiX_CR2 レジスタの FRXTH ビットによって設定された RXFIFO 閾値に揃える必要があります。FTLVL[1:0] および FRLVL[1:0] ビットは、両方の FIFO について現在の占有レベルを示します。

SPiX_DR レジスタへの読出しアクセスは RXNE イベントで管理する必要があります。このイベントは、データが RXFIFO に保管され、閾値（FRXTH ビットで定義される）に達した場合にトリガされます。RXNE がクリアされると、RXFIFO はエンプティであるとみなされます。同じように、送信するデータフレームの書込みアクセスは TXE イベントで管理されます。このイベントは、TXFIFO レベルが容量の半分以下である場合にトリガされます。そうでない場合、TXE はクリアされ、TXFIFO がフルであるとみなされます。このように、データフレームフォーマットが 8 ビットを超えない場合、TXFIFO では最大 3 つのデータフレームのみを保管できるのに対し、RXFIFO では最大 4 つを保管することができます。この差異は、ソフトウェアが 16 ビットモードで TXFIFO により多くのデータの書込みを試みた場合に、すでに TXFIFO に保管されている 3x8 ビットデータフレームが破損する可

能性を防ぎます。TXE イベントと RXNE イベントの両方を割込みによってポーリングまたは処理できます。図 357 から 図 360 までを参照してください。

データ交換を管理するもう一つの方法は、DMA を使用することです (DMA (ダイレクトメモリアクセス) を使用する通信を参照)。

RXFIFO がフルのときに次のデータを受信した場合、オーバーランイベントが発生します (セクション 37.5.10: SPI ステータスフラグの OVR フラグの説明を参照)。オーバーランイベントは割込みによってポーリングまたは処理できます。

セットされる BSY ビットは、現在のデータフレームの進行中のトランザクションを示します。クロック信号が流れ続けているときは、BSY フラグはマスタ側のデータフレーム間でセットされたままになりますが、スレーブの各データフレーム転送間の 1 つの SPI クロックの最小時間においてローレベルになります。

シーケンス処理

いくつかのデータフレームを単一シーケンスに渡してメッセージを完成させることができます。送信が有効な場合、シーケンスはマスタ側の TXFIFO に何らかのデータが存在する場合に開始し、その間続行します。TXFIFO がエンプティになるまで、マスタによってクロック信号が供給され続け、その後追加のデータを待つことを停止します。

半二重 (BIDIMODE=1、BIDIOE=0) または単方向 (BIDIMODE=0、RXONLY=1) の受信専用モードでは、SPI が有効化され、受信専用モードがアクティブ化されると、直ちにマスタによってシーケンスが開始されます。マスタによってクロック信号が供給されますが、この信号はマスタが SPI または受信専用モードを無効にするまで停止しません。マスタは、クロック信号が停止するまでデータフレームを受信し続けます。

マスタはあらゆるトランザクションを連続モードで供給できる (SCK 信号は連続的) 一方で、データフローおよびその内容をいつでも処理できるスレーブ機能を優先する必要があります。必要に応じて、マスタは通信速度を下げ、より低速のクロックか、または十分な遅延を含む個別のフレーム/データセッションを供給する必要があります。次の 2 点に注意してください。SPI モードのマスタまたはスレーブに対するアンダーフローエラー信号はありません。また、スレーブからのデータは、たとえスレーブがそれらのデータを時間内に適切に準備できない場合でも、常にマスタによってトランザクション処理されます。スレーブが DMA を使用することが特に望ましいのは、データフレームが短く、バスが高速の場合です。

マルチスレーブシステムにおいて通信用のスレーブを 1 つだけ選択するには、各シーケンスを NSS パルス内に収める必要があります。単一のスレーブシステムでは NSS によってスレーブを制御する必要はありませんが、スレーブを各データ転送シーケンスの開始と同期させるために、ここにもパルスを供給することをお勧めします。NSS は、ソフトウェアとハードウェアの両方で管理できます (セクション 37.5.5: スレーブ選択 (NSS) ピンの管理を参照)。

セットされた BSY ビットは、進行中のデータフレームトランザクションを示します。専用のフレームトランザクションが終了すると、RXNE フラグが立てられます。最後のビットは単にサンプリングされ、すべてのデータフレームが RXFIFO に保管されます。

SPI を無効にする手順

SPI を無効にする場合は、本項に記載されている無効化手順に従ってください。この手順は、ペリフェラルクロックが停止し、システムが低電力モードに入る前に行うことが重要です。この場合、進行中のトランザクションが破壊されることがあります。モードによっては、この無効化手順が連続通信を停止させる唯一の方法です。

全二重または送信専用モードでは、マスタは、転送するデータの供給を停止した時点でいかなるトランザクションも終了することができます。この場合、クロックは最後のデータトランザクション後に停止します。奇数のデータフレームがダミーバイトの変換を防ぐためにトランザクション処理された

場合、パッキングモードでは特に注意する必要があります (データパッキングセクションを参照)。これらのモードで SPI を無効化する前に、ユーザは標準的な無効化手順に従う必要があります。フレームトランザクションの進行中または次のデータフレームを TXFIFO に保管しているときにマスタトランスミッタで SPI を無効化した場合、SPI の動作は保証されません。

マスタがいずれかの受信専用モードに設定されている場合、連続クロックを停止する唯一の方法は SPE=0 にしてペリフェラルを無効にすることです。これは、最初のビットのサンプリング時間の間、および最後のビット転送が開始される前における最後のデータフレームトランザクション内の特定の時間枠内で発生する必要があります (予測されるデータフレームの総数を受信し、最後の有効データフレーム後に追加の「ダミー」データの読出しを防ぐため)。このモードで SPI を無効にするには、特定の手順に従う必要があります。

SPI が無効の場合、受信済みで読み出されていないデータは RXFIFO に保管されたままになり、次に SPI を有効にする際に、新しいシーケンスを開始する前に処理する必要があります。未読のデータを防ぐには、SPI を無効にする際に RXFIFO がエンプティであることを確認してください。これは、正しい無効化手順を使用して、またはペリフェラルリセット専用の固有レジスタを制御してソフトウェアリセットを行い、すべての SPI レジスタを初期化することで確認できます (RCC_APB1RSTR レジスタの SPIIRST ビットを参照)。

標準的な無効化手順は、送信セッションが完全に終わったかどうかをチェックするために、FTLV[1:0] および BSY フラグの状態をプルして行われます。このチェックは、たとえば以下に示すように、進行中のトランザクションの終わりを識別する必要があるような特別な場合にも行うことができます。

- NSS 信号がソフトウェアによって管理されており、マスタはスレーブに適切な NSS パルスの終わりを提供する必要がある場合
- 最後のデータフレームまたは CRC フレームのトランザクションがまだペリフェラルバスで行っている間に、DMA または FIFO からのトランザクションのストリームが完了した場合

正しい無効化手順を以下に示します (受信専用モードが使用されている場合を除く)。

1. FTLV[1:0] = 00 (送信するデータがなくなる) まで待ちます。
2. BSY = 0 (最後のデータフレームが処理される) まで待ちます。
3. SPI を無効にします (SPE = 0)。
4. FRLV[1:0] = 00 (受信したデータをすべて読み出す) までデータを読み出します。

受信専用モードの場合の正しい無効化手順を以下に示します。

1. 最後のデータフレームの進行中に特定の時間枠内で SPI を無効 (SPE = 0) にすることにより、受信フローへの割込みを行います。
2. BSY = 0 (最後のデータフレームが処理される) まで待ちます。
3. FRLV[1:0] = 00 (受信したデータをすべて読み出す) までデータを読み出します。

注： パッキングモードが使用され、8 ビット以下 (1 バイトに適合) のフォーマットの奇数のデータフレームを受信する必要がある場合は、FRLV[1:0] = 01 のときに FRXTH をセットしなければなりません。これにより、最後の奇数データフレームを読み出し、良好な FIFO ポインタの整列を維持するための RXNE イベントが生成されます。

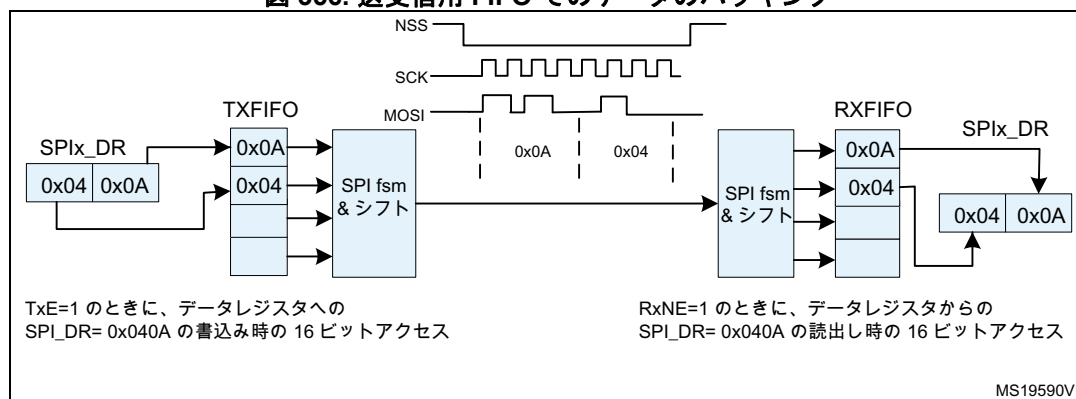
データパッキング

データフレームサイズが 1 バイト (8 ビット以下) に適合する場合、SPIx_DR レジスタで 16 ビットの読出しまたは書込みアクセスが実行されたときに、自動的にデータパッキングが使用されます。この場合、二重データフレームパターンが並行して処理されます。最初に、SPI はアクセスしたワードの LSB に保管されたパターンを使用して動作します。次に、MSB に保管された残り半分を使用して動作します。図 356 に、データパッキングモードのシーケンス処理の例を示します。2 つのデータフレームは、トランスミッタの SPIx_DR レジスタに単一の 16 ビットがアクセスした後で送信されます。このシーケンスでは、RXFIFO 閾値が 16 ビット (FRXTH=0) にセットされている場合に、レシーバで 1 つの RXNE イベントのみを生成できます。この場合、この単一の RXNE イベントへのレ

スポンズとして、レシーバは SPIx_DR の単一の 16 ビット読出しにより、両方のデータフレームにアクセスする必要があります。RxFIFO 閾値設定および以下の読出しアクセスは、常にレシーバ側に整列させる必要があります。整列されていない場合は、データを失う可能性があります。

これらの奇数の「1 バイトに適合」するデータフレームを処理する必要がある場合、特定の問題が発生します。トランスミッタ側では、SPIx_DR への 8 ビットアクセスを持つ任意の奇数シーケンスの最後のデータフレームを書き込むだけで十分です。レシーバでは、RXNE イベントを生成するために、フレームの奇数シーケンスで受信した最後のデータフレームの Rx_FIFO 閾値レベルを変更する必要があります。

図 356. 送受信 FIFO でのデータのパッキング



- 例: データサイズ DS[3:0] は 4bit で設定され、CPOL=0、CPHA=1 および LSBFIRST =0 有効ビットがバスでのみ実行される場合、LSB バイトの内容が最初に処理される場合、トランスミッタ側で未使用のビットが考慮される場合、およびレシーバ側でゼロパディングされる場合、データ保存は常に右詰めです。

DMA (ダイレクトメモリアccess) を使用する通信

最高速度で動作し、オーバーランを回避するために必要なデータレジスタの読出し/書き込み処理を容易にするために、SPI は簡単なリクエスト/確認応答プロトコルを実現する DMA 機能を備えています。

SPIx_CR2 レジスタの TXDMAEN または RXDMAEN 有効ビットをセットすると、DMA アクセスがリクエストされます。TxバッファとRxバッファには、別々のリクエストを発行する必要があります。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPIx_DR レジスタに書き込みます。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPIx_DR レジスタを読み出します。

図 357 から 図 360 までを参照してください。

SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャンネルのみを有効にすることができます。この場合、受信したデータは読み出されないため、OVR フラグがセットされます。SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャンネルのみを有効にすることができます。

送信モードで、DMA がすべての送信データを書き込んだとき (DMA_ISR レジスタの TCIF フラグがセットされます)、BSY フラグを監視することで SPI 通信の完了を確認できます。最後の送信内容の破壊を避けるために、SPI を無効にする前、または STOP モードに入る前にこの操作を行う必要があります。ソフトウェアは、まず FTLVL[1:0] = 00 になるまで待つから、BSY=0 になるまで待つ必要があります。

DMA を使用して通信を開始する場合、DMA チャンネルの管理によるエラーイベントを防ぐために、以下の手順を順に実行する必要があります。

1. DMA Rx が使用される場合、SPI_CR2 レジスタの RXDMAEN ビットの DMA Rx バッファを有効にします。
2. ストリームが使用される場合、DMA レジスタにて Tx および Rx の DMA ストリームを有効にします。
3. DMA Tx が使用される場合、SPI_CR2 レジスタの TXDMAEN ビットにて DMA Tx バッファを有効にします。
4. SPE ビットをセットして、SPI を有効にします。

通信を終了するには、以下の手順を順に実行する必要があります。

1. ストリームが使用される場合、DMA レジスタにて Tx および Rx の DMA ストリームを無効にします。
2. SPI 無効化手順に従って SPI を無効にします。
3. DMA Tx および (または) DMA Rx が使用されている場合、SPI_CR2 レジスタの TXDMAEN ビットおよび RXDMAEN ビットをクリアすることにより、DMA Tx バッファおよび Rx バッファを無効にします。

DMA によるパッキング

DMA (SPIx_CR2 レジスタでセットされた TXDMAEN および RXDMAEN) で転送が管理される場合、パッキングモードは SPI TX および SPI RX DMA チャンネルで設定される PSIZE 値によって、自動的に有効/無効になります。DMA チャンネルの PSIZE 値が 16 ビットと等しい場合、SPI データサイズは 8 ビット以下で、パッキングモードは有効になります。その後、DMA は SPIx_DR レジスタへの書込み動作を管理します。

データパッキングモードを使用する場合で転送データ数が 2 の倍数でない場合は、LDMA_TX/LDMA_RX ビットをセットする必要があります。SPI では、最後の DMA 転送の送受信に 1 つのデータのみを考慮します (詳細については、[1269 ページのデータパッキング](#)を参照)。

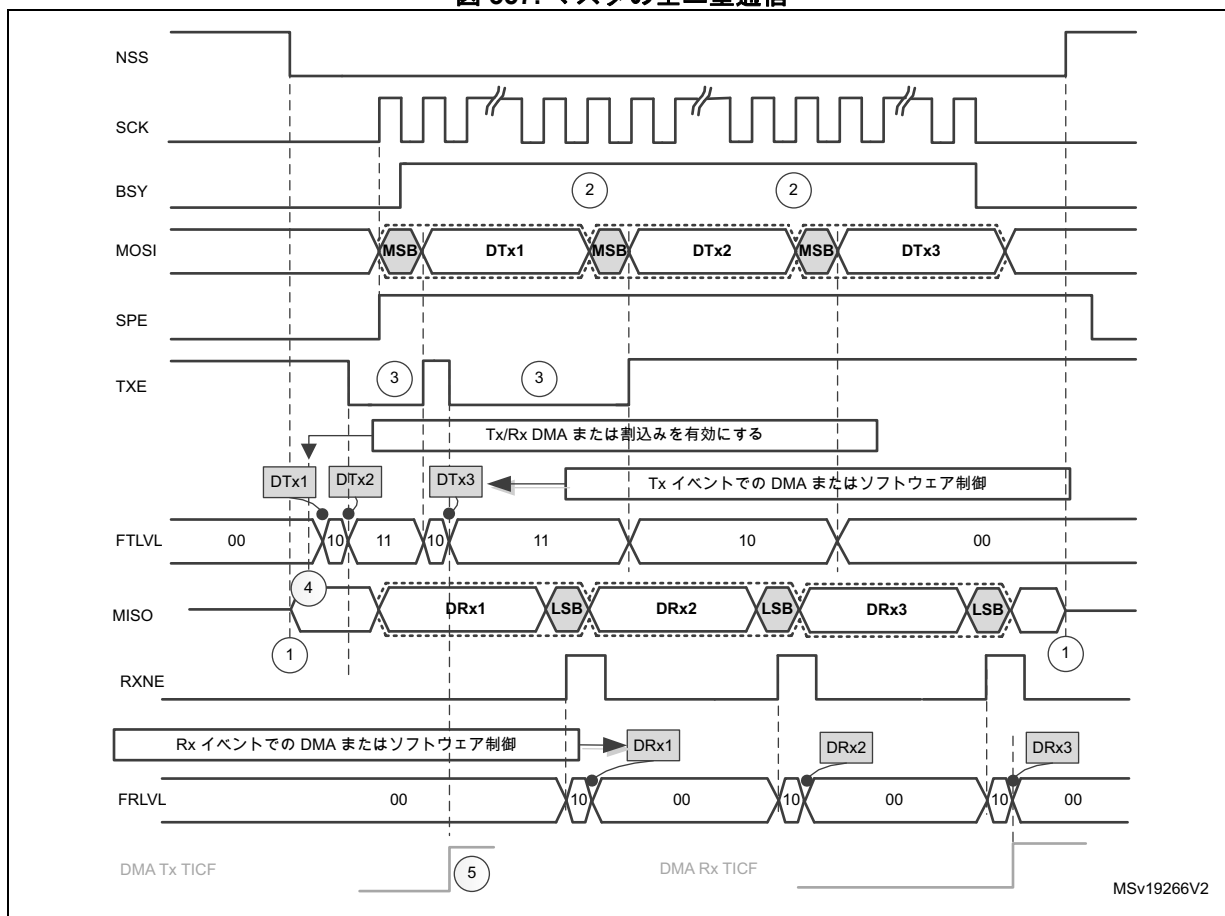
通信図

このセクションでは、一部の標準的なタイミング構成について説明します。これらの構成は、SPI イベントの処理方法（ポーリング、割込み、または DMA）にかかわらず有効です。単純にするには、ここでは LSBFIRST=0、CPOL=0、および CPHA=1 設定を共通の前提として使用します。DMA ストリームの完全な設定は提供されません。

以下の番号付された注は、1273 ページの図 357 から 1276 ページの図 360 に共通です。

1. スレーブは、NSS がアクティブで SPI が有効になると MISO ラインを制御し始め、そのいずれかがリリースされるとラインから切断されます。事前にマスタ専用のデータを準備するには、トランザクションを開始する前にスレーブに十分な時間を与える必要があります。
マスタでは、SPI が有効な場合のみ、SPI ペリフェラルが MOSI および SCK 信号で（また、ときに NSS 信号でも）制御できるようになります。SPI が無効の場合、SPI ペリフェラルは GPIO ロジックから切断され、これによりこれらのラインのレベルは GPIO 設定にのみ依存します。
2. マスタでは、通信（クロック信号）が連続的な場合に、BSY はフレーム間でアクティブなままとなります。スレーブでは、BSY 信号は必ずフレーム間で最低でも 1 クロックサイクルは無効となります。
3. TXE 信号は TXFIFO がフルの場合にのみクリアされます。
4. DMA アービトレーションプロセスは TXDMAEN ビットのセット後すぐに開始します。TXE 割込みは TXEIE のセット後すぐに生成されます。TXE 信号がアクティブレベルにあると、TxFIFO へのデータ転送が開始され、TxFIFO がフルまたは DMA 転送が完了するまで続きます。
5. 送信するデータをすべて TxFIFO に適合することができる場合、SPI バスでの通信が開始される前に DMA Tx TCIF フラグを立てることができます。このフラグは、常に SPI トランザクションが完了する前に立てられます。
6. パッケージの CRC 値は、SPIx_TXCRCR および SPIx_RXCRCR レジスタで、フレームごとに連続的に計算されます。CRC 情報はすべてのデータパッケージが完了した後で処理されます。これは、自動的に DMA で（必ず Tx チャンネルを処理するフレーム数にセットすること）、またはソフトウェアで（必ず最後のデータフレーム処理中に CRCNEXT を処理すること）行われます。SPIx_TXCRCR で計算された CRC 値がトランスミッタによって簡単に送信されるのに対し、受信した CRC 情報は RxFIFO に読み込まれ、SPIx_RXCRCR レジスタの内容と比較されます（差異がある場合は、ここで CRC エラーフラグが立てられます）。このため、ユーザは注意してこの情報を FIFO から一掃する必要があります。これには、RxFIFO のすべての保管された内容を読み出すソフトウェアか、Rx チャンネルの適切なデータフレーム数がプリセットされている場合は DMA を使用します（データフレーム数 + CRC フレーム数）（前提条件の例の設定を参照）。
7. データがパックされたモードで、TxE および RxNE イベントはペアにされ、データフレーム数が偶数になるまで FIFO への各読み出し/書き込みアクセスは 16 ビット幅となります。TxFIFO が $\frac{1}{4}$ フルの場合、FTLVL ステータスは FIFO フルレベルのままです。このため、最後の奇数のデータフレームを TxFIFO が $\frac{1}{2}$ フルになる前に格納することはできません。このフレームは 8 ビットアクセスを持つ TxFIFO に格納されます。これは、ソフトウェアで、または LDMA_TX 制御がセットされている場合は自動的に DMA で行われます。
8. パックされたモードで最後の奇数のデータフレームを受信するには、最後のデータフレームが処理された時に Rx 閾値を 8 ビットに変更する必要があります。これは、ソフトウェアで FRXTH=1 に設定するか、LDMA_RX がセットされている場合は自動的に DMA 内部信号で行われます。

図 357. マスタの全二重通信



マスタの全二重通信の前提条件の例：

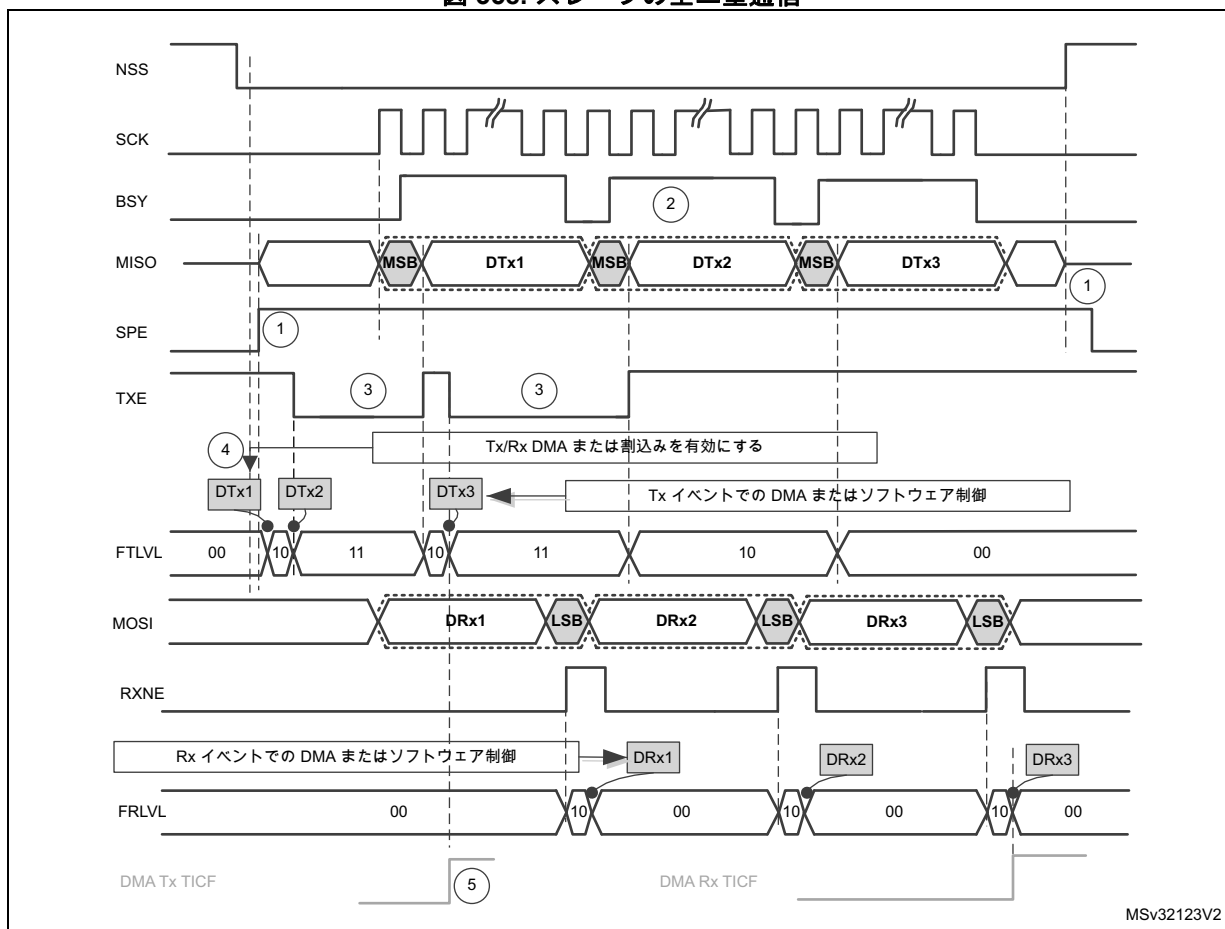
- データサイズ > 8 ビット

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、1272 ページの通信図を参照してください。

図 358. スレーブの全二重通信



スレーブの全二重通信の前提条件の例：

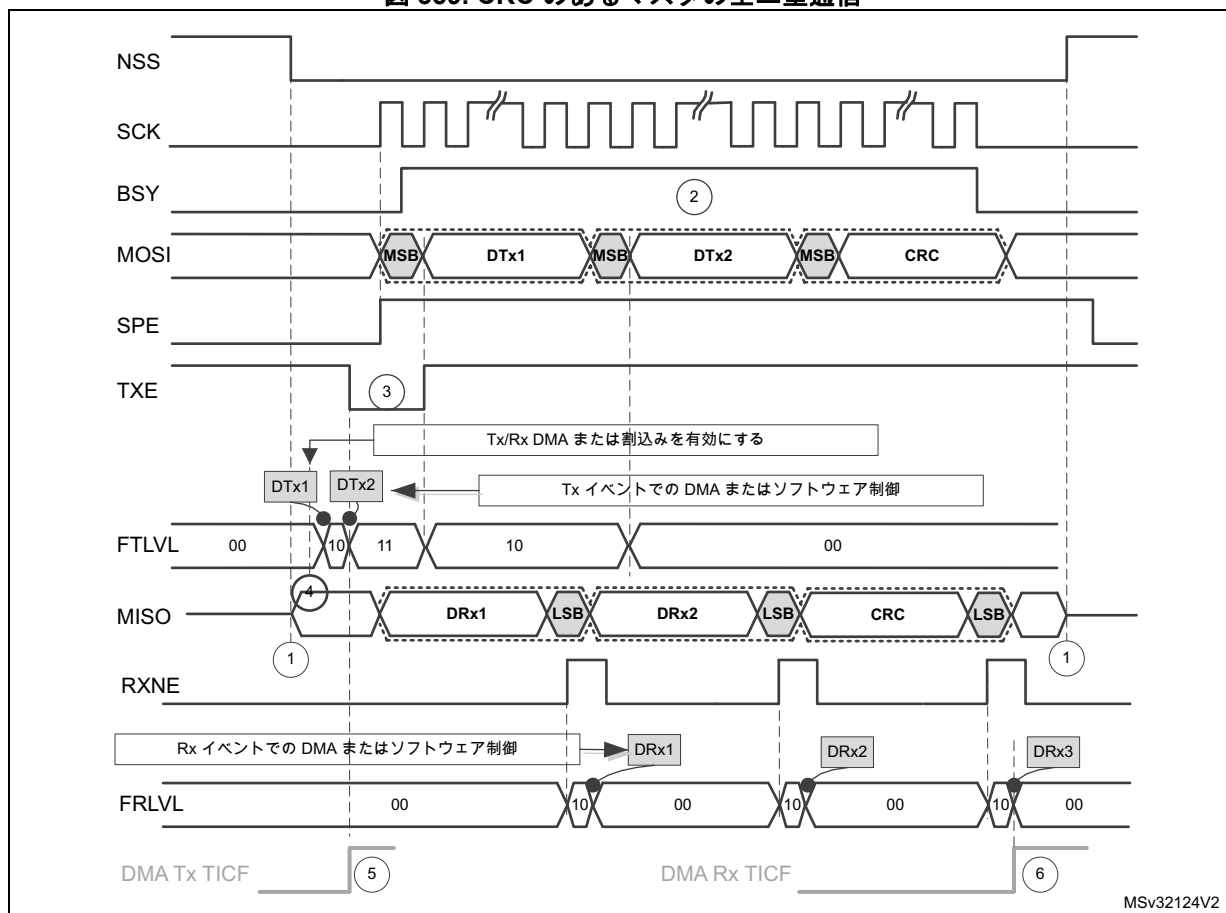
- データサイズ > 8 ビット

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、[1272 ページの通信図](#)を参照してください。

図 359. CRC のあるマスタの全二重通信



CRC のあるマスタの全二重通信の前提条件の例 :

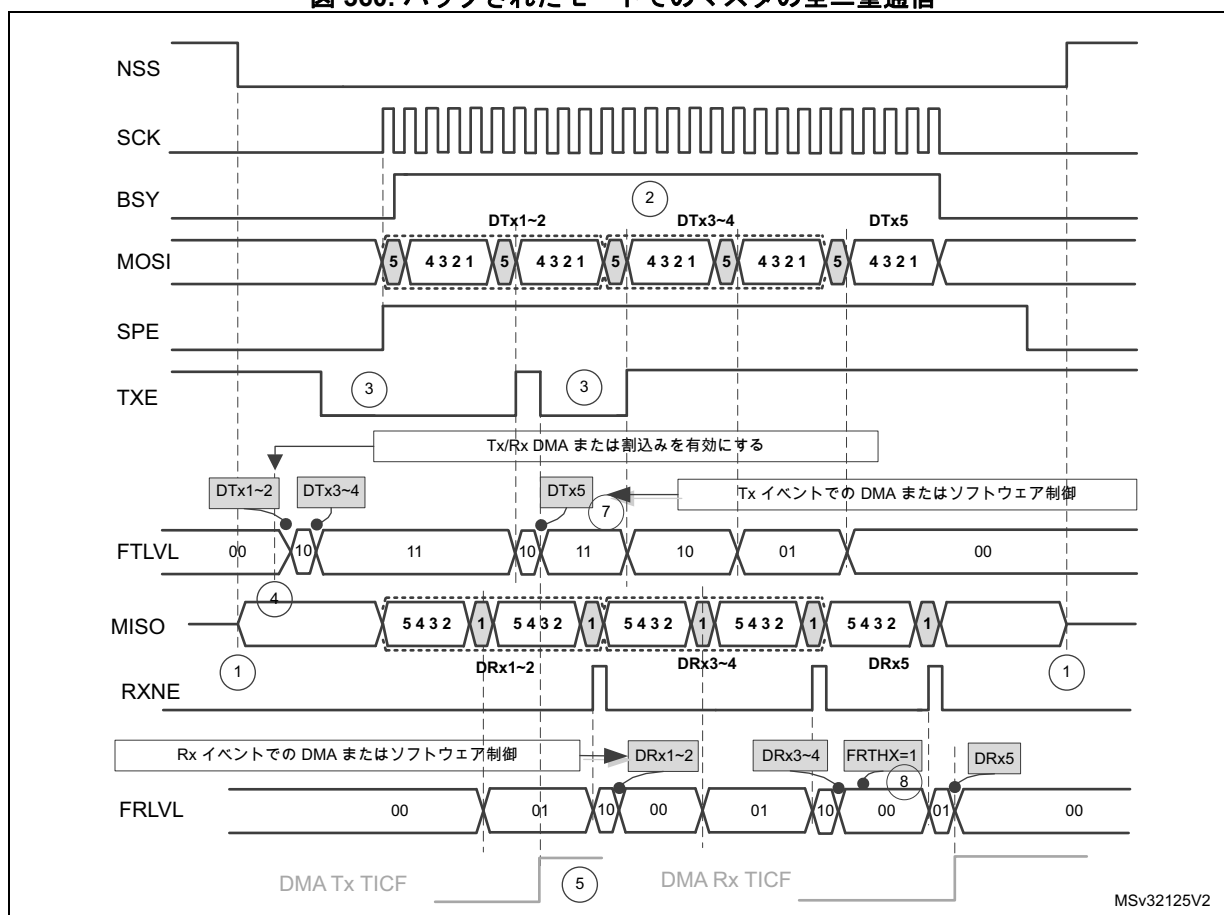
- データサイズ = 16 ビット
- CRC は有効です。

DMA を使用する場合 :

- DMA でトランザクションされる Tx フレーム数を 2 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、[1272 ページの : 通信図](#)を参照してください。

図 360. パックされたモードでのマスタの全二重通信



パックされたモードでのマスタの全二重通信の前提条件の例：

- データサイズ = 5 ビット
- 読出し/書込み FIFO は、ほとんど 16 ビットアクセスで実行されます。
- FRXTH=0

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット
- Tx と Rx DMA チャンネルの両方の PSIZE を 16 ビットにセット
- LDMA_TX=1 および LDMA_RX=1

共通の前提条件および注の詳細については、[1272 ページの : 通信図](#)を参照してください。

37.5.10 SPI ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

Tx バッファエンプティフラグ (TXE)

TXE フラグは、送信 TXFIFO に送信データを格納するための十分なスペースがある場合にセットされます。TXE フラグは TXFIFO レベルにリンクされます。フラグはハイになり、TXFIFO レベルが FIFO の深さの 1/2 以下になってもハイを維持します。SPIx_CR2 レジスタの TXEIE ビットがセットされている場合は、割り込みを生成できます。このビットは、TXFIFO レベルが 1/2 を超えると自動的にクリアされます。

Rx バッファノットエンプティ (RXNE)

SPIx_CR2 レジスタの FRXTH ビット値によって、RXNE フラグがセットされます。

- FRXTH をセットすると RXNE はハイになり、RXFIFO レベルが 1/4 (8 ビット) 以上になってもハイを維持します。
- FRXTH をクリアすると RXNE はハイになり、RXFIFO レベルが 1/2 (16 ビット) 以上になってもハイを維持します。

SPIx_CR2 レジスタの RXNEIE ビットがセットされている場合は、割り込みを生成できます。

RXNE は、上記の条件が真ではなくなった場合にハードウェアによって自動的にクリアされます。

ビジーフラグ (BSY)

BSY フラグは、ハードウェアによってセット/クリアされます (このフラグへの書き込みは無効)。

BSY フラグがセットされると、SPI 上でデータ転送が進行中であることを示します (SPI バスはビジー)。

BSY は、転送終了を検出するために特定のモードで使用できます。これにより、低電力モード (ペリフェラルにクロックを供給しない) に入る前に、ソフトウェアで SPI やそのペリフェラルクロックを無効にすることができます。これによって、最後の転送データの破壊を回避します。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは次のいずれかの条件下でクリアされます。

- SPI が正常に無効にされたとき
- マスタモードで、障害が検出 (MODF ビットが 1 にセットされます) されたとき
- マスタモードで、データ送信が終了し、送信準備ができていない新しいデータがないとき
- スレーブモードで、各データ転送間で少なくとも SPI の 1 クロックサイクルの間、BSY フラグが 0 にセットされているとき

注： 次の送信がすぐにマスタで処理される場合 (マスタが受信専用モードに設定されているか、その送信 FIFO がエンプティでない場合)、通信は連続的で、BSY フラグはマスタ側での送信の間、“1”にセットされたままになります。スレーブとは異なりますが、必ず (BSY フラグを使用する代わりに) TXE フラグと RXNE フラグを使用して、データの送受信の処理を行うことを推奨します。

37.5.11 SPI エラーフラグ

次のいずれかのエラーフラグがセットされていて、ERRIE ビットをセットすることにより割込みが有効になっている場合、SPI 割込みが生成されます。

オーバーランフラグ (OVR)

マスタまたはスレーブでデータを受信し、RXFIFO に受信データを格納するための十分なスペースがない場合に、オーバーラン状態が発生します。これは、ソフトウェアまたは DMA が RXFIFO に格納された前の受信データを読み出すために必要な時間が十分になかったか、データストレージのための空間が制限されている場合に発生する可能性があります。たとえば、RXFIFO は CRC が受信専用モードでのみ有効な場合は使用できないため、この場合、受信バッファは単一データフレームバッファに制限されます (セクション 37.5.14: CRC 計算を参照)。

オーバーラン条件が発生すると、RXFIFO にある前の値を新しく受信した値で上書きすることはできません。新しく受信した値は破棄され、それ以降に送信されたすべてのデータは失われます。OVR ビットをクリアするには、SPI_DR レジスタを読み出し、続けて SPI_SR レジスタに読み出しアクセスを行います。

モードフォールト (MODF)

モードフォールトは、マスタデバイスが内部 NSS 信号 (NSS ハードウェアモードでは NSS ピン、NSS ソフトウェアモードでは SSI ビット) をローレベルにプルダウンしたときに発生します。これにより、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI インタフェースに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがクリアされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間、SPIx_SR レジスタに読み出し/書き込みアクセスを行います。
2. 次に、SPIx_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競争を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルアップする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。スレーブデバイスでは、MODF ビットはセットできません。ただし、前回のマルチマスタ競争の結果としてセットする場合は例外です。

CRC エラー (CRCERR)

このフラグを使用して、SPIx_CR1 レジスタの CRCEN ビットがセットされているときに受信された値の有効性を検証します。シフトレジスタに受信された値が、レシーバである SPIx_RXCRCR の値と一致しなかった場合、SPIx_SR レジスタの CRCERR フラグがセットされます。フラグはソフトウェアによってクリアされます。

TI モードフレームフォーマットエラー (FRE)

SPI がスレーブモードで動作し、かつ TI モードプロトコルに準拠した設定となっている場合、通信の実行中に NSS パルスが発生すると、TI モードフレームフォーマットエラーが検出されます。このエラーが発生すると、SPIx_SR レジスタの FRE フラグがセットされます。エラー発生時には SPI は無効にされず、この NSS パルスは無視されます。SPI は次の NSS パルスを待ってから新規の転送を開始します。このエラーの検出により 2 バイトのデータが失われるため、データは破壊される可能性があります。

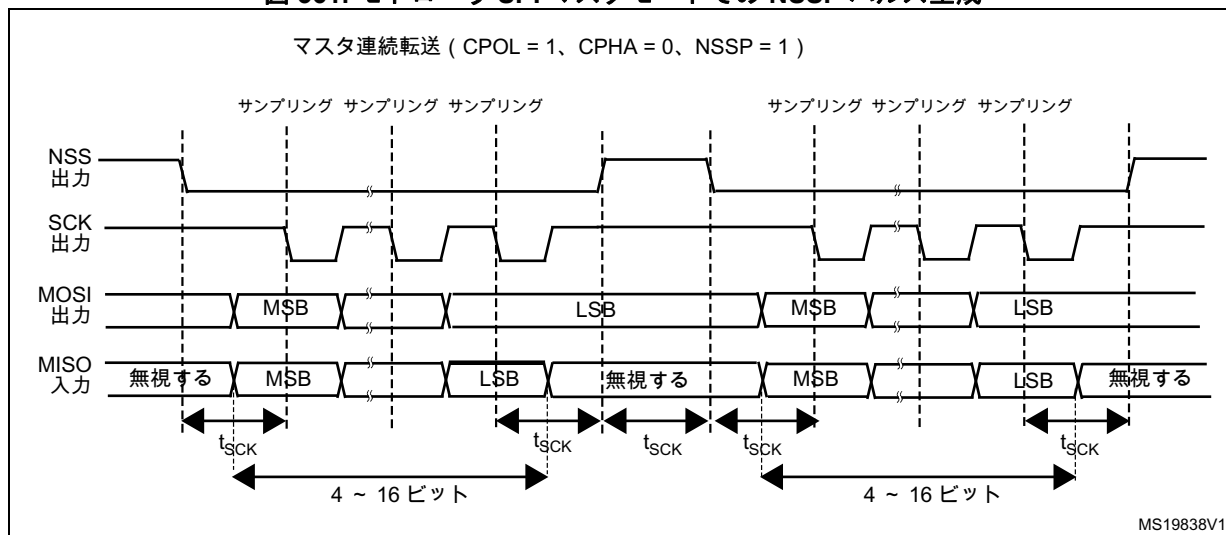
SPIx_SR レジスタを読み出すと、FRE フラグがクリアされます。ERRIE ビットがセットされている場合、NSS エラー検出時に割込みが生成されます。この場合、データの一貫性が保証されなくなるため、SPI を無効にする必要があります。またスレーブ SPI が再び有効化された場合は、マスタによって通信を再起動する必要があります。

37.5.12 NSS パルスモード

このモードは SPIx_CR2 レジスタの NSSP ビットで有効化され、SPI インタフェースが 1 番目のエッジにキャプチャのある モトローラ SPI マスタ (FRF=0) として設定されている場合にのみ有効になります (SPIx_CR1 CPHA = 0、CPOL 設定は無視されます)。有効にすると、最低 1 つのクロック周期の間、NSS がハイレベルを維持する場合に、2 つの連続したデータフレーム転送の間で NSS パルスが生成されます。このモードでは、スレーブでデータをラッチできます。NSSP パルスモードは、シングルマスタ - スレーブペアのアプリケーション用に設計されています。

図 361 に、NSSP パルスモードが有効な場合の NSS ピンの管理の図を示します。

図 361. モトローラ SPI マスタモードでの NSSP パルス生成



注： CPOL = 0 の場合に同様の動作が発生します。この場合、サンプリングエッジは SCK の立ち上がりエッジで、NSS のアサートおよびネゲートはこのサンプリングエッジを参照します。

37.5.13 TI モード

マスターモードでの TI プロトコル

SPI インタフェースは TI プロトコルと互換性があります。SPIx_CR2 レジスタの FRF ビットを使って、SPI をこのプロトコルに準拠させるように設定することができます。

SPIx_CR1 レジスタにセットされる値によらず、クロックの極性と位相は TI プロトコル要件に必ず適合します。NSS 管理も TI プロトコルに固有なものになります。これにより、この場合の SPIx_CR1 レジスタと SPIx_CR2 レジスタによる NSS 管理の設定 (SSM、SSI、SSOE) ができなくなります。

スレーブモードでは、SPI ポーレートプリスケラを使用して、現在のトランザクションが終了した時点で、MISO ピンの状態がハイインピーダンスに変化するタイミングを制御します (図 362 を参照)。任意のポーレートが使用できるため、このタイミングを非常に柔軟に決定することができます。ただし、ポーレートは外部マスタクロックポーレートに設定されるのが一般的です。MISO 信号がハイインピーダンス (t_{release}) になるまでの遅延は、内部再同期と SPIx_CR1 レジスタの BR[2:0] ビットで設定されたポーレート値によって変わります。この値は次式で求められます：

$$\frac{t_{\text{baud_rate}}}{2} + 4 \times t_{\text{pclk}} < t_{\text{release}} < \frac{t_{\text{baud_rate}}}{2} + 6 \times t_{\text{pclk}}$$

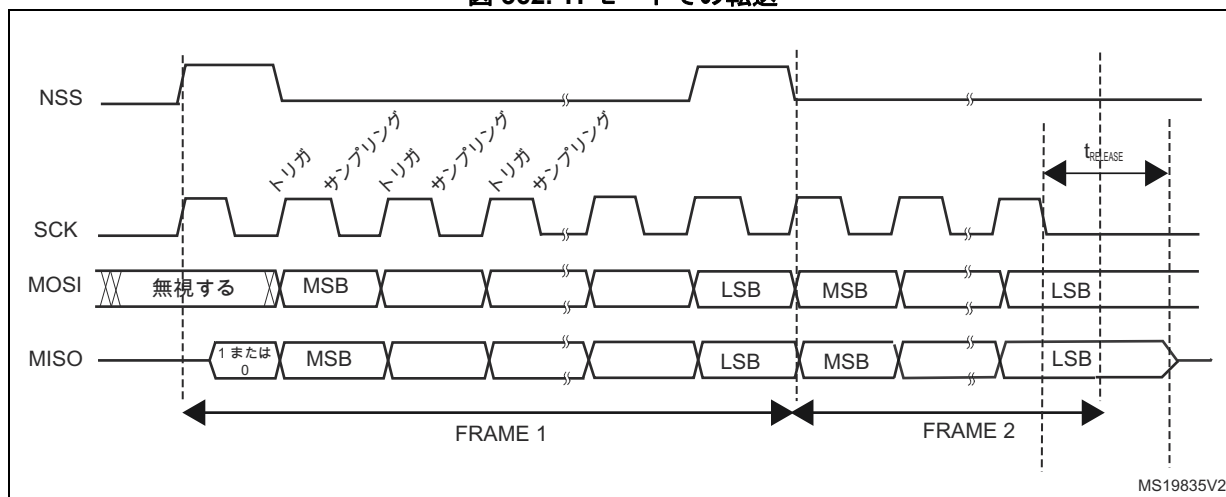
スレーブがデータフレームトランザクション中に NSS パルスの誤配置を検出すると、TIFRE フラグがセットされます。

データサイズが 4 ビットまたは 5 ビットである場合、全二重モードまたは送信専用モードのマスタは、最下位ビット後に追加された 1 つまたは複数のダミーデータビットを持つプロトコルを使用しません。TI NSS パルスは、各周期の最下位ビットではなく、このダミービットクロックサイクル上に生成されます。

この機能はモトローラの SPI 通信には使用できません (FRF ビットを 0 に設定)。

図 362: TI モードでの転送 TI モードが選択されているときの SPI の通信波形を示します。

図 362. TI モードでの転送



37.5.14 CRC 計算

2つのCRC計算機が、送信データおよび受信データの信頼性をチェックするために実装されています。SPIは、フレームデータ長とは別に、8ビットまたは16ビットに固定されるCRC8またはCRC16を計算します。その他のデータフレーム長では、CRCは使用できません。

CRCの原理

CRC計算は、SPIが有効(SPE = 1)になる前に、SPIx_CR1レジスタのCRCENビットをセットすることによって有効になります。CRC値は、各ビットに対して奇数のプログラム可能な多項式の値を使用して計算されます。計算は、SPIx_CR1レジスタのCPHAビットとCPOLビットによって定義されるサンプリングクロックエッジで行われます。計算されたCRC値は、データブロックの最後のみならず、CPUまたはDMAによって管理される転送に関しても、自動的にチェックされます。受信データをもとに内部で計算されたCRC値とトランスミッタが送信したCRC値の間に不一致が検出された場合、データ破壊エラーを示すためにCRCERRフラグがセットされます。CRC計算を処理する正しい手順は、SPIの設定および選択された転送管理によって変わります。

注： 多項式の値は必ず奇数でなければなりません。偶数の値はサポートされていません。

CPUによって管理されるCRC転送

通信が開始され、最後のデータフレームがSPIx_DRレジスタで送信または受信されるまで正常に続きます。次に、CRCフレームトランザクションが現在処理中のデータフレームトランザクションの後に行われることを示すために、SPIx_CR1レジスタのCRCNEXTビットをセットする必要があります。CRCNEXTビットは、最後のデータフレームトランザクションの終了前にセットしてください。CRCのトランザクション中はCRC計算は停止されます。

受信したCRCは、データバイトまたはワードのようにRXFIFOに格納されます。このため、CRCモードでは、受信バッファを一度に1データフレームずつ受信するために使用する単一の16ビットバッファとみなす必要があります。

CRCフォーマットトランザクションは、通常データシーケンスの最後に通信を行うためにデータフレームをもう1つ受け取ります。ただし、16ビットCRCによってチェックされた8ビットデータフレームを設定する場合、CRC全体を送信するにはフレームがあと2つ必要です。

最後のCRCデータを受信すると、受信した値とSPIx_RXCRCレジスタの値を比較する自動チェックが行われます。ソフトウェアは、SPIx_SRレジスタのCRCERRフラグをチェックして、データ転送の内容が破壊されているか否かを判断する必要があります。ソフトウェアは、CRCERRフラグに"0"を書き込んでクリアします。

CRC受信後、CRC値はRXFIFOに格納され、RXNEフラグをクリアするためにSPIx_DRレジスタを読み出す必要があります。

DMAによって管理されるCRC転送

SPI通信がCRC通信とDMAモードで有効化される場合、CRCの送受信は通信の最後に自動で行われます(ただし、受信専用モードでCRCデータを読み出す場合を除く)。CRCNEXTビットはソフトウェアで処理する必要はありません。SPI送信用DMAチャンネルのカウンタは、転送するデータフレーム数からCRCフレームを除いてセットする必要があります。レシーバ側では、受信したCRC値はトランザクションの終了時にDMAによって自動的に処理されますが、RXFIFOから受信したCRC情報は常にレシーバにロードされますので、ユーザは注意してそれを一掃してください。全二重モードでは、受信DMAチャンネルのカウンタを、受信するデータフレームの数(CRCを含む)にセットすることができます。つまり、たとえば16ビットCRCでチェックされた8ビットデータフレームの特定の例を、次の式で表すことができます。

$$\text{DMA_RX} = \text{Numb_of_data} + 2$$

受信専用モードでは、DMA 受信チャンネルカウンタには転送されたデータ量のみが含まれます (CRC 計算を除く)。次に、DMA からの全体の転送に基づき、すべての CRC 値はこのモードでは単一のバッファとして動作するため、ソフトウェアによって FIFO から読み戻す必要があります。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPIx_SR レジスタの CRCERR フラグがセットされます。

パッキングモードが使用され、データ数が奇数の場合は、LDMA_RX ビットを管理する必要があります。

SPIx_TXCRC および SPIx_RXCRC の値のリセット

CRC フェーズのあとで新しいデータがサンプリングされた場合、SPIx_TXCRC 値および SPIx_RXCRC 値は自動的にクリアされます。これにより、データを中断することなく転送するために、DMA サーキュラモードが使用可能になります (受信専用モードでは使用不可)。いくつかのデータブロックは中間の CRC チェックフェーズによってカバーされます。

通信中に SPI が無効化された場合は、次のシーケンスに従う必要があります。

1. SPI を無効にします。
2. CRCEN ビットをクリアします。
3. CRCEN ビットを有効にします。
4. SPI を有効にします。

注 : SPI インタフェースが スレーブとして設定されている場合、CRCNEXT 信号がリリースされたら CRC フェーズのトランザクション中は NSS 内部信号をローレベルに維持する必要があります。そのため、NSS ハードウェアモードをスレーブで正常に適用する必要がある場合、CRC 計算を NSS パルスモードで使用できません。

TI モードでは、クロックフェーズおよびクロック極性の設定が固定で、SPIx_CR1 レジスタに依存していなくても、CRC が適用される場合、対応する設定 CPOL=0 CPHA=1 は SPIx_CR1 レジスタで保持される必要があります。さらに、マスタおよびスレーブの両方で上記の CRCEN ビットを再有効化しつつ、CRC 計算は SPI 無効化シーケンスでセッション間でリセットされる必要があります。そうしない場合、CRC 計算がこの特定のモードで破損する可能性があります。

37.6 SPI 割込み

SPI 通信中、割込みは次のイベントによって生成できます。

- ロードする準備ができている TXFIFO の送信
- 受信 RXFIFO で受信したデータ
- マスタモードフォールト
- オーバーランエラー
- TI フレームフォーマットエラー
- CRC プロトコルエラー

割込みは個別に有効または無効にできます。

表 256. SPI 割込みリクエスト

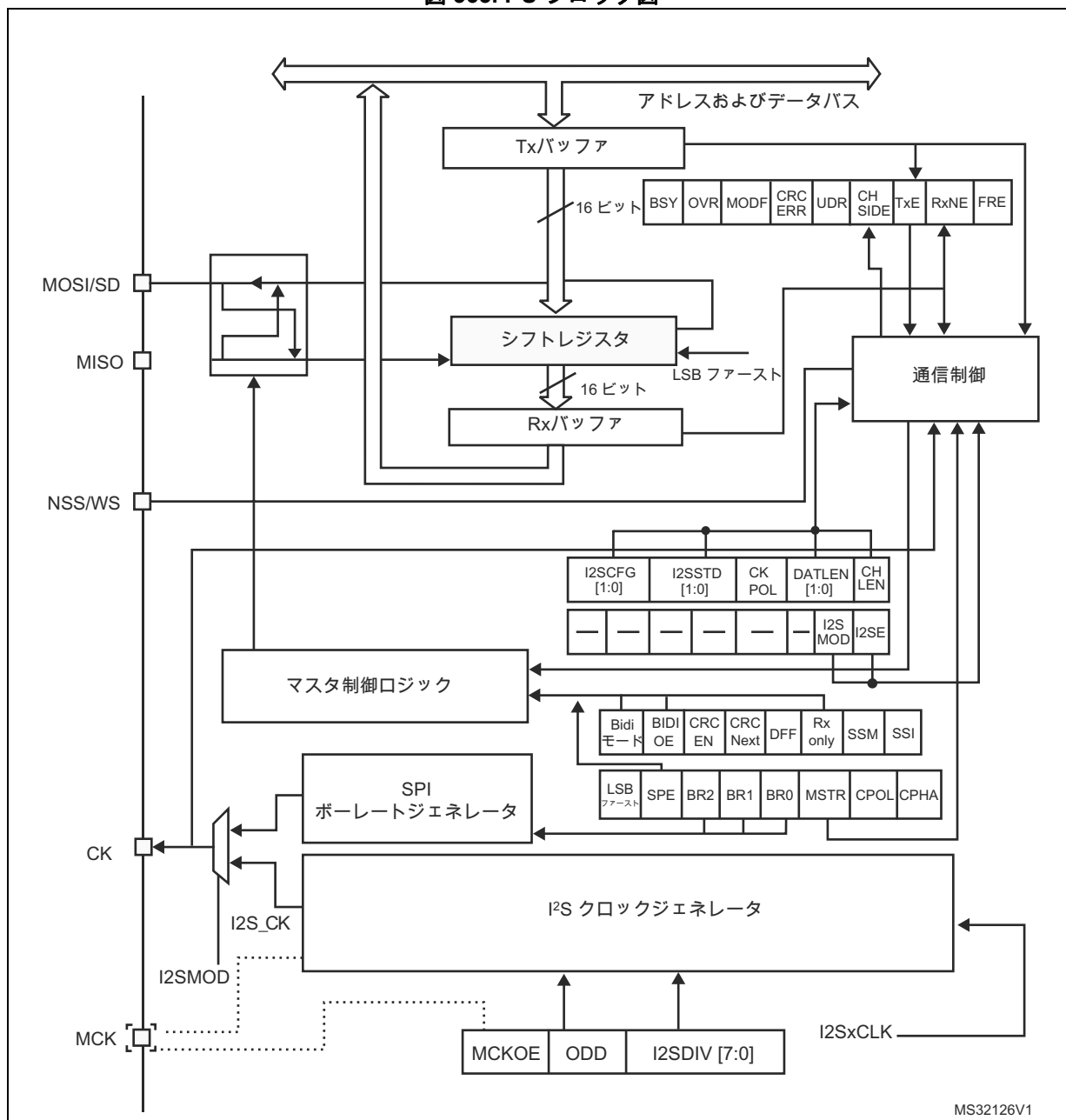
割込みイベント	イベントフラグ	イネーブル制御ビット
ロードする準備ができている TXFIFO の送信	TXE	TXEIE
RXFIFO で受信したデータ	RXNE	RXNEIE
マスタモードフォールトイベント	MODF	ERRIE
オーバーランエラー	OVR	
TI フレームフォーマットエラー	FRE	
CRC プロトコルエラー	CRCERR	

37.7 I²S の機能詳細

37.7.1 I²S の概要

I²S インタフェースのブロック図を図 363 に示します。

図 363. I²S ブロック図



1. MCK はMISO ピンに配置されます。

SPIx_I2SCFGR レジスタの I2SMOD ビットをセットして I²S 機能を有効にすると、SPI はオーディオ I²S インタフェースとして機能することができます。このインタフェースは、主に SPI と同じピン、フラグ、および割り込みを使用します。

I²S と SPI は、3 つのピンを共有します。

- SD : MOSI ピンに配置され、2 つの時間多重化データチャネルを送受信します (半二重モードのみ)。
- WS : ワードセレクトは(NSS ピンに配置)、マスタモードではデータ制御信号の出力、スレーブモードでは入力です。
- CK : シリアルクロックは(SCK ピンに配置)、マスタモードではシリアルクロック出力、スレーブモードではシリアルクロック入力です。

外部オーディオデバイスにマスタクロック出力が必要な場合、追加のピンを使用できます。

- MCK : マスタクロック (別々に配置されている) は、I²S がマスタモードに設定されている (かつ、SPIx_I2SPR レジスタの MCKOE ビットがセットされている) とき、すべての I²S モードでは $256 \times f_s$ 、すべての PCM モードでは $128 \times f_s$ (f_s はオーディオサンプリング周波数) に等しい設定済みの周波数で生成されたこの追加クロックを出力するために使用されます。

I²S は、マスタモードに設定されているとき、専用のクロックジェネレータを使用して通信クロックを発生させます。このクロックジェネレータは、マスタクロック出力のソースでもあります。I²S モードでは、2 つの追加レジスタを使用できます。1 つはクロックジェネレータ設定 SPIx_I2SPR にリンクされ、もう 1 つは汎用 I²S 設定レジスタ SPIx_I2SCFGR (オーディオ標準、スレーブ/マスタモード、データフォーマット、パケットフレーム、クロック極性など) です。

SPIx_CR1 レジスタとすべての CRC レジスタは、I²S モードでは使用されません。同様に、SPIx_CR2 レジスタの SSOE ビットと SPIx_SR レジスタの MODF および CRCERR ビットも使用されません。

I²S は、16 ビット幅モードでのデータ転送に同じ SPI レジスタ (SPIx_DR) を使用します。

37.7.2 サポートされるオーディオプロトコル

3 線バスでは、一般に 2 つのチャネル (右チャネルと左チャネル) で時間多重化されたオーディオデータのみを処理する必要があります。しかしながら、送受信には 1 つの 16 ビットレジスタしかありません。したがって、各チャネルサイドに対応する適切な値をデータレジスタに書き込んだり、データレジスタからデータを読み出して SPIx_SR レジスタの CHSIDE ビットをチェックして対応するチャネルを識別したりすることは、ソフトウェアの責任です。左チャネルは常に最初に送信され、その後で右チャネルが送信されます (CHSIDE は PCM プロトコルには無関係です)。

4 つのデータおよびパケットフレームを使用できます。データは次のフォーマットで送信されます。

- 16 ビットフレームにパックされた 16 ビットデータ
- 16 ビットフレームにパックされた 32 ビットデータ
- 24 ビットフレームにパックされた 32 ビットデータ
- 32 ビットフレームにパックされた 32 ビットデータ

32 ビットパケットに拡張された 16 ビットデータを使用するとき、最初の 16 ビット (MSB) は上位ビットであり、LSB の 16 ビットは、ソフトウェア動作や DMA リクエストを必要とせずに (1 回の読み込み/書き込み動作のみで) 強制的に 0 にされます。

24 ビットと 32 ビットのデータフレームは、SPIx_DR レジスタとの間で 2 回の CPU 読みまたは書き込み動作 (あるいはアプリケーションにとって DMA が望ましい場合は 2 回の DMA 動作) を必要とします。特に 24 ビットのデータフレームの場合、8 つの下位ビットはハードウェアによって 0 ビットで 32 ビットに拡張されます。

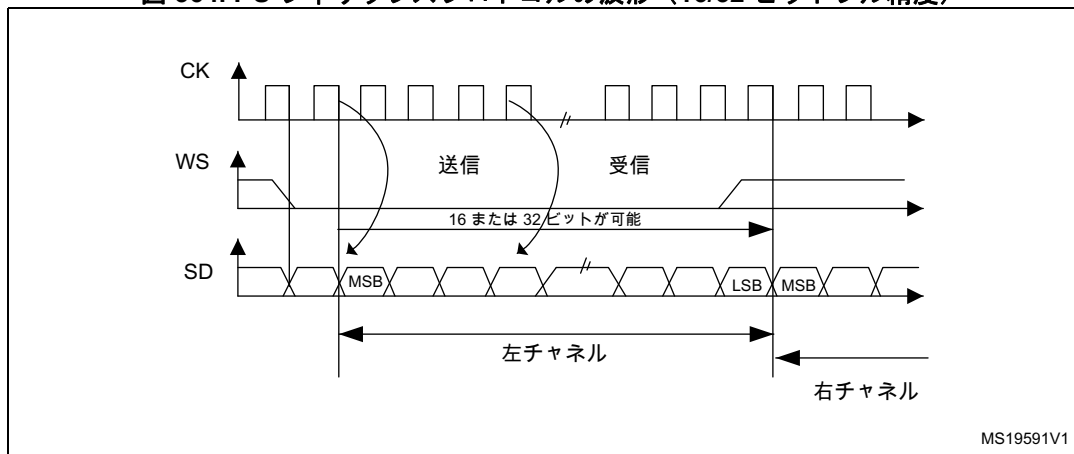
すべてのデータフォーマットと通信規格に対して、最上位ビットは常に最初に送信されます (MSB ファースト)。

I²S インタフェースは、SPIx_I2SCFGR レジスタの I2SSTD[1:0] と PCMSYNC ビットを使用して設定可能な 4 つのオーディオ規格をサポートします。

フィリップス I²S 規格

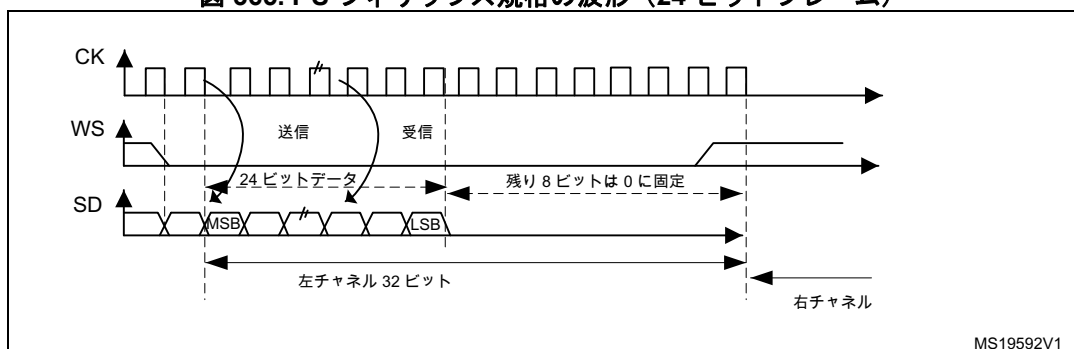
この規格では、どのチャンネルが送信されているかを示すために WS 信号を使用します。この信号が有効になってから CK の 1 クロックサイクル後に最初のビット (MSB) が使用可能になります。

図 364. I²S フィリップスプロトコルの波形 (16/32 ビットフル精度)



データは、CK の立ち下がりエッジでラッチされ (トランスミッタの場合)、立ち上がりエッジで読み出されます (レシーバの場合)。WS 信号も CK の立ち下がりエッジでラッチされます。

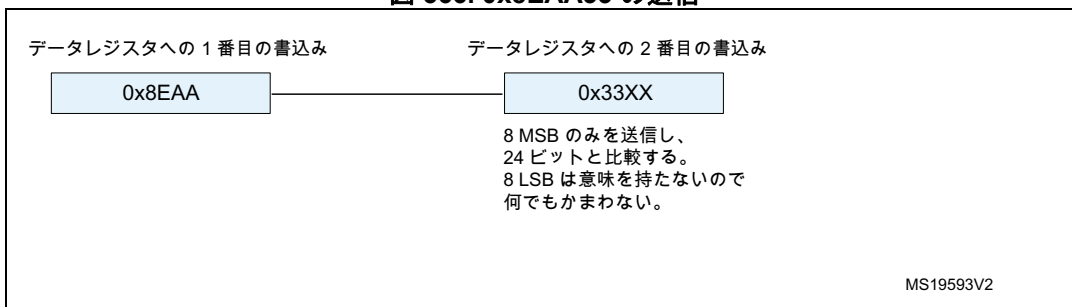
図 365. I²S フィリップス規格の波形 (24 ビットフレーム)



このモードでは、SPIx_DR レジスタに対して 2 回の書込みまたは読出し動作が必要です。

- 送信モードの場合
0x8EAA33 を送信する必要がある場合 (24 ビット) :

図 366. 0x8EAA33 の送信



- 受信モードの場合
データ 0x8EAA33 が受信される場合 :

図 367. 0x8EAA33 の受信

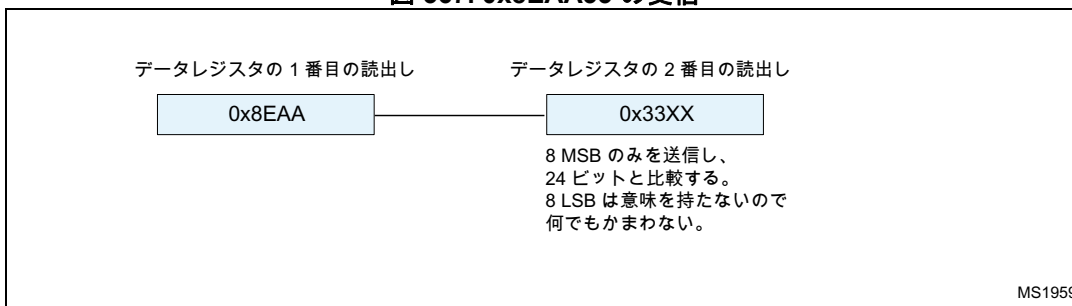
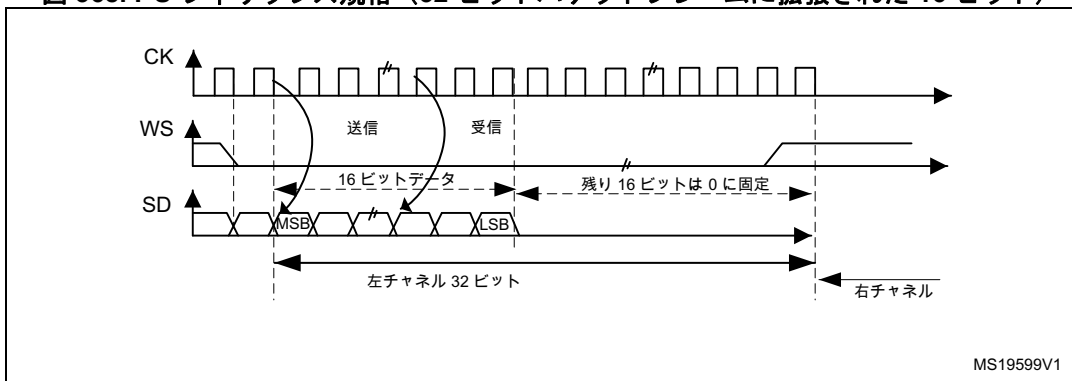


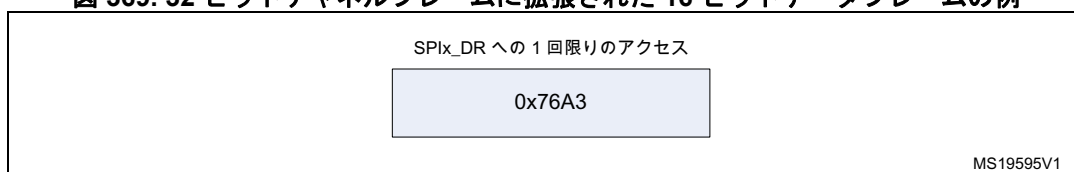
図 368. I²S フィリップス規格 (32 ビットパケットフレームに拡張された 16 ビット)



I²S 設定フェーズで、32 ビットチャンネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPIx_DR レジスタへのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。

送信するデータまたは受信したデータが 0x76A3 (32 ビットに拡張された 0x76A30000) であるとき、[図 369](#) に示す動作が要求されます。

図 369. 32 ビットチャンネルフレームに拡張された 16 ビットデータフレームの例



送信では、SPIx_DR に MSB が書き込まれるたびに、TXE フラグがセットされ、可能ならば、SPIx_DR レジスタに新しい送信値をロードするために割込みが生成されます。これはハードウェアによって行われるため、0x0000 がまだ送信されていない場合でも行われます。

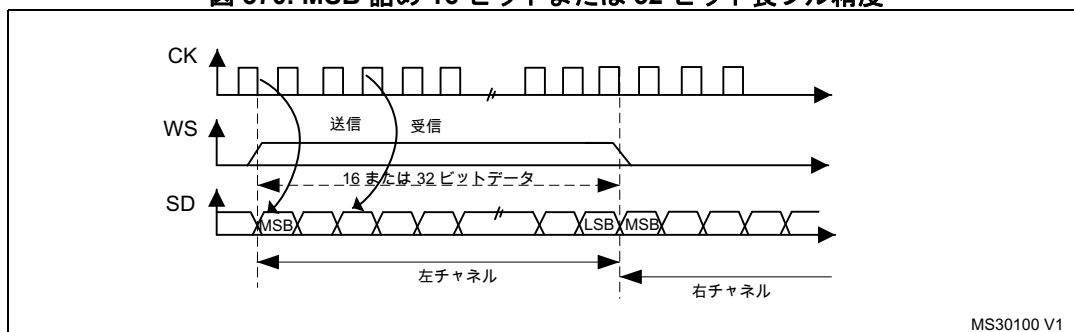
受信では、RXNE フラグがセットされ、可能ならば、最初の 16 MSB ハーフワードの受信時にその割込みが生成されます。

このように、2 回の書き込みまたは読み出し動作の間にはより多くの時間が設けられるため、アンダーランまたはオーバーラン状態（データ転送の方向に依存）を避けられます。

MSB 詰め規格

この規格では、WS 信号は最初のデータビット（最上位ビット）と同時に生成されます。

図 370. MSB 詰め 16 ビットまたは 32 ビット長フル精度



データは、CK の立ち下がりエッジでラッチされ（トランスミッタの場合）、立ち上がりエッジで読み出されます（レシーバの場合）。

図 371. MSB 詰め 24 ビットフレーム長

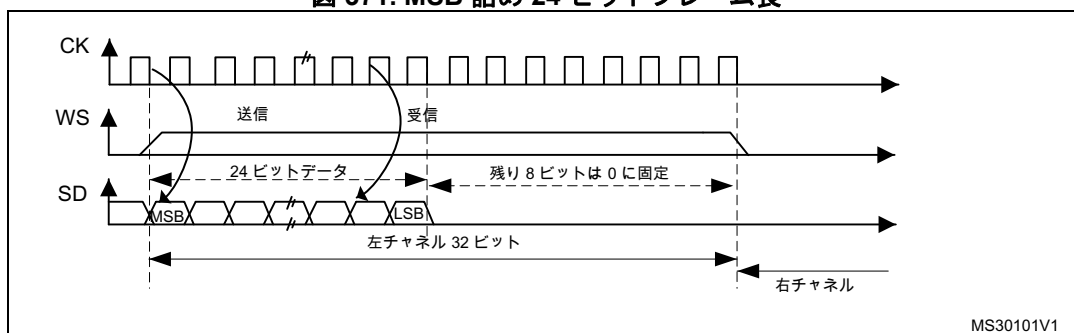
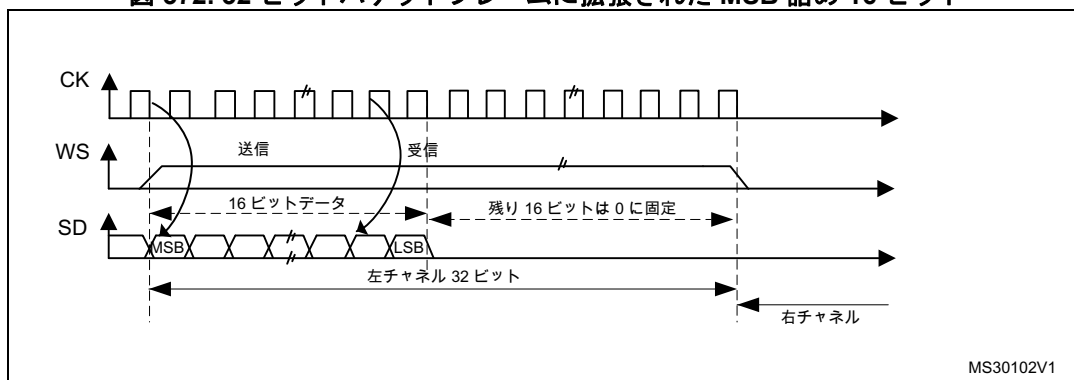


図 372. 32 ビットパケットフレームに拡張された MSB 詰め 16 ビット



LSB 詰め規格

この規格は、MSB 詰め規格と似ています (16 ビットと 32 ビットのフル精度フレームフォーマットに違いはありません)。

入出力信号のサンプリングは I²S フィリップス規格と同じです。

図 373. LSB 詰め 16 ビットまたは 32 ビットフル精度

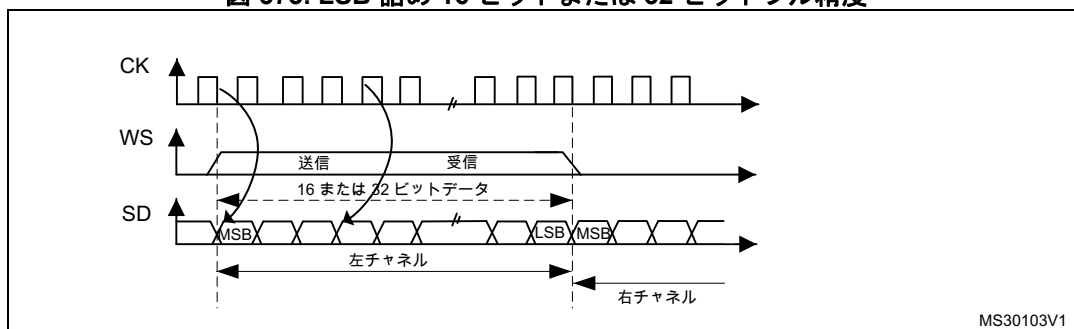
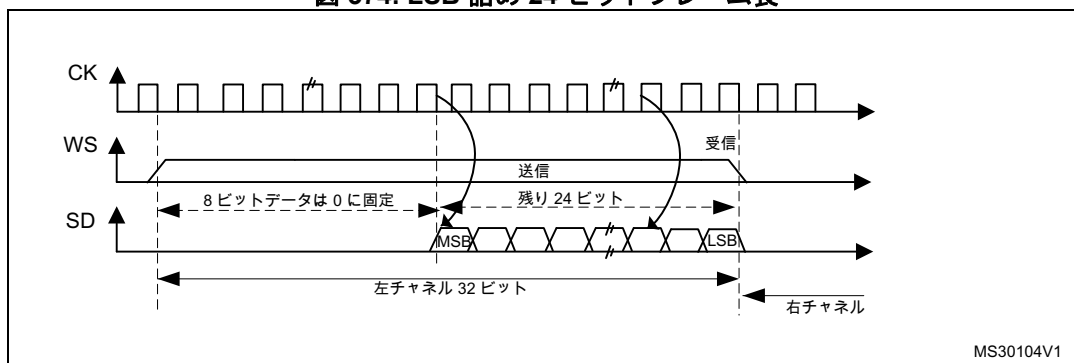
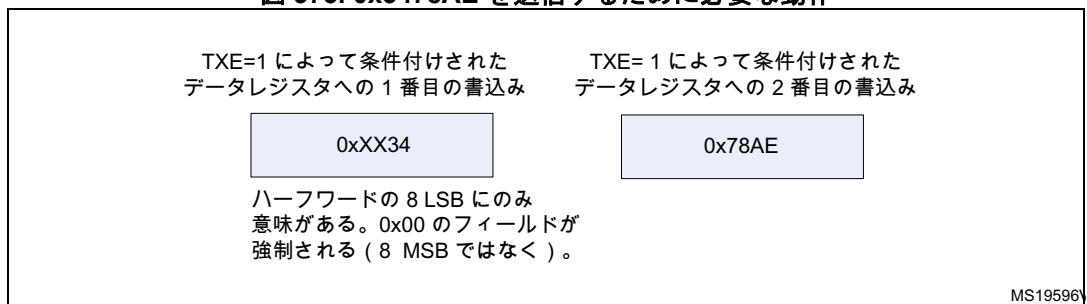


図 374. LSB 詰め 24 ビットフレーム長



- 送信モードの場合
データ 0x3478AE を送信する必要がある場合、ソフトウェアまたは DMA によって SPIx_DR レジスタへの 2 回の書込み動作が必要です。この動作を次に示します。

図 375. 0x3478AE を送信するために必要な動作



- 受信モードの場合
データ 0x3478AE が受信される場合、RXNE イベントごとに、SPIx_DR レジスタから連続する 2 回の読み出し動作が必要です。

図 376. 0x3478AE の受信に必要な動作

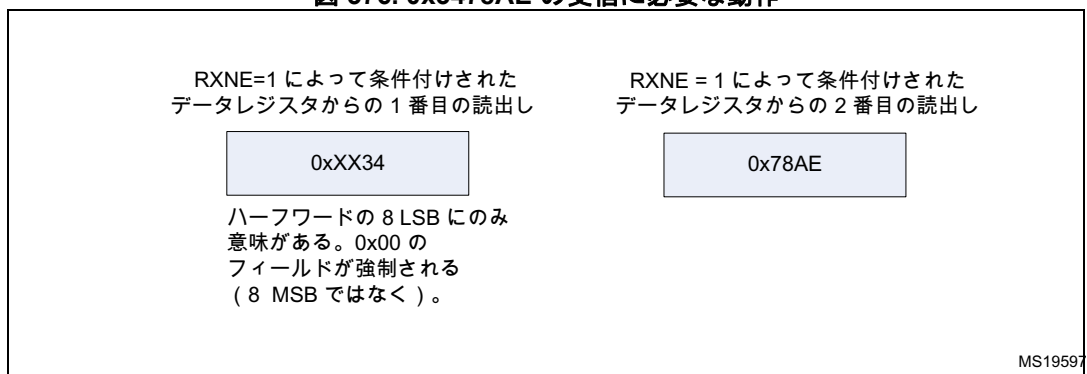
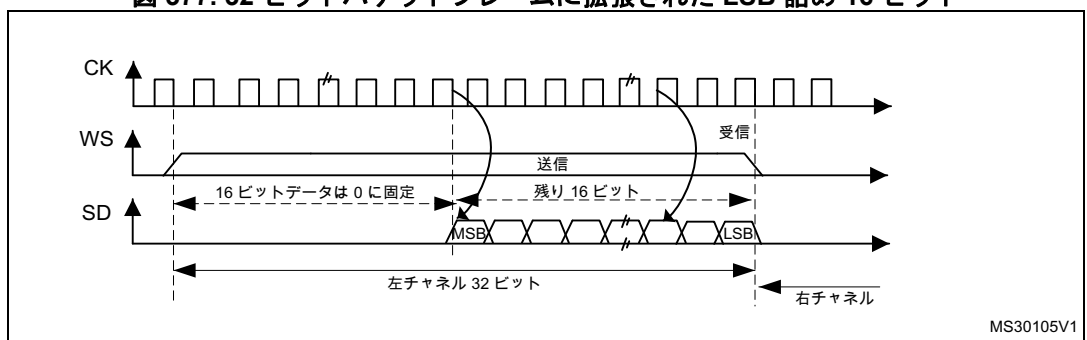


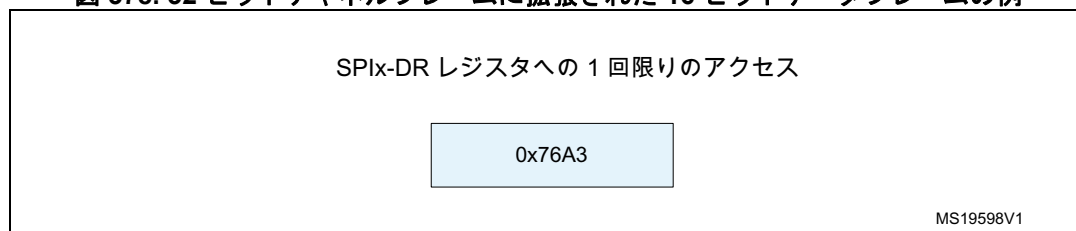
図 377. 32 ビットパケットフレームに拡張された LSB 詰め 16 ビット



I²S 設定フェーズで、32 ビットチャンネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPIx_DR レジスタへのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。この場合、それはハーフワード MSB に相当します。

送信するデータまたは受信したデータが 0x76A3 (32 ビットに拡張された 0x0000 76A3) であるとき、図 378 に示す動作が要求されます。

図 378. 32 ビットチャンネルフレームに拡張された 16 ビットデータフレームの例



送信モードでは、TXE イベントが発生すると、アプリケーションは送信するデータ（この場合は 0x76A3）を書き込む必要があります。0x000 フィールドが最初に送信されます（32 ビット拡張部）。有効なデータ（0x76A3）が SD に送信されると、すぐに TXE フラグが再びセットされます。

受信モードでは、0x0000 フィールドではない有効なハーフワードが受信されると、すぐに RXNE がアサートされます。

このように、アンダーランやオーバーランの状態を防ぐために、2 回の書き込みまたは読み出し動作の間には、より多くの時間が設けられています。

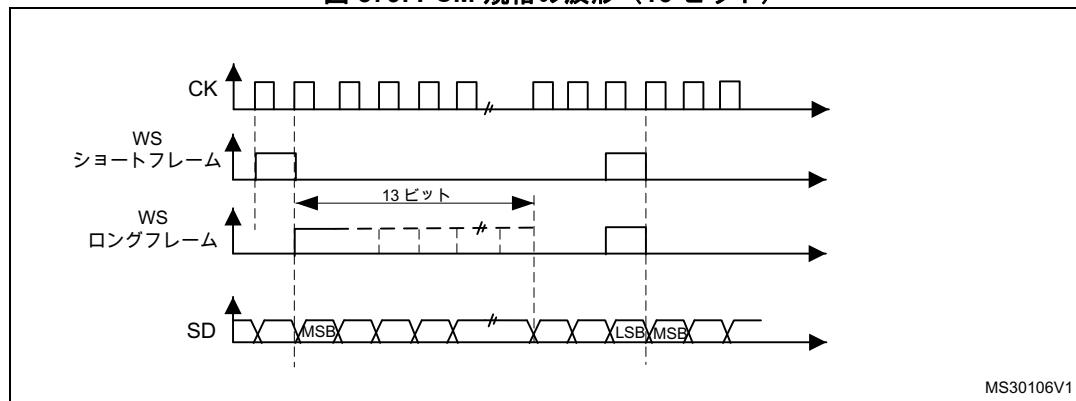
PCM 規格

PCM 規格では、チャンネルサイド情報を使用する必要はありません。SPIx_I2SCFGR レジスタの PCMSYNC ビットを使用して、2 つの PCM モード（ショートおよびロングフレーム）の使用および設定が可能です。

PCM モードで、出力信号（WS、SD）は CK 信号の立ち上がりエッジでサンプリングされます。入力信号（WS、SD）は立ち下がりエッジでキャプチャされます。

CK および WS は、マスタモードで出力として設定されることに注意してください。

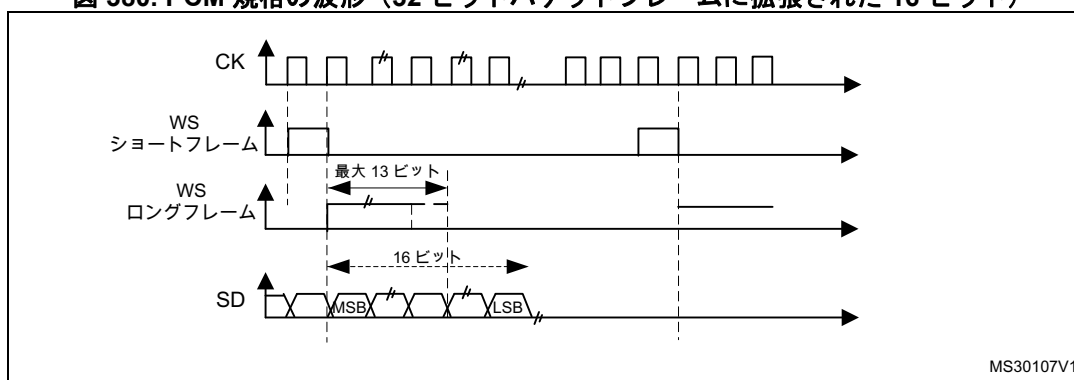
図 379. PCM 規格の波形（16 ビット）



ロングフレーム同期では、WS 信号のアサーション時間はマスタモードで 13 ビットに固定されています。

ショートフレーム同期では、WS 同期信号の長さは、わずか 1 サイクルです。

図 380. PCM 規格の波形 (32 ビットパケットフレームに拡張された 16 ビット)

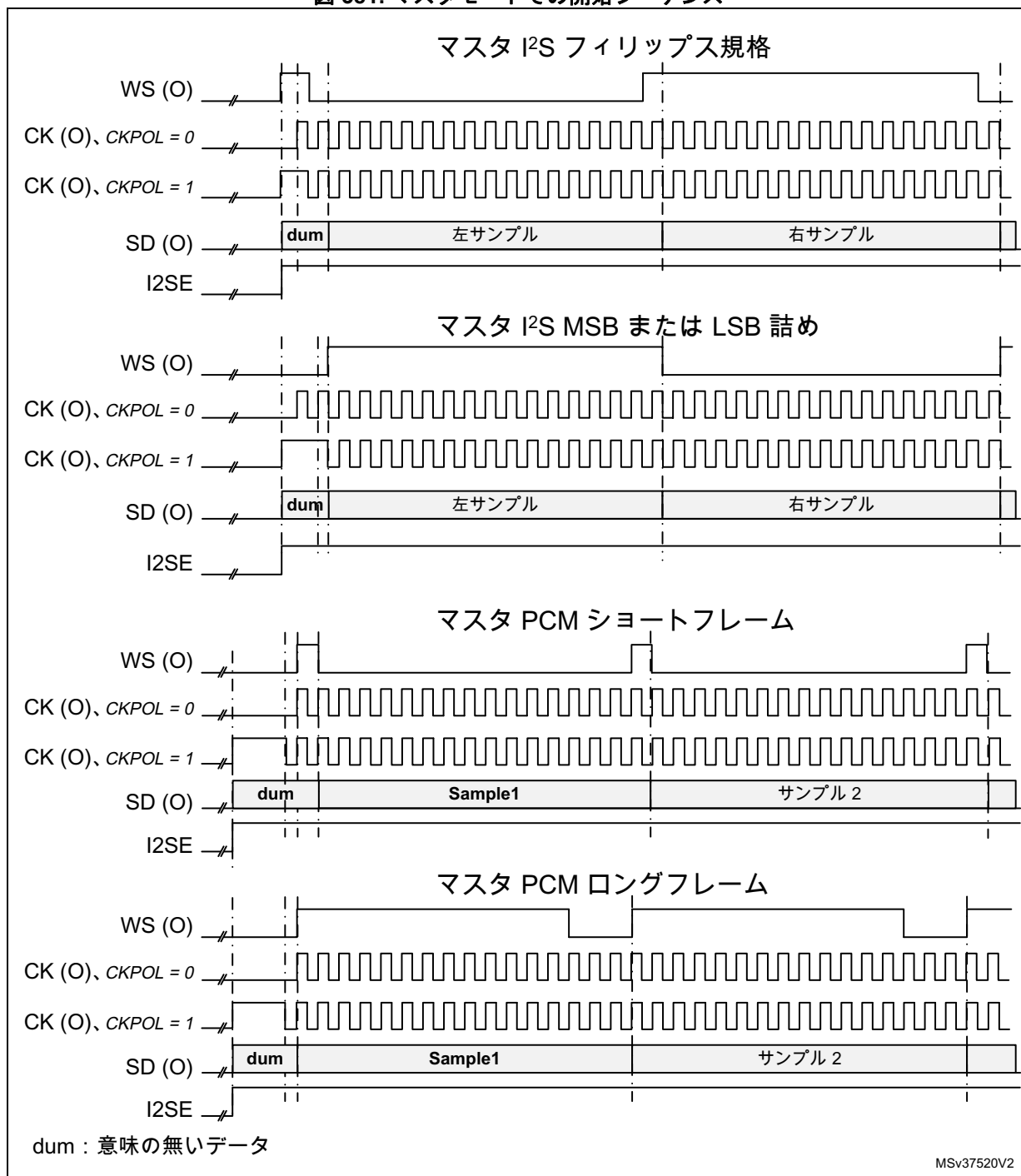


注： 2つのモード（マスタとスレーブ）と2つの同期（ショートとロング）に関しては、スレーブモードでも、連続した2つのデータ（したがって2つの同期信号）間のビット数を（SPIx_I2SCFGR レジスタの DATLEN および CHLEN ビットで）指定する必要があります。

37.7.3 起動に関する説明

図 381 は、SPI/I2S が有効化された場合 (I2SE ビット) の MASTER モードでのシリアルインタフェースの処理について示しています。生成された信号での CKPOL の影響についても示します。

図 381. マスタモードでの開始シーケンス



スレーブモードで、フレームの同期の検出方法は ASTRTEN ビットの値に依存します。

ASTRTEN = 0 の場合、オーディオインタフェースを有効 (I2SE = 1) にすると、ハードウェアは CK 信号を使用して受信 WS 信号で適切な遷移が行われるのを待ちます。

WS 信号での適切な遷移は、I²S フィリップス規格が使用されている場合は立ち下がりエッジ、それ以外の規格の場合は立ち上がりエッジです。立ち下がりエッジは、最初の WS を 1 にサンプリングし、続いて 0 にサンプリングすることで検出されます。立ち上がりエッジの検出方法はこの逆です。

ASTRTEN = 1 の場合、ユーザは WS がアクティブになる前にオーディオインタフェースを有効にする必要があります。これは、I²S フィリップス規格が WS = 1、またはその他の規格が WS = 0 の場合に、I2SE ビットを 1 にセットする必要があることを意味しています。

37.7.4 クロックジェネレータ

I²S ビットレートにより、I²S データライン上のデータフローと I²S クロック信号周波数が決まります。

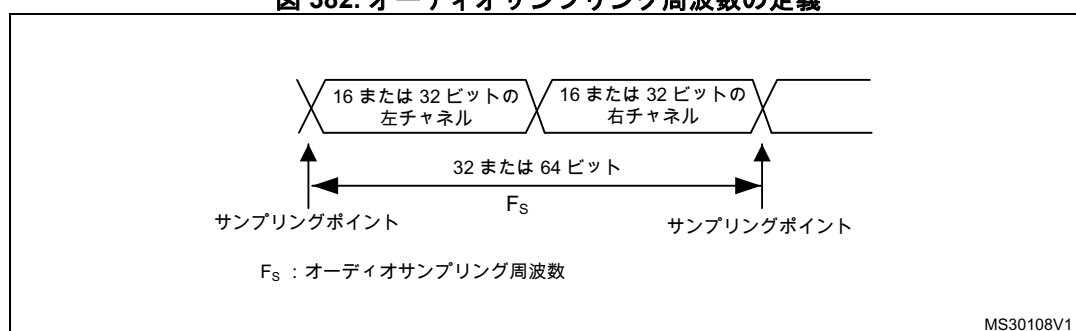
I²S ビットレート = チャンネルあたりのビット数 × チャンネル数 × オーディオサンプリング周波数

16 ビットオーディオ、左チャンネルおよび右チャンネルの場合、I²S ビットレートは次のように算出されます。

$$I^2S \text{ ビットレート} = 16 \times 2 \times f_s$$

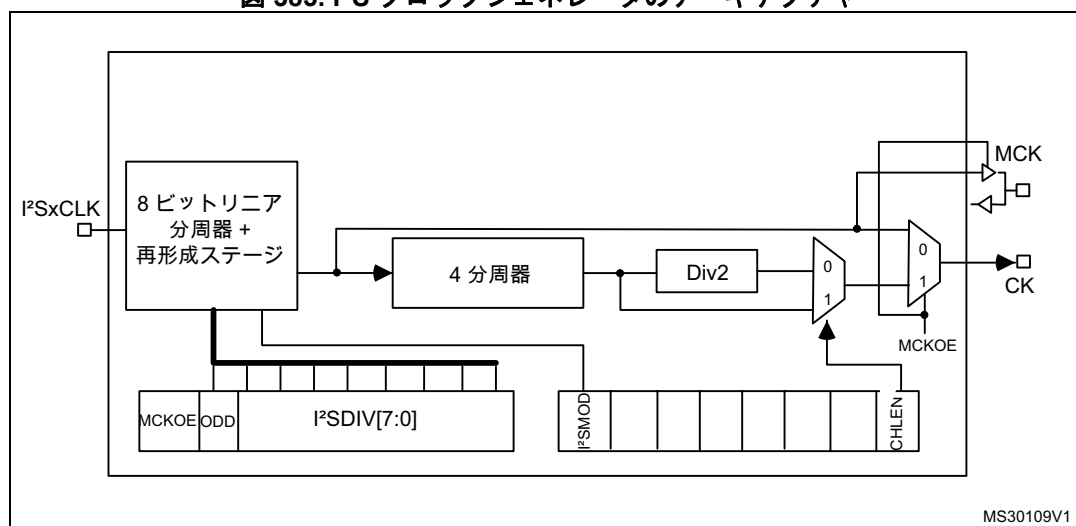
これは、パケット長が 32 ビットの場合、I²S ビットレート = 32 × 2 × f_s となります。

図 382. オーディオサンプリング周波数の定義



マスタモードが設定された場合、希望するオーディオ周波数で通信するために、特定の措置を講じてリニアディバイダを適切にプログラムする必要があります。

図 383. I²S クロックジェネレータのアーキテクチャ



1. x は 2 または 3 です。

図 383 に、通信クロックのアーキテクチャを示します。I2SxCLK クロックは、製品のリセットおよびクロックコントローラ (RCC) によって供給されます。I2SxCLK クロックは、SPI/I2S APB クロックに対して非同期です。

警告： さらに、I2SxCLK 周波数を SPI/I2S ブロックによって使用される APB クロック以上に保つ必要があります。この条件が満たされない場合、SPI/I2S は正しく動作しません。

オーディオサンプリング周波数の取り得る値は、192 kHz、96 kHz、48 kHz、44.1 kHz、32 kHz、22.05 kHz、16 kHz、11.025 kHz、8 kHz (またはその他のこの範囲内にある値)。

希望する周波数を達成するには、次の式に基づいてリニアディバイダをプログラムする必要があります。

I²S モードの場合：

マスタクロックが生成される (SPIx_I2SPR レジスタの MCKOE ビットがセットされる) 場合：

$$F_s = \frac{F_{I2SxCLK}}{256 \times ((2 \times I2SDIV) + ODD)}$$

マスタクロックが無効にされた場合 (MCKOE ビットをクリア)

$$F_s = \frac{F_{I2SxCLK}}{32 \times (CHLEN + 1) \times ((2 \times I2SDIV) + ODD)}$$

チャンネルフレームが 16 ビット幅のとき、CHLEN = 0

チャンネルフレームが 32 ビット幅のとき、CHLEN = 1

PCM モードの場合：

マスタクロックが生成される (SPIx_I2SPR レジスタの MCKOE ビットがセットされる) 場合：

$$F_s = \frac{F_{I2SxCLK}}{128 \times ((2 \times I2SDIV) + ODD)}$$

マスタクロックが無効にされた場合 (MCKOE ビットをクリア)

$$F_s = \frac{F_{I2SxCLK}}{16 \times (CHLEN + 1) \times ((2 \times I2SDIV) + ODD)}$$

チャンネルフレームが 16 ビット幅のとき、CHLEN = 0

チャンネルフレームが 32 ビット幅のとき、CHLEN = 1

ここで、 F_s はオーディオサンプリング周波数であり、 $F_{I2SxCLK}$ は SPI/I2S ブロックに供給されるカーネルクロックの周波数です。

注： I2SDIV は必ず 1 より高くなければなりません。

次の表に、さまざまなクロック設定に対する精度値の例を示します。

注：最適クロック精度を可能にするその他の設定も可能です。

表 257. HSE から導出した 48 MHz クロックによるオーディオ周波数精度⁽¹⁾

SYSCLK (MHz)	データ長	I2SDIV	I2SODD	MCLK	ターゲット fs (Hz)	実際の fs (kHz)	誤差
48	16	8	0	なし	96000	93750	2.3438%
48	32	4	0	なし	96000	93750	2.3438%
48	16	15	1	なし	48000	48387.0968	0.8065%
48	32	8	0	なし	48000	46875	2.3438%
48	16	17	0	なし	44100	44117.647	0.0400%
48	32	8	1	なし	44100	44117.647	0.0400%
48	16	23	1	なし	32000	31914.8936	0.2660%
48	32	11	1	なし	32000	32608.696	1.9022%
48	16	34	0	なし	22050	22058.8235	0.0400%
48	32	17	0	なし	22050	22058.8235	0.0400%
48	16	47	0	なし	16000	15957.4468	0.2660%
48	32	23	1	なし	16000	15957.447	0.2660%
48	16	68	0	なし	11025	11029.4118	0.0400%
48	32	34	0	なし	11025	11029.412	0.0400%
48	16	94	0	なし	8000	7978.7234	0.2660%
48	32	47	0	なし	8000	7978.7234	0.2660%
48	16	2	0	可能	48000	46875	2.3430%
48	32	2	0	可能	48000	46875	2.3430%
48	16	2	0	可能	44100	46875	6.2925%
48	32	2	0	可能	44100	46875	6.2925%
48	16	3	0	可能	32000	31250	2.3438%
48	32	3	0	可能	32000	31250	2.3438%
48	16	4	1	可能	22050	20833.333	5.5178%
48	32	4	1	可能	22050	20833.333	5.5178%
48	16	6	0	可能	16000	15625	2.3438%
48	32	6	0	可能	16000	15625	2.3438%
48	16	8	1	可能	11025	11029.4118	0.0400%
48	32	8	1	可能	11025	11029.4118	0.0400%
48	16	11	1	可能	8000	8152.17391	1.9022%
48	32	11	1	可能	8000	8152.17391	1.9022%

1. この表の値は、さまざまなクロック設定に対するほんの一例です。最適クロック精度を可能にするその他の設定も可能です。

37.7.5 I²S マスタモード

I²S はマスタモードで設定できます。つまり、シリアルクロックは、ワードセレクト信号 WS だけでなく、CK ピン上でも生成されます。マスタクロック (MCK) は、SPIx_I2SPR レジスタの MCKOE ビットで、出力するかしないかを制御できます。

手順

1. 適切なオーディオサンプリング周波数に到達するシリアルクロックポーレートを定義するため、SPIx_I2SPR レジスタの I2SDIV[7:0] ビットを選択します。SPIx_I2SPR レジスタの ODD ビットも定義する必要があります。
2. 通信クロックの一定したレベルを定義するために、CKPOL ビットを選択します。外部の DAC/ADC オーディオコンポーネントにマスタクロック MCK を供給する必要がある場合、SPIx_I2SPR レジスタの MCKOE ビットをセットします (I2SDIV と ODD の値は、MCK 出力の状態に応じて計算する必要があります。詳細については、[セクション 37.7.4: クロックジェネレータ](#)を参照)。
3. SPIx_I2SCFGR レジスタの I2SMOD ビットをセットして I²S 機能を有効にし、I2SSTD[1:0] と PCMSYNC ビットにより I²S 規格を、DATLEN[1:0] ビットによりデータ長を、CHLEN ビットを設定してチャンネルあたりのビット数を、それぞれ選択します。SPIx_I2SCFGR レジスタの I2SCFG[1:0] ビットにより I²S マスタモードと方向 (トランスミッタまたはレシーバ) も選択します。
4. 必要な場合は、SPIx_CR2 レジスタに書き込むことによって、可能性のあるすべての割り込みソースと DMA 機能を選択します。
5. SPIx_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

WS と CK は出力モードに設定されます。SPIx_I2SPR の MCKOE ビットがセットされている場合、MCK も出力です。

送信シーケンス

送信シーケンスは、Txバッファにハーフワードが書き込まれたときに開始されます。

Txバッファに書き込まれる最初のデータは、左チャンネルのデータに対応すると想定します。データが Txバッファからシフトレジスタに転送されると、TXE がセットされ、右チャンネルに対応するデータを Txバッファに書き込む必要があります。CHSIDE フラグは、どのチャンネルが送信されるかを示します。CHSIDE フラグは TXE がハイレベルになったときに更新されるため、このフラグは TXE フラグがセットされた場合に意味を持ちます。

完全なフレームとは、左チャンネルのデータ送信と、それに続く右チャンネルのデータ送信であるとみなす必要があります。左チャンネルのみが送信される部分的フレームは実現できません。

データハーフワードは、最初のビット送信時に 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、Txバッファからシフトレジスタへの毎回の転送後にセットされ、SPIx_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

選択された I²S 規格モードに応じた書込み動作の詳細については、[セクション 37.7.2: サポートされるオーディオプロトコル](#)を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPIx_DR レジスタに書きこむ必要があります。

I2SE をクリアすることによって I²S をスイッチオフするには、TXE = 1 および BSY = 0 になるまで待つ必要があります。

受信シーケンス

動作モードは、ポイント 3 を除いて、送信モードの場合と同じです（[セクション 37.7.5: I2S マスタモード](#)に示す手順を参照）。ポイント 3 では、I2SCFG[1:0] ビットを通じてマスタ受信モードを設定する必要があります。

データやチャンネルの長さに関係なく、オーディオデータは 16 ビットの packets によって受信されます。つまり、Rxバッファがフルになるたびに RXNE フラグがセットされ、SPIx_CR2 レジスタの RXNEIE ビットがセットされている場合は割込みが生成されます。データ長とチャンネル長の設定にもよりますが、Rxバッファへの 1 回または 2 回の受信によって、オーディオ値が右チャンネルまたは左チャンネルに受信されることがあります。

RXNE ビットは、SPIx_DR レジスタの読出しによってクリアされます。

CHSIDE は毎回の受信後に更新されます。CHSIDE は、I²S セルによって生成される WS 信号に反応します。

選択された I²S 規格モードに応じた読出し動作の詳細については、[セクション 37.7.2: サポートされるオーディオプロトコル](#)を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPIx_CR2 レジスタの ERRIE ビットがセットされている場合、割込みが生成されてエラーを知らせます。

I²S をスイッチオフするには、I²S が新しいデータ転送を開始することなく転送サイクルを適切に完了できるように、特定の動作が要求されます。そのシーケンスは、データ長とチャンネル長の設定、および選択したオーディオプロトコルモードに依存します。ケース別の説明

- 32 ビットチャンネル長に拡張された 16 ビットデータ長(DATLEN = 00、CHLEN = 1)、LSB 詰めモードを使用 (I2SSTD = 10)
 - a) 最後から 2 番目の RXNE = 1 (n - 1) を待ちます。
 - b) 次に I²S の 17 クロックサイクルを待ちます (ソフトウェアループを使用)。
 - c) I²S を無効にします (I2SE = 0)。
- 32 ビットチャンネル長に拡張された 16 ビットデータ長(DATLEN = 00 および CHLEN = 1)、MSB 詰め、I²S または PCM モード (それぞれ、I2SSTD = 00、I2SSTD = 01、または I2SSTD = 11)
 - a) 最後の RXNE を待ちます。
 - b) 次に I²S の 1 クロックサイクルを待ちます (ソフトウェアループを使用)。
 - c) I²S を無効にします (I2SE = 0)。
- DATLEN と CHLEN のその他すべての組み合わせについては、I2SSTD ビットを通じて選択したオーディオモードが何であれ、次のシーケンスを実行して I²S をスイッチオフします。
 - a) 最後から 2 番目の RXNE = 1 (n - 1) を待ちます。
 - b) 次に I²S の 1 クロックサイクルを待ちます (ソフトウェアループを使用)。
 - c) I²S を無効にします (I2SE = 0)。

注： 転送時、BSY フラグはローレベルに保持されます。

37.7.6 I²S スレーブモード

スレーブ設定の場合、I²S は送信または受信モードに設定できます。動作モードは、主として I²S マスタ設定に関して述べたものと同じ規則に従います。スレーブモードでは、I²S インタフェースによって生成されるクロックはありません。クロックと WS 信号は、I²S インタフェースに接続された外部マスタから入力されます。したがって、ユーザがクロックを設定する必要はありません。

設定ステップを次に示します。

1. SPIx_I2SCFGR レジスタの I2SMOD ビットをセットして I²S モードを選択し、I2SSTD[1:0] ビットにより I²S 規格を、DATLEN[1:0] ビットによりデータ長を、CHLEN ビットを設定してフレームのチャンネルあたりのビット数を、それぞれ選択します。SPIx_I2SCFGR レジスタの I2SCFG[1:0] ビットにより、スレーブのモード（送信または受信）も選択します。
2. 必要な場合は、SPIx_CR2 レジスタに書き込むことによって、可能性のあるすべての割り込みソースと DMA 機能を選択します。
3. SPIx_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

送信シーケンス

送信シーケンスは、外部マスタデバイスがクロックを送信したときと、NSS_WS 信号がデータの転送を要求したときに開始されます。スレーブを有効にしなければ、外部マスタは通信を開始しません。I²S データレジスタにロードしなければ、マスタは通信を開始しません。

I²S、MSB 詰め、および LSB 詰めモードの場合、データレジスタに書き込まれる最初のデータは、左チャンネルのデータに対応します。通信が開始されると、データはTxバッファからシフトレジスタに転送されます。次に、右チャンネルのデータを I²S データレジスタに書き込むように要求するために、TXE フラグがセットされます。

CHSIDE フラグは、どのチャンネルが送信されるかを示します。スレーブモードでは、マスタ送信モードに比べて、CHSIDE は外部マスタからの WS 信号に反応します。つまり、スレーブが最初のデータの送信準備をしなければ、マスタはクロックを生成できません。WS アサーションは、最初に送信される左チャンネルに対応します。

注： I2SE は、マスタの最初のクロックが CK ラインに到達するよりも、少なくとも 2 PCLK サイクル前に書き込まれる必要があります。

データハーフワードは、最初のビット送信時に内部バスから 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、Txバッファからシフトレジスタへの毎回の転送後にセットされ、SPIx_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

なお、Txバッファへの書き込みの前に、TXE フラグが 1 であることを確認する必要があります。

選択された I²S 規格モードに応じた書き込み動作の詳細については、[セクション 37.7.2: サポートされるオーディオプロトコル](#)を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPIx_DR レジスタに書きこむ必要があります。次のデータ通信の最初のクロックエッジよりも前にデータが SPIx_DR レジスタに書き込まれない場合、アンダーランフラグがセットされ、割り込みが生成されることがあります。これによって、転送データに誤りがあることがソフトウェアに知らされます。SPIx_CR2 レジスタの ERRIE ビットがセットされた場合、SPIx_SR レジスタの UDR フラグがハイレベルになると割り込みが生成されます。この場合、I²S をスイッチオフし、左チャンネルからデータ転送をリスタートする必要があります。

I2SE ビットをクリアすることによって I²S をスイッチオフするには、TXE = 1 および BSY = 0 になるまで待つ必要があります。

受信シーケンス

動作モードは、ポイント 1 を除いて、送信モードの場合と同じです（[セクション 37.7.6: I2S スレーブモード](#)に示す手順を参照）。ポイント 1 では、SPIx_I2SCFGR レジスタの I2SCFG[1:0] ビットを通じてマスタ受信モードを設定する必要があります。

データやチャンネルの長さに関係なく、オーディオデータは 16 ビットの packets によって受信されます。つまり、RXバッファがフルになるたびに SPIx_SR レジスタの RXNE フラグがセットされ、SPIx_CR2 レジスタの RXNEIE ビットがセットされている場合は割込みが生成されます。データ長とチャンネル長の設定にもよりますが、RXバッファへの 1 回または 2 回の受信によって、オーディオ値が右チャンネルまたは左チャンネルに受信されることがあります。

CHSIDE フラグは、SPIx_DR レジスタから読み出されるデータが受信されるたびに更新されます。このフラグは、外部マスタコンポーネントによって管理される外部 WS ラインに反応します。

RXNE ビットは、SPIx_DR レジスタの読出しによってクリアされます。

選択された I²S 規格モードに応じた読出し動作の詳細については、[セクション 37.7.2: サポートされるオーディオプロトコル](#)を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPIx_CR2 レジスタの ERRIE ビットがセットされた場合、エラーを示すために割込みが生成されます。

受信モードで I²S をスイッチオフするには、最後の RXNE = 1 を受信した直後に I2SE をクリアする必要があります。

注： 外部マスタコンポーネントには、オーディオチャンネルを介して 16 ビットまたは 32 ビットの packets でデータを送受信する機能が必要です。

37.7.7 I²S ステータスフラグ

アプリケーションが I²S バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

ビジーフラグ (BSY)

BSY フラグは、ハードウェアによってセット/クリアされます（このフラグへの書込みは無効）。このフラグは I²S の通信層の状態を示します。

BSY がセットされると、I²S が通信中でビジーであることを示します。マスタ受信モード (I2SCFG=11) には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが I²S を無効にする必要がある場合、BSY フラグは転送の終わりを検出するために役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳守する必要があります。

BSY フラグは転送が開始されるとセットされます。ただし、I²S がマスタ受信モードにある場合を除きます。

BSY フラグをクリアするタイミング

- 転送が完了したとき（ただし、通信が連続的だと思われるマスタ送信モードの場合を除く）
- I²S が無効にされたとき

通信が連続的な場合

- マスタ送信モードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で I²S の 1 クロックサイクルの間ローレベルになります。

注： 各データの送受信の処理には BSY フラグを使用しないでください。代わりに、TXE フラグと RXNE フラグを使用することをお勧めします。

Tx バッファエンプティフラグ (TXE)

このフラグがセットされると、Txバッファはエンプティ（空）であり、次に送信するデータをバッファにロードできることを示します。送信されるデータがすでにTxバッファに格納されているとき、TXE フラグはリセットされます。TXE フラグは、I²S が無効にされている (I2SE ビットがリセット) ときにもリセットされます。

RXバッファノットエンプティ (RXNE)

このフラグがセットされると、RXバッファに有効な受信データがあることを示します。このフラグは、SPIx_DR レジスタが読み出されるとリセットされます。

チャンネルサイドフラグ (CHSIDE)

送信モードでは、このフラグは TXE がハイレベルになるとリフレッシュされます。このフラグは、SD 上の転送データが属するチャンネルサイドを示します。スレーブ送信モードでアンダーランエラーイベントが発生した場合、このフラグは信頼できないため、通信を再開する前に、I²S をスイッチオフし、さらにスイッチオンする必要があります。

受信モードでは、このフラグは SPIx_DR にデータが受信されるとリフレッシュされます。このフラグは、どちらのチャンネルサイドからデータが受信されたかを示します。なお、エラー (OVR など) が発生した場合、このフラグは無意味になるため、I²S を無効にし、さらに有効にすることによってリセットする必要があります (変更が必要な場合は設定します)。

このフラグは、PCM 規格では意味を持ちません (ショートとロングフレームの両モード)。

SPIx_SR の OVR または UDR フラグがセットされ、SPIx_CR2 の ERRIE ビットもセットされると、割込みが生成されます。この割込みをクリアするには、割込みソースをいったんクリアした後で、SPIx_SR ステータスレジスタを読み出します。

37.7.8 I²S エラーフラグ

I²S には 3つのエラーフラグがあります。

アンダーランフラグ (UDR)

スレーブ送信モードでは、ソフトウェアが SPIx_DR にまだ値をロードしていない間に、データ送信用の最初のクロックが現われると、このフラグがセットされます。このフラグは、SPIx_I2SCFGR レジスタの I2SMOD ビットがセットされると使用できます。SPIx_CR2 レジスタの ERRIE ビットがセットされている場合は、割込みを生成できます。

UDR ビットは、SPIx_SR レジスタの読出し動作によってクリアされます。

オーバーランフラグ (OVR)

このフラグがセットされるのは、データが受信され、前のデータが SPIx_DR レジスタからまだ読み出されていないときです。結果として、受信データは失われます。SPIx_CR2 の ERRIE ビットがセットされている場合、割込みが生成されることがあります。

この場合、受信バッファの内容は、送信側のデバイスからの新しい受信データによって更新されません。SPIx_DR レジスタへの読出し動作によって、前に正しく受信されたデータが返されます。それ以降に送信されたすべてのハーフワードは失われます。

OVR ビットをクリアするには、SPIx_DR レジスタを読み出し、続けて SPIx_SR レジスタに読出しアクセスを行います。

フレームエラーフラグ (FRE)

このフラグは、I²S がスレーブモードに設定された場合にのみハードウェアによってセットすることができます。このフラグは、スレーブが WS ラインの変化を想定していないときに外部マスタが WS ラインを変化させようとしている場合にセットされます。同期が失われた場合、この状態から回復し、外部マスタデバイスと I²S スレーブデバイスを再同期させるためには、次のステップに従います。

1. I²S を無効化します。
2. 正しいレベルが WS ラインで検出されたとき (WS ラインは I²S モードではハイレベル、MSB 詰めまたは LSB 詰めあるいは PCM モードではローレベル)、再度有効にします。

マスタデバイスとスレーブデバイス間の同期外れは、CK 通信クロック上または WS フレーム同期ライン上のノイズの多い環境に起因する可能性があります。ERRIE ビットをセットすれば、エラー割込みを生成させることができます。同期外れフラグ (FRE) は、ステータスレジスタを読み出すときに、ソフトウェアでクリアされます。

37.7.9 DMA の機能

I²S モードでは、DMA は SPI モードとまったく同じように機能します。異なる点は、I²S モードではデータ転送保護システムがないため、CRC 機能を使用できない点のみです。

37.8 I²S 割込み

表 258 に I²S 割込みのリストを示します。

表 258. I²S 割込みリクエスト

割込みイベント	イベントフラグ	有効制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
オーバーランエラー	OVR	ERRIE
アンダーランエラー	UDR	
フレームエラーフラグ	FRE	

37.9 SPI および I²S レジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。さらに、SPI_DR へは 8 ビット単位でアクセスできます。

37.9.1 SPI 制御レジスタ 1 (SPIx_CR1)

アドレス・オフセット : 0x00

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDI MODE	BIDIOE	CRC EN	CRCNE XT	CRCL	RX ONLY	SSM	SSI	LSB FIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 15 **BIDIMODE** : 双方向データモードイネーブル。

このビットは、共通の双方向データラインを 1 本使用して、半二重通信を有効にします。双方向モードがアクティブのときは、RXONLY ビットをクリアされたままにします。

0 : 2 線単方向データモードを選択します。

1 : 1 線双方向データモードを選択します。

注 : このビットは I²S モードでは使用しません。

ビット 14 **BIDIOE** : 双方向モードでの出力イネーブル

双方向モードでの転送方向は、このビットと BIDIMODE ビットを組み合わせで選択します。

0 : 出力は無効です (受信専用モード)。

1 : 出力は有効です (送信専用モード)。

注 : マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。

このビットは I²S モードでは使用しません。

ビット 13 **CRCEN** : ハードウェア CRC 計算イネーブル

0 : CRC 計算は無効です。

1 : CRC 計算は有効です。

注 : 正しい動作のためには、このビットへの書き込みは、SPI が無効 (SPE = 0) のときにのみ行います。

このビットは I²S モードでは使用しません。

ビット 12 **CRCNEXT** : 送信 CRC Next

0 : 次の送信値は Tx バッファから送信されます。

1 : 次の送信値は Tx CRC レジスタから送信されます。

注 : このビットは、最後のデータが SPIx_DR レジスタに書き込まれた直後に書き込む必要があります。

このビットは I²S モードでは使用しません。

ビット 11 **CRCL** : CRC 長

このビットは、CRC 長をセットするために、ソフトウェアによってセット/クリアされます。

0 : 8 ビットの CRC 長

1 : 16 ビットの CRC 長

注 : 正しい動作のためには、このビットへの書き込みは、SPI が無効 (SPE = 0) のときにのみ行います。

このビットは I²S モードでは使用しません。

ビット 10 **RXONLY** : 受信専用モードイネーブル

このビットは、データ受信専用の単方向ラインを 1 本使用して、単方向通信を有効にします。受信専用モードがアクティブのときは、**BIDIMODE** ビットをクリアされたままにします。このビットはマルチスレーブシステムでも役立ちます。そのシステムでは、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

0 : 全二重 (送受信)

1 : 出力は無効です (受信専用モード)。

注 : このビットは **I²S** モードでは使用しません。

ビット 9 **SSM** : ソフトウェアスレーブ管理

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値に置き換えられます。

0 : ソフトウェアスレーブ管理は無効です。

1 : ソフトウェアスレーブ管理は有効です。

注 : このビットは **I²S** モードおよび **SPI TI** モードでは使用しません。

ビット 8 **SSI** : 内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は強制的に NSS ピンに設定され、NSS ピンの I/O 値は無視されます。

注 : このビットは **I²S** モードおよび **SPI TI** モードでは使用しません。

ビット 7 **LSBFIRST** : フレームフォーマット

0 : データは MSB から先に送信/受信されます。

1 : データは LSB から先に送信/受信されます。

注 : 1.このビットは、通信中には変更しないでください。

2.このビットは **I²S** モードおよび **SPI TI** モードでは使用しません。

ビット 6 **SPE** : SPI 有効化

0 : ペリフェラルは無効です。

1 : ペリフェラルは有効です。

注 : SPI を無効にするときは、[1268 ページの SPI を無効にする手順](#)に記載されている手順に従ってください。

このビットは **I²S** モードでは使用しません。

ビット 5:3 **BR[2:0]** : ポーレート制御

000 : $f_{PCLK}/2$

001 : $f_{PCLK}/4$

010 : $f_{PCLK}/8$

011 : $f_{PCLK}/16$

100 : $f_{PCLK}/32$

101 : $f_{PCLK}/64$

110 : $f_{PCLK}/128$

111 : $f_{PCLK}/256$

注 : これらのビットは、通信中には変更しないでください。

これらのビットは **I²S** モードでは使用されません。

ビット 2 **MSTR** : マスタ選択

0 : スレーブ設定

1 : マスタ設定

注 : このビットは、通信中には変更しないでください。

このビットは **I²S** モードでは使用しません。

ビット 1 CPOL : クロック極性

0 : アイドル時に CK は 0 となります。

1 : アイドル時に CK は 1 となります。

注 : このビットは、通信中には変更しないでください。

このビットは、CRC が TI モードで適用される場合を除き、I²S モードおよび SPI TI モードでは使用されません。

ビット 0 CPHA : クロック位相

0 : 最初のクロック遷移が最初のデータキャプチャエッジです。

1 : 2 番目のクロック遷移が最初のデータキャプチャエッジです。

注 : このビットは、通信中には変更しないでください。

このビットは、CRC が TI モードで適用される場合を除き、I²S モードおよび SPI TI モードでは使用されません。

37.9.2 SPI 制御レジスタ 2 (SPIx_CR2)

アドレス・オフセット : 0x04

リセット値 : 0x0700

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]				TXEIE	RXNEIE	ERRIE	FRF	NSSP	SSOE	TXDMAEN	RXDMAEN
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 LDMA_TX : 送信の最後の DMA 転送

このビットは、DMA で送信するデータの合計数が奇数であるか偶数であるかを定義するために、データパッキングモードで使用されます。これは、SPIx_CR2 レジスタの TXDMAEN ビットがセットされている場合で、パッキングモードが使用されている場合にのみ意味を持ちます (データ長 = < 8 ビット、SPIx_DR への書き込みアクセスは 16 ビット幅)。SPI が無効化された場合に書き込む必要があります (SPIx_CR1 レジスタで SPE = 0)。

0 : 転送データ項目の数は偶数です。

1 : 転送データ項目の数は奇数です。

注 : CRGEN ビットがセットされている場合、[1268 ページの SPI を無効にする手順](#)を参照してください。このビットは I²S モードでは使用しません。

ビット 13 LDMA_RX : 受信の最後の DMA 転送

このビットは、DMA で受信するデータの合計数が奇数であるか偶数であるかを定義するために、データパッキングモードで使用されます。これは、SPIx_CR2 レジスタの RXDMAEN ビットがセットされている場合で、パッキングモードが使用されている場合にのみ意味を持ちます (データ長 = < 8 ビット、SPIx_DR への書き込みアクセスは 16 ビット幅)。SPI が無効化された場合に書き込む必要があります (SPIx_CR1 レジスタで SPE = 0)。

0 : 転送データ項目の数は偶数です。

1 : 転送データ項目の数は奇数です。

注 : CRGEN ビットがセットされている場合、[1268 ページの SPI を無効にする手順](#)を参照してください。このビットは I²S モードでは使用しません。

ビット 12 FRXTH : FIFO 受信閾値

このビットは、RXNE イベントをトリガする RXFIFO の閾値をセットするために使用されます。

0 : FIFO レベルが 1/2 (16 ビット) 以上である場合に RXNE イベントが生成されます。

1 : FIFO レベルが 1/4 (8 ビット) 以上である場合に RXNE イベントが生成されます。

注 : このビットは I²S モードでは使用しません。

ビット 11:8 **DS[3:0]** : データサイズ

以下のビットは SPI 転送のデータ長を設定します。

- 0000 : 未使用
- 0001 : 未使用
- 0010 : 未使用
- 0011 : 4 ビット
- 0100 : 5 ビット
- 0101 : 6 ビット
- 0110 : 7 ビット
- 0111 : 8 ビット
- 1000 : 9 ビット
- 1001 : 10 ビット
- 1010 : 11 ビット
- 1011 : 12 ビット
- 1100 : 13 ビット
- 1101 : 14 ビット
- 1110 : 15 ビット
- 1111 : 16 ビット

ソフトウェアが「未使用」値のいずれかの書込みを試みた場合、値は強制的に「0111」になります (8 ビット)

注 : これらのビットは I²S モードでは使用されません。

ビット 7 **TXEIE** : Txバッファエンプティ割込みイネーブル

0 : TXE 割込みはマスクされます。

1 : TXE 割込みはマスクされません。TXE フラグがセットされたとき、割込みリクエストの生成に使用されます。

ビット 6 **RXNEIE** : RXバッファノットエンプティ割込みイネーブル

0 : RXNE 割込みはマスクされます。

1 : RXNE 割込みはマスクされません。RXNE フラグがセットされたとき、割込みリクエストの生成に使用されます。

ビット 5 **ERRIE** : エラー割込み有効化

このビットは、エラー状態が発生したとき (SPI モードでは CRCERR、OVR、MODF ; TI モードでは FRE ; I²S モードでは UDR、OVR、FRE)、割込みの生成を制御します。

0 : エラー割込みはマスクされます。

1 : エラー割込みは有効です。

ビット 4 **FRF** : フレームフォーマット

0 : SPI モトローラモード

1 : SPI TI モード

注 : このビットは、SPI が無効 (SPE=0) のときにのみ書き込む必要があります。

このビットは I²S モードでは使用しません。

ビット 3 **NSSP** : NSS パルス管理

このビットは、マスタモードでのみ使用されます。これにより、SPI は連続転送中に 2 つの連続したデータ間で NSS パルスを生成できます。単一のデータ転送の場合、転送後、NSS ピンは強制的にハイレベルになります。

CPHA = '1' の場合も FRF = '1' の場合も意味を持ちません。

0 : NSS パルスなし

1 : NSS パルス発生回路

注 : 1.このビットは、SPI が無効 (SPE=0) のときにのみ書き込む必要があります。

2.このビットは I²S モードおよび SPI TI モードでは使用しません。

ビット 2 **SSOE** : SS 出力有効

- 0 : マスタモードで SS 出力は無効にされ、SPI インタフェースはマルチマスタ設定で機能できます。
- 1 : SPI インタフェースが有効であるとき、マスタモードで SS 出力は有効です。SPI インタフェースはマルチマスタ環境では機能できません。

注 : このビットは I²S モードおよび SPI TI モードでは使用しません。

ビット 1 **TXDMAEN** : Txバッファ DMA イネーブル

- このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが生成されます。
- 0 : Txバッファ DMA は無効です。
- 1 : Txバッファ DMA は有効です。

ビット 0 **RXDMAEN** : Rxバッファ DMA イネーブル

- このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが生成されます。
- 0 : Rxバッファ DMA は無効です。
- 1 : Rxバッファ DMA は有効です。

37.9.3 SPI ステータスレジスタ (SPIx_SR)

アドレス・オフセット : 0x08

リセット値 : 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	FTLVL[1:0]		FRLVL[1:0]		FRE	BSY	OVR	MODF	CRCERR	UDR	CHSIDE	TXE	RXNE
			r	r	r	r	r	r	r	r	rc_w0	r	r	r	r

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:11 **FTLVL[1:0]** : FIFO 送信レベル

- これらのビットは、ハードウェアによってセット/クリアされます。
- 00 : FIFO エンプティ
- 01 : 1/4 FIFO
- 10 : 1/2 FIFO
- 11 : FIFO フル (FIFO 閾値が 1/2 より大きい場合、FULL とみなす)

注 : このビットは I²S モードでは使用しません。

ビット 10:9 **FRLVL[1:0]** : FIFO 受信レベル

- これらのビットは、ハードウェアによってセット/クリアされます。
- 00 : FIFO エンプティ
- 01 : 1/4 FIFO
- 10 : 1/2 FIFO
- 11 : FIFO フル

注 : これらのビットは、CRC 計算が有効なときは I²S モードや SPI 受信専用モードでは使用されません。

ビット 8 **FRE** : フレームフォーマットエラー

- このフラグは、TI スレーブモードと I²S スレーブモードの SPI で使用されます。[セクション 37.5.11: SPI エラーフラグ](#)および[セクション 37.7.8: I2S エラーフラグ](#)を参照してください。
- このフラグは、ハードウェアによってセットされ、SPIx_SR がソフトウェアによって読み出されるとリセットされます。
- 0 : フレームフォーマットエラーはありません。
- 1 : フレームフォーマットエラーが発生しました。

ビット 7 **BSY** : ビジーフラグ

0 : SPI (または I²S) はビジー状態ではありません。

1 : SPI (または I²S) が通信ビジー状態であるか、または Tx バッファが空ではありません。

このフラグはハードウェアによってセット/クリアされます。

注 : **BSY フラグを使用する際は注意が必要です。セクション 37.5.10: SPI ステータスフラグおよび 1268 ページのSPI を無効にする手順を参照してください。**

ビット 6 **OVR** : オーバーランフラグ

0 : オーバーランは発生していません。

1 : オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、1301 ページのI2S エラーフラグを参照してください。

ビット 5 **MODF** : モードフォールト

0 : モードフォールトは発生していません。

1 : モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、1278 ページのセクション : モードフォールト (MODF) を参照してください。

注 : **このビットは I²S モードでは使用しません。**

ビット 4 **CRCERR** : CRC エラーフラグ

0 : 受信した CRC 値が SPIx_RXCRCR 値と一致します。

1 : 受信した CRC 値が SPIx_RXCRCR 値と一致しません。

注 : **このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。**

このビットは I²S モードでは使用しません。

ビット 3 **UDR** : アンダーランフラグ

0 : アンダーランは発生していません。

1 : アンダーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、1301 ページのI2S エラーフラグを参照してください。

注 : **このビットは SPI モードでは使用しません。**

ビット 2 **CHSIDE** : チャネルサイド

0 : 左チャネルを送信する必要があるか、または受信が行われました。

1 : 右チャネルを送信する必要があるか、または受信が行われました。

注 : **このビットは SPI モードでは使用しません。PCM モードでは意味を持ちません。**

ビット 1 **TXE** : 送信バッファエンプティ

0 : Tx バッファは空ではありません。

1 : Tx バッファは空です。

ビット 0 **RXNE** : 受信バッファノットエンプティ

0 : Rx バッファは空です。

1 : Rx バッファは空ではありません。

37.9.4 SPI データレジスタ (SPIx_DR)

アドレス・オフセット : 0x0C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DR[15:0]** : データレジスタ

受信したデータまたは送信されるデータ

このデータレジスタは、Rx および Tx FIFO 間のインタフェースとして使用できます。データレジスタが読み出されると、データレジスタへの書き込みが TxFIFO にアクセスしている間に、RxFIFO にアクセスされます ([セクション 37.5.9: データの送受信手順](#)を参照)。

注 : データは常に右詰めです。未使用のビットは、レジスタへの書き込み時に無視され、レジスタの読み出し時にゼロとして読み出されます。Rx 閾値設定は、常に現在使用中の読み出しアクセスに対応している必要があります。

37.9.5 SPI CRC 多項式レジスタ (SPIx_CRCPR)

アドレス・オフセット : 0x10

リセット値 : 0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CRCPOLY[15:0]** : CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を格納します。

CRC 多項式 (0x0007) は、このレジスタのリセット値です。必要に応じて、別の多項式を設定することができます。

注 : 多項式の値は必ず奇数でなければなりません。偶数の値はサポートされていません。

37.9.6 SPI Rx CRC レジスタ (SPIx_RXCRCR)

アドレス・オフセット : 0x14

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RXCRC[15:0]** : Rx CRC レジスタ

CRC 計算が有効なとき、RXCRC[15:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPIx_CR1 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPIx_CRCPR レジスタにプログラムされた多項式を使用して連続的に計算されます。

CRC フレームフォーマットが 8 ビット長に設定された場合 (SPIx_CR1 の CRCL ビットがクリアされている)、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビット CRC フレームフォーマットが選択された場合 (SPIx_CR1 レジスタの CRCL ビットがセットされている)、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注: BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

これらのビットは I²S モードでは使用されません。

37.9.7 SPI Tx CRC レジスタ (SPIx_TXCRCR)

アドレス・オフセット : 0x18

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **TXCRC[15:0]** : Tx CRC レジスタ

CRC 計算が有効なとき、TXCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPIx_CR1 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPIx_CRCPR レジスタにプログラムされた多項式を使用して連続的に計算されます。CRC フレームフォーマットが 8 ビット長に設定された場合 (SPIx_CR1 の CRCL ビットがクリアされている)、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビット CRC フレームフォーマットが選択された場合 (SPIx_CR1 レジスタの CRCL ビットがセットされている)、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注: BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

これらのビットは I²S モードでは使用されません。

37.9.8 SPIx_I2S 設定レジスタ (SPIx_I2SCFGR)

アドレス・オフセット : 0x1C

リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	ASTRTEN	I2SMOD	I2SE	I2SCFG [1:0]		PCMSYNC	Res.	I2SSTD [1:0]		CKPOL	DATLEN[1:0]		CHLEN
			r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w	r/w

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **ASTRTEN** : 非同期開始イネーブル

0 : 非同期開始は無効です。

I²S がスレーブモードで有効な場合、ハードウェアは I²S クロックを受信し、WS 信号で適切な遷移を検出すると、転送を開始します。

1 : 非同期開始は有効です。

I²S がスレーブモードで有効な場合、ハードウェアは I²S クロックを受信し、WS 信号で適切なレベルを検出すると、転送を開始します。

注 : WS 信号での適切な遷移は、I²S フィリップス規格が使用されている場合は立ち下がリエッジ、それ以外の規格の場合は立ち上がりエッジです。

WS 信号での適切なレベルは、I²S フィリップス規格が使用されている場合はローレベル、それ以外の規格の場合はハイレベルです。

詳細については、[セクション 37.7.3: 起動に関する説明](#)を参照してください。

ビット 11 **I2SMOD** : I²S モード選択

0 : SPI モードが選択されます。

1 : I²S モードが選択されます。

注 : このビットは SPI が無効なときに設定してください。

ビット 10 **I2SE** : I²S 有効化

0 : I²S ペリフェラルは無効です。

1 : I²S ペリフェラルは有効です。

注 : このビットは SPI モードでは使用しません。

ビット 9:8 **I2SCFG[1:0]** : I²S 設定モード

00 : スレーブ - 送信

01 : スレーブ - 受信

10 : マスタ - 送信

11 : マスタ - 受信

注 : これらのビットは、I²S が無効なときに設定してください。

これらは SPI モードでは使用しません。

ビット 7 **PCMSYNC** : PCM フレーム同期

0 : ショートフレーム同期

1 : ロングフレーム同期

注 : このビットは、I2SSTD = 11 (PCM 規格使用) の場合にのみ意味を持ちます。

SPI モードでは使用しません。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **I2SSTD[1:0]** : I²S 規格選択

- 00 : フィリップス I²S 規格
- 01 : MSB 詰め規格 (左詰め)
- 10 : LSB 詰め規格 (右詰め)
- 11 : PCM 規格

I²S 規格に関する詳細は、[1285 ページのセクション 37.7.2](#) を参照してください。

注： 正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。
これらは SPI モードでは使用しません。

ビット 3 **CKPOL** : インアクティブ状態のクロック極性

- 0 : I²S クロックのインアクティブ状態はローレベルです。
- 1 : I²S クロックのインアクティブ状態はハイレベルです。

注： 正しい動作のためには、このビットは、I²S が無効のときに設定してください。
SPI モードでは使用しません。

CKPOL ビットは、SD 信号および WS 信号を受信または送信するために使用される CK エッジ感度には影響を与えません。

ビット 2:1 **DATLEN[1:0]** : 転送されるデータ長

- 00 : 16 ビットデータ長
- 01 : 24 ビットデータ長
- 10 : 32 ビットデータ長
- 11 : 設定禁止

注： 正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。
これらは SPI モードでは使用しません。

ビット 0 **CHLEN** : チャネル長 (オーディオチャンネルごとのビット数)

- 0 : 16 ビット幅
- 1 : 32 ビット幅

ビット書き込み動作は、DATLEN=00 のときのみ意味を持ちます。そうでない場合、書き込まれた値とは無関係に、チャネル長はハードウェアによって 32 ビットに固定されます。

注： 正しい動作のためには、このビットは、I²S が無効のときに設定してください。
SPI モードでは使用しません。

37.9.9 SPIx_I2S プリスケーラレジスタ (SPIx_I2SPR)

アドレス・オフセット : 0x20

リセット値 : 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	MCKOE	ODD	I2SDIV [7:0]							
						rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **MCKOE** : マスタクロック出カインエーブル

0 : マスタクロック出力は無効です。

1 : マスタクロック出力は有効です。

注 : このビットは I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。

SPI モードでは使用しません。

ビット 8 **ODD** : プリスケーラの奇数分周比

0 : 真の分周値 = I2SDIV * 2

1 : 真の分周値 = (I2SDIV * 2) + 1

[1292 ページのセクション 37.7.3](#) を参照してください。

注 : このビットは I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。

SPI モードでは使用しません。

ビット 7:0 **I2SDIV[7:0]** : I²S リニアプリスケーラ

I2SDIV [7:0] = 0 または I2SDIV [7:0] = 1 は禁止されている値です。

[1292 ページのセクション 37.7.3](#) を参照してください。

注 : これらのビットは、I²S が無効なときに設定してください。これらのビットは、I²S がマスタモードのときにのみ使用されます。

これらは SPI モードでは使用しません。

37.9.10 SPI/I2S レジスタマップ

表 259 に、SPI/I2S レジスタマップとリセット値を示します。

表 259. SPI/I2S レジスタマップとリセット値

オフ	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SPIx_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BIDMODE	BIDIOE	CRCE	CRCEXT	CRCL	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	SPIx_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]			TXEIE	RXNEIE	ERRIE	FRF	NSSP	SFOE	TXDMAEN	RXDMAEN	
	リセット値																		0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
0x08	SPIx_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FTLV[1:0]	FRLV[1:0]		FRE	BSY	OVR	MODF	CRCE	UDR	CHSIDE	TXE	RXNE	
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	1	0
0x0C	SPIx_DR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0x10	SPIx_CRCPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																															1	1
0x14	SPIx_RXCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0x18	SPIx_TXCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0x1C	SPIx_I2SCFGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ASTRTEN	I2SMOD	I2SE	I2SCFG [1:0]		PCMSSYNC	Res.	I2SSTD		CKPOL	DATLEN[1:0]		CHLEN
	リセット値																				0	0	0	0	0	0		0	0	0	0	0	0
0x20	SPIx_I2SPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCKOE	ODD	I2SDIV [7:0]								
	リセット値																							0	0	0	0	0	0	0	0	0	1

レジスタ境界アドレスについては、72 ページのセクション 2.6 を参照してください。

38 デバッグサポート (DBG)

38.1 DBG の概要と主な機能

以下に示すデバッグの機能を統合させたもので、ソフトウェア開発およびシステムインテグレーションをサポートするために提供されます。

- システムの各 CPU コアの独立したブレークポイントによるデバッグ
- コード実行トレース
- ソフトウェア計測
- クロストリガ

デバッグ機能は JTAG/シリアルワイヤデバッグ用のアクセスポートを介し、業界標準のデバッグツールを使用して制御することができます。トレース用のポートを使用すると、ログおよび分析のためにデータをキャプチャすることができます。

デバッグ機能は Arm CoreSight™ コンポーネントに基づいています。

- 標準機能：
 - SWJ-DP : JTAG/シリアルワイヤデバッグポート
 - AHB-AP : AHB アクセスポート
- CPU1 のデバッグ機能
 - ROM テーブル (セクション 38.8 を参照)
 - システム制御空間 (SCS)
 - ブレークポイントユニット (FPB) (セクション 38.9 を参照)
 - データウォッチポイントおよびトレースユニット (DWT) (セクション 38.6 を参照)
 - 計装トレースマクロセル (ITM) (セクション 38.10 を参照)
 - トレースポートインタフェースユニット (TPIU) (セクション 38.11 を参照)
 - クロストリガインタフェース (CTI) (セクション 38.7 を参照)
- CPU2 のデバッグ機能：
 - ROM テーブル (セクション 38.13 を参照)
 - システム制御空間 (SCS)
 - ブレークポイントユニット (BPU) (セクション 38.14 を参照)
 - データウォッチポイントおよびトレースユニット (DWT) (セクション 38.6 を参照)
 - クロストリガインタフェース (CTI) (セクション 38.7 を参照)

CPU1 のデバッグ機能には、デバッガによって CPU1 の AHB-AP 経由でアクセスできます。

CPU2 のデバッグ機能には、CPU2 の AHB-AP およびその関連の AHB バスを經由してデバッガからアクセスできます。

追加情報はセクション 38.15に掲載されている Arm® の資料をご覧ください。

デバイスレベルのデバッグ機能は、CPU1 によってのみアクセスできる DBGMCU (セクション 38.12 を参照) で制御されます。

38.2 DBG の使用事例

トレース・デバッグシステムは、さまざまな典型的な使用例に対応するように設計されています。

- **安価なトレース**

シングルワイヤデバッグの出力では、トレース機能の利用に制限があります。この機能は、*printf* を使用したコード実装、データやアドレスのウォッチポイントのトレース、割込み検出、およびプログラムカウンタのサンプリングをサポートします。シングルワイヤトレースは、1つまたは両方のプロセッサが電源オフまたはクロック停止している場合でも維持できます。

- **各コア独立のブレークポイントによるデバッグ**

両方のプロセッサコアは、JTAG/SWD デバッグポートに接続された機器を使用して同時にかつ独立してデバッグできます。これにより、なかでもブレークポイントとウォッチポイントの設定、コードのステップ実行、メモリアクセスが有効になります。

- **両方のコアの同期デバッグ**

ブレークポイントまたはデバッグの停止コマンドのために1つのコアが停止した場合、もう一方のコアも停止させることができます。同様に、両コアを同時に再起動できます。これにより、ユーザはプロセッサの同期を保つ必要がある疎結合アプリケーションをデバッグできます。

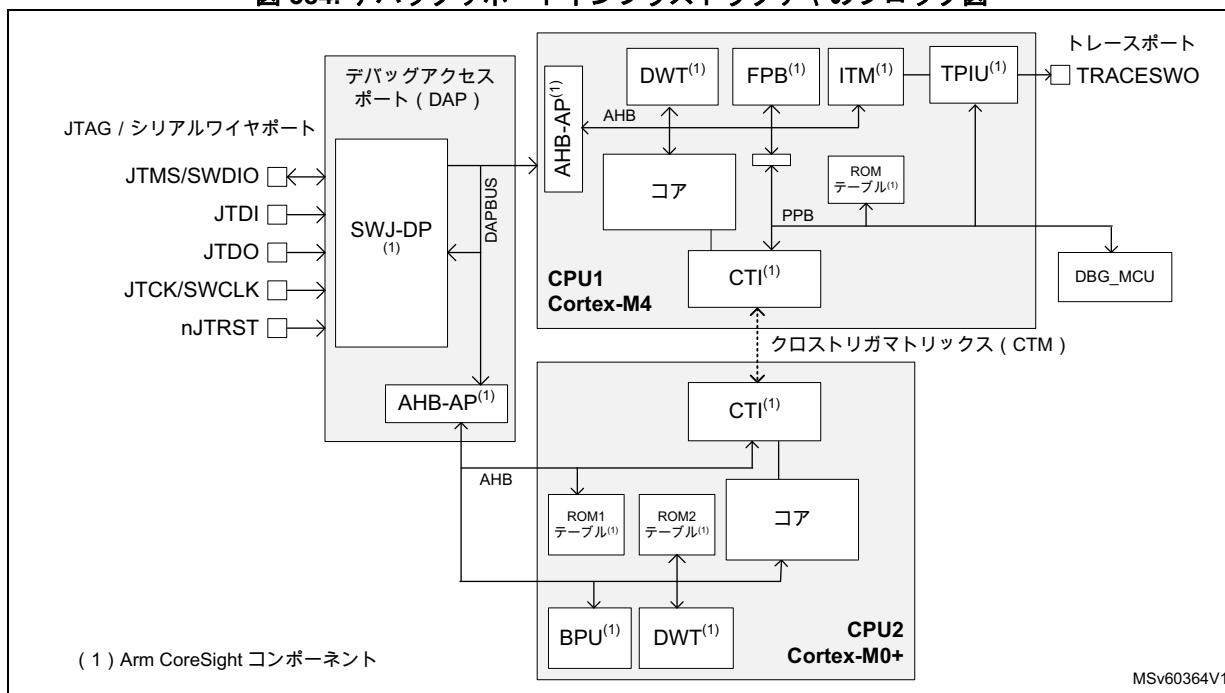
- **トレースポート経由でのコード実行のトレース**

CPU1 (Cortex-M4) からのトレース情報は、1つのトレースストリームに結合され、リアルタイムでトレースポートアナライザに送信されます。トレースに埋め込まれた ID により、アナライザは各情報パケットの転送元を特定できます。

38.3 DBG の機能説明

38.3.1 DBG ブロック図

図 384. デバッグサポートインフラストラクチャのブロック図



38.3.2 DBG ピンおよび内部信号

表 260. JTAG/シリアルワイヤデバッグポートのピン

ピン名	JTAG デバッグポート		シリアルワイヤデバッグポート		ピン割り当て
	タイプ	説明	タイプ	説明	
JTMS/SWDIO	I	JTAG テストモード選択	IO	シリアルワイヤデータ入出力	PA13
JTCK/SWCLK	I	JTAG テストクロック	I	シリアルワイヤクロック	PA14
JTDI	I	JTAG テストデータ入力	-	-	PA15
JTDO/TRACESWO ⁽¹⁾	O	JTAG テストデータ出力	-	-	PB3
nJTRST	I	JTAG テストリセット	-	-	PB4

1. デバッグアクセスポート JTDO とトレースポート TRACESWO は、デバイスの 1 つの GPIO ピンに多重化されています。

表 261. シングルワイヤトレースポートのピン

ピン名	タイプ	説明	ピン割り当て
TRACESWO	O	シングルワイヤトレース非同期データ出力	PB3 ⁽¹⁾

1. TRACESWO が JTDO とマルチプレクスされます。つまり、シングルワイヤトレースは JTAG ではなく、シリアルワイヤデバッグ用のインタフェースを使用する場合にしか使用できません。

38.3.3 DBG インタフェース制御

デバイスのデバッグアクセスは、次のパラメータによって制御されます。

- [セクション 4.6.1: 読出し保護 \(RDP\)](#) で説明した、ユーザオプションの RDP レベル
- [セクション 4: 内蔵 Flash メモリ \(Flash\)](#) で説明した、ユーザオプションの DDS
- [セクション 4: 内蔵 Flash メモリ \(Flash\)](#) で説明した、ユーザオプションの HDPAD (非表示保護アクセス無効化)
- [セクション 4: 内蔵 Flash メモリ \(Flash\)](#) で説明した、Flash レジスタビット C2SWDBGEN

デバッグアクセス制御は ESE から独立しています。

CPU へのデバッグアクセスについて下の表に示します。

表 262. デバッグアクセス制御の概要

RDP	DDS	C2SWDBGEN	RSS プォート	CPU1 デバッグ	CPU2 デバッグ	コメント
0 または 1	0	1	不可	有効	有効	HDPAD = 1 の場合、C2SWDBGEN はリセットから有効になります。
		0			無効	HDPAD = 0 の場合、C2SWDBGEN はリセットから無効になります。
	1	x	不可	有効	無効	Cortex-M0+ デバッグは DDS によって無効化されます。
2	x	x	x	無効	無効	デバッグは RDP レベル 2 によって無効化されます。

38.3.4 DBG のリセットおよびクロック

デバッグポート (SWJ-DP) は、パワーオンリセットまたは OBL (オプションバイトのローディング) リセットによって、および STANDBY モードからウェイクアップするときに、リセットされます。

デバッガは、デバッグインタフェースのピン、JTCK/SWCLK を介して、デバッグポート用のクロックを提供します。このクロックを使用して、シリアルワイヤおよび JTAG モードでシリアル入力データを登録し、同時にデバッグポートのステートマシンや内部ロジックを運用します。したがって、デバッグポートを確実にアイドル状態に戻すためには、クロックはアクセス終了後に数回のサイクルの間トグルし続ける必要があります。

SWJ-DP は DAPCLK ドメインとの非同期インタフェースを内蔵しており、このインタフェースは残りの SWJ-DP および CPU2 アクセスポートを範囲に含みます。

DAPCLK は、システム HCLK3 のゲート付きバージョンです。

DAPCLK ドメインは、DP_CTRLSTATR レジスタの CDBGPWRUPREQ ビットを使用して、デバッガによって有効にできます。デバッガがデバイスのデバッグ機能のいずれかにアクセスするには、先にクロックを有効にする必要があります。クロックの有効性は、DP_CTRLSTATR レジスタの CDBGPWRUPACK ビットに反映されます。DAPCLK は、パワーアップ時、OBL 後、STANDBY からのウェイクアップ後には無効です。デバッガが接続されていないときはエネルギー節約のために DAPCLK を無効にしてください。

プロセッサに内蔵されているデバッグコンポーネント (ITM、DWG、FPB など) には、対応するコアクロックが供給されます。

38.3.5 DBG 電力ドメイン

デバッグコンポーネントは、コア電力ドメインに配置されています。これは、SHUTDOWN および STANDBY 低電力モードではデバッガ接続を使用できないことを意味しています。デバイスが STANDBY モードになったときに接続が切断されないよう、マイクロコントローラデバッグユニット (DBGMCU) にビットをセットしてコアへの電源供給を維持することができます。これにより、プロセッサクロックをアクティブな状態で維持しながらリセットを保留して、デバッグセッションを維持することができます。

38.3.6 DBG 低電力モード

STM32WL5x デバイスには省電力機能が内蔵されており、必要ないときにはコア電力ドメインを電源オフまたは停止することができます。電源オフ、またはコアがクロック供給されていない場合、デバッグコンポーネントはすべてデバッガにアクセスできません。このような事態を防ぐために、省電力モードのエミュレーションが実装されています。あるドメインでエミュレーションが有効な場合、そのドメインは省電力モードに入りますが、そのクロックと電力は維持されます。言い換えれば、ドメインはあたかも省電力モードにいるかのように振る舞いながら、デバッガとの接続は切れません。

エミュレーションモードは、DBGMCU でプログラムされます。詳細については、[セクション 38.12: マイクロコントローラデバッグユニット \(DBGMCU\)](#) を参照してください。

38.3.7 シリアルワイヤおよび JTAG デバッグポート

シリアルワイヤおよび JTAG デバッグポート (SWJ-DP) は CoreSight コンポーネントの 1 つで、デバッグ装置との接続用の外部アクセスポートを実装しています。

次の 2 種類のインタフェースを設定することができます。

- 5 ピンの標準 JTAG インタフェース (JTAG-DP)
- 2 ピン (クロック + データ) のシリアルワイヤデバッグポート (SW-DP)

2 つのモードは同じ I/O ピンを共有しているため相互に排他的です。

デフォルトでは、JTAG-DP はシステムリセットまたはパワーオンリセット後に選択されます。5 つの I/O ピンはデバッグ代替機能モードでハードウェアによって設定されます。

SWJ-DP は、JTDI、JTMS/SWDIO、および nJTRST にプルアップ抵抗、また JTCK/SWCLK にプルダウン抵抗を搭載しています。

デバッグは JTMS/SWDIO に次のようなシリアルデータシーケンスを送信することによって、SW-DP を選択することができます。

..... (1 が 50 個以上) ..., 0, 1, 1, 1, 1, 0, 0, 1, 1, 1, 1, 0, 0, 1, 1, 1, ... (1 が 50 個以上) ...

JTCK/SWCLK はデータビットごとに循環させる必要があります。

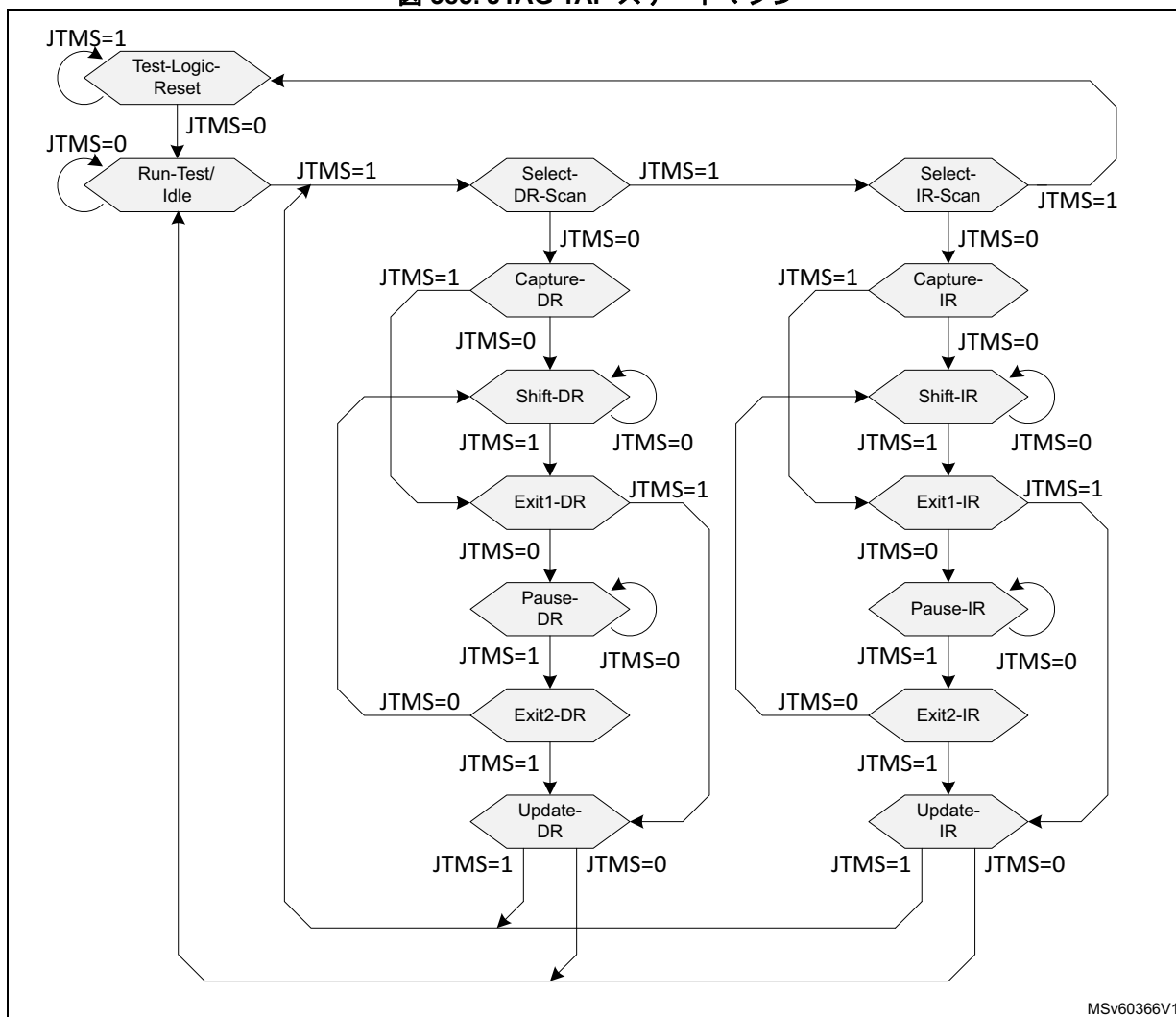
SW-DP モードでは、使用していない JTAG ピン、JTDI、JTDO、および nJTRST を他の機能に使用することができます。

注： SWJ ポートのすべての I/O はソフトウェアで他の機能に再設定できますがデバッグはできなくなります。

38.3.8 JTAG デバッグポート

JTAG デバッグポート (JTAG-DP) は、IEEE 規格 1149.1-1990 に基づいて [図 385](#) に示す TAP ステートマシン (TAPSM) を実装しています。ステートマシンは 2 つのスキャンチェーンを制御します。一方は 1 つの命令レジスタ (IR) に、もう一方は複数のデータレジスタ (DR) に関連付けられています。

図 385. JTAG TAP ステートマシン



MSv60366V1

JTAG-DP の動作は次のとおりです。

- TAPSM が Capture-IR ステートに入ると、0b0001 が命令レジスタ (IR) のスキャンチェーンに転送されます。IR スキャンチェーンは JTDI と JTDO の間に接続されます。
- TAPSM が Shift-IR ステートにあるとき、IR スキャンチェーンは JTCK の各立ち上がりエッジで 1 ビットだけシフトします。つまり、最初の単位時間で以下のアクションが起こります。
 - IR スキャンチェーンの LSB が JTDO に出力されます。
 - IR スキャンチェーンのビット [n] がビット [n-1] に転送されます。
 - JTDI の値が IR スキャンチェーンの MSB に転送されます。
- TAPSM が Update-IR ステートに入ると、IR スキャンチェーンにスキャンされた値が命令レジスタに転送されます。
- TAPSM が Capture-DR ステートに入ると、ある値がデータレジスタの 1 つから、JTDI と JTDO の間に接続された DR スキャンチェーンの 1 つに転送されます。
- 命令レジスタに保持された値によって、どのデータレジスタ、および該当する DR スキャンチェーンを選択するかが決まります。

- 次に、このデータは、TAPSM が Shift-DR ステートにある間に、Shift-IR ステートで IR がシフトしたのと同じようにシフトします。
- TAPSM が Update-DR ステートに入ると、DR スキャンチェーンにスキャンされた値が選択されたデータレジスタに転送されます。
- TAPSM が Run-Test/Idle ステートにあるときは、特別なアクションは起こりません。IDCODE 命令が命令レジスタにロードされます。

アクティブな場合、nJTRST 信号は非同期にステートマシンを Test-Logic-Reset ステートにリセットします。

4 ビットの IR 命令に対応するデータレジスタを表 263 に記載します。

表 263. JTAG-DP データレジスタ

IR 命令	データレジスタ	スキャンチェーン長	説明
0000~0111	(BYPASS)	1	実装されません。BYPASS が選択されます。
1000	ABORT	35	アボートレジスタ - ビット 34:1 = 予約済み - ビット 0 = APABORT : AP アボートを生成するには 1 を書き込みます。
1001	(BYPASS)	1	予約済み : BYPASS が選択されます。
1010	DPACC	35	デバッグポートアクセスレジスタ デバッグポートを初期化し、デバッグポートレジスタへのアクセスを可能にします。 - 入力データ転送時 : ビット 34:3 = DATA[31:0] = 書込みリクエスト用に転送する 32 ビットデータ ビット 2:1 = A[3:2] = デバッグポートレジスタの 2 ビットアドレス ビット 0 = RnW = 読出しリクエスト (1) または書込みリクエスト (0) - 出力データ転送時 : ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビットの確認応答 010 = OK/FAULT 001 = WAIT その他 = 予約済み
1011	APACC	35	アクセスポートアクセスレジスタ アクセスポートを初期化し、アクセスポートレジスタへのアクセスを可能にします。 - 入力データ転送時 : ビット 34:3 = DATA[31:0] = 書込みリクエスト用にシフトインする 32 ビットデータ ビット 2:1 = A[3:2] = アクセスポートレジスタの 2 ビットサブアドレス ビット 0 = RnW = 読出しリクエスト (1) または書込みリクエスト (0) - 出力データ転送時 : ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビットの確認応答 010 = OK/FAULT 001 = WAIT その他 = 予約済み
1100	(BYPASS)	1	予約済み : BYPASS が選択されます。
1101	(BYPASS)	1	予約済み : BYPASS が選択されます。

表 263. JTAG-DP データレジスタ (続き)

IR 命令	データレジスタ	スキャンチェーン長	説明
1110	IDCODE	32	ID コード 0x6BA0 0477 : Arm® JTAG デバッグポートの ID コード
1111	BYPASS	1	バイパス 1 JTCK サイクル遅延が JTDI と JTDO の間に挿入されます。

データレジスタの詳細は、Arm® Debug Interface Architecture Specification を参照してください [1]。

38.3.9 シリアルワイヤデバッグポート

シリアルワイヤデバッグ (SWD) プロトコルでは、次のピンを使用します。

- SWCLK : ホストからターゲットへのクロック
- SWDIO : 双方向シリアルデータ (100 kΩプルアップが必要)

シリアルデータはクロックと同期して LSB が先に転送されます。

各転送は、次に示す 3 つのフェーズで構成されます。

1. ホストによって送信されるパケットリクエスト (8 ビット) (表 264 を参照)
2. ターゲットによって送信される確認応答 (3 ビット) (表 265 を参照)
3. ホスト (書込みの場合) またはターゲット (読出しの場合) によって送信されるデータ転送 (33 ビット) (表 266 を参照)

確認応答が OK である場合にのみ、データ転送が実行されます。

データ方向が逆転した場合、各フェーズの間に 1 クロックサイクルのターンアラウンド時間が挿入されます。

表 264. パケットリクエスト

ビットフィールド	名前	説明
0	スタート	1 である必要があります。
1	APnDP	- 0 : DP レジスタアクセス - DP レジスタのリストは 表 263 を参照のこと。 - 1 : AP レジスタアクセス - セクション 38.5: アクセスポートを参照のこと。
2	RnW	- 0 : 書き込みリクエスト - 1 : 読出しリクエスト
4:3	A[3:2]	DP または AP レジスタのアドレスフィールド
5	Parity	先行するビットの 1 ビットパリティ
6	STOP	0
7	Park	ホストによって駆動されません。ターゲットによって 1 と読み出される必要があります。

表 265. ACK 応答

ビットフィールド	名前	説明
2:0	ACK	<ul style="list-style-type: none"> – 000 : FAULT – 010 : WAIT – 100 : OK

表 266. データ転送

ビットフィールド	名前	説明
31:0	WDATA または RDATA	書込み／読出しデータ
32	Parity	32 データビットのうちの 1 ビットパリティ

ターゲットからフォールトまたはウェイトの ACK 応答があった場合、オーバーラン検出が有効でなければ、データ転送フェーズは取り消されます。この場合、データはターゲットから無視されるか（書込み時）、駆動されません（読出し時）。

初回接続時またはプロトコルエラー発生時には、ホストはラインリセットを生成する必要があります。ラインリセットは、SWDIO がハイの状態の 50 回以上の SWCLK サイクルと、これに続く SWDIO がローの状態の 2 回の SWCLK サイクルで構成されています。

シリアルワイヤデバッグプロトコルの詳細については、Arm® Debug Interface Architecture Specification を参照してください [1]。

注： SWJ-DP は SWD プロトコルのバージョン 2 を実装しています。

38.4 デバッグポート (DP) レジスタ

SW-DP と JTAG-DP は両方とも表 268: DP レジスタマップとリセット値 に示された DP レジスタにアクセスします。

デバッグは次のように DP レジスタへアクセスします。

- JTAG を使用する場合は、バンク内にあるレジスタアドレスを DPACC レジスタの A(3:2) フィールドに書き込みます。読出しか書込みかを選択するために、RnW ビットをプログラムします。書込みの場合は、DATA フィールドに書込みデータをプログラムします。SWD を使用する場合、A(3:2) および RnW フィールドは、APnDP ビットをリセットした状態で SW-DP に送信されるパケットリクエストワードの一部となります（表 264 を参照）。書込みデータはデータフェーズで送信されます。
- アドレス 0x4 の DP バンクレジスタの 1 つにアクセスするには、まずアドレス 0x8 の DP_SELECTR レジスタにレジスタ番号を書き込む必要があります。アドレス 0x4 への後続の読出または書込みはすべて、DP_SELECTR レジスタの内容に対応するレジスタにアクセスします。

表 267. デバッグポートレジスタ

アドレス	A[3:2] 値	読出し/ 書込み	説明
0x0	00	R	DP_DIPDR レジスタ (セクション 38.4.1を参照) デバッグポート用の IDCODE を格納しています。
		W	DP_ABORTR レジスタ ⁽¹⁾ (セクション 38.4.2を参照) 現在の AP トランザクションをアボートします。また、このレジスタを使用して、DP_CTRLSTATR レジスタのエラーフラグをクリアします。
0x4	01	読出し/ 書込み	DP_SELECTR.DPBANKSEL = 0 の場合、DP_CTRLSTATR レジスタ (セクション 38.4.3 を参照) DP を制御し、ステータス情報を提供します。
			DP_SELECTR.DPBANKSEL = 1 の場合、DP_DLCR レジスタ ⁽²⁾ (セクション 38.4.4 を参照) SWD データリンクの動作モードを制御します。
			DP_SELECTR.DPBANKSEL = 2 の場合、DP_TARGETIDR レジスタ (セクション 38.4.5 を参照) ターゲット識別情報を提供します。
			DP_SELECTR.DPBANKSEL = 3 の場合、DP_DLPIDR レジスタ ⁽²⁾ (セクション 38.4.6 を参照) SWD プロトコルのバージョンを提供します。
0x8	10	R	DP_RESENDER レジスタ ⁽²⁾ (セクション 38.4.7 を参照) 最後の AP 読出しまたは DP_RDBUFFR 読出しによって返された値を返します。読み出し転送の破損時に使用されます。
		W	DP_SELECTR レジスタ (セクション 38.4.8 を参照) アクセスポート、アクセスポートのレジスタバンク、および DP レジスタのアドレス 0x4 を選択します。
0xC	11	R	DP_BUFFR レジスタ (セクション 38.4.9 を参照) - JTAG-DP 経由の場合、デバッグが一連の動作のあとで最終結果を得られるようにするために使用されます (新しい JTAG-DP 動作のリクエストなし)。 - SW-DP 経由の場合、直前の AP 読出しアクセスの結果が格納され、新たな AP アクセスを防ぎます。
		W	DP_TARGETSELR レジスタ ⁽²⁾ (セクション 38.4.10 を参照) ラインリセットシーケンスの直後に DP_TARGETSELR に書き込む際に、次の 2 つの条件が満たされれば、ターゲットが選択されます。 - ビット [31:28] は、DP_DLPIDR レジスタのビット [31:28] と一致します。 - ビット [27:0] は、DP_TARGETIDR レジスタのビット [27:0] と一致します。 その他の値を書き込むと、ターゲットの選択が解除されます。すべてのターゲットの選択を解除するには、デバッグツールで 0xFFFFFFFF を書き込む必要があります。これは無効な TARGETID の値です。その他の無効な TARGETID の値はすべて予約済みです。

1. JTAG-DP から DP_ABORTR レジスタへアクセスするには ABORT 命令を使用します。
2. SW-DP 経由でのみアクセス可能。レジスタは JTAG-DP 経由で「予約済み」です。

38.4.1 DP 識別レジスタ (DP_DPIDR)

アドレス・オフセット : 0x00

リセット値 : 0x5BA0 2477

読出し専用

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REVISION[3:0]				PARTNO[7:0]								Res.	Res.	Res.	MIN
r	r	r	r	r	r	r	r	r	r	r	r				r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VERSION[3:0]				DESIGNER[10:0]										Res.	
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:28 **REVISION[3:0]** : リビジョンコード
0x5

ビット 27:20 **PARTNO[7:0]** : デバッグポートの部品番号
0xBA

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **MIN** : 最小デバッグポート (MINDP) の実装
0x0 : MINDP は実装されません (トランザクションカウンタとプッシュ動作をサポート)

ビット 15:12 **VERSION[3:0]** : DP アーキテクチャバージョン
0x2 : DPv2

ビット 11:1 **DESIGNER[10:0]** : JEDEC 設計者 ID コード
0x23B : Arm® JEDEC コード

ビット 0 予約済みであり、リセット値に保持する必要があります。

38.4.2 DP アボートレジスタ (DP_ABORTR)

アドレス・オフセット : 0x00

リセット値 : 0x0000 0000

書込み専用

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ORUN ERR CLR	WD ERR CLR	STK ERR CLR	STK CMP CLR	DAP ABORT
											w	w	w	w	w

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **ORUNERRCLR** : オーバーランエラークリア
0 : 影響なし。
1 : DP_CTRLSTATR.STICKYORUN ビットをクリアします。

- ビット 3 **WDERRCLR** : 書き込みデータエラークリア
 - 0 : 影響なし。
 - 1 : DP_CTRLSTATR.WDATAERR ビットをクリアします。
- ビット 2 **STKERRCLR** : スティックエラークリア
 - 0 : 影響なし。
 - 1 : DP_CTRLSTATR.STICKYERR ビットをクリアします。
- ビット 1 **STKCMPLR** : スティック比較クリア
 - 0 : 影響なし。
 - 1 : DP_CTRLSTATR.STICKYCMP ビットをクリアします。
- ビット 0 **DAPABORT** : データ AP アボート
 - トランザクションがストールしていることを示す過剰な数のウェイト応答が返されると、現在の AP トランザクションをアボートします。
 - 0 : 影響なし。
 - 1 : トランザクションをアボートします。

38.4.3 DP 制御およびステータスレジスタ (DP_CTRLSTATR)

アドレス・オフセット : 0x04

および DP_SELECTR.DPBANKSEL = 0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	CDBG PWRU PACK	CDBG PWRU PREQ	Res.	Res.	Res.	Res.	TRNCNT[11:4]							
		r	r					r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT[3:0]				MASKLANE[3:0]				WDATA ERR	READ OK	STICK YERR	STICK YCMP	TRNMODE[1:0]		STICK YORU N	ORUN DETE CT
r	r	r	r	r	r	r	r	r	r	rc_w1	rc_w1	r	r	rc_w1	r

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **CDBGPWRUPACK** : [セクション 38.3.7](#) の説明を参照

- 0 = DAPCLK はゲートされています。
- 1 = DAPCLK は有効になっています。

ビット 28 **CDBGPWRUPREQ** : DAPCLK イネーブルリクエスト信号の制御

- 0 = DAPCLK のゲート操作をリクエストします。
- 1 = DAPCLK の有効化をリクエストします。

ビット 27:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:12 **TRNCNT [11:0]** : トランザクションカウンタ

AP を介してインクリメントアドレスへの一連のトランザクションをプログラムするために、実行するトランザクション数が TRNCNT にロードされます。このビットは、トランザクションが正常終了するたびにデクリメントされます。

ビット 11:8 **MASKLANE[3:0]** : マスクされたバイトレーン

プッシュ比較およびプッシュ検証操作でマスクされるバイトを示します (DP_CTRLSTATR.TRNMODE = 1 または 2)。プッシュ操作では、AP 書き込みトランザクションで提供されるワードを現在のターゲット AP アドレスの値と比較します。

1XXX = 比較にバイトレーン 3 を含める。

X1XX = 比較にバイトレーン 2 を含める。

XX1X = 比較にバイトレーン 1 を含める。

XXX1 = 比較にバイトレーン 0 を含める。

ビット 7 **WDATAERR** : SW-DP の書き込みデータエラー (読出し専用)

書き込みのデータフェーズでパリティエラーまたはフレーミングエラーが発生しているか、または DP によって受け付けられた書き込みが、その後 AP に提供されることなく破棄されています。

このビットは、DP_ABORTR.WDERRCLR ビットに 1 を書き込むことによってリセットされます。

0 : エラーはありません。

1 : エラーが発生しました。

JTAG-DP では予約済み。

ビット 6 **READOK** : SW-DP の AP 読出し応答 (読出し専用)

最後の AP 読出しアクセスへの応答を示します。

0 : 読出しは NG です。

1 : 読出しは OK です。

JTAG-DP では予約済み。

ビット 5 **STICKYERR** : トランザクションエラー (SW-DP では読出し専用、JTAG-DP では読み書き)

AP トランザクション中にエラーが発生したことを示します。

0 : エラーはありません。

1 : エラーが発生しました。

SW-DP では、STICKYERR ビットは読出し専用で、DP_ABORTR.STKERRCLR ビットに 1 を書き込むことによってリセットされます。

JTAG-DP では、STICKYERR ビットは、1 を書き込むことによって読出し/クリアされます。

ビット 4 **STICKYCMP** : 一致比較 (SW-DP では読出し専用、JTAG-DP では読み書き)

プッシュ操作中に一致が発生したことを示します。

0 : TRNMODE = 0x1 であれば一致、TRNMODE = 0x2 であれば不一致です。

1 : TRNMODE = 0x1 であれば不一致、TRNMODE = 0x2 であれば一致です。

SW-DP では、STICKYCMP ビットは読出し専用で、DP_ABORTR.STKCMPCLR ビットに 1 を書き込むことによってリセットされます。

JTAG-DP では、STICKYCMP ビットは、1 を書き込むことによって読出し/クリアされます。

ビット 3:2 **TRNMODE[1:0]** : AP 書き込み操作の転送モード

読出し操作では、このフィールドを 0x0 に設定する必要があります。

0x0 : 通常動作

- AP トランザクションは AP に直接渡されます。

0x1 : プッシュ検証操作

- DP は書き込みデータを保存し、ターゲット AP アドレスで読み出しトランザクションを実行します。
- 読出し結果が、格納されているデータと比較され、一致しない場合は STICKYCMP ビットがセットされます。

0x2 : プッシュ比較操作

- DP は書き込みデータを保存し、ターゲット AP アドレスで読み出しトランザクションを実行します。
- 読出し結果が、格納されているデータと比較され、一致する場合は STICKYCMP ビットがセットされます。

0x3 : 予約済み

プッシュ操作では、MASKLANE フィールドで示されたデータバイトのみが比較に含まれます。

ビット 1 **STICKYORUN** : オーバーラン (SW-DP では読出し専用、JTAG-DP では読み書き)
 オーバーラン (前のトランザクションの完了前に新たなトランザクションを受信) が発生したことを示します。このビットは、ORUNDETECT ビットがセットされている場合のみセットされます。
 0 : オーバーランはありません。
 1 : オーバーランが発生しました。
 SW-DP の STICKYORUN ビットは読出し専用で、DP_ABORTR.ORUNERRCLR ビットに 1 を書き込むことでリセットされます。
 JTAG-DP では、STICKYORUN ビットは、1 を書き込むことによって読出し/クリアされます。

ビット 0 **ORUNDETECT** : オーバーラン検出モード有効
 0 : オーバーラン検出は無効です。
 1 : オーバーラン検出は有効です。
 オーバーランが発生した場合、STICKYORUN ビットがセットされ、このビットがクリアされるまで次のトランザクションはブロックされます。

38.4.4 DP のデータリンク制御レジスタ (DP_DLCR)

アドレス・オフセット : 0x04
 および DP_SELECTR.DPBANKSEL = 1
 リセット値 : 0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TURNROUND [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						r	r								

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **TURNROUND[1:0]** : SWDIO のトライステート周期

- 0x0 : 1 データビット周期
- 0x1 : 2 データビット周期
- 0x2 : 3 データビット周期
- 0x3 : 4 データビット周期

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

38.4.5 DP ターゲット識別レジスタ (DP_TARGETIDR)

アドレス・オフセット : 0x04

および DP_SELECTR.DPBANKSEL = 2

リセット値 : 0x0497 0041

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TREVISION[3:0]				TPARTNO[15:4]											
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPARTNO[3:0]				TDESIGNER[10:0]											Res
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 **TREVISION[3:0]** : ターゲットのリビジョン

0x0 : リビジョン 1

ビット 27:12 **TPARTNO[15:0]** : ターゲットの部品番号

0x4970 : STM32WL5x

ビット 11:1 **TDESIGNER[10:0]** : ターゲットの設計者 JEDEC コード。

0x020 : STMicroelectronics

ビット 0 予約済みであり、リセット値に保持する必要があります。

38.4.6 DP データリンクプロトコル識別レジスタ (DP_DLPIDR)

アドレス・オフセット : 0x04

および DP_SELECTR.DPBANKSEL = 3

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TINSTANCE[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	r	r												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PROTSVN[3:0]			
												r	r	r	r

ビット 31:28 **TINSTANCE[3:0]** : ターゲットのインスタンス番号

マルチドロップシステムにおけるこのデバイスのインスタンス番号を定義します。

0x0 : インスタンス番号 0

ビット 27:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PROTSVN[3:0]** : シリアルワイヤデバッグプロトコルのバージョン

0x1 : バージョン 2

38.4.7 DP 再送信レジスタ (DP_RESENDER)

アドレス・オフセット : 0x08

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RESEND[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESEND[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RESEND[31:0]** : 最後の AP 読みまたは DP_RDBUFFR 読みしによって返された値を返します。
読み出し転送の破損時に使用されます。

38.4.8 DP アクセスポート選択レジスタ (DP_SELECTR)

アドレス・オフセット : 0x08

リセット値 : 0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
APSEL[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
w	w	w	w												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APBANKSEL[3:0]				DPBANKSEL[3:0]			
								w	w	w	w	w	w	w	w

ビット 31:28 **APSEL[3:0]** : アクセスポート選択

次のトランザクションのアクセスポートを選択します。
 0x0 : AP0 - CPU1 (Cortex-M4) のデバッグアクセスポート (AHB-AP)
 0x1 : AP1 - CPU2 (Cortex-M0+) のデバッグアクセスポート (AHB-AP)
 0x2~0xF : 予約済み

ビット 27:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **APBANKSEL[3:0]** : AP レジスタバンク選択

次のトランザクションのアクティブな AP で 4 ワードレジスタバンクを選択します。

ビット 3:0 **DPBANKSEL[3:0]** : DP レジスタバンク選択

デバッグポートのアドレス 0x4 のレジスタを選択します。
 0x0 : DP_CTRLSTATR
 0x1 : DP_DLPCR
 0x2 : DP_TARGETIDR
 0x3 : DP_DLPIDR
 0x4~0xF : 予約済み

38.4.9 DP 読出しバッファレジスタ (DP_BUFFER)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDBUFF[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDBUFF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RDBUFF[31:0]** : 最後の AP 読出しアクセスによって返された値が格納されます。

AP 読出しアクセスによって返された値は、同じアドレスに対する 2 回目の読出しアクセスで取得でき、これによって対応するバス上で新しいトランザクションを開始することができます。値はこのレジスタから読み出すこともできますが、その場合、新しい AP トランザクションは発生しません。

38.4.10 DP ターゲット識別レジスタ (DP_TARGETSELR)

アドレス・オフセット : 0x0C

リセット値 : 0xFFFF XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TINSTANCE[3:0]				TPARTNO[15:4]											
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPARTNO[3:0]				TDESIGNER[10:0]											Res.
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	

ビット 31:28 **TINSTANCE[3:0]** : ターゲットのインスタンス番号

マルチドロップシステムにおけるターゲットデバイスのインスタンス番号を定義します。これらのビットには、このデバイスを選択するために DP_DLPIDR.TINSTANCE で使用されるものと同じ値を書き込む必要があります。

ビット 27:12 **TPARTNO[15:0]** : ターゲットの部品番号

ターゲットデバイスの部品番号を定義します。これらのビットには、このデバイスを選択するために DP_TARGETIDR.TPARTNO で使用されるものと同じ値を書き込む必要があります。

ビット 11:1 **TDESIGNER[10:0]** : ターゲットの設計者 JEDEC コード

ターゲットデバイスの JEDEC コードを定義します。これらのビットには、このデバイスを選択するために DP_TARGETIDR.TDESIGNER で使用されるものと同じ値を書き込む必要があります。

ビット 0 予約済みであり、リセット値に保持する必要があります。

38.4.11 DP レジスタマップとリセット値

これらのレジスタは CPU メモリバス上にはありません。SW-DP および JTAG-DP のデバッグインタフェースからのみアクセスできます。

デバッグポートアドレスは 2 ビット幅で、JTAG-DP レジスタの DPACC または SW-DP パケットリクエストの A[3:2] フィールドで定義されています。

表 268. DP レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DP_DPIDR	REVISION[3:0]			PARTNO[7:0]							VERSION[3:0]							DESIGNER[10:0]							Res.							
	リセット値	0	1	0	1	1	0	1	1	1	0	1	0				0	0	0	1	0	0	1	0	0	0	1	1	1	0	1	1	
0x00	DP_ABORTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0x04 ⁽¹⁾	DP_CTRLSTATR	Res.	Res.	CDBGWUPACK	CDBGWUPREQ	TRNCNT[11:0]											MASKLANE[3:0]			WDATAERR	READOK	STICKYERR	STICKYCMP	ORUNERRCLR	WDERRCLR	STKERCLR	STKCMPLR	DAPABORT					
	リセット値			0	0																												
0x04 ⁽²⁾	DP_DLCCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x04 ⁽³⁾	DP_TARGETIDR	TREVISION[3:0]			TPARTNO[15:0]											TDESIGNER[10:0]							Res.										
	リセット値	0	0	0	0	0	1	0	0	1	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	
0x04 ⁽⁴⁾	DP_DLPIDR	TINSTANCE[3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0																												
0x08	DP_RESENDER	RESENDER[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	DP_SELECTR	APSEL[3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	x	x	x	x																												
0x0C	DP_BUFFER	RDBUFF[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



表 268. DP レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0C	DP_TARGETSELR	TINSTANCE[3:0]			TPARTNO[15:0]										TDESIGNER[10:0]										Res.								
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

1. DP_SELECTR.DPBANKSEL = 0。
2. DP_SELECTR.DPBANKSEL = 1。
3. DP_SELECTR.DPBANKSEL = 2。
4. DP_SELECTR.DPBANKSEL = 3。

38.5 アクセスポート

図 386 に示すように、2つのアクセスポート (AP) が DP に接続されています。

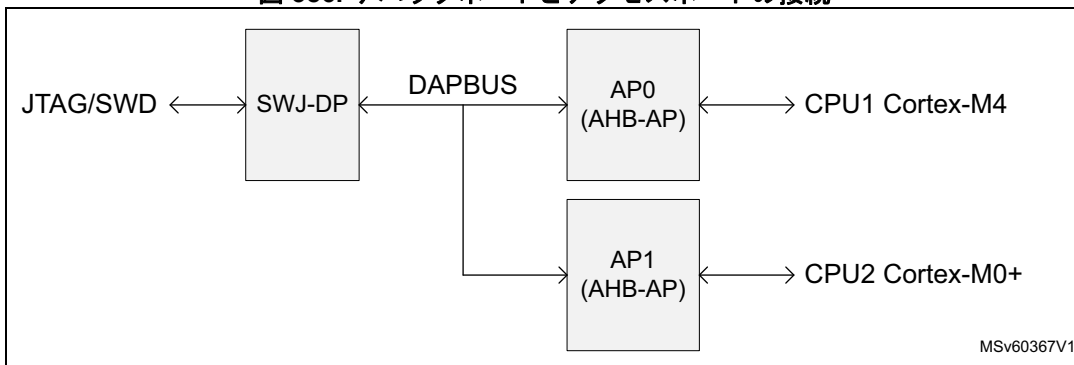
- **AP0**、CPU1 (Cortex-M4) アクセスポート (AHB-AP) : 内部 AHB バスを介して、コアに統合されたデバッグおよびトレース機能へのアクセスを有効にします。
- **AP1**、CPU2 (Cortex-M0+) アクセスポート (AHB-AP) : 内部 AHB バスを介してコアに統合されたデバッグおよびトレース機能へのアクセスを有効にします。

アクセスポートはすべて MEM-AP タイプです。つまり、デバッグおよびトレースコンポーネントのレジスタは関連するデバッグバスのアドレス空間にマップされます。

AP は、デバッガからは、それぞれ 4 つのレジスタから成るバンクとして構成された一連の 32 ビットレジスタとみなされます。これらのレジスタの一部を使用して AP 自体を設定または監視し、その他のレジスタはバスで転送を行うために使用します。

AP レジスタを [表 270: AP レジスタマップとリセット値](#) に記載します。

図 386. デバッグポートとアクセスポートの接続



AP レジスタのアドレス構成は以下のとおりです。

- ビット [7:4] : DP_SELECTR レジスタの APBANKSEL [3:0] フィールドの内容 ([セクション 38.4.8](#)を参照)
- ビット [3:2] : 使用するデバッグインターフェースに応じて、JTAG-DP の APACC データレジスタの A(3:2) フィールドの内容 ([表 268: DP レジスタマップとリセット値](#)を参照)、または SW-DP パケットリクエストの内容 ([表 264: パケットリクエスト](#)を参照)のいずれか
- ビット [1:0] : 常に 0 にセットされます

DP_SELECTR レジスタの APSEL[3:0] フィールドの内容は、アクセスされる MEM-AP を定義します。

表 269. MEM-AP レジスタ

アドレス	APBANKSEL	A[3:2]	名前	説明
0x00	0x0	0	AP_CSWR	制御/ステータスワードレジスタ (セクション 38.5.1 を参照)
0x04	0x0	1	AP_TAR	転送アドレスレジスタ (セクション 38.5.2 を参照) バストランザクションのターゲットアドレス
0x08	-	-	-	予約済みです。
0x0C	0x0	3	AP_DRWR	データ読出し/書込みレジスタ (セクション 38.5.3 を参照) このレジスタへアクセスすると、AP_TAR[31:0] に格納されているアドレスに対して、デバッグバス上で該当するトランザクションが開始されます。
0x10	0x1	0	AP_BD0R	バンクデータ 0 レジスタ (セクション 38.5.4 を参照) このレジスタにアクセスすると、アドレス [31:4] = AP_TAR[31:4]、アドレス [3:0] = 0x0 に格納されたアドレスに対して、デバッグバス上で該当するトランザクションが開始されます。
0x14	0x1	1	AP_BD1R	バンクデータ 1 レジスタ (セクション 38.5.4 を参照) このレジスタにアクセスすると、アドレス [31:4] = AP_TAR[31:4]、アドレス [3:0] = 0x4 に格納されたアドレスに対して、デバッグバス上で該当するトランザクションが開始されます。
0x18	0x1	2	AP_BD2R	バンクデータ 2 レジスタ (セクション 38.5.4 を参照) このレジスタにアクセスすると、アドレス [31:4] = AP_TAR[31:4]、アドレス [3:0] = 0x8 に格納されたアドレスに対して、デバッグバス上で該当するトランザクションが開始されます。
0x1C	0x1	3	AP_BD3R	バンクデータ 3 レジスタ (セクション 38.5.4 を参照) このレジスタにアクセスすると、アドレス [31:4] = AP_TAR[31:4]、アドレス [3:0] = 0xC に格納されたアドレスに対して、デバッグバス上で該当するトランザクションが開始されます。
0x20	-	-	-	予約済みです。
0x24 から 0xEC	-	-	-	予約済みです。
0xF0	-	-	-	予約済みです。
0xF4	-	-	-	予約済みです。
0xF8	0xF	2	AP_BASER	デバッグ用ベースアドレスレジスタ (RO) (セクション 38.5.5 を参照) ROM テーブルのベースアドレス
0xFC	0xF	3	AP_IDR	識別レジスタ (RO) (セクション 38.5.6 を参照)

デバッグは次のように AP レジスタへアクセスすることができます。

1. AP のうちの 1 つを選択するには DP_SELECTR レジスタの APSEL[3:0] フィールドを、アクセスするレジスタバンクを選択するには APBANKSEL[3:0] フィールドをプログラムします (セクション 38.4.8 を参照)。
2. JTAG を使用する場合は、バンク内にあるレジスタアドレスを APACC レジスタの A(3:2) フィールドに書き込みます。読出しか書込みかを選択するために、RnW ビットをプログラムします。書込みの場合は、DATA フィールドに書込みデータをプログラムします。SWD を使用する場合は、A(3:2) および RnW フィールドは、APnDP ビットをセットした状態で SW-DP に送信されるパケットリクエストワードの一部となります (表 264: パケットリクエストを参照)。書込みデータはデータフェーズで送信されます。

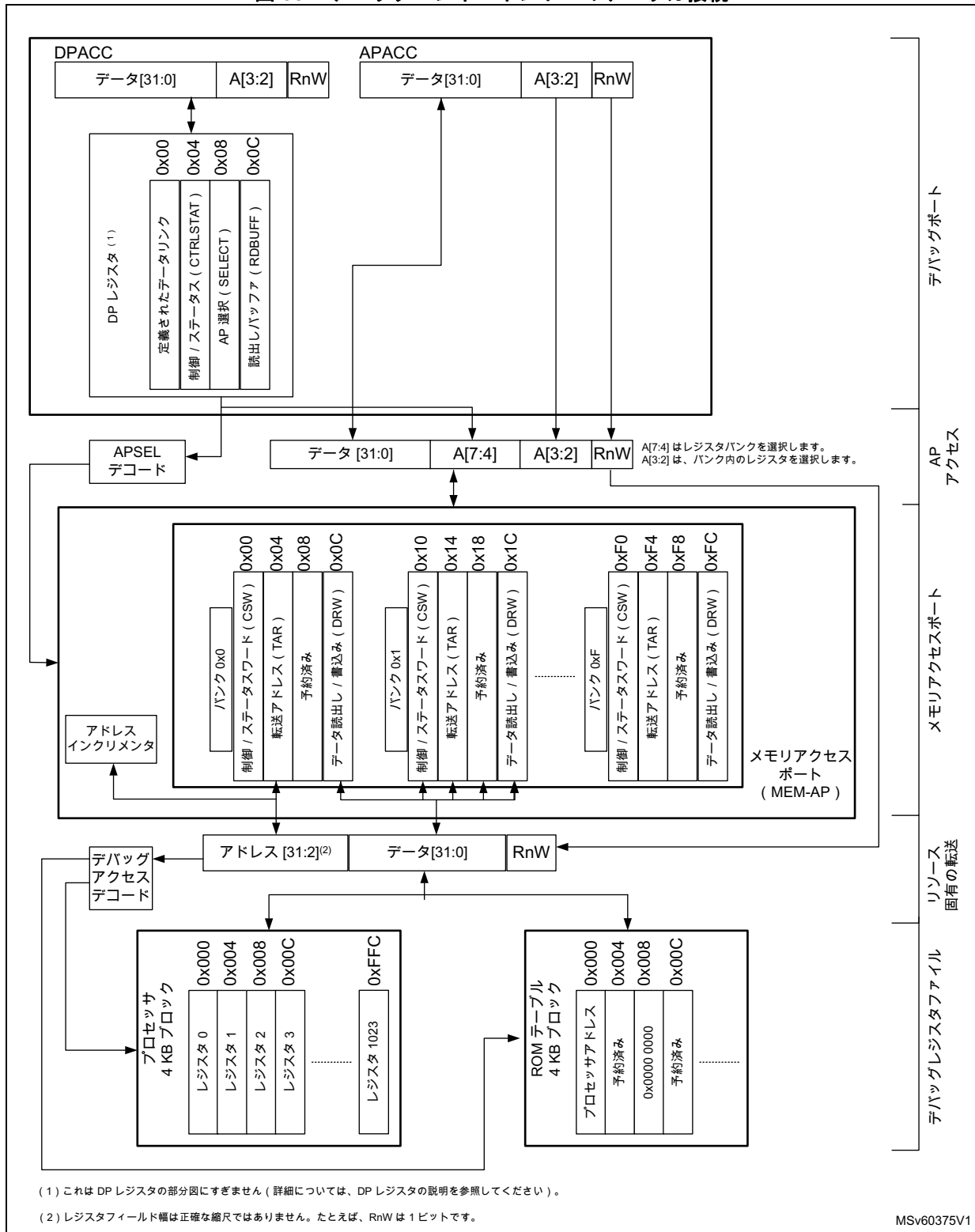
デバッグは、MEM-AP レジスタを使用して、以下の手順でメモリマップドデバッグコンポーネントレジスタにアクセス可能です（上記の AP レジスタアクセス手順を使用）。

1. AP_TAR レジスタのトランザクションターゲットアドレスをプログラムします。
2. 必要であれば、転送パラメータ（AddrInc など）を AP_CSWR レジスタに書き込みます。
3. AP_TAR レジスタに保持されているアドレスのバストランザクションを開始するには、AP_DRWR レジスタに対する書き込みまたは読出しを行います。あるいは、AP_BDxR レジスタに対する読出し／書き込みを行うことで、アドレス AP_TAR[31:4] + x へのアクセスを開始します（AP_TAR レジスタのアドレスを変更せずに、最大 4 つの連続したアドレスへのアクセスを可能にします）。

図 387 に、MEM-AP を使用してデバッグポートをデバッグコンポーネント（この例ではプロセッサと ROM テーブル）に接続する方法を示します。

MEM-AP の詳細については、Arm[®] Debug Interface Architecture Specification を参照してください [1]。

図 387. デバッグコンポーネントへのデバッグ接続



38.5.1 AP 制御/ステータスワードレジスタ (AP_CSWR)

アドレス・オフセット : 0x00

リセット値 : 0x2300 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SPROT	Res.	PROT[4:0]				SPISTATUS	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	r		r	r	r	r	r	r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	MODE[3:0]			TRINPROG	DEVICEEN	ADDRINC[1:0]		Res.	SIZE[2:0]			
				r	r	r	r	r	r	r	r		r	r	r

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30 **SPROT** : セキュア転送リクエスト

AHB-AP では、このフィールドにはバス転送の保護属性 HPROT[6] をセットします。

0 : SPIDEN がハイであればセキュア転送です。SPIDEN がローであれば非セキュア転送です。

1 : 非セキュア転送です。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **PROT[4:0]** : バス転送保護

AHB-AP では、このフィールドにはバス転送の保護属性 HPROT[4:0] をセットします。

XXXX0 : 命令フェッチ

XXXX1 : データアクセス

XXX0X : ユーザモード

XXX1X : 特権モード

XX0XX : バッファ格納不可

XX1XX : バッファ格納可

X0XXX : キャッシュ格納不可

X1XXX : キャッシュ格納可

0XXXX : 非排他的

1XXXX : 排他的

ビット 23 **SPISTATUS** : SPIDEN オプションビットのステータス (読出し専用)

この信号は、デバッグがセキュアメモリにアクセスできるかどうかを決定します。

0 : セキュア AHB 転送はブロックされます。

1 : セキュア AHB 転送は許可されます。

ビット 22:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **MODE[3:0]** : バリアサポート有効

メモリバリア操作がサポートされるかどうかを定義します。

0x0 : サポートされません

ビット 7 **TRINPROG** : 転送中です (読出し専用)

AP でバス転送を実行中であることを示します。

0x0 : 実行中の転送はありません

0x1 : バス転送を実行中です

ビット 6 **DEVICEEN** : デバイスは有効です (読出し専用)。

AP にアクセスできるかどうかを定義します。

0x1 : AP アクセスは有効です

ビット 5:4 **ADDRINC[1:0]** : 自動インクリメントモード

AP_TAR アドレスがトランザクション後に自動的にインクリメントされるかどうかを定義します。

0x0 : 自動インクリメントされません。

0x1 : アドレスはトランザクションのバイトサイズ (SIZE フィールド) でインクリメントされます。

0x2 : パックされた転送が有効になります。

- 32-bit の AP アクセスにより、プログラムされたトランザクションサイズに応じて、1 x 32-bit、2 x 16-bit、または 4 x 8-bit のバストランザクションが開始されます。

- データはそれに応じてパック/アンパックされます。

0x3 : 予約済み

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **SIZE[2:0]** : 次のメモリアクセストランザクションのサイズ

0x0 : バイト (8 ビット)

0x1 : ハーフワード (16 ビット)

0x2 : ワード (32 ビット)

0x3~0x7 : 予約済み

38.5.2 AP 転送アドレスレジスタ (AP_TAR)

アドレス・オフセット : 0x04

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TA[31:0]** : 現在の転送のアドレス

38.5.3 AP データ読出し/書込みレジスタ (AP_DRWR)

アドレス・オフセット : 0x0C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TD[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TD[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TD[31:0]** : 現在の転送のデータ

38.5.4 AP バンクデータレジスタ x (AP_BDxR)

アドレス・オフセット : $0x10 + 0x04 * x$ ($x = 0$ から 3)

リセット値 : $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TBD[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBD[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **TBD[31:0]** : アドレス AP_TAR.TA への現在の転送のバンクデータ
 TA + AP_BDnR アドレス [3:2] + 0b00
 AP_BD[3:0]R では、自動アドレスインクリメントは実行されません。
 バンク転送は、ワード転送の場合にのみサポートされます。

38.5.5 AP ベースアドレスレジスタ (AP_BASER)

アドレス・オフセット : $0xF8$

リセット値 : $0xE00F\ F003$ (AP0)

リセット値 : $0xF000\ 0003$ (AP1)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BASEADDR[19:4]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEADDR[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FORMAT	ENTRY PRESENT
r	r	r	r											r	r

ビット 31:12 **BASEADDR[19:0]** : AP の ROM テーブルの ベースアドレス (ビット 31~12)
 ROM テーブルは 4 KB の境界上に整列させる必要があるため、12 LSB はゼロです。
 AP0 CPU1 (Cortex-M4) AHB-AP : $0xE00FF$
 AP1 CPU2 (Cortex-M0+) AHB-AP : $0xF0000$

ビット 11:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **FORMAT** : ベースアドレスレジスタフォーマット
 1 : Arm デバッグインタフェース v5

ビット 0 **ENTRYPRESENT** : アクセスポートバス上のデバッグコンポーネントの有無を示します。
 1 : デバッグコンポーネントが存在します

38.5.6 AP 識別レジスタ (AP_IDR)

アドレス・オフセット : 0xFC

リセット値 : 0x2477 0011 (AP0)

リセット値 : 0x6477 0001 (AP1)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REVISION[3:0]				JEDEC BANK[3:0]				JEDEC CODE[6:0]							MEMA P
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IDENTITY[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:28 **REVISION[3:0]** : リビジョン

0x2 : CPU1 Cortex-M4 r0p3

0x6 : CPU2 Cortex-M0+ r0p7

ビット 27:24 **JEDEC BANK[3:0]** : JEDEC バンク

0x4 : Arm

ビット 23:17 **JEDEC CODE[6:0]** : JEDEC コード

0x3B : Arm

ビット 16 **MEMAP** : メモリアクセスポート

0x1 : 標準レジスタマップ

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **IDENTITY[7:0]** : AP タイプ

0x11 : CPU1 (Cortex-M4) AHB-AP (AP0)

0x01 : CPU2 (Cortex-M0+) AHB-AP (AP1)

その他 : 予約済み

38.5.7 AP レジスタマップとリセット値

これらのレジスタは CPU メモリバス上にはありません。SW-DP および JTAG-DP のデバッグインタフェースからのみアクセスできます。

アクセスポートアドレスは 8 ビット幅で、デバッグポートレジスタ DP_SELECTR.APBANKSEL[3:0] フィールドならびに JTAG-DP レジスタの DPACC または SW-DP パケットリクエストの A[3:2] フィールドで定義されます。

表 270. AP レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	AP_CSWR	Res.	SPROT		PROT[4:0]				SPISTATUS				Res.				Res.				MODE[3:0]				TRINPROG	DEVICEEN	ADDRINC[1:0]		Res.	SIZE[2:0]				
	リセット値	0	0	0	0	0	0	1	1	0													0	0	0	0	0	1	0	0	0	0	0	
0x04	AP_TAR	TA[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x08	予約済みです。	予約済みです。																																
0x0C	AP_DRWR	TD[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x10	AP_BD0R	TBD[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x14	AP_BD1R	TBD[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x18	AP_BD2R	TBD[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x1C	AP_BD3R	TBD[31:0]																																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x20 から 0xF4	予約済みです。	予約済みです。																																
0xF8	AP_BASER	BASEADDR[19:0]																												FORMAT		ENTRYPRESENT		
	リセット値 (AP0)	1	1	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	1	1		
	リセット値 (AP1)	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	
0xFC	AP_IDR	REVISION[3:0]			JEDEC BANK[3:0]			JEDEC CODE[6:0]						MEMAP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IDENTITY[7:0]											
	リセット値 (AP0)	0	0	1	0	0	1	0	0	0	0	1	1	1	0	1	1	1									0	0	0	1	0	0	0	1
	リセット値 (AP1)	0	1	1	0	0	1	0	0	0	0	1	1	1	0	1	1	1									0	0	0	0	0	0	0	0



38.6 データウォッチポイントおよびトレースユニット (DWT)

DWT には 4 つのコンパレータがあり、それぞれ以下の機能のいずれかに使用できます。

- ウォッチポイント
- PC サンプリングトリガ
- データアドレスサンプリングトリガ
- データコンパレータ (コンパレータ 1 のみ)
- クロックサイクルカウンタコンパレータ (コンパレータ 0 のみ)

DWT は以下をカウントするためのカウンタも内蔵しています。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット (LSU) の動作数
- スリープサイクル数
- 命令当たりのサイクル数
- 割込みオーバーヘッドの回数

DWT コンパレータは、DWT_COMPxR レジスタに保持されている値と次のいずれかを比較します。

- データアドレス
- 命令アドレス
- データ値
- サイクルカウント値 (コンパレータ 0 のみ)

アドレス照合の場合、コンパレータはマスクを使用することができるため、あるレンジのアドレスと一致します。

照合が成立すると、コンパレータは以下のうちの 1 つを生成します。

- 1つ以上の DWT データトレースパケットで、以下を 1つ以上含むもの。
 - データアクセスを伴う命令のアドレス
 - アドレス・オフセット (データアクセスアドレスのビット [15:0])
 - 一致したデータ値
- PC 値またはアクセスしたデータアドレスのいずれかで発生するウォッチポイントデバッグイベント
- DWT ユニット外での一致を信号で伝える CMPMATCH[N] イベント

ウォッチポイントデバッグイベントが発生すると、DebugMonitor 例外が生成されるか、またはプロセッサが実行を停止してデバッグステートに入ります。

DWT の使用方法の詳細については、Arm[®] v7-M Architecture Reference Manual を参照してください [5]。

38.6.1 DWT 制御レジスタ (DWT_CTRLR)

アドレス・オフセット : 0x000

リセット値 : 0x4000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NUMCOMP[3:0]				NOTR CPKT	NOEXT TRIG	NOCY CCNT	NOPRF CNT	Res.	CYCEV TENA	FOLDE VTENA	LSUEV TENA	SLEEP EVTEN A	EXCEV TENA	CPIEV TENA	EXCTR CENA
r	r	r	r	r	r	r	r		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	PCSA MPLEN A	SYNCTAP[1:0]		CYCTA P	POSTINIT[3:0]				POSTPRESET[3:0]				CYCC NTENA
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **NUMCOMP[3:0]** : 実装されるコンパレータの数 (読出し専用)

0x4 : 4つのコンパレータ

ビット 27 **NOTRCPKT** : トレースサンプリングおよび例外トレースのサポート (読出し専用)

0 : サポートされます。

ビット 26 **NOEXTTRIG** : 外部一致信号、CMPMATCH のサポート (読出し専用)

0 : サポートされます。

ビット 25 **NOCYCCNT** : サイクルカウンタのサポート (読出し専用)

0 : サポートされます。

ビット 24 **NOPRFCNT** : プロファイリングカウンタのサポート (読出し専用)

0 : サポートされます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **CYCEVTENA** : POSTCNT アンダーフローイベントカウンタのオーバーフロー生成の有効化

0 : 無効

1 : 有効

ビット 21 **FOLDEVTENA** : フォールドされた命令数カウンタのオーバーフローイベント生成の有効化

0 : 無効

1 : 有効

ビット 20 **LSUEVTENA** : LSU カウンタのオーバーフローイベント生成の有効化

0 : 無効

1 : 有効

ビット 19 **SLEEPEVTENA** : スリープカウンタのオーバーフローイベント生成の有効化

0 : 無効

1 : 有効

ビット 18 **EXCEVTENA** : 例外オーバーヘッドカウンタのオーバーフローイベント生成の有効化

0 : 無効

1 : 有効

ビット 17 **CPIEVTENA** : CPI カウンタのオーバーフローイベント生成の有効化

0 : 無効

1 : 有効

ビット 16 **EXCTRCENA** : 例外トレース生成の有効化

- 0 : 無効
- 1 : 有効

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **PCSAMPLENA** : 周期的 PC サンプルパケット生成用のタイムとして使用される POSTCNT カウンタの有効化

- 0 : 無効
- 1 : 有効

ビット 11:10 **SYNCTAP[1:0]** : 同期パケットカウンタのタップ

CYCCNT カウンタ上の同期パケットカウンタのタップ位置を選択します。これによって、同期パケットの速度が決まります。

- 0x0 : 無効。同期パケットはありません。
- 0x1 : CYCCNT[24] でタップします。
- 0x2 : CYCCNT[26] でタップします。
- 0x3 : CYCCNT[28] でタップします。

ビット 9 **CYCTAP** : **CYCCNT カウンタ上の POSTCNT のタップ位置の選択**

- 0 : CYCCNT[6] でタップします。
- 1 : CYCCNT[10] でタップします。

ビット 8:5 **POSTINIT[3:0]** : POSTCNT カウンタの初期値

このフィールドへの書き込みは POSTCNT カウンタが有効であれば、無視されます (POSTINIT を書き込む前に CYCEVTENA または PCSAMPLENA をリセットする必要があります)。

ビット 4:1 **POSTPRESET[3:0]** : POSTCNT カウンタの値の再ロード

ビット 0 **CYCCNTENA** : CYCCNT カウンタの有効化

- 0 : 無効
- 1 : 有効

38.6.2 DWT サイクルカウントレジスタ (DWT_CYCCNTR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CYCCNT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCCNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **CYCCNT[31:0]** : プロセッサのクロックサイクルカウンタ

38.6.3 DWT CPI カウントレジスタ (DWT_CPICNTR)

アドレス・オフセット : 0x008

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **CPICNT[7:0]** : CPI カウンタ

複数サイクルの命令を実行するために必要な追加サイクル数 (DWT_LSUCNTR によって記録されるものを除く) をカウントし、命令フェッチストールがあればカウントします。

38.6.4 DWT 例外カウントレジスタ (DWT_EXCCNTR)

アドレス・オフセット : 0x00C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **EXCCNT[7:0]** : 例外オーバーヘッドサイクルカウンタ

例外処理に費やされるサイクル数をカウントします。

38.6.5 DWT スリープカウントレジスタ (DWT_SLPCNTR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEPCNT[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **SLEEPCNT[7:0]** : スリープサイクルカウンタ

SLEEPモードに費やされるサイクル数をカウントします (WFI、WFE、Sleep-on-exit)。

38.6.6 DWT LSU カウントレジスタ (DWT_LSUCNTR)

アドレス・オフセット : 0x014

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **LSUCNT[7:0]** : ロードストアカウンタ

ロードおよびストア命令を実行するために必要な追加サイクル数をカウントします。

38.6.7 DWT フォールドカウントレジスタ (DWT_FOLDCNTR)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLDCNT[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **FOLDCNT[7:0]** : フォールドされた命令数のカウンタ

サイクル数 0 の命令のたびにインクリメントします。

38.6.8 DWT プログラムカウンタサンプルレジスタ (DWT_PCSR)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIASAMPLE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIASAMPLE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **EIASAMPLE[31:0]** : 実行された命令アドレスのサンプル値
プログラムカウンタの現在値をサンプリングします。

38.6.9 DWT コンパレータレジスタ x (DWT_COMPxR)

アドレス・オフセット : 0x020 + 0x010 * x (x = 0 から 3)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
COMP[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **COMP[31:0]** : 比較のための基準値

38.6.10 DWT マスクレジスタ x (DWT_MASKxR)

アドレス・オフセット : 0x024 + 0x010 * x (x = 0 から 3)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
											r/w	r/w	r/w	r/w	r/w

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **MASK[4:0]** : コンパレータのマスクサイズ

コンパレータ n によるアドレスレンジ照合のためのアクセスアドレスに適用される無視マスクのサイズを提供します。デバッガはこのフィールドに 0b11111 を書き込み、その後そのレジスタを再び読み出して、サポートされる最大マスクサイズを決定することができます。

38.6.11 DWT 機能レジスタ x (DWT_FUNCtXR)

アドレス・オフセット : 0x028 + 0x010 * x (x = 0 から 3)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCH ED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]			
							r					r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1E NA	DATAV MATCH	CYCM ATCH	Res.	EMITR ANGE	Res.	FUNCTION[3:0]			
r	r	r	r	r	r	r	r	r		r		r	r	r	r

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **MATCHED** : コンパレータ一致 (読出し専用)

レジスタが最後に読み出されたあと、コンパレータの一致が発生したかどうかを示します。

0 : 一致していません。

1 : 一致が発生しました。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **DATAVADDR1[3:0]** : DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用する 2 番目のコンパレータのコンパレータ番号が保持されます。ビット 15:12 **DATAVADDR0[3:0]** : DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用するコンパレータのコンパレータ番号が保持されます。ビット 11:10 **DATAVSIZE[1:0]** : データ値照合のために必要なデータ比較のサイズを指定します。

0x0 : バイト

0x1 : ハーフワード

0x2 : ワード

0x3 : 予約済み

ビット 9 **LNK1ENA** : リンクされた 2 番目のコンパレータの有効化

リンクされた 2 番目のコンパレータの使用がサポートされるかを示します (読出し専用)。

0x1 : サポートされます。

ビット 8 **DATAVMATCH** : サイクル比較の有効化

0x0 : アドレス比較

0x1 : データ値比較

ビット 7 **CYCMATCH** : コンパレータ 0 のサイクルカウント比較の有効化

このフィールドは他のコンパレータのために予約済みです。

0x0 : サイクルカウント比較は行われません。

0x1 : DWT_COMP0R をサイクルカウンタ DWT_CYCCNTR と比較します。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **EMITRANGE** : データトレースのアドレス・オフセットパケット (データアドレスのビット 0~15 を含む) の生成を有効にします。

0x0 : 無効

0x1 : 有効

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **FUNCTION[3:0]** : コンパレータの一致時のアクションの選択

このビットフィールドの意味は、DATAVMATCH および CYCMATCH フィールドの設定に依存します。
[5]を参照してください。

38.6.12 DWT CoreSight ペリフェラル ID レジスタ 4 (DWT_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC コード

38.6.13 DWT CoreSight ペリフェラル ID レジスタ 0 (DWT_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x02 : DWT 部品番号

38.6.14 DWT CoreSight ペリフェラル ID レジスタ 1 (DWT_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]			PARTNUM[11:8]				
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID [3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x0 : DWT 部品番号

38.6.15 DWT CoreSight ペリフェラル ID レジスタ 2 (DWT_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 003B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]			JEDEC	JEP106ID [6:4]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x3 : r0p4

ビット 3 **JEDEC** : JEDEC 割り当て値

0x1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.6.16 DWT CoreSight ペリフェラル ID レジスタ 3 (DWT_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]			CMOD[3:0]				
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン

0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正

0x0 : 顧客による修正はありません。

38.6.17 DWT CoreSight コンポーネント ID レジスタ 0 (DWT_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]

0x0D : コモン ID 値

38.6.18 DWT CoreSight ペリフェラル ID レジスタ 1 (DWT_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0xE : トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.6.19 DWT CoreSight コンポーネント ID レジスタ 2 (DWT_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値

38.6.20 DWT CoreSight コンポーネント ID レジスタ 3 (DWT_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]								Res.	Res.
								r	r	r	r	r	r	r	r		

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.6.21 DWT レジスタマップ

表 271. DWT レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x000	DWT_CTRLR	NUMCOMP [3:0]			NOTRCPKT	NOEXTTRIG	NOCYCNT	NOPRFONT	Res.	CYCEVTENA	FOLDEVTEANA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCEANA	Res.	Res.	Res.	Res.	PCSAMPLENA	SYNCTAP[1:0]		CYCTAP	POSIT[3:0]			POSTPRESET[3:0]			CYCCNTENA					
	リセット値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x004	DWT_CYCCNTR	CYCCNT[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x008	DWT_CPICNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]										
	リセット値																									0	0	0	0	0	0	0	0			
0x00C	DWT_EXCCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]										
	リセット値																									0	0	0	0	0	0	0	0			
0x010	DWT_SLP CNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEP CNT[7:0]										
	リセット値																									0	0	0	0	0	0	0	0			
0x014	DWT_LSUCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]										
	リセット値																									0	0	0	0	0	0	0	0			
0x018	DWT_FOLD CNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLD CNT[7:0]										
	リセット値																									0	0	0	0	0	0	0	0			
0x01C	DWT_PCSR	EIASAMPLE[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x020	DWT_COMP0R	COMP[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x024	DWT_MASK0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.			
	リセット値																																	0	0	0



表 271. DWT レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x028	DWT_FUNC0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]	Res.	Res.	Res.	DATAVADDR0 [3:0]	Res.	Res.	DATAVSIZE [1:0]	Res.	LNK1ENA	DATAV/MATCH	Res.	CYCMATCH	Res.	EMITRANGE	Res.	Res.	FUNCTION [3:0]				
	リセット値								0						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x02C	予約済みです。	予約済み。																																		
0x030	DWT_COMP1R	COMP[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x034	DWT_MASK1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]			
	リセット値																														0	0	0	0		
0x038	DWT_FUNC1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]	Res.	Res.	Res.	DATAVADDR0 [3:0]	Res.	Res.	DATAVSIZE [1:0]	Res.	LNK1ENA	DATAV/MATCH	Res.	CYCMATCH	Res.	EMITRANGE	Res.	Res.	FUNCTION [3:0]				
	リセット値								0						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x03C	予約済みです。	予約済み。																																		
0x040	DWT_COMP2R	COMP[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x044	DWT_MASK2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]			
	リセット値																														0	0	0	0		
0x048	DWT_FUNC2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]	Res.	Res.	Res.	DATAVADDR0 [3:0]	Res.	Res.	DATAVSIZE[1:0]	Res.	LNK1ENA	DATAV/MATCH	Res.	CYCMATCH	Res.	EMITRANGE	Res.	Res.	FUNCTION[3:0]				
	リセット値								0						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x04C	予約済みです。	予約済み。																																		
0x050	DWT_COMP3R	COMP[31:0]																																		
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x054	DWT_MASK3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]			
	リセット値																														0	0	0	0		
0x058	DWT_FUNC3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]	Res.	Res.	Res.	DATAVADDR0 [3:0]	Res.	Res.	DATAVSIZE [1:0]	Res.	LNK1ENA	DATAV/MATCH	Res.	CYCMATCH	Res.	EMITRANGE	Res.	Res.	FUNCTION [3:0]				
	リセット値								0						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x05C から 0xFCC	予約済みです。	予約済み。																																		
0xFD0	DWT_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]	JEP106CON [3:0]				
	リセット値																													0	0	0	0	0	1	0
0xFD4 から 0xFDC	予約済みです。	予約済み。																																		
0xFE0	DWT_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]			
	リセット値																													0	0	0	0	0	0	1
0xFE4	DWT_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]	PARTNUM [11:8]			
	リセット値																													1	0	1	1	0	0	0
0xFE8	DWT_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]	JEP106ID [6:4]			
	リセット値																													0	0	1	1	1	0	1



表 271. DWT レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0xFEC	DWT_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]						
	リセット値																										0	0	0	0	0	0	0	0		
0xFF0	DWT_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]										
	リセット値																										0	0	0	0	1	1	0	1		
0xFF4	DWT_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]						
	リセット値																									1	1	1	0	0	0	0	0			
0xFF8	DWT_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]										
	リセット値																										0	0	0	0	0	1	0	1		
0xFFC	DWT_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]										
	リセット値																										1	0	1	1	0	0	0	1		

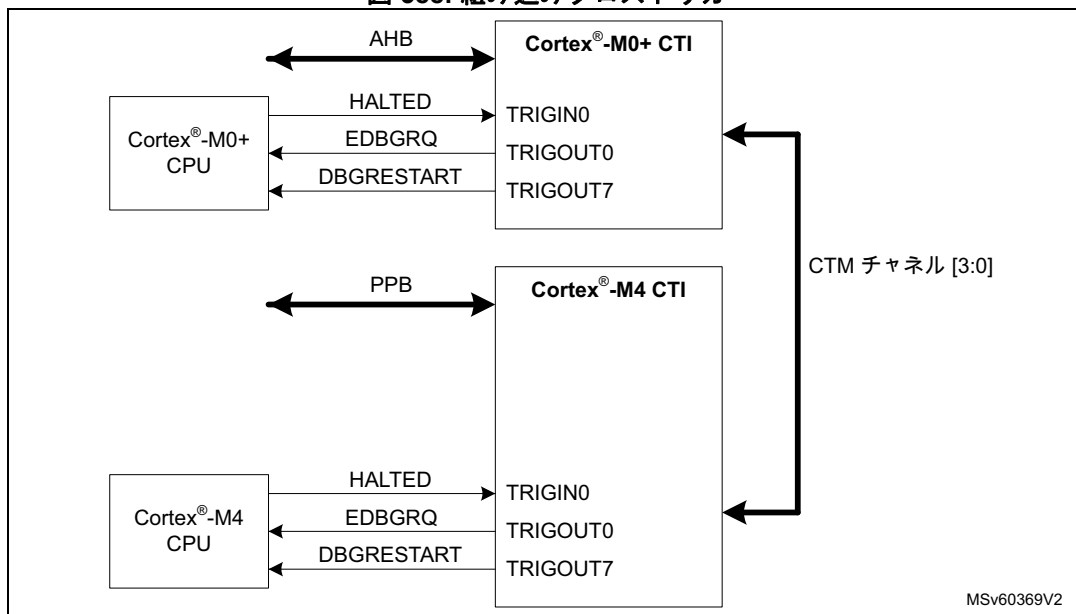
レジスタ境界アドレスについては、[セクション 38.8: CPU1 ROM テーブル](#)と [セクション 38.13: CPU2 ROM テーブル](#)を参照してください。

38.7 クロストリガインタフェース (CTI) / クロストリガマトリックス (CTM)

CTI と CTM は一緒になって CoreSight 組み込みクロストリガを形成します (図 388 を参照)。

CTI には 2 種類のコンポーネントがあり、1 つは CPU2 専用であり、もう 1 つは CPU1 専用です。2 つの CTI は CTM を介して相互接続されます。デバッグは、対応するアクセスポートおよび関連する AHB を介して CTI レジスタにアクセスできます。

図 388. 組み込みクロストリガ



CTI 機能を使用することで、さまざまな転送元からのイベントによりデバッグ動作をトリガすることができます。たとえば、1つのプロセッサコアでブレークポイントに達すると、別のプロセッサを停止することができます。

各 CTI には、トリガ入力とトリガ出力がそれぞれ最大 8 つあります。同じ CTI、または CTM を介して別の CTI で、任意の入力を任意の出力に接続できます。

各 CTI のトリガ入力および出力信号は 表 272~表 275 に記載されています。

表 272. CPU2 CTI 入力

No.	転送元信号	転送元コンポーネント	コメント
0	HALTED	CPU2	CPU2 停止 - CPU2 がデバッグモードであることを示します。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用
6	-	-	未使用
7	-	-	未使用

表 273. CPU2 CTI 出力

No.	出力信号	転送先コンポーネント	コメント
0	EDBGRQ	CPU2	CPU2 停止リクエスト - CPU2 をデバッグモードにします。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用
6	-	-	未使用
7	DBGRESTART	CPU2	CPU2 再開リクエスト - CPU2 はデバッグモードを終了します。

表 274. CPU1 CTI 入力

No.	転送元信号	転送元コンポーネント	コメント
0	HALTED	CPU1	CPU1 停止 - CPU1 がデバッグモードであることを示します。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用

表 274. CPU1 CTI 入力 (続き)

No.	転送元信号	転送元コンポーネント	コメント
6	-	-	未使用
7	-	-	未使用

表 275. CPU1 CTI 出力

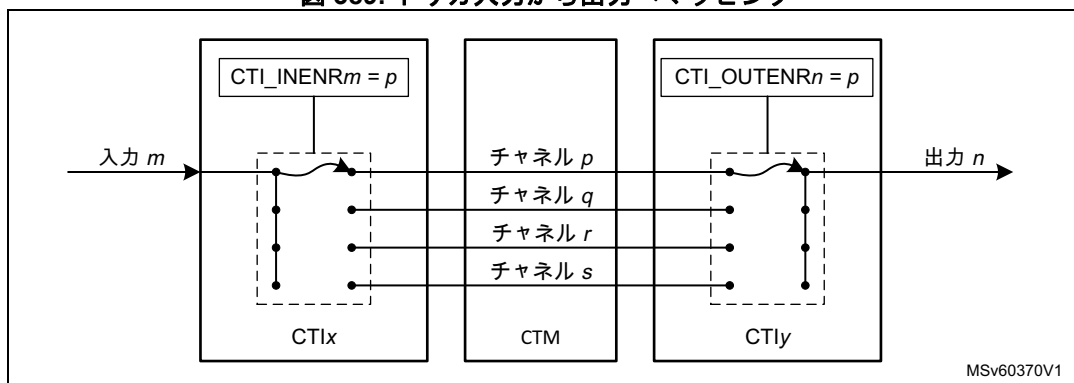
No.	転送元信号	転送元コンポーネント	コメント
0	EDBGRRQ	CPU1	CPU1 停止リクエスト - CPU1 をデバッグモードにします。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用
6	-	-	未使用
7	DBGRESTART	CPU1	CPU1 再開リクエスト - CPU1 はデバッグモードを終了します。

CTM には 4 つのイベントチャンネルがあります。それにより、異なる CTI のトリガ入力と出力の間に最大 4 つの、双方向、平行接続を設けることができます。CTI x の入力番号 m を CTI y の出力番号 n に接続するには、CTI x の CTI_INENR m レジスタを使用して、入力をイベントチャンネル p に接続する必要があります。CTI y の CTI_OUTENR n レジスタを使用して、同じチャンネル p を出力に接続してください。

注： 上記は、入力と出力が同じ CTI に属する場合でも適用されます。

1つの入力は1つ以上のチャンネル（最大4つ）に接続できるため、複数の出力に振り分けることができます。同様に、出力も複数の入力に接続できます。複数の入力/出力を同じチャンネルに接続することも可能です。

図 389. トリガ入力から出力へマッピング



設定例

いずれかの CPU コアがブレークポイントに達すると、もう一方のコアは停止します。2 つのコアを同期的に再起動します。

コアの 1 つが停止したときに両方のコアを停止するには、各コアの HALTED 出力を反対側のコアの EDBGGRQ 入力に接続する必要があります。

表 272 と表 274 に示すように、CPU2 からの HALTED 信号を CPU2 CTI の入力 0 に接続し、CPU1 からの同じ信号を CPU1 CTI の同じ入力に接続します。したがって、これらの入力が CTM チャンネル (チャンネル 0 など) に接続されるように各 CTI で CTI_IENR0 レジスタをプログラムします。

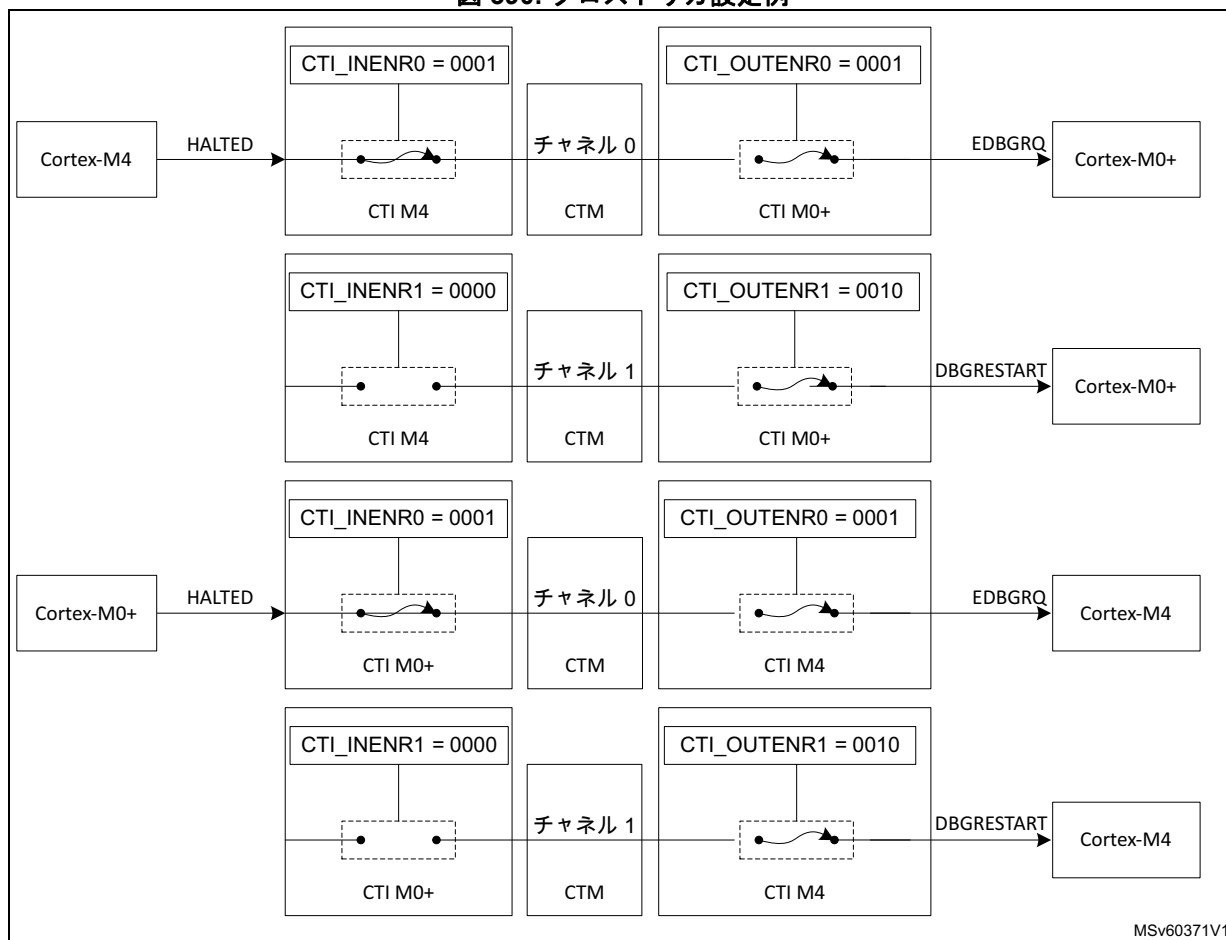
表 273 と表 275 に示すように、CPU への EDBGGRQ 信号を、それぞれの CTI の出力 0 に接続します。次に、これらの出力が同じ CTM チャンネルに接続されるように各 CTI で CTI_OUTENR0 レジスタをプログラムします。

両方のコアを同時に再起動するには、デバッガは、一方の CTI の CTI_APPPULSER レジスタを使用する必要があります。これにより、デバッガは、4 つの CTM チャンネルのいずれかでパルスを生成できます。チャンネルは、両方のコアの DBGRESTART 信号に接続されていなければなりません。

表 273 と表 275 に示すように、CPU への DBGRESTART 信号は、それぞれの CTI の出力 1 に接続されます。その後、これらの出力が未使用の CTM チャンネル (チャンネル 1 など) に接続されるように各 CTI で CTI_OUTENR1 レジスタをプログラムします。

上記の設定を、図 390 に示します。

図 390. クロストリガ設定例



次に説明する手順で、プロセッサを同時に強制的に再起動します。

1. 各 CTI で CTI_INTACKR レジスタに 0x01 を書き込み、続けて 0x00 を書き込んで、デバッグリクエストをクリアします。
2. いずれかの CTI の CTI_APPPULSER レジスタに 0x02 を書き込むことによって、チャンネル 1 にパルスが発生させます。これにより、両方のプロセッサに再起動リクエストが生成されます。

注： デバッグは、いずれかの CTI の CTI_APPPULSER レジスタに 0x01 を書き込むことによって、チャンネル 0 にパルスが生成され、両方のコアを同時に強制的に停止することもできます。

CTI CoreSight コンポーネントの詳細情報は、Arm® CoreSight SoC-400 Technical Reference Manual [2]を参照してください。

38.7.1 CTI レジスタ

レジスタファイルのベースアドレスは、CPU1 CTI では 0xE0043000、CPU2 CTI では 0xF0001000 です (CTI は異なるアクセスポート経由でアクセスされるので、問題ではありません)。レジスタはどの CTI でも同じです。

CTI 制御レジスタ (CTI_CONTROLR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GLBEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **GLBEN** : グローバル有効化

0 : クロストリガは無効です。

1 : クロストリガは有効です。

CTI トリガ確認応答レジスタ (CTI_INTACKR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INTACK[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **INTACK[7:0]** : トリガ確認応答

CTITRIGOUT 出力ごとにレジスタの 1 ビットが割り当てられます。このレジスタの 1 ビットに 1 が書き込まれると、対応する CTITRIGOUT 出力が確認応答され、クリアされます。

CTI アプリケーショントリガ設定レジスタ (CTI_APPSETR)

アドレス・オフセット : 0x014

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPSET[3:0]			
												r/w	r/w	r/w	r/w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPSET[3:0]** : チャンネルイベント設定

読出し :

- XXX0 : チャンネル 0 イベントはインアクティブです。
- XXX1 : チャンネル 0 イベントはアクティブです。
- XX0X : チャンネル 1 イベントはインアクティブです。
- XX1X : チャンネル 1 イベントはアクティブです。
- X0XX : チャンネル 2 イベントはインアクティブです。
- X1XX : チャンネル 2 イベントはアクティブです。
- 0XXX : チャンネル 3 イベントはインアクティブです。
- 1XXX : チャンネル 3 イベントはアクティブです。

書込み :

- 0000 : 影響なし。
- XXX1 : チャンネル 0 にイベントを設定します。
- XX1X : チャンネル 1 にイベントを設定します。
- X1XX : チャンネル 2 にイベントを設定します。
- 1XXX : チャンネル 3 にイベントを設定します。

CTI アプリケーショントリガクリアレジスタ (CTI_APPCLEAR)

アドレス・オフセット : 0x018

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPCLEAR[3:0]			
												w	w	w	w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPCLEAR[3:0]** : チャネルイベントのクリア

0000 : 影響なし。

XXX1 : チャネル 0 のイベントをクリアします。

XX1X : チャネル 1 のイベントをクリアします。

X1XX : チャネル 2 のイベントをクリアします。

1XXX : チャネル 3 のイベントをクリアします。

CTI アプリケーションパルスレジスタ (CTI_APPPULSER)

アドレス・オフセット : 0x01C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPPULSE[3:0]			
												w	w	w	w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPPULSE[3:0]** : チャネルイベントのパルス出力

このレジスタ自体がただちにクリアされます。

0000 : 影響なし。

XXX1 : チャネル 0 のパルスを生成します。

XX1X : チャネル 1 のパルスを生成します。

X1XX : チャネル 2 のパルスを生成します。

1XXX : チャネル 3 のパルスを生成します。

CTI トリガ入力 x 有効レジスタ (CTI_INENRx)

アドレス・オフセット : 0x020 + 0x004 * x (x = 0 から 7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN[3:0]			
												r/w	r/w	r/w	r/w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TRIGINEN[3:0]** : クロストリガイブントの有効化/無効化

CTITRIGINx がアクティブ化された時点で (x = 0 ~ 7)、4 つのチャンネルそれぞれのクロストリガイブントを有効または無効にします。

0000 : トリガはどのチャンネルのイベントも生成しません。

XXX1 : トリガ n はチャンネル 0 のイベントを生成します。

XX1X : トリガ n はチャンネル 1 のイベントを生成します。

X1XX : トリガ n はチャンネル 2 のイベントを生成します。

1XXX : トリガ n はチャンネル 3 のイベントを生成します。

CTI トリガ出力 x 有効レジスタ (CTI_OUTENRx)

アドレス・オフセット : 0x0A0 + 0x004 * x (x = 0 から 7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
												r/w	r/w	r/w	r/w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TRIGOUTEN[3:0]** : チャンネルごとに、そのチャンネルのイベントが CTITRIGOUTx (x = 0~7) のトリガを生成するかどうかを定義します。

0000 : チャンネルイベントはトリガ出力のトリガを生成しません。

XXX1 : チャンネル 0 イベントはトリガ出力 n のトリガを生成します。

XX1X : チャンネル 1 イベントはトリガ出力 n のトリガを生成します。

X1XX : チャンネル 2 イベントはトリガ出力 n のトリガを生成します。

1XXX : チャンネル 3 イベントはトリガ出力 n のトリガを生成します。

CTI トリガ入カステータスレジスタ (CTI_TRGISTSR)

アドレス・オフセット : 0x130

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINSTATUS[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TRIGINSTATUS[7:0]** : トリガ入カステータス

CTITRIGIN 入力ごとにレジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するトリガ入力アクティブであることを示します。このビットが 0 に設定されている場合は、対応するトリガ入力はインアクティブです。

CTI トリガ出カステータスレジスタ (CTI_TRGOSTSR)

アドレス・オフセット : 0x134

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTSTATUS[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TRIGOUTSTATUS[7:0]** : トリガ出カステータス

CTITRIGOUT 出力ごとにレジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するトリガ出力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するトリガ出力はインアクティブです。

CTI チャンネル入カステータスレジスタ (CTI_CHINSTSR)

アドレス・オフセット : 0x138

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHINSTSTATUS[3:0]			
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CHINSTSTATUS[3:0]** : チャンネル入カステータス

チャンネル入力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するチャンネル入力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するチャンネル入力はインアクティブです。

CTI チャンネル出カステータスレジスタ (CTI_CHOUTSTSR)

アドレス・オフセット : 0x13C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHOUTSTATUS[3:0]			
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CHOUTSTATUS[3:0]** : チャンネル出カステータス

チャンネル出力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するチャンネル出力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するチャンネル出力はインアクティブです。



CTI チャンネルゲートレジスタ (CTI_GATER)

アドレス・オフセット : 0x140

リセット値 : 0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GATEEN[3:0]			
												rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **GATEEN[3:0]** : チャンネル出力有効化

チャンネルごとに、そのチャンネルのイベントが CTM を通って他の CTI へ伝わり得るかどうかを定義します。

0000 : チャンネルイベントは伝わりません。

XXX1 : チャンネル 0 イベントは伝わります。

XX1X : チャンネル 1 イベントは伝わります。

X1XX : チャンネル 2 イベントは伝わります。

1XXX : チャンネル 3 イベントは伝わります。

CTI 要求タグ設定レジスタ (CTI_CLAIMSETR)

アドレス・オフセット : 0xFA0

リセット値 : 0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
												rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMSET[3:0]** : 要求タグビットのセット

書込み :

0000 : 影響なし。

XXX1 : ビット 0 をセットします。

XX1X : ビット 1 をセットします。

X1XX : ビット 2 をセットします。

1XXX : ビット 3 をセットします。

読出し :

1111 : 要求タグには 4 つのビットがあることを示します。

CTI 要求タグクリアレジスタ (CTI_CLAIMCLR)

アドレス・オフセット : 0xFA4

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
												r/w	r/w	r/w	r/w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMCLR[3:0]** : 要求タグビットのリセット

書込み :

0b0000 : 影響なし。

XXX1 : ビット 0 をクリアします。

XX1X : ビット 1 をクリアします。

X1XX : ビット 2 をクリアします。

1XXX : ビット 3 をクリアします。

読出し : 要求タグの現在値を返します。

CTI ロックアクセスレジスタ (CTI_LAR)

アドレス・オフセット : 0xFB0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ACCESS_W[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACCESS_W[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **ACCESS_W[31:0]** : 書込みアクセス有効化

プロセッサコアによる一部の CTI レジスタへの書込みアクセスを有効にします (デバッグはコンポーネントをアンロックする必要なし)。

0xC5AC CE55 : 書込みアクセスは有効です

その他の値 : 書込みアクセスは無効です

CTI ロックステータスレジスタ (CTI_LSR)

アドレス・オフセット : 0xFB4

リセット値 : 0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LOCK TYPE	LOCK GRANT	LOCK EXIST
													r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **LOCKTYPE** : CTI_LAR レジスタのサイズ

0 : 32 ビット

ビット 1 **LOCKGRANT** : 現在のロックステータス

このビットは、外部デバッガによって常にゼロとして読み出されます。

0 : 書き込みアクセスが許可されます。

1 : 書き込みアクセスはブロックされます (読出しのみが許可されます)。

ビット 0 **LOCKEXIST** : ロック制御メカニズムの有効性

このビットは、外部デバッガによって常にゼロとして読み出されます。

0 : ロック制御メカニズムなし

1 : ロック制御メカニズムが実装されています

CTI 認証ステータスレジスタ (CTI_AUTHSTATR)

アドレス・オフセット : 0xFB8

リセット値 : 0x0000 000A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SNID[1:0]		SID[1:0]		NSNID[1:0]		NSID[1:0]	
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **SNID[1:0]** : 保護された非侵入型デバッグのセキュリティレベル

0x0 : 実装なし

ビット 5:4 **SID[1:0]** : セキュアな侵入型デバッグのセキュリティレベル

0x0 : 実装なし

ビット 3:2 **NSNID[1:0]** : 無保護の非侵入型デバッグのセキュリティレベル

0x2 : 無効

0x3 : 有効

ビット 1:0 **NSID[1:0]** : 非セキュアな侵入型デバッグのセキュリティレベル

0x2 : 無効

0x3 : 有効

CTI デバイス設定レジスタ (CTI_DEVIDR)

アドレス・オフセット : 0xFC8

リセット値 : 0x0004 0800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUMCH[3:0]			
												r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUMTRIG[7:0]								Res.	Res.	Res.	EXTMUXNUM[4:0]				
r	r	r	r	r	r	r	r				r	r	r	r	r

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **NUMCH[3:0]** : ECT チャンネルの数

0x4 : 4 チャンネル

ビット 15:8 **NUMTRIG[7:0]** : ECT トリガの数

0x8 : 8 つのトリガ入力と 8 つのトリガ出力

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **EXTMUXNUM[4:0]** : トリガ入力/出力マルチプレクサの数

0x0 : なし

CTI デバイスタイプ識別子レジスタ (CTI_DEVTYPER)

アドレス・オフセット : 0xFCC

リセット値 : 0x0000 0014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE[3:0]				MAJORTYPE[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **SUBTYPE[3:0]** : 下位分類

0x1 : このコンポーネントがクロストリガコンポーネントであることを示します。

ビット 3:0 **MAJORTYPE[3:0]** : 大分類

0x4 : このコンポーネントによりデバッグが CoreSight™ SoC-400 システムの他のコンポーネントを制御できることを示します。

CTI CoreSight ペリフェラル ID レジスタ 4 (CTI_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC コード

CTI CoreSight ペリフェラル ID レジスタ 0 (CTI_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 0006

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x06 : CTI 部品番号

CTI CoreSight ペリフェラル ID レジスタ 1 (CTI_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID [3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x9 : CTI 部品番号

CTI CoreSight ペリフェラル ID レジスタ 2 (CTI_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 004B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x4 : r0p5

ビット 3 **JEDEC** : JEDEC 割り当て値

0x1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

CTI CoreSight ペリフェラル ID レジスタ 3 (CTI_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン

0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正

0x0 : 顧客による修正はありません。

CTI CoreSight コンポーネント ID レジスタ 0 (CTI_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]

0x0D : コモン ID 値

CTI CoreSight ペリフェラル ID レジスタ 1 (CTI_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 0090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0x9 : CoreSight コンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

CTI CoreSight コンポーネント ID レジスタ 2 (CTI_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値



CTI CoreSight コンポーネント ID レジスタ 3 (CTI_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]									
								r	r	r	r	r	r	r	r		

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 PREAMBLE[27:20] : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

CTI レジスタマップ

表 276. CTI レジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x000	CTI_CONTROLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GLBEN	
	リセット値																																	0	
0x010	CTI_INTACKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x014	CTI_APPSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPSET[3:0]	
	リセット値																																		0 0 0 0
0x018	CTI_APPCLEAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPCLEAR [3:0]	
	リセット値																																		0 0 0 0
0x01C	CTI_APPPULSER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPPULSE [3:0]	
	リセット値																																		0 0 0 0
0x020	CTI_INENR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]	
	リセット値																																		0 0 0 0
0x024	CTI_INENR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		
0x028	CTI_INENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		
0x02C	CTI_INENR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		
0x030	CTI_INENR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		
0x034	CTI_INENR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		

表 276. CTI レジスタマップとリセット値 (続き)

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x038	CTI_INENR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]	
	リセット値																																		0 0 0 0
0x03C	CTI_INENR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]
	リセット値																																		0 0 0 0
0x040 から 0x08C	予約済みです。	予約済みです。																																	
0x0A0	CTI_OUTENR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0A4	CTI_OUTENR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0A8	CTI_OUTENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0AC	CTI_OUTENR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0B0	CTI_OUTENR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0B4	CTI_OUTENR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0B8	CTI_OUTENR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0BC	CTI_OUTENR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3: 0]
	リセット値																																		
0x0C0 から 0x12C	予約済みです。	予約済みです。																																	
0x130	CTI_TRIGISTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINSTATUS[7:0]
	リセット値																																		
0x134	CTI_TRIGOSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTSTATUS[7:0]
	リセット値																																		
0x138	CTI_CHINSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHIN STATUS[3:0]
	リセット値																																		
0x13C	CTI_CHOUTSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHOUT STATUS[3:0]
	リセット値																																		
0x140	CTI_GATER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GATEEN[3:0]
	リセット値																																		
0x144 から 0xF8C	予約済みです。	予約済みです。																																	
0xFA0	CTI_CLAIMSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET [3:0]
	リセット値																																		



38.8 CPU1 ROM テーブル

ROM テーブルは CoreSight コンポーネントの一つで、AHB-AP を介してアクセス可能なすべての CoreSight デバッグコンポーネントのベースアドレスを格納します。このテーブルを使用することにより、デバッグは CoreSight システムのトポロジを自動検出することができます。

CPU1 サブシステムには 1 つの ROM テーブルがあります。このテーブルは CPU1 AHB-AP の AP_BASER レジスタによって指し示されます。ここには、デバッグが CPU コアを識別できるようにするシステム制御空間 (SCS) レジスタのベースアドレスポインタに加え、FPB、DWT、および CTI のベースアドレスポインタが格納されています。

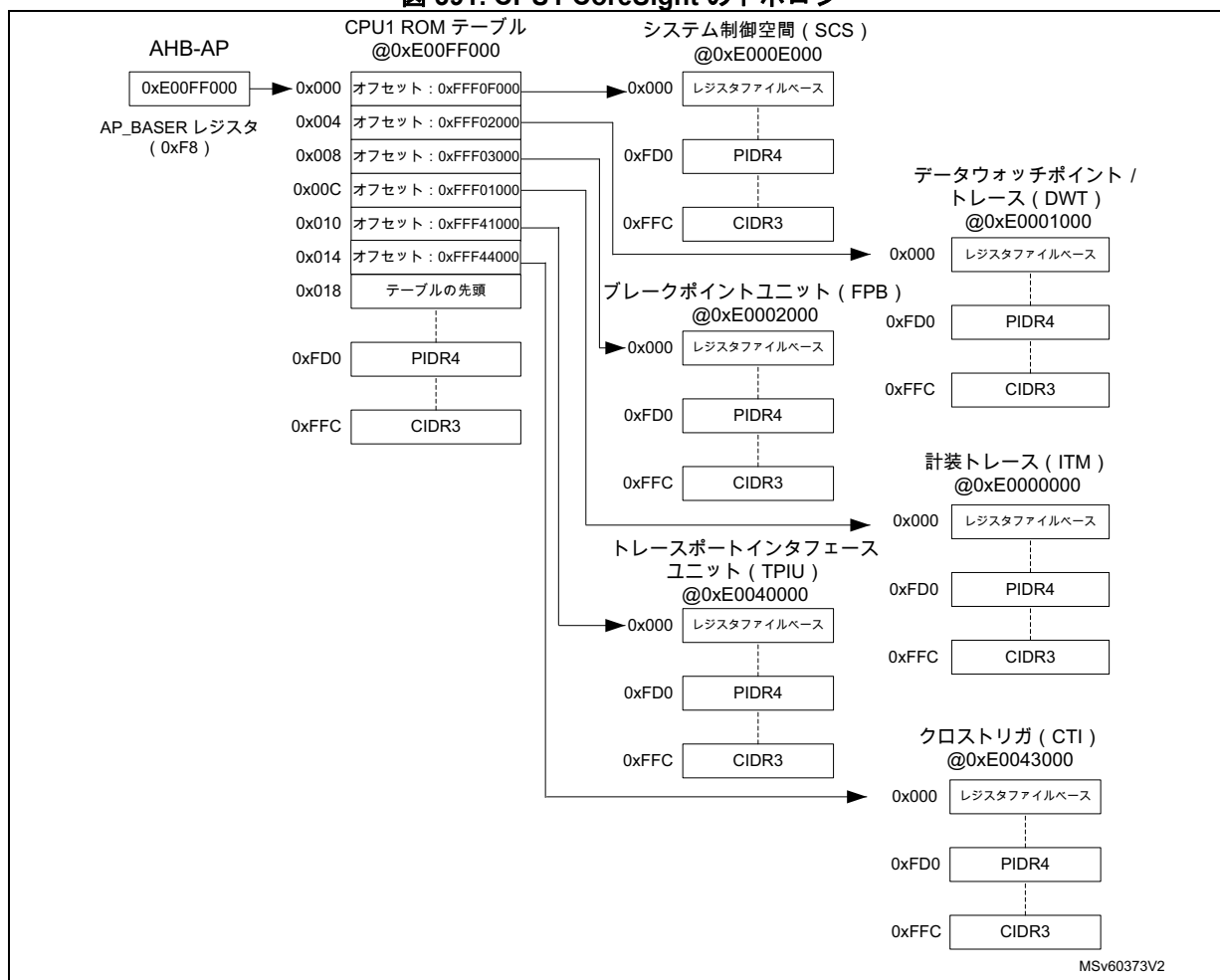
CPU1 ROM テーブル (表 277 を参照) は 4 KB、すなわちアドレス空間の 32 ビット幅の領域 (0xE00FF000 ~ 0xE00FFFC) を占有します。

表 277. CPU1 ROM テーブル

アドレス (ROM テーブル)	コンポーネント名	コンポーネントベースアドレス	コンポーネントアドレス・オフセット	サイズ (バイト)	エントリ
0xE00FF000	SCS	0xE000E000	0xFFFF0F000	4 K	0xFFFF0F003
0xE00FF004	DWT	0xE0001000	0xFFFF02000	4 K	0xFFFF02003
0xE00FF008	FPB	0xE0002000	0xFFFF03000	4 K	0xFFFF03003
0xE00FF00C	ITM	0xE0000000	0xFFFF01000	4 K	0xFFFF01003
0xE00FF010	TPIU	0xE0040000	0xFFFF41000	4 K	0xFFFF41003
0xE00FF014	CTI	0xE0043000	0xFFFF44000	4 K	0xFFFF44003
0xE00FF018	テーブルの先頭	-	-	-	0x00000000
0xE00FF01C から 0xE00FFFC8	予約済みです。	-	-	-	0x00000000
0xE00FFFC から 0xE00FFFC	ROM テーブルレジスタ	-	-	-	表 277 を参照

CPU1 サブシステム内の CoreSight コンポーネントのトポロジを 図 391 に示します。

図 391. CPU1 CoreSight のトポロジ



38.8.1 CPU1 ROM メモリタイプレジスタ (ROM_MEMTYPER)

アドレス・オフセット : 0xFCC

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSTEMEM
															r

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSTEMEM** : システムメモリ

1 : このバス上にシステムメモリがあります。

38.8.2 CPU1 ROM CoreSight ペリフェラル ID レジスタ 4 (ROM_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x0 : STMicroelectronics JEDEC 継続コード

38.8.3 CPU1 ROM CoreSight ペリフェラル ID レジスタ 0 (ROM_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 0097

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x97 : STM32WL5x

38.8.4 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1 (ROM_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID [3:0]** : JEP106 ID コードビット [3:0]

0x0 : STMicroelectronics JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x4 : STM32WL5x

38.8.5 CPU1 ROM CoreSight ペリフェラル ID レジスタ 2 (ROM_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 000A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]			
								r	r	r	r	r	r	r	r	

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号
 0x0 : リビジョン r0p0

ビット 3 **JEDEC** : JEDEC 割り当て値
 1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]
 0x2 : STMicroelectronics JEDEC コード

38.8.6 CPU1 ROM CoreSight ペリフェラル ID レジスタ 3 (ROM_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン
 0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正
 0x0 : 顧客による修正はありません。

38.8.7 CPU1 ROM CoreSight コンポーネント ID レジスタ 0 (ROM_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]

0x0D : コモン ID 値

38.8.8 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1 (ROM_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス

0x1 : ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]

0x0 : コモン ID 値

38.8.9 CPU1 ROM CoreSight コンポーネント ID レジスタ 2 (ROM_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]

0x05 : コモン ID 値

38.8.10 CPU1 ROM CoreSight コンポーネント ID レジスタ 3 (ROM_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.8.11 CPU1 ROM テーブルレジスタマップ

表 278. CPU1 ROM テーブルレジスタマップとリセット値

オフ セット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0xFFC	ROM_MEMTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	1	
	リセット値																																		
0xFD0	ROM_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																											0	0	0	0	0	0	0	0
0xFD4- 0xFDC	予約済みです。	予約済み。																																	
0xFE0	ROM_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0xFE4	ROM_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFE8	ROM_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFEC	ROM_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFF0	ROM_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFF4	ROM_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFF8	ROM_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0xFFC	ROM_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		

レジスタ境界アドレスについては、[セクション 38.8: CPU1 ROM テーブル](#)を参照してください。

38.9 CPU1 ブレークポイントユニット (FPB)

FPBによって、ハードウェアブレークポイントをセットできます。このユニットには、命令フェッチアドレスを監視する6つのコンパレータと、2つのリテラルアドレスコンパレータが内蔵されています。

一致が発生した場合、そのアドレスは、FPB_REMAPRレジスタに一致コンパレータに対応するオフセットを加えた値で定義されたシステムメモリ内のアドレスに再配置されます。

あるいは、ブレークポイント命令を生成するように命令コンパレータを設定することもできます。

38.9.1 FPB 制御レジスタ (FPB_CTRLR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0260

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	NUM_C ODE6	NUM_C ODE5	NUM_C ODE4	NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	r	r	r	r	r	r	r	r	r	r	r			rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **NUM_LIT[3:0]** : サポートされるリテラルアドレスコンパレータの数 (読出し専用)

0x2 : 2つのリテラルコンパレータがサポートされます。

ビット 14、13、12、**NUM_CODE[6:0]** : サポートされる命令アドレスコンパレータの数 - 最下位ビット (読出し専用)

7、6、5、4 0x6 : 6つの命令コンパレータがサポートされます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **KEY** : 書き込み保護キー

FPB_CTRLR レジスタへの書き込みは、このビットが「1」にセットされていない場合は無視されます。

ビット 0 **ENABLE** : FPB 有効化

0 : 無効

1 : 有効

38.9.2 FPB リマップレジスタ (FPB_REMAPR)

アドレス・オフセット : 0x004

リセット値 : 0x2000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	RMPSPPT	REMAP[23:11]													
		r	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
REMAP[10:0]												Res.	Res.	Res.	Res.	Res.
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW					

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **RMPSPPT** : Flash メモリパッチのリマップ

Flash メモリパッチのリマップがサポートされているかどうかを示します (読出し専用)。

1 : リマップはサポートされています。

ビット 28:5 **REMAP[23:0]** : ターゲットアドレスのリマップ

FPB がアドレスをリマップする SRAM 内のベースアドレスのビット [28:5]。リマップベースアドレスは、実装されたコンパレータをサポートするために必要なワード数、すなわち (NUM_CODE+NUM_LIT) ワードに揃える必要があり、最小でも 8 ワードに揃える必要があります。リマップは SRAM メモリ領域 0x20000000-0x3FFFFFFF に行われるので、リマップアドレスのビット [31:29] は 0b001 になります。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

38.9.3 FPB コンパレータレジスタ x (FPB_COMPxR)

アドレス・オフセット : 0x008 + 0x004 * x (x = 0 から 7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REPLACE[1:0]		Res.	COMP[26:14]												
rW	rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[13:0]													Res.	ENABLE	
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW		rW

ビット 31:30 **REPLACE[1:0]** : COMP フィールドと命令フェッチアドレスの一致が発生したときの動作を定義します。

0x0 : 予約済み

0x1 : 下位ハーフワードにブレークポイントが定義され、上位ハーフワードは定義されません。

0x2 : 上位ハーフワードにブレークポイントが定義され、下位ハーフワードは定義されません。

0x3 : 上位および下位のハーフワードにそれぞれブレークポイントが定義されます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:2 **COMP[26:0]** : 命令コードメモリ (0x00000000~0x1FFFFFFF) へのアクセスアドレスのビット 28:2 と比較するための値です。

一致の発生時に取るべき動作は、REPLACE フィールドに定義されます。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **ENABLE** : コンパレータの有効化
 コンパレータは、このビットと FPB_CTRLR レジスタの FPB_ENABLE ビットの両方がセットされている場合にのみ有効です。
 0 : 無効
 1 : 有効

38.9.4 FPB CoreSight ペリフェラル ID レジスタ 4 (FPB_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。
 ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ
 0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。
 ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード
 0x4 : Arm® JEDEC コード

38.9.5 FPB CoreSight ペリフェラル ID レジスタ 0 (FPB_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。
 ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]
 0x03 : FPB 部品番号



38.9.6 FPB CoreSight ペリフェラル ID レジスタ 1 (FPB_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID [3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x0 : FPB 部品番号

38.9.7 FPB CoreSight ペリフェラル ID レジスタ 2 (FPB_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 002B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x2 : r0p3

ビット 3 **JEDEC** : JEDEC 割り当て値

0x1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.9.8 FPB CoreSight ペリフェラル ID レジスタ 3 (FPB_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン
 0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正
 0x0 : 顧客による修正はありません。

38.9.9 FPB CoreSight コンポーネント ID レジスタ 0 (FPB_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]
 0x0D : コモン ID 値

38.9.10 FPB CoreSight ペリフェラル ID レジスタ 1 (FPB_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0xE : トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.9.11 FPB CoreSight コンポーネント ID レジスタ 2 (FPB_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値

38.9.12 FPB CoreSight コンポーネント ID レジスタ 3 (FPB_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.10 CPU1 計装トレースマクロセル (ITM)

ITM はトレース情報をパケットとして生成します。パケットは 3 つのソースから生成することができます。パケットが複数のソースから同時に生成される場合、ITM はパケットの出力順番についてアービトラージを行います。3 つのソースを優先度の高いものから順に挙げます。

1. ソフトウェアトレース

ソフトウェアは、32 x 32 ビットの ITM スティムラスレジスタのいずれかに直接書込みを行って、パケットを生成します。各ポートの許可レベルはプログラムで設定できます。ソフトウェアが有効なスティムラポートに書き込むと、ITM は FIFO に書き込むパケットの中に、ポートの ID、書込みアクセスのサイズ、および書き込まれたデータを統合します。ITM は FIFO からトレースバスにパケットを出力します。スティムラポートレジスタを読み出すと、ビット 0 のスティムラポートレジスタのステータス（エンptyまたはペンディング）を返します。

2. ハードウェアトレース

DWT はデータトレースイベント、すなわち PC サンプルやパフォーマンスプロファイリングカウンタの折り返しに応じて、トレースパケットを生成します。ITM がこれらのパケットをトレースバスに出力します。

3. ローカルタイムスタンプ

ITM は（分周済みの）プロセッサクロックが供給される 21 ビットカウンタを内蔵しています。カウンタの値はトレースバスのタイムスタンプパケットに出力されます。タイムスタンプパケットが生成されるたびに、カウンタはゼロにリセットされます。よって、タイムスタンプは前のタイムスタンプパケットからの経過時間となります。

38.10.1 ITM スティムラスレジスタ x (ITM_STIMRx)

アドレス・オフセット：0x000 + 0x004 * x (x = 0 から 31)

リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STIMULUS[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIMULUS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **STIMULUS[31:0]**: 書込みデータは、ソフトウェアイベントパケットとしてトレースバスに出力されます。

読出し時、ビット 0 は FIFOREADY インジケータとなります。

0: スティムラポートのパuffaはフルです（またはポートが無効）。

1: スティムラポートは新しい書込みデータを受け入れることができます。

38.10.2 ITM トレース有効レジスタ (ITM_TER)

アドレス・オフセット : 0x080

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STIMENA[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIMENA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **STIMENA[31:0]** : スティムラスポートの有効化

各ビット n (31:0) は、ITM_STIMRn レジスタと関連のあるスティムラスポートを有効にします。

0 : ポートを無効化

1 : ポートを有効化

38.10.3 ITM トレース特権レジスタ (ITM_TPR)

アドレス・オフセット : 0xE00

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRIVMASK[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRIVMASK[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **PRIVMASK[31:0]** : ITM スティムラスポートへの非特権のアクセスを有効にします。

各ビットは 8 つのスティムラスポートを制御します。

XXX0 : ポート 0~7 では非特権のアクセスが許可されます。

XXX1 : ポート 0~7 では特権アクセスのみが許可されます。

XX0X : ポート 8~15 では非特権のアクセスが許可されます。

XX1X : ポート 8~15 では特権アクセスのみが許可されます。

X0XX : ポート 16~23 では非特権のアクセスが許可されます。

X1XX : ポート 16~23 では特権アクセスのみが許可されます。

0XXX : ポート 24~31 では非特権のアクセスが許可されます。

1XXX : ポート 24~31 では特権アクセスのみが許可されます。

注 : **PRIVMASK** は 32 ビットの値で、上記の値は下位 4 ビット (**PRIVMASK[3:0]**) にのみ適用され、**PRIVMASK[31:4] = 0xXXXXXX** です。

38.10.4 ITM トレース制御レジスタ (ITM_TCR)

アドレス・オフセット : 0xE80

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BU SY	TRACEBUSID[6:0]						
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TSPRESCALE E[1:0]		Res.	Res.	Res.	SWO ENA	TXE NA	SYNC ENA	TSE NA	ITME NA
						rw	rw				r	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **BUSY** : ITM が現在イベント処理中かどうかを示します (読出し専用)。

- 0 : 非ビジー
- 1 : ビジー

ビット 22:16 **TRACEBUSID[6:0]** : マルチソーストレースストリームのフォーマット識別子

マルチソーストレースを使用している場合、デバッガはこのフィールドにゼロ以外の値を書き込まなければなりません。

注 : システム内のトレースソースにはそれぞれ異なる ID を使用してください。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **TSPRESCALE[1:0]** : ローカルタイムスタンプのプリスケール

- トレースパケットのリファレンスクロックで用いられる。設定可能な値は以下のとおり。
- 0x0 : プリスケールなし。
- 0x1 : 4 による除算。
- 0x2 : 16 による除算。
- 0x3 : 64 による除算。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **SWOENA**: タイムスタンプカウンタの非同期クロックを有効にします (読出し専用)。

- 0 : タイムスタンプカウンタはプロセッサクロックを使用します。

ビット 3 **TXENA** : DWT ユニットからトレースポートへのハードウェアイベントパケットの転送を有効にします。

- 0 : 無効
- 1 : 有効

ビット 2 **SYNCENA** : パケット送信の同期の有効化

注 : デバッガがこのビットをセットした場合、正しい同期速度にするために、DWT の DWT_CTRLR レジスタの SYNCTAP フィールドも設定する必要があります。

- 0 : 無効
- 1 : 有効

ビット 1 **TSENA** : ローカルタイムスタンプ生成の有効化

- 0 : 無効
- 1 : 有効

ビット 0 **ITMENA** : ITM 有効化

- 0 : 無効
- 1 : 有効

38.10.5 ITM CoreSight ペリフェラル ID レジスタ 4 (ITM_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC コード

38.10.6 ITM CoreSight ペリフェラル ID レジスタ 0 (ITM_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x01 : ITM 部品番号

38.10.7 ITM CoreSight ペリフェラル ID レジスタ 1 (ITM_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID [3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x0 : ITM 部品番号

38.10.8 ITM CoreSight ペリフェラル ID レジスタ 2 (ITM_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 003B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x3 : r0p4

ビット 3 **JEDEC** : JEDEC 割り当て値

0x1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.10.9 ITM CoreSight ペリフェラル ID レジスタ 3 (ITM_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン
 0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正
 0x0 : 顧客による修正はありません。

38.10.10 ITM CoreSight コンポーネント ID レジスタ 0 (ITM_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]
 0x0D : コモン ID 値

38.10.11 ITM CoreSight ペリフェラル ID レジスタ 1 (ITM_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0xE : トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.10.12 ITM CoreSight コンポーネント ID レジスタ 2 (ITM_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値

38.10.13 ITM CoreSight コンポーネント ID レジスタ 3 (ITM_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]									
								r	r	r	r	r	r	r	r		

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 PREAMBLE[27:20] : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.10.14 CPU1 ITM レジスタマップ

表 280. CPU1 ITM レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000 から 0x07C	ITM_STIM0-31R	STIMULUS[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x080	ITM_TER	STIMENA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084 から 0xDCC	予約済みです。	予約済み。																															
0xE00	ITM_TPR	PRIVMASK[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xE04 から 0xE4C	予約済みです。	予約済み。																															
0xE80	ITM_TCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xE84 から 0xFFC	予約済みです。	予約済み。																															
0xFD0	ITM_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0xFD4 から 0xFDC	予約済みです。	予約済み。																															
0xFE0	ITM_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0xFE4	ITM_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0xFE8	ITM_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																

表 280. CPU1 ITM レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0xFEC	ITM_PIDR3	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	REVAND[3:0]				CMOD[3:0]									
	リセット値																										0	0	0	0	0	0	0	0					
0xFF0	ITM_CIDR0	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PREAMBLE[7:0]													
	リセット値																										0	0	0	0	0	1	1	0	1				
0xFF4	ITM_CIDR1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	CLASS[3:0]				PREAMBLE [11:8]								
	リセット値																										1	1	1	0	0	0	0	0					
0xFF8	ITM_CIDR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PREAMBLE[19:12]												
	リセット値																											0	0	0	0	0	1	0	1				
0xFFC	ITM_CIDR3	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PREAMBLE[27:20]											
	リセット値																											1	0	1	1	0	0	0	1				

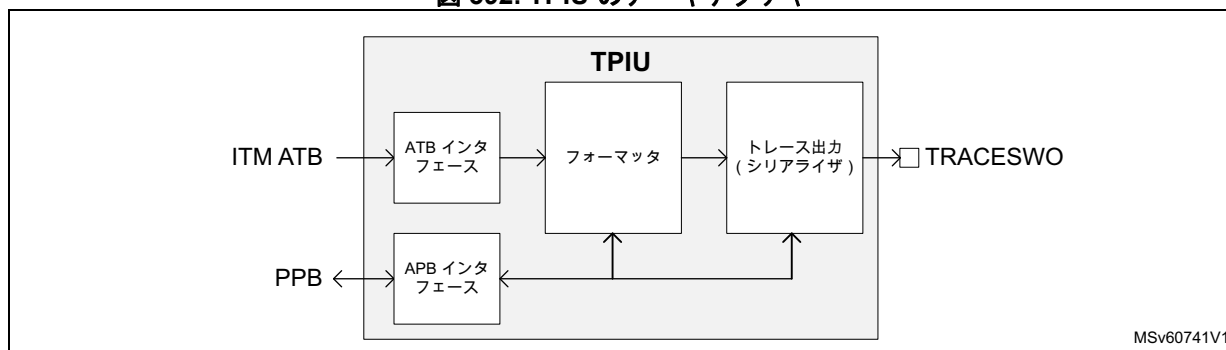
レジスタ境界アドレスについては、[セクション 38.8: CPU1 ROM テーブル](#)を参照してください。

38.11 CPU1 トレースポートインタフェースユニット (TPIU)

TPIU はトレースストリームをフォーマットし、それを外部トレースポート信号に出力します。TPIU には、ITM からの入力トレースデータ用に 1 つの ATB スレーブポートがあります。トレースポートはシリアルワイヤ出力、TRACESWO です。

[図 392](#) に、TPIU アーキテクチャを示します。

図 392. TPIU のアーキテクチャ



TPIU の詳細情報は、Arm® CoreSight™ SoC-400 Technical Reference Manual [\[2.\]](#) を参照してください。

38.11.1 TPIU でサポートされるポートサイズのレジスタ (TPIU_SSPSR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PORTSIZE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTSIZE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **PORTSIZE[31:0]** : サポートされる 1~32 ピンのトレースポートのサイズ

ビット n-1 がセットされている場合、ポートサイズ n がサポートされることを示します。

0x0000 000F : ポートサイズ 1~4 がサポートされます。

38.11.2 TPIU の現在のポートサイズのレジスタ (TPIU_CSPSR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PORTSIZE[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTSIZE[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

ビット 31:0 **PORTSIZE[31:0]** : 現在のトレースポートサイズ

ビット n-1 がセットされている場合、現在のポートサイズが n ピンであることを示します。n の値はサポートされるポートサイズレンジ内 (1~4) でなければなりません。1 ビットのみをセットしてください。そうしないと、予期せぬ動作を引き起こす場合があります。このレジスタの変更は必ずフォーマットの停止時に行ってください。

38.11.3 TPIU 非同期クロックプリスケアラレジスタ (TPIU_ACPR)

アドレス・オフセット : 0x010

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	PRESCALER[12:0]												0
Res.	Res.	Res.													
			rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:0 **PRESCALER[12:0]** : 非同期出力 TRACESWO のポーレートを選択します
 ポーレートは (PRESCALER +1) で割った TRACELKIN 周波数で与えられます。

38.11.4 TPIU 選択ピンプロトコルレジスタ (TPIU_SPPR)

アドレス・オフセット : 0x0F0

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXMODE[1:0]	
														rW	rW

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TXMODE[1:0]** : トレース出力に使用されるプロトコルを選択します
 0x0 : 予約済み (パラレルトレースポートモードはこのデバイスではサポートされていません)
 0x1 : マンチェスタ符号化を使用した非同期 SWO
 0x2 : NRZ 符号化を使用した非同期 SWO
 0x3 : 予約済み

38.11.5 TPIU フォーマッタおよび一掃のステータスレジスタ (TPIU_FFSR)

アドレス・オフセット : 0x300

リセット値 : 0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FTNONSTOP	TCPRESENT	FTSTOPPED	FLINPROG
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **FTNONSTOP** : フォーマッタを停止できるかどうかを示します

1 : フォーマッタは停止できません。

ビット 2 **TCPRESENT** : オプションの TRACECTL 出力ピンを使用可能かどうかを示します

0 : TRACECTL ピンはこのデバイスには存在しません。

ビット 1 **FTSTOPPED** : 停止リクエスト信号を受信

フォーマッタは停止リクエスト信号を受信しており、すべてのトレースデータおよびポストアンブルが送信されます。ATB インタフェースでの追加のトレースデータは無視されます。

0 : フォーマッタは停止していません

1 : フォーマッタ停止

ビット 0 **FLINPROG** : 一掃の実行中

このビットは、ATB スレーブポートでの一掃が進行中かどうかを示し、AFVALIDS 出力のステータスを反映します。一掃は TPIU_FFCR レジスタの一掃制御ビットによって開始することができます。

0 : 実行中の一掃はありません。

1 : 一掃の実行中です。

38.11.6 TPIU フォーマッタおよび一掃の制御レジスタ (TPIU_FFCR)

アドレス・オフセット : 0x304

リセット値 : 0x0000 0102

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGIN	Res.	Res.	Res.	Res.	Res.	Res.	ENFCON T	Res.
							r							rw	

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **TRIGIN** : トリガ入力時のトリガ

1 : TRIGIN 入力が入力されたときにトレースストリームにあるトリガを示します。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **ENFCONT** : 連続フォーマットの有効化

SWO モードでこのビットを 0 にセットすることでフォーマッタはバイパスされ、ITM/DWT トレースのみが出力されます。

0 : 連続フォーマットは無効です

1 : 連続フォーマットは有効です

ビット 0 予約済みであり、リセット値に保持する必要があります。

38.11.7 TPIU フォーマッタ同期カウンタのレジスタ (TPIU_FSCR)

アドレス・オフセット : 0x308

リセット値 : 0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CYCCOUNT[12:0]												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:0 **CYCCOUNT[12:0]** : キャプチャデバイスの大容量のストレージを無駄にすることなく、サイズの異なる複数の TPA を効果的に使用できるようにします。

このカウンタには、最後の 128 ビット同期パケット以降のフォーマッタフレームの数が格納されます。12 ビットのカウンタで、最大カウント値は 4096 です。この値は 65536 バイトごとの同期、すなわち 4096 パケット x パケットあたり 16 バイトに等しい数です。デフォルトは 1024 バイトごと、すなわち 64 フォーマッタフレームごとの同期パケットに対して設定されます。フォーマッタが連続モード用に設定されている場合は、フルワードとハーフワードの同期フレームが通常動作中に挿入されます。このような状況では、カウント値はフル同期パケット間の完了フレームの最大数となります。

38.11.8 TPIU 要求タグ設定レジスタ (TPIU_CLAIMSETR)

アドレス・オフセット : 0xFA0

リセット値 : 0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
												rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMSET[3:0]** : 要求タグビットのセット

書込み :

0000 : 影響なし。

xxx1 : ビット 0 をセットします。

xx1x : ビット 1 をセットします。

x1xx : ビット 2 をセットします。

1xxx : ビット 3 をセットします。

読出し :

0xF : 要求タグには 4 つのビットがあることを示します。

38.11.9 TPIU 要求タグクリアレジスタ (TPIU_CLAIMCLR)

アドレス・オフセット : 0xFA4

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
												rW	rW	rW	rW

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMCLR[3:0]** : 要求タグビットのリセット

書込み :

0000 : 影響なし。

xxx1 : ビット 0 をクリアします。

xx1x : ビット 1 をクリアします。

x1xx : ビット 2 をクリアします。

1xxx : ビット 3 をクリアします。

読出し : 要求タグの現在値を返します。

38.11.10 TPIU デバイス設定レジスタ (TPIU_DEVIDR)

アドレス・オフセット : 0xFC8

リセット値 : 0x0000 0CA0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	SWONR Z	SWOMA N	TCLKDA TA	FIFOSIZE[2:0]			CLKREL AT	MAXNUM[4:0]				
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **SWONRZ** : シリアル-ワイヤ出力の NRZ がサポートされるかを示します。
1 : サポートされます。

ビット 10 **SWOMAN** : シリアル-ワイヤ出力のマンチェスタ符号化フォーマットがサポートされるかを示します。
1 : サポートされます。

ビット 9 **TCLKDATA** : トレースクロックおよびデータがサポートされるかを示します。
0 : サポートされます。

ビット 8:6 **FIFOSIZE[2:0]** : FIFO のサイズ (2 の累乗値)
0x2 : FIFO のサイズ = 4 バイト

ビット 5 **CLKRELAT** : ATB クロックと TRACECLKIN の関係を示します。
0 : 同期
1 : 非同期

ビット 4:0 **MAXNUM[4:0]** : ATB 入力ポートマルチプレクスの数/タイプ
0x0 : 1 つの入力ポート

38.11.11 TPIU デバイスタイプ識別子レジスタ (TPIU_DEVTYPER)

アドレス・オフセット : 0xFCC

リセット値 : 0x0000 0011

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE[3:0]				MAJORTYPE[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **SUBTYPE[3:0]** : 下位分類
0x1 : トレースポートコンポーネント

ビット 3:0 **MAJORTYPE[3:0]** : 大分類
0x1 : トレースシンクコンポーネント



38.11.12 TPIU CoreSight ペリフェラル ID レジスタ 4 (TPIU_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC コード

38.11.13 TPIU CoreSight ペリフェラル ID レジスタ 0 (TPIU_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 00A1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x02 : TPIU 部品番号

38.11.14 TPIU CoreSight ペリフェラル ID レジスタ 1 (TPIU_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x0 : TPIU 部品番号

38.11.15 TPIU CoreSight ペリフェラル ID レジスタ 2 (TPIU_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 004B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x4 : r0p5

ビット 3 **JEDEC** : JEDEC 割り当て値

0x1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.11.16 TPIU CoreSight ペリフェラル ID レジスタ 3 (TPIU_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン
 0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正
 0x0 : 顧客による修正はありません。

38.11.17 TPIU CoreSight コンポーネント ID レジスタ 0 (TPIU_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]
 0x0D : コモン ID 値

38.11.18 TPIU CoreSight ペリフェラル ID レジスタ 1 (TPIU_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 0090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0x9 : CoreSight コンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.11.19 TPIU CoreSight コンポーネント ID レジスタ 2 (TPIU_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値



38.11.20 TPIU CoreSight コンポーネント ID レジスタ 3 (TPIU_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]								Res.	Res.
								r	r	r	r	r	r	r	r		

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 PREAMBLE[27:20] : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.11.21 CPU 1 TPIU レジスタマップ

表 281. TPIU レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x000	TPIU_SSPSR	PORTSIZE[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	
0x004	TPIU_CSPSR	PORTSIZE[31:0]																																	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
0x008 から 0x00C	予約済みです。	予約済み。																																	
0x010	TPIU_ACPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																		
0x014 から 0x0EC	予約済みです。	予約済み。																																	
0x0F0	TPIU_SPPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0x0F4 から 0x2FC	予約済みです。	予約済み。																																	
0x300	TPIU_FFSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0x304	TPIU_FFCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0x308	TPIU_FSCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																		
0x30C から 0xF8C	予約済みです。	予約済み。																																	



表 281. TPIU レジスタマップとリセット値 (続き)

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0xFA0	TPIU_CLAIMSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET [3:0]	
	リセット値																																		1 1 1 1	
0xFA4	TPIU_CLAIMCLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR [3:0]	
	リセット値																																		0 0 0 0	
0xFA8 から 0xF	予約済みです。	予約済み。																																		
0xFC8	TPIU_DEVIDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MAXNUM[4:0]	
	リセット値																																			0 0 0 0
0xFC8	TPIU_DEVTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE [3:0]	MAJORTYPE [3:0]
	リセット値																																			0 0 0 1
0xFCC	予約済みです。	予約済み。																																		
0xFD0	TPIU_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]	JEP106CON [3:0]	
	リセット値																																		0 0 0 0	1 0 0 0
0xFD4 から 0xFDC	予約済みです。	予約済み。																																		
0xFE0	TPIU_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]	
	リセット値																																			1 0 1 0
0xFE4	TPIU_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]	PARTNUM [11:8]
	リセット値																																			1 0 1 1
0xFE8	TPIU_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]	JEP106ID [6:4]
	リセット値																																			0 1 0 0
0xFEC	TPIU_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]	CMOD[3:0]
	リセット値																																			0 0 0 0
0xFF0	TPIU_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]	
	リセット値																																			0 0 0 0
0xFF4	TPIU_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]	PREAMBLE [11:8]
	リセット値																																			1 0 0 1
0xFF8	TPIU_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]	
	リセット値																																			0 0 0 0
0xFFC	TPIU_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]	
	リセット値																																			1 0 1 1

レジスタ境界アドレスについては、[セクション 38.8: CPU1 ROM テーブル](#)を参照してください。



38.12 マイクロコントローラデバッグユニット (DBGMCU)

DBGMCU は、デバッグモードで電源やクロックの動作を制御するレジスタが複数内蔵されているコンポーネントです。これにより、デバッガ（またはデバッグソフトウェア）は以下のタスクを実行できます。

- 低電力モード（SLEEP、STOP、STANDBY）時に、プロセッサコアへのクロックや電源の供給を維持します。
- 低電力モード時に、システムデバッグおよびトレース用のコンポーネントへのクロックや電源の供給を維持します。
- どちらかのプロセッサコアがデバッグモードで停止した場合、特定のペリフェラル（ウォッチドッグ、タイマ、RTC）へのクロックの供給を停止します。

DBGMCU レジスタは、システムリセットではリセットされず、パワーオンリセットによってのみリセットされます。それらは CPU1 AHB アクセスポート経由でデバッガのベースアドレス 0xE0042000 にアクセス可能です。

注： DBGMCU は標準の CoreSight コンポーネントではないので、CPU1 ROM テーブルには現われません。

38.12.1 DBGMCU ID コードレジスタ (DBGMCU_IDCODE)

アドレス・オフセット：0x000

リセット値：0xXXXX 6497

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DEV_ID[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **REV_ID[15:0]**：リビジョン
 値については、デバイスの正誤表シートを参照してください。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DEV_ID[11:0]**：デバイス ID
 0x497：STM32WL5x

38.12.2 DBGMCU 設定レジスタ (DBGMCU_CR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_STANDBY	DBG_STOP	DBG_SLEEP
													rw	rw	rw

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DBG_STANDBY** : STANDBY モードでデバッグ許可

このビットは CPU2 の動作に影響しません。このビットが有効でも、CPU2 を STANDBY モードでデバッグすることはできません。

0 : 通常動作。STANDBY モードでは、すべてのクロックが無効化され、ドメインの電源は自動的に切断されます。

1 : 自動クロック停止/パワーダウンは無効。すべてのアクティブなクロックおよびオシレータは STANDBY モード中も動作し続け、ドメイン供給は維持され、すべてのデバッグ機能を許可します。STANDBY モードを終了すると、ドメインリセットが行われます。

ビット 1 **DBG_STOP** : STOP モードでデバッグ許可

このビットは CPU2 の動作に影響しません。このビットが有効になっている場合でも、CPU2 を STOP モードでデバッグすることはできません。

0 : 通常動作。STOP モードでは、すべてのクロックが自動的に無効化されます。

1 : 自動クロック停止は無効。すべてのアクティブなクロックおよびオシレータは STOP モード中も動作し続け、すべてのデバッグ機能を許可します。STOP モードから抜けると、クロック設定は STOP モード終了ステートに設定されます。

ビット 0 **DBG_SLEEP** : SLEEP モードで CPU1 のデバッグを許可

0 : 通常動作。SLEEP モードでは、プロセッサクロックが自動停止されます。

1 : 自動クロック停止は無効。プロセッサクロックは動作を続けるので、完全なデバッグ機能を実現できます。

38.12.3 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1 (DBGMCU_APB1FZR1)

アドレス・オフセット : 0x03C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DBG_LPTIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_I2C3_STOP	DBG_I2C2_STOP	DBG_I2C1_STOP	Res.	Res.	Res.	Res.	Res.
rw								rw	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM2_STOP
			rw	rw	rw										rw

ビット 31 **DBG_LPTIM1_STOP** : CPU1 のデバッグ時に LPTIM1 停止

0 : 通常動作。LPTIM1 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM1 は、CPU1 がデバッグモードの間は停止します。

ビット 30:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **DBG_I2C3_STOP** : CPU1 デバッグ時の I2C3 SMBUS タイムアウトの停止

0 : 通常動作。I2C3 SMBUS タイムアウトは、CPU1 がデバッグモードの間は動作し続けます。

1 : デバッグ時の停止。I2C3 SMBUS タイムアウトは、CPU1 がデバッグモードの間は停止します。

ビット 22 **DBG_I2C2_STOP** : CPU1 デバッグ時の I2C2 SMBUS タイムアウトの停止

0 : 通常動作。I2C2 SMBUS タイムアウトは、CPU1 がデバッグモードの間は動作し続けます。

1 : デバッグ時の停止。I2C2 SMBUS タイムアウトは、CPU1 がデバッグモードの間は停止します。

ビット 21 **DBG_I2C1_STOP** : CPU1 デバッグ時の I2C1 SMBUS タイムアウトの停止

0 : 通常動作。I2C1 SMBUS タイムアウトは、CPU1 がデバッグモードの間は動作し続けます。

1 : デバッグ時の停止。I2C1 SMBUS タイムアウトは、CPU1 がデバッグモードの間は停止します。

ビット 20:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DBG_IWDG_STOP** : CPU1 デバッグ時の IWDG 停止

0 : 通常動作。IWDG は、CPU1 がデバッグモードの間は動作し続けます。

1 : デバッグ時の停止。IWDG は、CPU1 がデバッグモードの間は停止します。

ビット 11 **DBG_WWDG_STOP** : CPU1 デバッグ時の WWDG 停止

0 : 通常動作。WWDG は、CPU1 がデバッグモードの間は動作し続けます。

1 : デバッグ時の停止。WWDG は、CPU1 がデバッグモードの間は停止します。

ビット 10 **DBG_RTC_STOP** : CPU1 デバッグ時の RTC 停止

0 : 通常動作。RTC は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。RTC は、CPU1 がデバッグモードの間は停止します。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **DBG_TIM2_STOP** : CPU1 のデバッグ時に TIM2 停止

0 : 通常動作。TIM2 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。TIM2 は、CPU1 がデバッグモードの間は停止します。

38.12.4 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 1 (DBGMCU_C2APB1FZR1)

アドレス・オフセット : 0x040

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DBG_LPTIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_I2C3_STOP	DBG_I2C2_STOP	DBG_I2C1_STOP	Res.	Res.	Res.	Res.	Res.
rw								rw	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBG_IWDG_STOP	Res.	DBG_RTC_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM2_STOP
			rw		rw										rw

ビット 31 **DBG_LPTIM1_STOP** : CPU2 デバッグ時の LPTIM1 停止

0 : 通常動作。LPTIM1 は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM1 は、CPU2 がデバッグモードの間は停止します。

ビット 30:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **DBG_I2C3_STOP** : CPU2 デバッグ時の I2C3 SMBUS タイムアウトの停止

0 : 通常動作。I2C3 SMBUS タイムアウトは、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。I2C3 SMBUS タイムアウトは、CPU2 がデバッグモードの間は停止します。

ビット 22 **DBG_I2C2_STOP** : CPU2 デバッグ時の I2C2 SMBUS タイムアウトの停止

0 : 通常動作。I2C2 SMBUS タイムアウトは、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。I2C2 SMBUS タイムアウトは、CPU2 がデバッグモードの間は停止します。

ビット 21 **DBG_I2C1_STOP** : CPU2 デバッグ時の I2C1 SMBUS タイムアウトの停止

0 : 通常動作。I2C1 SMBUS タイムアウトは、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。I2C1 SMBUS タイムアウトは、CPU2 がデバッグモードの間は停止します。

ビット 20:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DBG_IWDG_STOP** : CPU2 デバッグ時の IWDG 停止

0 : 通常動作。IWDG は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。IWDG は、CPU2 がデバッグモードの間は停止します。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **DBG_RTC_STOP** : CPU2 デバッグ時の RTC 停止

0 : 通常動作。RTC は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。RTC は、CPU2 がデバッグモードの間は停止します。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **DBG_TIM2_STOP** : CPU2 デバッグ時の TIM2 停止

0 : 通常動作。TIM2 は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。TIM2 は、CPU2 がデバッグモードの間は停止します。

38.12.5 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 2 (DBGMCU_APB1FZR2)

アドレス・オフセット : 0x044

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ LPTIM3_ STOP	DBG_ LPTIM2_ STOP	Res.	Res.	Res.	Res.	Res.
									rw	rw					

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **DBG_LPTIM3_STOP** : CPU1 のデバッグ時に LPTIM3 停止

0 : 通常動作。LPTIM3 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM3 は、CPU1 がデバッグモードの間は停止します。

ビット 5 **DBG_LPTIM2_STOP** : CPU1 のデバッグ時に LPTIM2 停止

0 : 通常動作。LPTIM2 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM2 は、CPU1 がデバッグモードの間は停止します。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

38.12.6 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 2 (DBGMCU_C2APB1FZR2)

アドレス・オフセット : 0x048

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ LPTIM3_ STOP	DBG_ LPTIM2_ STOP	Res.	Res.	Res.	Res.	Res.
									rw	rw					

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **DBG_LPTIM3_STOP** : CPU2 デバッグ時の LPTIM3 停止

0 : 通常動作。LPTIM3 は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM3 は、CPU2 がデバッグモードの間は停止します。

ビット 5 **DBG_LPTIM2_STOP** : CPU2 デバッグ時の LPTIM2 停止

0 : 通常動作。LPTIM2 は、CPU2 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。LPTIM2 は、CPU2 がデバッグモードの間は停止します。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

38.12.7 DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ (DBGMCU_APB2FZR)

アドレス・オフセット : 0x04C

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw											

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **DBG_TIM17_STOP** : CPU1 のデバッグ時に TIM17 停止

0 : 通常動作。TIM17 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。TIM17 は、CPU1 がデバッグモードの間は停止します。

ビット 17 **DBG_TIM16_STOP** : CPU1 のデバッグ時に TIM16 停止

0 : 通常動作。TIM16 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。TIM16 は、CPU1 がデバッグモードの間は停止します。

ビット 16:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **DBG_TIM1_STOP** : CPU1 のデバッグ時に TIM1 停止

0 : 通常動作。TIM1 は、CPU1 がデバッグモードの間に動作し続けます。

1 : デバッグ時の停止。TIM1 は、CPU1 がデバッグモードの間は停止します。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

38.12.8 DBGMCU CPU2 APB2 ペリフェラルフリーズレジスタ (DBGMCU_C2APB2FZR)

アドレス・オフセット : 0x048

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw											

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **DBG_TIM17_STOP** : CPU2 デバッグ時の TIM17 停止

- 0 : 通常動作。TIM17 は、CPU2 がデバッグモードの間に動作し続けます。
- 1 : デバッグ時の停止。TIM17 は、CPU2 がデバッグモードの間は停止します。

ビット 17 **DBG_TIM16_STOP** : CPU2 デバッグ時の TIM16 停止

- 0 : 通常動作。TIM16 は、CPU2 がデバッグモードの間に動作し続けます。
- 1 : デバッグ時の停止。TIM16 は、CPU2 がデバッグモードの間は停止します。

ビット 16:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **DBG_TIM1_STOP** : CPU2 デバッグ時の TIM1 停止

- 0 : 通常動作。TIM1 は、CPU2 がデバッグモードの間に動作し続けます。
- 1 : デバッグ時の停止。TIM1 は、CPU2 がデバッグモードの間は停止します。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

38.12.9 DBGMCU レジスタマップ

表 282. DBGMCU レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DBGMCU_IDCODER	REV_ID[15:0]															DEV_ID[11:0]																
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x							0	1	0	0	1	0	0	1	1	1	
0x004	DBGMCU_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																														0	0	0
0x008-0x038	予約済みです。	予約済み。																															
0x03C	DBGMCU_APB1FZR1	DBG_LPTIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値	0									0	0	0									0	0	0									0
0x040	DBGMCU_C2APB1FZR1	DBG_LPTIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値	0								0	0	0										0	0	0									0
0x044	DBGMCU_APB1FZR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x048	DBGMCU_C2APB1FZR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																																
0x04C	DBGMCU_APB2FZR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																						0										
0x050	DBGMCU_C2APB2FZR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	リセット値																						0										

レジスタ境界アドレスについては、[セクション 38.12: マイクロコントローラデバッグユニット \(DBGMCU\)](#) を参照してください。



38.13 CPU2 ROM テーブル

ROM テーブルは CoreSight コンポーネントの 1 つであり、AHBD を介してアクセス可能なすべての CoreSight デバッグコンポーネントのベースアドレスを格納します。このようなテーブルを使用することにより、デバッグは CoreSight システムのトポロジを自動検出することができます。

CPU2 サブシステムには 2 つの ROM テーブルがあります。

- **ROM1** : CPU2 AHB-AP の AP_BASER レジスタによって指し示される CPU2 プロセッサの ROM テーブル。テーブルには、CTI のベースアドレスポインタ、ならびに CPU2 の ROM テーブルのベースアドレスポインタが格納されます。
- **ROM2** : CPU2 ROM テーブルには、デバッグが CPU コアを識別できるようにする CPU2 システム制御空間 (SCS) レジスタを指し示すポインタと、CPU2 サブシステムの残りの CoreSight コンポーネント (PBU、DWT) を指し示すポインタが格納されます。

ROM1 は 4 KB、すなわち AHB アドレス空間の 32 ビット幅の領域 (0xF0000000~0xF0000FFC) を占有します。

表 283. ROM1 テーブル

ROM テーブルの アドレス	コンポーネント名	コンポーネント ベースアドレス	コンポーネント アドレス・オフセット	サイズ	エントリ
0xF0000000	CPU2 ROM テーブル	0xE00FF000	0xF00FF000	4 KB	0xF00FF003
0xF0000004	CTI	0xF0001000	0x00001000	4 KB	0x00001003
0xF0000008	未使用	-	-	-	0x00002002
0xF000000C	未使用	-	-	-	0x10000002
0xF0000010	テーブルの先頭	-	-	-	0x00000000
0xF000000C から 0xF0000FC8	予約済みです。	-	-	-	0x00000000
0xF0000FCC から 0xF0000FFC	ROM テーブル レジスタ	-	-	-	表 285 を参照

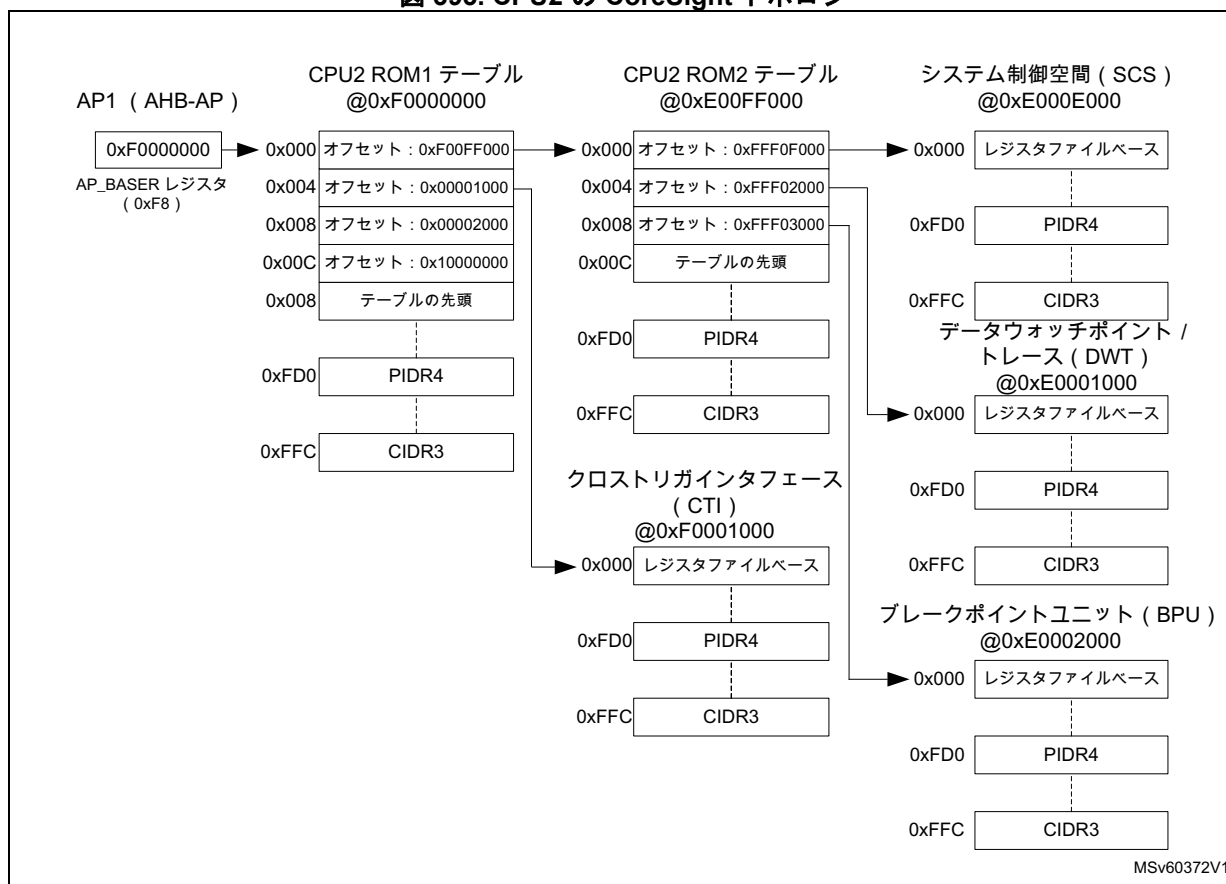
ROM2 は 4 KB、すなわち APB-D アドレス空間の 32 ビット幅の領域 (0xE00FF000~0xE00FFFFC) を占有します。

表 284. ROM2 テーブル

ROM テーブルの アドレス	コンポーネント名	コンポーネント ベースアドレス	コンポーネント アドレス・オフセット	サイズ	エントリ
0xE00FF000	SCS	0xE000E000	0xFFFF0F000	4 KB	0xFFFF0F003
0xE00FF004	DWT	0xE0001000	0xFFFF02000	4 KB	0xFFFF02003
0xE00FF008	BPU	0xE0002000	0xFFFF03000	4 KB	0xFFFF03003
0xE00FF00C	テーブルの先頭	-	-	-	0x00000000
0xE00FF010 から 0xE00FFFC8	予約済みです。	-	-	-	0x00000000
0xE00FFFC8 から 0xE00FFFFC	ROM テーブル レジスタ	-	-	-	表 286 を参照

CPU2 サブシステム内の CoreSight コンポーネントのトポロジを 図 393 に示します。

図 393. CPU2 の CoreSight トポロジ



38.13.1 CPU2 ROM1 メモリタイプレジスタ (C2ROM1_MEMTYPER)

アドレス・オフセット : 0xFCC

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSTEMEM
															r

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSTEMEM** : システムメモリ

1 : このバス上にシステムメモリがあります。

38.13.2 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 4 (C2ROM1_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC 継続コード

38.13.3 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 0 (C2ROM1_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0xC0 : Cortex®-M0+ プロセッサの ROM テーブル

38.13.4 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 (C2ROM1_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x4 : Cortex®-M0+ プロセッサの ROM テーブル

38.13.5 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 2 (C2ROM1_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 000B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x0 : リビジョン r0p0

ビット 3 **JEDEC** : JEDEC 割り当て値

1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.13.6 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 3 (C2ROM1_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン

0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正

0x0 : 顧客による修正はありません。

38.13.7 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 0 (C2ROM1_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]

0x0D : コモン ID 値

38.13.8 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 (C2ROM1_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0x1 : ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.13.9 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 2 (C2ROM1_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値

38.13.10 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 3 (C2ROM1_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.13.12 CPU2 ROM2 メモリタイプレジスタ (C2ROM2_MEMTYPER)

アドレス・オフセット : 0xFCC

リセット値 : 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSTEMEM
															r

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSTEMEM** : システムメモリ

1 : このバス上にシステムメモリがあります。

38.13.13 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 4 (C2ROM2_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC 継続コード

38.13.14 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 0 (C2ROM2_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0xC0 : CPU2 ROM テーブル

38.13.15 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 (C2ROM2_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x4 : CPU2 ROM テーブル

38.13.16 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 2 (C2ROM2_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 000B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]			
								r	r	r	r	r	r	r	r	

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x0 : リビジョン r0p0

ビット 3 **JEDEC** : JEDEC 割り当て値

1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID [6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.13.17 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 3 (C2ROM2_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン

0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正

0x0 : 顧客による修正はありません。

38.13.18 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 0 (C2ROM2_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]

0x0D : コモン ID 値

38.13.19 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 (C2ROM2_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス

0x1 : ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]

0x0 : コモン ID 値

38.13.20 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 2 (C2ROM2_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]

0x05 : コモン ID 値

38.13.21 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 3 (C2ROM2_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.14 CPU2 ブレークポイントユニット (BPU)

BPU を使用することでハードウェアのブレークポイントを設定することができます。このユニットには、命令フェッチアドレスを監視し、一致が検出されたときに、ブレークポイント命令を返すコンパレータが 8 つ内蔵されています。CPU2 BPU は Flash メモリバッチ機能をサポートしていません。

38.14.1 BPU 制御レジスタ (BPU_CTRLR)

アドレス・オフセット : 0x000

リセット値 : 0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	NUM_CODE6	NUM_CODE5	NUM_CODE4	NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	r	r	r	r	r	r	r	r	r	r	r			rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **NUM_LIT[3:0]** : サポートされるリテラルアドレスコンパレータの数 (読出し専用)

0x0 : リテラルコンパレータはサポートされません。

ビット 14、13、12、**NUM_CODE[6:0]** : サポートされる命令アドレスコンパレータの数 - 最下位ビット (読出し専用)

7、6、5、4 0x8 : 8つの命令コンパレータがサポートされます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **KEY** : 書込み保護キー

BPU_CTRLR レジスタへの書込みは、このビットが 1 にセットされていない場合は無視されます。

ビット 0 **ENABLE** : BPU 有効化

0 : 無効

1 : 有効

38.14.2 BPU リマップレジスタ (BPU_REMAPR)

アドレス・オフセット : 0x004

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	RMPS PT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
		r													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **RMPSPT** : Flash メモリパッチのリマップ

Flash メモリパッチのリマップがサポートされているかどうかを示します (読み出し専用)。

0 : リマップはサポートされません。

ビット 28:0 予約済みであり、リセット値に保持する必要があります。

38.14.3 BPU コンパレータレジスタ x (BPU_COMPxR)

アドレス・オフセット : 0x008 + 0x004 * x (x = 0 から 7)

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REPLACE[1:0]		Res.	COMP[26:14]												
rW	rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[13:0]														Res.	ENABLE
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

ビット 31:30 **REPLACE[1:0]** : COMP フィールドと命令フェッチアドレスの一致が発生したときの動作を定義します。

0x0 : 予約済み

0x1 : 下位ハーフワードにブレークポイントが定義され、上位ハーフワードは定義されません。

0x2 : 上位ハーフワードにブレークポイントが定義され、下位ハーフワードは定義されません。

0x3 : 上位および下位のハーフワードにそれぞれブレークポイントが定義されます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:2 **COMP[26:0]** : 命令コードメモリへのアクセスアドレスのビット 28:2 と比較するための値です (0x00000000~0x1FFFFFFF)

一致の発生時に取るべき動作は、REPLACE フィールドに定義されます。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **ENABLE** : コンパレータの有効化

コンパレータは、このビットと BPU_CTRLR レジスタの BPU ENABLE ビットの両方がセットされている場合にのみ有効です。

0 : 無効

1 : 有効



38.14.4 BPU CoreSight ペリフェラル ID レジスタ 4 (BPU_PIDR4)

アドレス・オフセット : 0xFD0

リセット値 : 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **F4KCOUNT[3:0]** : レジスタファイルサイズ

0x0 : レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]** : JEP106 継続コード

0x4 : Arm® JEDEC コード

38.14.5 BPU CoreSight ペリフェラル ID レジスタ 0 (BPU_PIDR0)

アドレス・オフセット : 0xFE0

リセット値 : 0x0000 000C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]** : 部品番号のビット [7:0]

0x0C : BPU 部品番号

38.14.6 BPU CoreSight ペリフェラル ID レジスタ 1 (BPU_PIDR1)

アドレス・オフセット : 0xFE4

リセット値 : 0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]** : JEP106 ID コードビット [3:0]

0xB : Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]** : 部品番号のビット [11:8]

0x0 : BPU 部品番号

38.14.7 BPU CoreSight ペリフェラル ID レジスタ 2 (BPU_PIDR2)

アドレス・オフセット : 0xFE8

リセット値 : 0x0000 002B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]** : コンポーネントのリビジョン番号

0x2 : r0p3

ビット 3 **JEDEC** : JEDEC 割り当て値

1 : JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]** : JEP106 ID コードビット [6:4]

0x3 : Arm® JEDEC コード

38.14.8 BPU CoreSight ペリフェラル ID レジスタ 3 (BPU_PIDR3)

アドレス・オフセット : 0xFEC

リセット値 : 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]** : メタルフィックスバージョン
 0x0 : メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]** : 顧客による修正
 0x0 : 顧客による修正はありません。

38.14.9 BPU CoreSight コンポーネント ID レジスタ 0 (BPU_CIDR0)

アドレス・オフセット : 0xFF0

リセット値 : 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]** : コンポーネント ID ビット [7:0]
 0x0D : コモン ID 値

38.14.10 BPU CoreSight ペリフェラル ID レジスタ 1 (BPU_CIDR1)

アドレス・オフセット : 0xFF4

リセット値 : 0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]** : コンポーネント ID ビット [15:12] - コンポーネントクラス
 0xE : トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]** : コンポーネント ID ビット [11:8]
 0x0 : コモン ID 値

38.14.11 BPU CoreSight コンポーネント ID レジスタ 2 (BPU_CIDR2)

アドレス・オフセット : 0xFF8

リセット値 : 0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]** : コンポーネント ID ビット [23:16]
 0x05 : コモン ID 値

38.14.12 BPU CoreSight コンポーネント ID レジスタ 3 (BPU_CIDR3)

アドレス・オフセット : 0xFFC

リセット値 : 0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]** : コンポーネント ID ビット [31:24]

0xB1 : コモン ID 値

38.14.13 CPU2 BPU レジスタマップ

表 287. CPU2 BPU レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
0x000	BPU_CTRLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUM_CODE[6:4]								NUM_LIT[3:0]																													
	リセット値																			0	0	0	0	0	0	0	1	0	0	0			Res.	Res.	KEY	ENABLE																					
0x004	BPU_REMAPR	Res.	Res.	RMPSP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.																						
	リセット値			0																																																					
0x008 から 0x024	BPU_COMP0-7R	REPLACE[1:0]		Res.	COMP[26:0]																																																				
	リセット値	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																				
0x02C-0xFCC	予約済みです。	予約済み。																																																							
0xFD0	BPU_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	F4KCOUNT [3:0]	JEP106CON [3:0]																						
	リセット値																											0	0	0	0	0	1	0	0																						
0xFD4-0xFDC	予約済みです。	予約済み。																																																							
0xFE0	BPU_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]																						
	リセット値																											0	0	0	0	1	1	0	0																						
0xFE4	BPU_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]	PARTNUM [11:8]																					
	リセット値																											1	0	1	1	0	0	0	0																						
0xFE8	BPU_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]	JEDEC JEP106ID [6:4]																					
	リセット値																											0	0	1	0	1	0	1	1																						
0xFEC	BPU_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]	CMOD[3:0]																					
	リセット値																											0	0	0	0	0	0	0	0																						
0xFF0	BPU_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]																						
	リセット値																											0	0	0	0	1	1	0	1																						
0xFF4	BPU_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]	PREAMBLE [11:8]																					
	リセット値																											1	1	1	0	0	0	0	0																						
0xFF8	BPU_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]																						
	リセット値																											0	0	0	0	0	1	0	1																						
0xFFC	BPU_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]																						
	リセット値																											1	0	1	1	0	0	0	1																						

レジスタ境界アドレスについては、[セクション 38.13: CPU2 ROM テーブル](#)を参照してください。



38.15 参照

1. IHI 0031C (ID080813) - Arm® Debug Interface Architecture Specification ADIV5.0 ~ ADIV5.2、C版、2013年8月8日
2. DDI 0480F (ID100313) - Arm® CoreSight™ SoC-400 r3p2 Technical Reference Manual、G版、2015年3月16日
3. DDI 0461B (ID010111) - Arm® CoreSight™ Trace Memory Controller r0p1 Technical Reference Manual、B版、2010年12月10日
4. DDI 0314H - Arm® CoreSight™ Components Technical Reference Manual、H版、2009年7月10日
5. DDI 0403D (ID100710) - Arm® v7-M Architecture Reference Manual、E.b版、2014年12月2日
6. DDI 0494-2a (ID062813) - Arm® CoreSight™ ETM™-M0+ r0p1 Technical Reference Manual、D版、2015年7月6日
7. DDI 0440C (ID070610) - Arm® CoreSight™ ETM™-M4 r0p1 Technical Reference Manual、C版、2012年6月29日

39 デバイス電子署名

デバイス電子署名は、Flashメモリモジュールのシステムメモリ領域に格納され、デバッグインタフェースまたはCPUを使用して読み出すことができます。

電子署名に含まれる出荷時にプログラムされた識別データおよび較正データを使用すれば、ユーザーファームウェアやその他の外部デバイスは、マイクロコントローラの特性に自動的に整合させることができます。

39.1 デバイス電子署名レジスタ

39.1.1 ユニークデバイス ID レジスタ (UID)

この 96 ビットのユニークデバイス識別子は、以下の用途に最適です。

- シリアル番号 (USB 文字列シリアル番号やその他のエンドアプリケーション) として使用
- メモリをプログラムする前に、このユニーク ID をソフトウェア暗号プリミティブやプロトコルと組み合わせて使用する際に、Flashメモリ内のコードのセキュリティを高めるためのセキュリティキーの一部として使用
- セキュアブートなどのプロセスにおいて

このユニークなデバイス識別子は、あらゆる状況において特定のデバイスで一意的なリファレンス番号を提供します。ユーザーは、これらのビットを変更できません。

ベースアドレス : 0x1FFF 7590

アドレス・オフセット : 0x00

リセット値 : 0XXXXX XXXX

注 : X は出荷時にプログラムされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **UID[31:0]** : BCD 形式で表されたウェーハ上の X および Y 座標

アドレス・オフセット : 0x04

リセット値 : 0XXXXX XXXX

注 : X は出荷時にプログラムされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[63:48]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[47:32]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:8 **UID[63:40]** : LOT_NUM[23:0]、ロット番号 (ASCII で符号化)

ビット 7:0 **UID[39:32]** : WAF_NUM[7:0]、ウェーハ番号 (8 ビットの符号なし番号)

アドレス・オフセット : 0x08

リセット値 : 0XXXXX XXXX

注 : X は出荷時にプログラムされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[95:80]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[79:64]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **UID[95:64]** : LOT_NUM[55:24]、ロット番号 (ASCII で符号化)

39.1.2 FLASH サイズデータレジスタ (FLASHSIZE)

ベースアドレス : 0x1FFF 75E0

アドレス・オフセット : 0x00

リセット値 : 0XXXXX

注 : X は出荷時にプログラムされます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLASH_SIZE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **FLASH_SIZE[15:0]** : Flashメモリサイズ

これらのビットは、デバイスの Flashメモリサイズを KB 単位で示します。
たとえば、0x0040 は 64 KB に対応します。

39.1.3 パッケージデータレジスタ (PKG)

ベースアドレス : 0x1FFF 7500

アドレス・オフセット : 0x00

リセット値 : 0xFFXX

注 : X は、出荷時またはユーザによってプログラムされます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKG[4:0]				
											r	r	r	r	r

ビット 15:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **PKG[4:0]** : パッケージタイプ

00000 : UFBGA73

00010 : WLCSP59

01010 : UFQFPN48

その他 : 予約済み

39.1.4 IEEE 64 ビットのユニークデバイス ID レジスタ (UID64)

64 ビットの一意的デバイス ID (UID64) が Flash メモリに格納されており、CPU からアクセスできません。

ベースアドレス : 0x1FFF 7580

アドレス・オフセット : 0x00

リセット値 : 0XXXXX XXXX

注 : X は出荷時にプログラムされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEVNUM[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVNUM[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **DEVNUM[31:0]** : デバイス番号

32 ビットのユニークデバイス番号は、個別のデバイスごとに異なる連続番号です。

アドレス・オフセット : 0x04

リセット値 : 0x0080 E115

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STID[23:8]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STID[7:0]								DEVID[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:8 **STID[23:0]** : 会社 ID
 STMicroelectronics の場合は 0x0080E1

ビット 7:0 **DEVID[7:0]** : デバイス ID
 0x15

40 セキュリティに関する重要な通知

STMicroelectronics グループ (ST) は製品のセキュリティを重視しています。そのため、このマニュアルで特定されている ST 製品は、さまざまなセキュリティ認証機関によって認証されている場合があります。また、ここに規定されている当社独自のセキュリティ対策を実装している場合があります。しかし、いかなるレベルのセキュリティ認証および/または組み込まれているセキュリティ対策も、ST 製品があらゆる形態の攻撃に対して耐性があると保証することはできません。したがって、ST 製品で提供されるセキュリティのレベルが、ST 製品のみに関してだけでなく、お客様の最終製品またはアプリケーションの他のコンポーネントやソフトウェアと組み合わせた場合の両方において、お客様のニーズを満たしているかどうかを判断するのは ST のお客様それぞれの責任です。特に、以下のことに注意してください。

- ST 製品は、プラットフォームセキュリティアーキテクチャ (www.psacertified.org) や IoT プラットフォームのセキュリティ評価基準 (www.trustcb.com) などの 1 つ以上のセキュリティ認証機関によって認証されている場合があります。ここで言及されている ST 製品がセキュリティ認証を取得しているかどうか、および認証のレベルと現在のステータスに関する詳細については、関連する認証規格の Web サイトを参照するか、www.st.com の関連製品のページにアクセスして最新情報を参照してください。ST 製品のセキュリティ認証のステータスやレベルは随時変更される可能性があるため、お客様は必要に応じてセキュリティ認証のステータス/レベルを再確認する必要があります。ST 製品が特定のセキュリティ標準に基づいて認証されていることが示されていない場合は、お客様はその製品が認証されていると想定しないでください。
- 認証機関には、ST 製品に関して、セキュリティ認証を評価、付与、および取り消す権利があります。したがって、これらの認証機関は、ST 製品のセキュリティ認証の付与または取り消しについて独立して責任を負い、ST は、ST 製品に関して認証機関が行った過ち、評価、査定、テスト、またはその他の活動について、責任を負いません。
- ST 製品とともに使用される可能性がある業界ベースの暗号化アルゴリズム (AES、DES、MD5 など) およびその他のオープン標準技術は、ST が開発したものではありません。ST は、そのような暗号化アルゴリズムまたはオープン技術の欠陥、または、そのようなアルゴリズムや技術をバイパス、復号化、またはクラッキングするために開発された、または開発される可能性のある方法について責任を負いません。
- 強固なセキュリティテストが行われる場合がありますが、いかなる認証のレベルであれ、すべての攻撃に対する保護を完全に保証することはできません。それらの攻撃には、たとえば、テストされていない高度な攻撃、新規または未確認の形態の攻撃、または ST 製品を仕様や意図した用途以外で使用する場合、またはお客様が最終製品やアプリケーションを作成するために使用する他のコンポーネントやソフトウェアと組み合わせて使用する場合のあらゆる形態の攻撃などが含まれます。ST は、そのような攻撃に対する耐性については責任を負いません。したがって、組み込まれたセキュリティ機能や ST が提供する情報やサポートにかかわらず、それぞれのお客様は、ST 製品のみに関連して、およびお客様の最終製品またはアプリケーションに組み込まれた場合の両方について、テストした攻撃のレベルがお客様のニーズを満たしているかどうかを判断する責任を単独で負います。
- ST が追加した強化されたセキュリティ機能を含むが、それらに限定されない ST 製品のすべてのセキュリティ機能 (ハードウェア、ソフトウェア、文書などを含む) は、「現状有姿」で提供されます。したがって、適用される法律で許可される範囲で、ST は、明示的または黙示的を問わず、特に書面でも署名された該当する契約条件に別段の規定がない限り、商品性または特定の目的への適合性に関する黙示的な保証を含むが、それらに限定されないすべての保証を拒否します。

41 改版履歴

表 288. 文書改版履歴

日付	版	変更内容
2020 年 11 月 5 日	1	初版
2021 年 6 月 24 日	2	更新 : - 概要の特許取得済み技術と正誤表 - セクション 4.3.2 : エンプティチェック - セクション 4.4.2 : オプションバイトのプログラミングの OPTVAL オプションバイトのプログラミング - セクション 4.10.5 : FLASH ステータスレジスタ (FLASH_SR) の OPTNV の説明 - セクション 5.1 : Sub-GHz 無線の概要 - セクション 5.2 : Sub-GHz 無線の主な機能 - セクション 5.5.5 : 汎用フレーミング - セクション 5.6 : Sub-GHz 無線のデータバッファの新機能 - セクション 5.7.2 : SLEEP モード - Set_RfFrequency() コマンドの注を削除 - セクション 5.9 : Sub-GHz 無線のアプリケーション設定 - セクション 5.10 : Sub-GHz 無線のレジスタの危険注記を削除 - セクション 5.10.22 : Sub-GHz 無線のレシーバゲイン制御レジスタ (SUBGHZ_RXGAINCR) - 図 20 : ブラウンアウトリセット波形 - セクション 6.6.2 : PWR 制御レジスタ 2 (PWR_CR2) とセクション 6.6.6 : パワーステータスレジスタ 2 (PWR_SR2) での PVD の名称 - セクション 7.1.2 : システムリセットの最初の文 - 外部ソース (HSE32 TXCO) - セクション 8.4 : HSEM レジスタの最初の文 HSEM レジスタ - セクション 14.4.6 : DMAMUX リクエストラインマルチプレクサの注意事項 - セクション 14.4.7 : DMAMUX リクエストジェネレータの注 - 多項式のプログラマビリティの新しい注 - 図 58 : ADC ブロック図 - 図 22.5 : RNG 処理時間の式 - 表 127 : 割込み制御ビット - 表 134 : CTR モード初期化ベクタの定義 - 表 137 : CCM モードでの AES_IVRx レジスタの初期化 - セクション 24.3.4 : PKA 公開鍵の高速化 - 表 149 : モンゴメリ乗算 - セクション 24.5 : 設定と処理時間の例 - 表 174 : PKA 割込みリクエスト - セクション 26 : 汎用タイマ (TIM2) の AFIO の名称変更 - セクション 28.4.7 : トリガマルチプレクサの新しい注 - セクション 28.7.2 : LPTIM 割込みクリアレジスタ (LPTIM_ICR) のいくつかのビットの説明 - 表 248 : lpuart_ker_ck_pres = 32.768 kHz でプログラムされたポーレートのエラー計算

表 288. 文書改版履歴 (続き)

日付	版	変更内容
2022 年 4 月 19 日	3	更新 : - セクション 4.3.1: Flashメモリの構成 - セクション 5.1: Sub-GHz 無線の概要 - セクション 5.2: Sub-GHz 無線の主な機能 - セクション 5.5.3: FSK モデム - 図 13: 汎用パケットのフレームフォーマット - セクション 5.5.7: BPSK フレーミング - 表 36: CAD の推奨設定 [Settings] - LoRa Set_LoRaSymbTimeout() コマンド - Get_RxBufferStatus() コマンド - セクション 5.10: Sub-GHz 無線のレジスタの新規レジスタ - セクション 6.6.8: PWR 制御レジスタ 5 (PWR_CR5) の SMPSEN の説明 - セクション 18.3.3: 較正 (ADCAL) - セクション 18.3.7: ADC の設定 - セクション 18.12.4: ADC 設定レジスタ 1 (ADC_CFGR1) およびセクション 18.12.5: ADC 設定レジスタ 2 (ADC_CFGR2) の注 - 健全性チェック - セクション 22.3.4: RNG 初期化 - セクション 22.5: RNG 処理時間 - セクション 22.6.2: 検証条件 - セクション 22.7.3: RNG データレジスタ (RNG_DR) の RNDATA の説明 - セクション 23.4.16: AES DMA インタフェース - セクション 25.3.16: ブレーク機能の使用の注 - セクション 25.4.4: TIM1 DMA/割込み有効レジスタ (TIM1_DIER) - セクション 27.3.12: 双方向ブレーク入力の注 - セクション 27.3.13: 6 ステップ PWM 生成 - セクション 32.6.1: RTC 時刻レジスタ (RTC_TR) の注 - 新規セクション 40: セキュリティに関する重要な通知

表 289. 日本語版文書改版履歴

日付	版	変更内容
2023 年 4 月	1	日本語版 初版発行

索引

A

ADC_AWD1TR	584
ADC_AWD2CR	590
ADC_AWD2TR	585
ADC_AWD3CR	590
ADC_AWD3TR	589
ADC_CALFACT	591
ADC_CCR	591
ADC_CFGR1	579
ADC_CFGR2	582
ADC_CHSELR	586, 587
ADC_CR	577
ADC_DR	589
ADC_IER	575
ADC_ISR	573
ADC_SMPR	583
AES_CR	688
AES_DINR	692
AES_DOUTR	692
AES_IVR0	694
AES_IVR1	695
AES_IVR2	695
AES_IVR3	695
AES_KEYR0	693
AES_KEYR1	693
AES_KEYR2	694
AES_KEYR3	694
AES_KEYR4	696
AES_KEYR5	696
AES_KEYR6	696
AES_KEYR7	697
AES_SR	691
AES_SUSPxR	697
AP_BASER	1339
AP_BDxR	1339
AP_CSWR	1337
AP_DRWR	1338
AP_IDR	1340
AP_TAR	1338

B

BPU_CIDR0	1440
BPU_CIDR1	1441
BPU_CIDR2	1441
BPU_CIDR3	1442
BPU_COMPxR	1437
BPU_CTRLR	1436

BPU_PIDR0	1438
BPU_PIDR1	1439
BPU_PIDR2	1439
BPU_PIDR3	1440
BPU_PIDR4	1438
BPU_REMAPR	1437

C

C1ROM_CIDR3	1384
C2ROM1_CIDR0	1426
C2ROM1_CIDR1	1427
C2ROM1_CIDR2	1427
C2ROM1_CIDR3	1428
C2ROM1_MEMTYPER	1423
C2ROM1_PIDR0	1424
C2ROM1_PIDR1	1425
C2ROM1_PIDR2	1425
C2ROM1_PIDR3	1426
C2ROM1_PIDR4	1424
C2ROM2_CIDR0	1433
C2ROM2_CIDR1	1433
C2ROM2_CIDR2	1434
C2ROM2_CIDR3	1434
C2ROM2_MEMTYPER	1430
C2ROM2_PIDR0	1431
C2ROM2_PIDR1	1431
C2ROM2_PIDR2	1432
C2ROM2_PIDR3	1432
C2ROM2_PIDR4	1430
COMP1_CSR	631
COMP2_CSR	633
CRC_CR	533
CRC_DR	532
CRC_IDR	532
CRC_INIT	534
CRC_POL	534
CTI_APPCLEAR	1362
CTI_APPPULSER	1362
CTI_APPSETR	1361
CTI_AUTHSTATR	1368
CTI_CHINSTSR	1365
CTI_CHOUTSTSR	1365
CTI_CIDR0	1372
CTI_CIDR1	1373
CTI_CIDR2	1373
CTI_CIDR3	1374
CTI_CLAIMCLR	1367
CTI_CLAIMSETR	1366

CTI_CONTROLR	1360	DMAMUX_RGSR	498
CTI_DEVIDR	1369	DMAMUX_RGxCR	497
CTI_DEVTYPER	1369	DP_ABORTR	1325
CTI_GATER	1366	DP_BUFFER	1331
CTI_INENRx	1363	DP_CTRLSTATR	1326
CTI_INTACKR	1360	DP_DLCR	1328
CTI_LAR	1367	DP_DLPIDR	1329
CTI_LSR	1368	DP_DPIDR	1325
CTI_OUTENRx	1363	DP_RESENDER	1330
CTI_PIDR0	1370	DP_SELECTR	1330
CTI_PIDR1	1371	DP_TARGETIDR	1329
CTI_PIDR2	1371	DP_TARGETSELR	1331
CTI_PIDR3	1372	DWT_CIDR0	1351
CTI_PIDR4	1370	DWT_CIDR1	1352
CTI_TRGISTSR	1364	DWT_CIDR2	1352
CTI_TRGOSTSR	1364	DWT_CIDR3	1353
		DWT_COMPxR	1347
		DWT_CPICNTR	1345
		DWT_CTRLR	1343
		DWT_CYCCNTR	1344
		DWT_EXCCNTR	1345
		DWT_FOLDCNTR	1346
		DWT_FUNCtxR	1348
		DWT_LSUCNTR	1346
		DWT_MASKxR	1347
		DWT_PCSR	1347
		DWT_PIDR0	1349
		DWT_PIDR1	1350
		DWT_PIDR2	1350
		DWT_PIDR3	1351
		DWT_PIDR4	1349
		DWT_SLPCNTR	1346
		E	
		EXTI_CnEMR1	525
		EXTI_CnEMR2	527
		EXTI_CnIMR1	524
		EXTI_CnIMR2	526
		EXTI_FTSR1	518
		EXTI_FTSR2	522
		EXTI_PR1	520
		EXTI_PR2	524
		EXTI_RTISR1	517
		EXTI_RTISR2	521
		EXTI_SWIER1	519
		EXTI_SWIER2	523
		F	
		Flash_ACR	130
		FLASH_ACR2	131
		FLASH_C2ACR	146
D			
DAC_CCR	615		
DAC_CR	609		
DAC_DHR12L1	612		
DAC_DHR12LD	613		
DAC_DHR12R1	611		
DAC_DHR12RD	613		
DAC_DHR8R1	612		
DAC_DHR8RD	614		
DAC_DOR1	614		
DAC_MCR	616		
DAC_SHHR	617		
DAC_SHRR	618		
DAC_SHSR1	617		
DAC_SR	614		
DAC_SWTRGR	611		
DBGMCU_APB1FZR1	1416		
DBGMCU_APB1FZR2	1418		
DBGMCU_APB2FZR	1419		
DBGMCU_C2APB1FZR1	1417		
DBGMCU_C2APB1FZR2	1418		
DBGMCU_C2APB2FZR	1419		
DBGMCU_CR	1415		
DBGMCU_IDCODER	1414		
DMA_CCRx	473		
DMA_CMARx	479		
DMA_CNDTRx	477		
DMA_CPARx	478		
DMA_IFCR	472		
DMA_ISR	469		
DMAMUX_CCFR	496		
DMAMUX_CSR	495		
DMAMUX_CxCR	494		
DMAMUX_RGCFR	499		

IPCC_C2MR	397	PWR_C2CR1	279
IPCC_C2SCR	397	PWR_C2CR3	280
IPCC_C2TOC1SR	398	PWR_CR1	265
ITM_CIDR0	1398	PWR_CR2	266
ITM_CIDR1	1399	PWR_CR3	267
ITM_CIDR2	1399	PWR_CR4	269
ITM_CIDR3	1400	PWR_CR5	274
ITM_PIDR0	1396	PWR_EXTSCR	282
ITM_PIDR1	1397	PWR_PDCRA	275
ITM_PIDR2	1397	PWR_PDCRB	276
ITM_PIDR3	1398	PWR_PDCRC	277
ITM_PIDR4	1396	PWR_PDCRH	279
ITM_STIMRx	1393	PWR_PUCRA	275
ITM_TCR	1395	PWR_PUCRB	276
ITM_TER	1394	PWR_PUCRC	277
ITM_TPR	1394	PWR_PUCRH	278
IWDG_KR	979	PWR_RSSCMDR	284
IWDG_PR	980	PWR_SCR	273
IWDG_RLR	981	PWR_SECCFGR	283
IWDG_SR	982	PWR_SR1	270
IWDG_WINR	983	PWR_SR2	271
		PWR_SUBGHZSPICR	284
L			
LPTIM_ARR	969	R	
LPTIM_CFGR	965	RCC_AHB1ENR	327
LPTIM_CMP	969	RCC_AHB1RSTR	321
LPTIM_CNT	970	RCC_AHB1SMENR	334
LPTIM_CR	968	RCC_AHB2ENR	328
LPTIM_ICR	963	RCC_AHB2RSTR	322
LPTIM_IER	964	RCC_AHB2SMENR	335
LPTIM_ISR	962	RCC_AHB3ENR	329
LPTIM_RCR	972	RCC_AHB3RSTR	323
LPTIM1_OR	970	RCC_AHB3SMENR	336
LPTIM2_OR	971	RCC_APB1ENR1	330
LPTIM3_OR	971	RCC_APB1ENR2	331
LPUART_BRR	1242	RCC_APB1RSTR1	324
LPUART_CR1	1231, 1234	RCC_APB1RSTR2	325
LPUART_CR2	1237	RCC_APB1SMENR1	337
LPUART_CR3	1239	RCC_APB1SMENR2	339
LPUART_ICR	1251	RCC_APB2ENR	332
LPUART_ISR	1243, 1247	RCC_APB2RSTR	326
LPUART_PRESC	1253	RCC_APB2SMENR	340
LPUART_RDR	1252	RCC_APB3ENR	333
LPUART_RQR	1242	RCC_APB3RSTR	327
LPUART_TDR	1252	RCC_APB3SMENR	341
		RCC_BDCR	344
P			
PKA_CLRFR	723	RCC_C2AHB1ENR	351
PKA_CR	721	RCC_C2AHB1SMENR	358
PKA_SR	722	RCC_C2AHB2ENR	352
PKG	1447	RCC_C2AHB2SMENR	359
		RCC_C2AHB3ENR	353

RCC_C2AHB3SMENR	360	RTC_TSDR	1022
RCC_C2APB1ENR1	354	RTC_TSSSR	1023
RCC_C2APB1ENR2	355	RTC_TSTR	1022
RCC_C2APB1SMENR1	361	RTC_WPR	1019
RCC_C2APB1SMENR2	363	RTC_WUTR	1015
RCC_C2APB2ENR	356		
RCC_C2APB2SMENR	364		
RCC_C2APB3ENR	357		
RCC_C2APB3SMENR	365	S	
RCC_CCIPR	342	SPIx_CR1	1303
RCC_CFGR	312	SPIx_CR2	1305
RCC_CICR	320	SPIx_CRCPR	1309
RCC_CIER	318	SPIx_DR	1309
RCC_CIFR	319	SPIx_I2SCFGR	1311
RCC_CR	308	SPIx_I2SPR	1313
RCC_CSR	347	SPIx_RXCR	1310
RCC_EXTCFGR	349	SPIx_SR	1307
RCC_ICSCR	311	SPIx_TXCR	1310
RCC_PLLCFGR	315	SUBGHZ_AGCGFORSTCFGR	221
REG_ANA_LNA	221	SUBGHZ_AGCGFORSTPOWTHR	221
REG_ANA_MIXER	222	SUBGHZ_AGCSSICTL0R	220
RNG_CR	647	SUBGHZ_BWSEL	218
RNG_DR	650	SUBGHZ_EVENTMASKR	226
RNG_HTCR	650	SUBGHZ_GAFCR	216
RNG_SR	649	SUBGHZ_GBCASTADDR	215
ROM_CIDR0	1382	SUBGHZ_GBSYNCR	209
ROM_CIDR1	1382	SUBGHZ_GCFORH	210
ROM_CIDR2	1383	SUBGHZ_GCFORL	210
ROM_CIDR3	1383	SUBGHZ_GCRCINIRH	212
ROM_MEMTYPER	1379	SUBGHZ_GCRCINIRL	212
ROM_PIDR0	1380	SUBGHZ_GCRCPOLRH	212
ROM_PIDR1	1380	SUBGHZ_GCRCPOLRL	213
ROM_PIDR2	1381	SUBGHZ_GNODEADR	215
ROM_PIDR3	1381	SUBGHZ_GPKTCTL1AR	211
ROM_PIDR4	1379	SUBGHZ_GPKTCTL1R	210
RTC_ALRABINR	1030	SUBGHZ_GRTXPLDLEN	211
RTC_ALRBBINR	1030	SUBGHZ_GSYNCR0	215
RTC_ALRMAR	1023	SUBGHZ_GSYNCR1	215
RTC_ALRMASR	1024	SUBGHZ_GSYNCR2	214
RTC_ALRMBR	1025	SUBGHZ_GSYNCR3	214
RTC_ALRMBSSR	1026	SUBGHZ_GSYNCR4	214
RTC_CALR	1020	SUBGHZ_GSYNCR5	214
RTC_CR	1016	SUBGHZ_GSYNCR6	213
RTC_DR	1011	SUBGHZ_GSYNCR7	213
RTC_ICSR	1012	SUBGHZ_GWHITEINIRL	211
RTC_MISR	1028	SUBGHZ_HSEINTRIMR	224
RTC_PRER	1014	SUBGHZ_HSEOUTTRIMR	224
RTC_SCR	1029	SUBGHZ_LIQPOLR	217
RTC_SHIFTR	1021	SUBGHZ_LIQPOLRL	217
RTC_SR	1027	SUBGHZ_LPLDLENR	216
RTC_SSR	1012	SUBGHZ_LSYNCRH	217
RTC_TR	1010	SUBGHZ_LSYNCR	218
		SUBGHZ_LSYNCTIMEOUTR	216

SUBGHZ_PAOCPR	222	TIM1_AF2	820
SUBGHZ_PCR	225	TIM1_ARR	807
SUBGHZ_RAM_FRAMELIMH	208	TIM1_BDTR	810
SUBGHZ_RAM_FRAMELIML	209	TIM1_CCER	803
SUBGHZ_RAM_RAMPDNH	208	TIM1_CCMR1	797, 799
SUBGHZ_RAM_RAMPDNL	208	TIM1_CCMR2	801, 802
SUBGHZ_RAM_RAMPUPH	207	TIM1_CCMR3	816
SUBGHZ_RAM_RAMPUPL	208	TIM1_CCR1	808
SUBGHZ_RNGR0	219	TIM1_CCR2	809
SUBGHZ_RNGR1	219	TIM1_CCR3	809
SUBGHZ_RNGR2	219	TIM1_CCR4	810
SUBGHZ_RNGR3	219	TIM1_CCR5	817
SUBGHZ_RTCCTLR	222	TIM1_CCR6	818
SUBGHZ_RTCPRDR0	223	TIM1_CNT	807
SUBGHZ_RTCPRDR1	223	TIM1_CR1	785
SUBGHZ_RTCPRDR2	223	TIM1_CR2	787
SUBGHZ_RXADRPTRR	218	TIM1_DCR	814
SUBGHZ_RXGAINCR	220	TIM1_DIER	792
SUBGHZ_SDCFG0R	220	TIM1_DMAR	815
SUBGHZ_SMPSC0R	225	TIM1_EGR	796
SUBGHZ_SMPSC2R	226	TIM1_OR1	816
SUBGHZ_TXADRPTR	218	TIM1_PSC	807
SUBGHZ_TXCLAMPR	221	TIM1_RCR	808
SYSCFG_C2IMR1	443	TIM1_SMCR	790
SYSCFG_C2IMR2	445	TIM1_SR	794
SYSCFG_CFGR1	435	TIM1_TISEL	821
SYSCFG_CFGR2	440	TIM16_AF1	940
SYSCFG_EXTICR1	436	TIM16_OR1	939
SYSCFG_EXTICR2	437	TIM16_TISEL	941
SYSCFG_EXTICR3	438	TIM17_AF1	942
SYSCFG_EXTICR4	439	TIM17_OR1	941
SYSCFG_IMR1	442	TIM17_TISEL	943
SYSCFG_IMR2	443	TIM2_AF1	891
SYSCFG_MEMRMP	434	TIM2_ARR	887
SYSCFG_RFDCR	446	TIM2_CCER	884
SYSCFG_SCSR	440	TIM2_CCMR1	879, 880
SYSCFG_SKR	442	TIM2_CCMR2	882, 883
SYSCFG_SWPR	441	TIM2_CCR1	887
		TIM2_CCR2	888
		TIM2_CCR3	888
		TIM2_CCR4	889
		TIM2_CNT	885, 886
		TIM2_CR1	870
		TIM2_CR2	872
		TIM2_DCR	889
		TIM2_DIER	875
		TIM2_DMAR	890
		TIM2_EGR	878
		TIM2_OR1	890
		TIM2_PSC	886
		TIM2_SMCR	873
		TIM2_SR	876
T			
TAMP_BKPxR	1048		
TAMP_COUNTR	1048		
TAMP_CR1	1039		
TAMP_CR2	1040		
TAMP_CR3	1042		
TAMP_FLTCR	1043		
TAMP_IER	1044		
TAMP_MISR	1046		
TAMP_SCR	1047		
TAMP_SR	1045		
TIM1_AF1	818		

TIM2_TISEL	892	USART_TDR	1198
TIMx_ARR	934	V	
TIMx_BDTR	936	VREFBUF_CCR	623
TIMx_CCER	931	VREFBUF_CSR	622
TIMx_CCMR1	929, 930	W	
TIMx_CCR1	935	WWDG_CFR	990
TIMx_CNT	934	WWDG_CR	989
TIMx_CR1	924	WWDG_SR	990
TIMx_CR2	925		
TIMx_DCR	938		
TIMx_DIER	926		
TIMx_DMAR	939		
TIMx_EGR	928		
TIMx_PSC	934		
TIMx_RCR	935		
TIMx_SR	927		
TPIU_ACPR	1403		
TPIU_CIDR0	1410		
TPIU_CIDR1	1411		
TPIU_CIDR2	1411		
TPIU_CIDR3	1412		
TPIU_CLAIMCLR	1406		
TPIU_CLAIMSETR	1406		
TPIU_CSPSR	1402		
TPIU_DEVIDR	1407		
TPIU_DEVTYPER	1407		
TPIU_FFCR	1404		
TPIU_FFSR	1404		
TPIU_FSCR	1405		
TPIU_PIDR0	1408		
TPIU_PIDR1	1409		
TPIU_PIDR2	1409		
TPIU_PIDR3	1410		
TPIU_PIDR4	1408		
TPIU_SPPR	1403		
TPIU_SSPSR	1402		
U			
UID	1445		
UID64	1447		
USART_BRR	1181		
USART_CR1	1165, 1169		
USART_CR2	1173		
USART_CR3	1177		
USART_GTPR	1181		
USART_ICR	1196		
USART_ISR	1185, 1191		
USART_PRESC	1199		
USART_RDR	1197		
USART_RQR	1184		
USART_RTOR	1183		

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks
その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2023 STMicroelectronics - All rights reserved